

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-504032

(P2018-504032A)

(43) 公表日 平成30年2月8日(2018.2.8)

(51) Int.Cl.

H03F 1/22 (2006.01)  
H03G 3/10 (2006.01)

F 1

H03F 1/22  
H03G 3/10

テーマコード(参考)

5J100  
5J500

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21) 出願番号 特願2017-532861 (P2017-532861)  
 (86) (22) 出願日 平成27年11月17日 (2015.11.17)  
 (85) 翻訳文提出日 平成29年6月30日 (2017.6.30)  
 (86) 國際出願番号 PCT/US2015/061142  
 (87) 國際公開番号 WO2016/099754  
 (87) 國際公開日 平成28年6月23日 (2016.6.23)  
 (31) 優先権主張番号 14/575,851  
 (32) 優先日 平成26年12月18日 (2014.12.18)  
 (33) 優先権主張国 米国(US)

(71) 出願人 595020643  
 クアアルコム・インコーポレイテッド  
 QUALCOMM INCORPORATED  
 アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775  
 (74) 代理人 100108855  
 弁理士 蔡田 昌俊  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100158805  
 弁理士 井関 守三  
 (74) 代理人 100112807  
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】相補的共通ゲートおよび共通ソース増幅器における利得制御

## (57) 【要約】

相補的共通ゲートおよび共通ソース増幅器における利得制御が開示されている。例示的な実施形態において、装置は、第1の増幅された信号を生成するために、入力端子における入力信号を増幅するように構成された第1の増幅段を含む。第1の増幅段は、第1の増幅段の利得を設定するために、選択的に電流を分流する電流分流器を含む。装置はまた、第2の増幅された信号を生成するために、入力端子における入力信号を増幅するように構成された第2の増幅段を含む。第2の増幅段は、第2の増幅段の利得を設定するための、利得制御回路を含む。

【選択図】図7

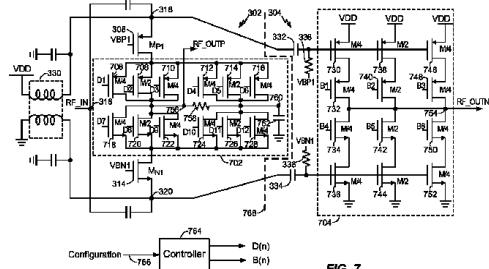


FIG. 7

## 【特許請求の範囲】

## 【請求項 1】

第1の増幅された信号を生成するために、入力端子における入力信号を増幅するように構成された第1の増幅段と、前記第1の増幅段は、前記第1の増幅段の利得を設定するために、第1の電流を選択的に分流するように構成された電流分流器を有し、

第2の増幅された信号を生成するために、前記入力端子における前記入力信号を増幅するように構成された第2の増幅段と、前記第2の増幅段は、前記第2の増幅段の利得を設定するための利得制御回路を有する、を備える、装置。

## 【請求項 2】

前記第1の増幅段は、前記入力信号に関して反転されていない、前記第1の増幅された信号を生成する相補的共通ゲート（CCG）増幅器として構成され、前記第2の増幅段は、前記入力信号に関して反転されている、前記第2の増幅された信号を生成する相補的共通ソース（CCS）増幅器として構成された、請求項1の装置。 10

## 【請求項 3】

前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、請求項2の装置。

## 【請求項 4】

前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記利得制御回路を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、請求項3の装置。 20

## 【請求項 5】

前記コントローラは、選択された利得設定に前記第1の増幅段の前記利得を設定するために、AC接地を形成するノードに、前記第1の電流の選択された量を分流する、前記電流分流器を制御するための第1の制御信号を出力するように構成され、また、前記コントローラは、前記選択された利得設定に前記第2の増幅段の前記利得を設定するために、前記相補的カスコードトランジスタの前記並列分岐を選択的にイネーブルすべく、第2の制御信号を出力するように構成された、請求項4の装置。

## 【請求項 6】

前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、第2の電流の選択された量を分流するように構成された第2の電流分流器を備える、請求項1の装置。 30

## 【請求項 7】

前記電流分流器は、前記第1の電流の選択された量をノードに分流するように構成され、また、前記第2の電流分流器は、前記第2の電流の前記選択された量を前記ノードに分流するように構成され、前記ノードはAC信号接地を形成する、請求項6の装置。

## 【請求項 8】

前記ノードおよび信号接地間に結合されたキャパシタをさらに備え、前記ノードにおいて、前記第1および第2の電流の前記選択された量は、反対方向に流れ、結果として、前記第1または第2の電流よりも小さい第3の電流が、前記ノードおよび前記キャパシタ間に流れる、請求項7の装置。

## 【請求項 9】

前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記第2の電流分流器を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、請求項7の装置。 40

## 【請求項 10】

前記第1および第2の増幅された信号を受信し、差動信号を出力するように構成された加算回路を、さらに備える、請求項1の装置。

## 【請求項 11】

前記加算回路は、前記第1および第2の増幅段をバイアスする、バイアス信号を生成するバイアス信号ジェネレータを備える、請求項10の装置。

## 【請求項 12】

10

20

30

40

50

前記加算回路は、第1の巻き線を横切る前記第1および第2の増幅された信号を受信する変圧器を備え、前記第1の巻き線は、前記バイアス信号ジェネレータに共通モード電圧信号を出力するセンタータップを有する、請求項11の装置。

【請求項13】

第1の出力端子において第1の増幅された信号を生成するために、入力端子における入力信号を増幅する手段と、前記第1の増幅された信号は、前記入力信号に関して反転されておらず、

前記増幅する手段の利得を設定するために、前記入力信号に応答して生成された、第1の電流を分流する手段と、

第2の出力端子において第2の増幅された信号を生成するために、前記入力端子における前記信号を増幅するように構成された、信号反転を有する、増幅する手段と、

信号反転を有する、前記増幅する手段の利得を設定する手段とを備える装置。

【請求項14】

前記利得を設定する手段は、信号反転を有する、前記増幅する手段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、請求項13の装置。

【請求項15】

前記増幅する手段は、前記第1の増幅された信号を生成する相補的共通ゲート(CCG)増幅器を備える、請求項13の装置。

【請求項16】

前記増幅する手段は、前記第2の増幅された信号を生成する相補的共通ソース(CCS)増幅器を備える、請求項13の装置。

【請求項17】

前記第1の電流を分流する手段は、前記第1の電流の選択された部分を、AC信号接地を形成するノードに向けるように構成された、請求項13の装置。

【請求項18】

前記ノードおよび信号接地間に結合されたキャパシタ、をさらに備える、請求項17の装置。

【請求項19】

前記利得を設定する手段は、信号反転を有する前記増幅する手段の前記利得を設定するために、第2の電流を分流する手段を備える、請求項13の装置。

【請求項20】

前記第1の電流を分流する手段と、前記利得を設定する手段とを制御する制御信号を出力する、制御する手段、をさらに備える、請求項13の装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本開示は、一般的に、増幅器に関し、より具体的には、低ノイズ増幅器における利得制御に関する。

【背景技術】

【0002】

[0002] ワイヤレス通信システムにおけるワイヤレスデバイス(たとえば、セルラー電話またはスマートフォン)は、双方向通信のために、データを送信および受信し得る。例えば、ワイヤレスデバイスは、周波数分割複信(FDD)システムにおいて、または時分割複信システム(TDD)において動作し得る。ワイヤレスデバイスは、データ送信のための送信機、およびデータ受信のための受信機を含み得る。よって、ワイヤレスデバイスは、通信および/またはデータサービスを提供するために、アナログおよびデジタル信号の両方を処理し得る。

【0003】

10

20

30

40

50

[0003] ワイヤレスデバイスにおける受信機は、RF信号を受信し、受信したRF信号を復調するために使用される。典型的な受信機は、復調の前に、受信したRF信号を増幅するための低ノイズ増幅器（LNA）を含む。インピーダンスマッチング、アイソレーション、および線形性は、受信機中のLNAについての主要な懸念である。例えば、受信アンテナのインピーダンスにマッチングするために、LNAが、典型的に50オームの入力インピーダンスを提供することが望ましい。復調の前に、受信したRF信号に適用される増幅が、正確に制御できるように、LNAはまた、正確な利得制御を提供すべきである。

【0004】

[0004] 残念ながら、従来のLNAは、所望の入力インピーダンスを提供するために、いくつかの外部コンポーネントを利用するであろう。これは、LNAにより必要とされる回路面積を増加する。また、従来のLNAにおける利得への調整は、入力インピーダンスに影響を及ぼし得るので、正確な利得制御は問題であろう。

10

【0005】

[0005] それゆえ、従来の回路の不利を克服する、一定入力インピーダンスを伴う利得制御を有する、低電力増幅器を持つことが望ましい。

【図面の簡単な説明】

【0006】

【図1】[0006] 図1は、ワイヤレスシステム内で通信するワイヤレスデバイスで使用するための、増幅回路の例示的な実施形態を指示示す。

20

【図2】[0007] 図2は、図1において指示された増幅回路の例示的な実施形態が、そこで動作し得る、3つの例示的なバンドグループを指示示す。

20

【図3】[0008] 図3は、増幅回路の例示的な実施形態を指示示す。

【図4】[0009] 図4は、図3に指示される増幅回路とともに使用するための、バイアス回路の例示的な実施形態を指示示す。

【図5】[0010] 図5は、図3に指示される増幅回路とともに使用するための、バイアス回路の例示的な実施形態を指示示す。

【図6】[0011] 図6は、図3に指示される増幅回路とともに使用するための、コンパレータの例示的な実施形態を指示示す。

【図7】[0012] 図7は、図3に指示され、利得制御を含むように拡張された、増幅回路の詳しい例示的な実施形態を指示示す。

30

【図8】[0013] 図8は、図7に指示された増幅回路の利得を設定するために使用される、電流分流器の例示的な動作を例証する。

【図9】[0014] 図9は、図7に指示された増幅回路の利得を設定するために使用される、電流スライサの例示的な動作を例証する。

【図10】[0015] 図10は、図3に指示され、利得制御を含むように拡張された、増幅回路の詳しい例示的な実施形態を指示示す。

【図11】[0016] 図11は、図10に指示された利得制御を伴う増幅回路の例示的な動作を例証する。

【図12】[0017] 図12は、図7および図10において指示される、増幅回路の例示的な実施形態によって実行される、例示的な動作を例証する。

40

【図13】[0018] 図13は、増幅装置の例示的な実施形態を指示示す。

【発明を実施するための形態】

【0007】

[0019] 下記で説明される詳細な説明は、本開示の例示的な設計の説明を意図しており、本開示が実践され得る唯一の設計を表示することを意図したものではない。「例示的な」という用語は、本明細書で「例、実例、または例証を提供する」という意味で使用される。「例示的な」と本明細書において説明された任意の設計は、他の設計よりも好適または利点があると必ずしも解釈されるべきではない。詳しい説明は、本開示の例示的な設計の完璧な理解を提供する目的で、特定の詳細を含む。本明細書において説明される、例示的な設計が、これらの特定の詳細なしに実施され得ることが、当業者にとって明らかとな

50

るであろう。いくつかの事例において、良く知られている構造およびデバイスは、本明細書において提示されている例示的な設計の新規性を曖昧にすることを避けるために、ブロック図形式で指し示される。

#### 【0008】

[0020] 図1は、ワイヤレスシステム120内で通信するワイヤレスデバイス110で使用される、增幅回路112の例示的な実施形態を指し示す。ワイヤレスシステム120は、ロングタームエボリューション(LTE(登録商標))システム、符号分割多元接続(CDMA)システム、グローバルシステム・フォー・モバイル・コミュニケーションズ(GSM(登録商標))システム、ワイヤレスローカルエリアネットワーク(WLAN)システム、または他の何らかのワイヤレスシステムであり得る。CDMAシステムは、広帯域CDMA(WCDMA(登録商標))、CDMA 1X、エボリューションデータ最適化(EVDO)、時分割同期CDMA(TD-SCDMA)、または何らかの他のバージョンのCDMAを実装し得る。簡単のために、図1は、2つの基地局130および132と、1つのシステムコントローラ140とを含む、ワイヤレスシステム120を指し示す。一般に、ワイヤレスシステム120は、任意の数の基地局および任意のネットワークエンティティのセットを含み得る。

10

#### 【0009】

[0021] ワイヤレスデバイス110はまた、ユーザ機器(UE)、移動局、端末、アクセス端末、加入者ユニット、局、または他の通信デバイスと呼ばれ得る。ワイヤレスデバイス110は、セルラー電話、スマートフォン、タブレット、ワイヤレスモデム、携帯情報端末(PDA)、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレス電話、ワイヤレスローカルループ(WLL)局、Bluetooth(登録商標)デバイス、または他の通信デバイスであり得る。ワイヤレスデバイス110は、ワイヤレスシステム120におけるデバイスと通信し得る。ワイヤレスデバイス110はまた、ブロードキャスト局(たとえば、ブロードキャスト局134)からの信号、1つまたは複数の全地球的航法衛星システム(GNSS)における衛星(たとえば、衛星150)からの信号を受信し得る。ワイヤレスデバイス110は、LTE、WCDMA、CDMA 1X、EVDO、TD-SCDMA、GSM、および802.11のような、ワイヤレス通信のための1つまたは複数の無線技術をサポートし得る。例示的な実施形態において、ワイヤレスデバイス110は、ワイヤレスデバイス110中の様々な回路とともに使用される、増幅を提供する増幅回路112を備える。例えば、増幅回路112は、ワイヤレスデバイス110における受信機によって受信された信号についての増幅を提供する。増幅回路112は、調整可能な利得および一定入力インピーダンスを提供しながら、従来の増幅器よりも、より少ない電力および回路面積を利用するように設計される。

20

#### 【0010】

[0022] 図2は、ワイヤレスデバイス110の例示的な実施形態が、そこで動作し得る、3つの例示的なバンドグループを指し示す。ワイヤレスデバイス110は、1000メガヘルツ(MHz)よりも低い周波数をカバーするローバンド(LB)、1000MHzから2300MHzの周波数をカバーするミッドバンド(MB)、および/または2300MHzよりも高い周波数をカバーするハイバンド(HB)において動作し得る。例えば、図2において指し示されるように、ローバンドは698から960MHzをカバーし得、ミッドバンドは1475から2170MHzをカバーし得、およびハイバンドは、2300から2690MHz、ならびに3400から3800MHzをカバーし得る。ローバンド、ミッドバンド、およびハイバンドは、各バンドグループが沢山の周波数バンド(または、単に「バンド」)を含んでいるバンドの3つグループ(またはバンドグループ)を指す。各バンドは、最大200MHzまでカバーし得る。LTEリリース11は、35個のバンドをサポートし、それらはLTE/UMTSバンドと称され、3GPP(登録商標)TS36.101にリストされている。

30

#### 【0011】

40

50

[0023] 一般に、任意の数のバンドグループが定義され得る。各バンドグループは、図2において指し示された周波数範囲のいずれかに一致し得る、またはし得ない、周波数の任意の範囲をカバーし得る。各バンドグループは、任意の数のバンドを含み得る。様々な例示的な実施形態において、增幅回路112は、ワイヤレスデバイス110内で信号を増幅するために、様々なバンドグループ内での使用に適している。

【0012】

[0024] 図3は、増幅回路300の例示的な実施形態を指し示す。増幅回路300は、図1に指し示される増幅器112としての使用に適している。増幅回路300は、相補的共通ゲート増幅段302、相補的共通ソース増幅段304、および加算回路306を含む。

10

【0013】

[0025] 相補的共通ゲート増幅段302は、PMOSトランジスタ308、310、およびNMOSトランジスタ312、314を含む。シングルエンドRF入力信号は、入力端子316において受信され、入力端子316は、キャパシタ322および324に接続される。キャパシタ322は、ノード318に接続され、ノード318は、さらにトランジスタ308のソース端子に接続される。キャパシタ324は、ノード320に接続され、ノード320は、さらにトランジスタ314のソース端子に接続される。ノード318は、キャパシタ326を通して信号接地に、および変圧器330の第1の巻き線を通して電圧供給(VDD)に接続される。ノード320は、キャパシタ328を通して、および変圧器330の第2の巻き線を通して信号接地に接続される。同一のgmを送出するよう、トランジスタ308およびトランジスタ314も大きさ調整されるので、変圧器330は、(1:1)の比の巻き線を備える。例えば、増幅段302のNMOS側およびPMOS側は、より良いIIP2性能を有するように、対称的に設計される。相補的共通ゲート増幅段302は、ノード348から、反転されていない第1の増幅された出力信号(RF\_outp)を出力する。

20

【0014】

[0026] トランジスタ308は、第1の「P」バイアス信号(VBP1)に接続されたゲート端子を有し、トランジスタ310は、第2の「P」バイアス信号(VBP2)に接続されたゲート端子を有する。トランジスタ314は、第1の「N」バイアス信号(VBN1)に接続されたゲート端子を有し、トランジスタ312は、第2の「N」バイアス信号(VBN2)に接続されたゲート端子を有する。

30

【0015】

[0027] 相補的共通ソース増幅段304は、PMOSトランジスタ340、342、およびNMOSトランジスタ344、346を含む。トランジスタ340は、キャパシタ332の第1の端子に接続されたゲート端子を有し、キャパシタ332の第2の端子は、ノード318に接続される。トランジスタ340のゲート端子は、抵抗器336の第1の端子に接続され、抵抗器336の第2の端子は、VBP1バイアス信号を受信するように接続される。トランジスタ346は、キャパシタ334の第1の端子に接続されるゲート端子を有し、キャパシタ334の第2の端子は、ノード320に接続される。トランジスタ346のゲート端子はまた、抵抗器338の第1の端子に接続され、抵抗器338の第2の端子は、VBN1バイアス信号を受信するように接続される。トランジスタ342は、VBP2バイアス信号を受信するように接続されたゲート端子を有し、トランジスタ344は、VBN2バイアス信号を受信するように接続されたゲート端子を有する。入力信号から反転された第2の増幅された出力信号(RF\_outp)が、ノード350から出力される。

40

【0016】

[0028] 例示的な実施形態において、キャパシタ332、326、328、334、および354は、数ピコファラッド(pF)のオーダーの容量値を有する。抵抗器336および338は、20-40キロ(20k~40k)オームの範囲内の抵抗値を有する。例示的な実施形態において、図3に指し示されたトランジスタは、所与の電力消費予算に対

50

する選択された  $g_m$  の量を提供するように、大きさ調整される。例えば、増幅回路 300 が、50 オームの入力インピーダンスを提供するように設計されると、トランジスタ 314 の  $g_m$  およびトランジスタ 308 の  $g_m$  が、各々 10 mS となるべく設計され得る。したがって、トランジスタ 308 および 314 によって生成される、いかなるノイズや歪みの相殺を容易するために、トランジスタ 346 の  $g_m$  およびトランジスタ 340 の  $g_m$  が、各々 10 mS となるべく設計される。

#### 【0017】

[0029] 加算回路 306 は、第 1 の増幅された出力信号を受信するために、ノード 348 に接続された第 1 の巻き線の第 1 の端子、および第 2 の増幅された出力信号を受信するために、ノード 350 に接続された第 1 の巻き線の第 2 の端子を有する変圧器 352 を含む。キャパシタ 354 は、変圧器 352 の第 1 の巻き線を横切って接続されている。変圧器 352 の第 2 の巻き線は、( 指し示されていない ) ダウンコンバーティングミキサ回路に、バランスされた差動 R F 信号を出力する。例示的な実施形態において、変圧器 352 は、I F 段 ( たとえば、ベースバンド I F フィルタ ) からのノイズを抑制するために、所望の受信機利得および増幅器 300 およびダウンストリームミキサが提供するように設計された利得量、に依存して設定された巻き線比を備える。

10

#### 【0018】

[0030] 変圧器 352 の第 1 の巻き線のセンター・タップは、コンパレータ 358 の反転されない入力に接続された、共通モード電圧信号 ( V O C M ) を出力する。コンパレータ 358 の反転される入力は、電圧基準信号 ( V R E F ) を受信するように接続される。コンパレータ 358 の出力端子は、バイアス信号 V B N 1 を出力する。図 6 に指し示されたコンパレータ 358 の例示的な実施形態において、コンパレータの出力信号を生成するために、コンパレータ 358 はまた、バイアス信号 V B N 2 を受信し、利用する。

20

#### 【0019】

[0031] 図 4 は、図 3 に指し示される増幅回路 300 とともに用いるバイアス回路 400 の例示的な実施形態を指し示す。バイアス回路 400 は、増幅回路 300 において識別されるバイアス信号を生成する。第 1 のバイアス回路は、抵抗器 406 の第 1 の端子に接続されたソース端子を有する PMOS トランジスタ 402 を含み、抵抗器 406 は、電圧供給 ( V D D ) に接続された第 2 の端子を有する。例示的な実施形態において、抵抗器 406 は、( 1 - 5 ) キロオームの範囲中の抵抗値を有する。トランジスタ 402 は、電流源 408 の第 1 の端子に接続された、ドレイン端子を有し、電流源 408 は、信号接地に接続される第 2 の端子を有する。例示的な実施形態において、電流源 408 は、およそ 0.1 ミリアンペアの電流を提供する。例えば、例示的な実施形態において、電流源 408 ( および実施形態において指し示された他の電流源 ) は、所望の電流量を提供する電流源として振る舞うために、飽和領域で動作する NMOS トランジスタである。トランジスタ 402 のゲート端子は、ドレイン端子に接続され、また、バイアス信号 V B P 2 を出力する。

30

#### 【0020】

[0032] 第 2 のバイアス回路は、抵抗器 412 の第 1 の端子に接続されたソース端子を有する NMOS トランジスタ 404 を含み、( たとえば、1 - 5 キロオームの ) 抵抗器 412 は、信号接地に接続された第 2 の端子を有する。トランジスタ 404 は、電流を受領するために、電流源 410 の第 1 の端子に接続されたドレイン端子を有し、電流源 410 は、電圧供給 ( V D D ) に接続された第 2 の端子を有する。例示的な実施形態において、電流源 410 は、およそ 0.1 ミリアンペアの電流を供給する。トランジスタ 404 のゲート端子は、ソース端子に接続され、また、バイアス信号 V B N 2 を出力する。

40

#### 【0021】

[0033] 図 5 は、図 3 に指し示される増幅回路 300 とともに使用されるバイアス回路 500 の例示的な実施形態を指し示す。バイアス回路 500 は、増幅回路 300 において識別されたバイアス信号を生成する。バイアス回路 500 は、PMOS トランジスタ 502 および 504 を含む。トランジスタ 502 は、電圧供給 ( V D D ) に接続されたソース

50

端子、およびトランジスタ 504 のソース端子に接続されたドレイン端子を有する。トランジスタ 502 のゲート端子は、トランジスタ 504 のドレイン端子に接続され、また、バイアス信号 VBP1 を出力する。トランジスタ 504 のゲート端子は、図 4 で指し示されるトランジスタ 402 から出力されるバイアス信号 VBP2 を受信する。トランジスタ 504 のドレイン端子は、電流源 506 の第 1 の端子に接続され、電流源 506 は、信号接地に接続される第 2 の端子を有する。例示的な実施形態において、電流源 506 は、およそ 0.1 ミリアンペアの電流を供給する。

【0022】

[0034] 図 6 は、図 3 に指し示されるコンパレータ 358 の詳しい例示的な実施形態を指し示す。コンパレータ 358 は、VBN2 信号、電圧基準信号 (VREF)、および共通モード電圧信号 (VOCM) を受信し、バイアス信号 VBN1 を生成する。例示的な実施形態において、VREF 信号は、VDD/2 の値を有する。VREF 信号は、一連の抵抗器を通して流れる電流源を使用することによって、または VDD および GND 間に接続された抵抗分割器を使用することによって、生成することができる。

10

【0023】

[0035] コンパレータ 358 は、電流信号を受信するために、電流源 602 の第 1 の端子に接続されたソース端子、を有する PMOS トランジスタ 604、606 のペアを含む。電流源 602 の第 2 の端子は、電圧供給 (VDD) に接続される。例示的な実施形態において、電流源 602 は、およそ 0.2 ミリアンペアの電流を供給する。トランジスタ 604 は、電圧基準信号 (VREF) を受信するように接続されたゲート端子を有する。トランジスタ 606 は、共通モード電圧信号 (VOCM) を受信するように接続されたゲート端子を有する。

20

【0024】

[0036] トランジスタ 604、606 のドレイン端子は、第 1 の NMOS トランジスタペア -608、610 のドレイン端子に接続される。トランジスタ 604、606 のドレイン端子はまた、第 2 の NMOS トランジスタペア -612、614 のゲート端子に接続される。トランジスタ 608、610 は、トランジスタ 612、614 のドレイン端子に接続されたソース端子を有する。トランジスタ 612、614 は、信号接地に接続されたソース端子を有する。トランジスタ 612 のゲート端子は、バイアス信号 VBN1 を出力する。トランジスタ 608、610 のゲート端子は、図 4 で指し示されるトランジスタ 404 から出力される、バイアス信号 VBN2 を受信する。例示的な実施形態において、コンパレータ 358 は、段 302、304 および加算回路 306 によって形成されたクローズドフィードバックループのための利得量を提供する。

30

【0025】

[0037] 図 7 は、利得制御を含むように拡張された増幅回路 300 の、詳しい例示的な実施形態を指し示す。例えば、図 7 に指し示されるように、破線 768 は、相補的共通ゲート増幅段 302 と、相補的共通ソース増幅段 304 とを分離する。相補的共通ゲート増幅段 302 は、電流分流器 702 を含むように拡張され、相補的共通ソース増幅段 304 は、電流ライサ 704 を含むように拡張される。図 7 において指し示される増幅回路の利得を設定するように、電流分流器 702 および電流ライサ 704 の動作を制御するための制御信号を出力すべく、コントローラ 764 が提供される。明瞭さのために、図 7 には、加算回路 306 は指し示されていないが、図 7 に指し示された増幅回路の一部として、上記で説明されたように動作する。

40

【0026】

[0038] 例示的な実施形態において、相補的共通ゲート増幅段 302 のトランジスタ 310、312 は、電流分流器 702 で置き換えられる。電流分流器 702 は、2 つの PMOS トランジスタグループ、および 2 つの NMOS トランジスタグループを含む。PMOS トランジスタの第 1 のグループは、PMOS トランジスタ 706、708、および 710 を含む。トランジスタ 706、708、および 710 は、トランジスタ 308 のドレイン端子に接続されたソース端子を有し、ノード 756 に接続されたドレイン端子を有し、

50

ノード 756 はまた、（たとえば、1 - 5 キロオームの）抵抗器 758 の第1の端子に接続される。（反転されていない）出力信号 R F \_ O U T P は、ノード 756 から出力される。トランジスタ 706、708、および 710 は、コントローラ 764 によって生成される制御信号 D1、D2、および D3 を、それぞれ受信するように接続されたゲート端子を有する。

【0027】

[0039] PMOS トランジスタの第2のグループは、PMOS トランジスタ 712、714、および 716 を含む。トランジスタ 712、714、および 716 は、トランジスタ 308 のドレイン端子に接続されたソース端子を有し、また、ノード 760 に接続されたドレイン端子を有する。ノード 760 は、抵抗器 758 の第2の端子、およびキャパシタ 762 の第1の端子に接続され、キャパシタ 762 は、信号接地に接続された第2の端子を有する。例示的な実施形態において、所望の周波数範囲で、ダウンストリームミキサに匹敵するインピーダンスを提供するように、キャパシタ 762 は、大きさ調整される。トランジスタ 712、714、および 716 は、コントローラ 764 によって生成される制御信号 D4、D5、および D6 を、それぞれ受信するように接続されたゲート端子を有する。

10

【0028】

[0040] NMOS トランジスタの第1のグループは、NMOS トランジスタ 718、720、および 722 を含む。トランジスタ 718、720、および 722 は、トランジスタ 314 のドレイン端子に接続されたソース端子を有し、また、ノード 756 に接続されたドレイン端子を有する。トランジスタ 718、720、および 722 は、コントローラ 764 によって生成される制御信号 D7、D8、および D9 を、それぞれ受信するように接続されたゲート端子を有する。

20

【0029】

[0041] NMOS トランジスタの第2のグループは、NMOS トランジスタ 724、726、および 728 を含む。トランジスタ 724、726、および 728 は、トランジスタ 314 のドレイン端子に接続されたソース端子を有し、また、ノード 760 に接続されたドレイン端子を有する。トランジスタ 724、726、および 728 は、コントローラ 764 によって生成される制御信号 D10、D11、および D12 を、それぞれ受信するように接続されたゲート端子を有する。

30

【0030】

[0042] 例示的な実施形態において、電流分流器 702 の NMOS および PMOS トランジスタのトランジスタグループは、「M」の表示を有し、「M」は、トランジスタについてのフィンガーの数（たとえば、トランジスタのための乗数）を示す。例えば、トランジスタ 312 が W ( um ) の幅を有する場合、トランジスタ 718 は、W / 4 に大きさ調整され、トランジスタ 720 は、W / 2 に大きさ調整され、トランジスタ 722 は、W / 4 に大きさ調整される。よって、グループは、置き換えられたトランジスタについて、1 : 2 : 1 の比を提供するように、大きさ調整される。電流分流器 702 の全てのトランジスタグループについても、同様のことが当てはまる。トランジスタについて、他の大きさまたは比が使用され得ることにも、留意すべきである。

40

【0031】

[0043] 例示的な実施形態において、相補的共通ソース増幅段 304 のトランジスタ 340、342、344、および 346 は、電流スライサ 704 で置き換えられる。電流スライサ 704 は、コントローラ 764 によって選択的にイネーブルでき得る多数の分岐を含む。第1の分岐は、PMOS トランジスタ 730 および 732 と、NMOS トランジスタ 734 および 736 とを含む。トランジスタ 730 は、電圧供給 ( VDD ) に接続されたソース端子、およびトランジスタ 732 のソース端子に接続されたドレイン端子を有する。トランジスタ 730 は、キャパシタ 332 の第1の端子に接続されたゲート端子を有する。

50

【0032】

[0044] トランジスタ 732 は、トランジスタ 734 のドレイン端子およびノード 754 に接続されたドレイン端子を有し、トランジスタ 754 は、増幅された出力信号 RFOUTN を出力する。トランジスタ 730 は、コントローラ 764 によって生成される制御信号 B1 に接続されたゲート端子を有する。

【0033】

[0045] トランジスタ 734 は、トランジスタ 736 のドレイン端子に接続されたソース端子を有する。トランジスタ 734 は、コントローラ 764 によって生成される制御信号 B4 に接続されたゲート端子を有する。

【0034】

[0046] トランジスタ 736 は、信号接地に接続されたソース端子を有する。トランジスタ 736 は、キャパシタ 334 の第 1 の端子に接続されたゲート端子を有する。 10

【0035】

[0047] 第 2 の分岐は、トランジスタ 738、740、742、および 744 を含む。第 3 の分岐は、トランジスタ 746、748、750、および 752 を含む。第 2 および第 3 の分岐は、同様に第 1 の分岐に接続される。制御信号 B2 および B5 は、第 2 の分岐を制御し、制御信号 B3 および B6 は、第 3 の分岐を制御する。

【0036】

[0048] 例示的な実施形態において、電流スライサ 704 のトランジスタのトランジスタ分岐は、「M」の表示を有し、「M」は、トランジスタについてのフィンガーの数（たとえば、トランジスタのための乗数）を示す。例えば、トランジスタ 340 が W (um) の幅を有する場合、トランジスタ 730 は、W / 4 に大きさ調整され、トランジスタ 738 は、W / 2 に大きさ調整され、トランジスタ 746 は、W / 4 に大きさ調整される。よって、トランジスタは、置き換えられたトランジスタについて、1 : 2 : 1 の比を提供するように、大きさ調整される。電流スライサ 704 の全てのトランジスタグループについても、同様のことが当てはまる。トランジスタについて、他の大きさまたは比が使用され得ることにも、留意すべきである。 20

【0037】

[0049] コントローラ 764 は、CPU、プロセッサ、ゲートアレイ、ハードウェアロジック、ディスクリート回路、メモリ要素、および / またはハードウェア実行ソフトウェアのうちの少なくとも 1 つを備える。コントローラ 764 はまた、命令、制御情報、データ、構成パラメータ、測定、および / または他の情報、のような構成情報を受信するために、通信線 766 を使用して、ワイヤレスデバイスにおいて、他のエンティティと通信するように構成される。コントローラ 764 は、図 7 において指示された増幅回路の利得を設定するために、電流分流器 702 および電流スライサ 704 の動作を制御すべく、制御信号 D(n) および B(n) を生成するために、受信した構成情報を使用する。 30

【0038】

[0050] 図 7 において指示された増幅回路の入力インピーダンスは、利得設定が変化しても、変わることにも留意すべきである。例えば、入力インピーダンスは、式 [1] / (トランジスタ 314 の gm + トランジスタ 308 の gm) によって決定される。利得が変化されるとき、トランジスタ 314 およびトランジスタ 308 の動作条件は、最高利得条件下とぴったり同一のままである。よって、利得が変化されるとき、トランジスタ 314 からのドレイン電流だけが、電流分流器 (718、720、722、724、726、および 728) 中のトランジスタ間に分流され、分流は、入力インピーダンスには影響を及ぼさない。トランジスタ 308 を含む PMOS 側についても、同様のことが当てはまる。それゆえ、如何に利得が変化されようとも、入力インピーダンスは同一のままであり、これは、正確な利得ステップを提供する。増幅器 700 の利得を設定するために、如何に、コントローラ 764、電流分流器 702、および電流スライサ 704 が動作するかの詳しい説明が、以下に提供される。 40

【0039】

[0051] 図 8 は、図 7 において指示された増幅回路の利得を設定するための電流分流

50

器 702 の動作を例証する。動作の間中、(図 8 中には指示されない) コントローラ 764 は、電流分流器 702 のトランジスタを選択的にイネーブルまたはディセーブルするために、D (n) 制御信号を出力する。例えば、コントローラ 764 は、受信した構成情報に基づいて、制御信号 D (n) の状態を決定する。この例証のために、太字で指示されたトランジスタ 708、714、720、および 726 を、それぞれイネーブルするために、コントローラ 764 は、制御信号 D2、D5、D8、および D11 がアクティブ状態となるように、出力することが想定されるであろう。電流分流器 702 の残りのトランジスタをディセーブルするために、残りの D (n) 制御信号は、非アクティブ状態に設定される。

## 【0040】

10

[0052] RF 入力が高レベルになるとき、トランジスタ 308 は、バイアス信号 VBP1 によってイネーブルでき、また、トランジスタ 314 は、ディセーブルされる。トランジスタ 308 が RF 入力およびバイアス信号 VBP1 によってイネーブルされるとき、電流 I1 は、トランジスタ 308 を通して流れ、2 つの信号経路を通して分流される。電流 I1 は、イネーブルされたトランジスタ 708 を通して、第 1 の信号経路で流れ、電流 I2 は、イネーブルされたトランジスタ 714 を通して、第 2 の信号経路で流れ。電流 I1 は、ノード 756 まで流れ、出力として利用可能である。電流 I2 は、キャパシタ 762 まで、および信号接地まで流れ。よって、出力ノード 756 から電流を離れて分流するように電流分流器を調整することによって、増幅段 302 の利得は設定できる。同様の動作は、RF 入力が低レベルになり、したがって、トランジスタ 308 がディセーブルされ、トランジスタ 314 がイネーブルされたときに生じる。このケースにおいて、電流 I1 は、トランジスタ 720 を通して出力から流れ、I2 に等しい電流が、キャパシタ 762 からトランジスタ 726 を通して流れ、トランジスタ 314 を通して流れ電流 I が形成される。

20

## 【0041】

[0053] コントローラ 764 は、電流分流器 702 のトランジスタを通して、電流 I を分流した結果として、様々な利得設定が得られるように、電流分流器 702 における、任意のトランジスタをイネーブルまたはディセーブルするための D (n) 制御信号を出力できる。よって、より多くのトランジスタがイネーブルされて、より多くの電流が出力に分流し、より少ないトランジスタがイネーブルされて、より少ない電流がキャパシタ 762 に分流するとき、利得は増加する。より少ないトランジスタがイネーブルされて、より少ない電流が出力に分流され、より多くのトランジスタがイネーブルされて、より多くの電流がキャパシタ 762 に分流するとき、利得は減少する。

30

## 【0042】

[0054] 図 9 は、図 7 に指示された増幅回路の利得を設定するための、電流スライサ 704 の動作を例証する。動作の間中、(図 9 中には指示されない) コントローラ 764 は、電流スライサ 704 のトランジスタの分岐を選択的にイネーブルまたはディセーブルするために、B (n) 制御信号を出力する。例えば、コントローラ 764 は、受信した構成情報に基づいて、制御信号 B (n) の状態を決定する。この例証のために、それぞれ太字で指示されたトランジスタ 738、740、742、および 744 を含む 1 つの分岐をイネーブルするために、コントローラ 764 は、制御信号 B2 および B5 がアクティブ状態となるように、出力することが想定されるであろう。電流分流器 704 のトランジスタの残りの分岐をディセーブルするために、残りの B (n) 制御信号は、非アクティブ状態に設定される。

40

## 【0043】

[0055] B2 および B5 制御信号によって、トランジスタ 740 および 742 がイネーブルされるとき、電流 Ib2 は、トランジスタ 738、740、742、および 744 を通して流れることができる。残りの B (n) 制御信号が、他の分岐におけるトランジスタをディセーブルするので、電流 Ib1 および Ib3 は、それらの分岐において流れることが、妨げられる。ノード 318 における、RF 入力が低(または、マイナスの)電圧レベ

50

ルの間、トランジスタ 738 はイネーブルされ、電流  $I_{b2}$  が、(  $B_2$  によってイネーブルされた) トランジスタ 740 を通して、ノード 754 まで流れ、反転された  $RF\_OUTN$  信号を生成する出力が入手可能である。ノード 320 における  $RF$  入力信号の低(または、マイナス)電圧レベルは、信号接地への電流の流れを妨げるために、トランジスタ 744 をディセーブルする。代替的に、ノード 318 における、 $RF$  入力が高(または、プラスの)電圧レベルの間、電流  $I_{b2}$  は、ターンオフされたトランジスタ 738 を通して、ノード 754 まで流れない。しかしながら、対応する、ノード 320 における  $RF$  入力高(または、プラスの)電圧レベルは、トランジスタ 744 をイネーブルし、電流  $I_{b2}$  が、ノード 754 から信号接地まで流れるようにし、それにより、反転された  $RF\_OUTN$  信号を生成する。

10

## 【0044】

[0056] よって、1つまたは複数の分岐を活性化し、出力ノード 756、ヘ/から電流が流れるように電流スライサ 704 を調整することによって、増幅段 304 の利得は設定できる。コントローラ 764 は、様々な利得設定を得ることができるように、電流スライサ 704 におけるトランジスタの分岐をイネーブルまたはディセーブルするために、 $B(n)$  制御信号を出力できる。例えば、第1、第2および第3の分岐の任意の組み合わせは、電流  $I_{b1}$ 、 $I_{b2}$ 、および  $I_{b3}$  が、それぞれの分岐を通して流れか、否かを制御するために、イネーブルまたはディセーブルできる。さらに、電流スライサ 704 の1つまたは複数の分岐がディセーブルされたとき、対応する電流の節約の結果となる。

20

## 【0045】

[0057] 図10は、利得制御を含むように拡張された増幅回路 300 の詳しい例示的、代替的実施形態を示す。例えば、増幅段 302 は、電流分流器 702 を含むように拡張され、上記で説明されたように、電流分流器 702 は、相補的共通ゲート増幅段 302 の利得を設定するように動作する。相補的共通ソース増幅段 304 は、電流分流器 1000 を含むように拡張され、電流分流器 1000 は、電流分流器 702 と同様に利得を設定するように動作する。コントローラ 764 は、電流分流器 702 および電流分流器 1000 の動作を制御するために、制御信号  $D(n)$  および  $D'(n)$  を出力する。

20

## 【0046】

[0058] 例示的な実施形態において、相補的共通ソース増幅段 304 のトランジスタ 342、344 は、電流分流器 1000 で置き換える。電流分流器 1000 は、PMOS トランジスタの2つのグループ、および NMOS トランジスタの2つのグループを含む。PMOS トランジスタの第1のグループは、トランジスタ 1002、1004、および 1006 を含む。トランジスタ 1002、1004、および 1006 は、トランジスタ 340 のドレイン端子に接続されたソース端子を有し、ノード 760 に接続されたドレイン端子を有し、ノード 760 はまた、(たとえば、1-5キロオームの) 抵抗器 1026 の第1の端子に接続される。反転された出力信号  $RF\_OUTN$  は、ノード 1028 から出力され、ノード 1028 は、抵抗器 1026 の第2の端子に接続される。トランジスタ 1002、1004、および 1006 は、コントローラ 764 によって生成される制御信号  $D'1$ 、 $D'2$ 、および  $D'3$  を、それぞれ受信するように接続されたゲート端子を有する。

30

## 【0047】

[0059] PMOS トランジスタの第2のグループは、トランジスタ 1008、1010、および 1012 を含む。トランジスタ 1008、1010、および 1012 は、トランジスタ 340 のドレイン端子に接続されたソース端子を有し、また、ノード 1028 に接続されたドレイン端子を有する。ノード 1028 は、抵抗器 1026 の第2の端子に接続される。トランジスタ 1008、1010、および 1012 は、コントローラ 764 によって生成される制御信号  $D'4$ 、 $D'5$ 、および  $D'6$  を、それぞれ受信するように接続されたゲート端子を有する。

40

## 【0048】

[0060] NMOS トランジスタの第1のグループは、トランジスタ 1014、1016

50

、および 1018 を含む。トランジスタ 1014、1016、および 1018 は、トランジスタ 346 のドレイン端子に接続されたソース端子を有し、また、ノード 760 に接続されたドレイン端子を有する。トランジスタ 1014、1016、および 1018 は、コントローラ 764 によって生成される制御信号 D'7、D'8、D'9 を、それぞれ受信するように接続されたゲート端子を有する。

【0049】

[0061] NMOS トランジスタの第 2 のグループは、トランジスタ 1020、1022、および 1024 を含む。トランジスタ 1020、1022、および 1024 は、トランジスタ 346 のドレイン端子に接続されたソース端子を有し、また、ノード 1028 に接続されたドレイン端子を有する。トランジスタ 1020、1022、および 1024 は、コントローラ 764 によって生成される制御信号 D'10、D'11、D'12 を、それぞれ受信するように接続されたゲート端子を有する。

10

【0050】

[0062] 図 11 は、図 10 において指示された増幅器の利得を設定するための、電流分流器 702 および 1000 の動作を例証する。動作の間中、コントローラ 764 は、電流分流器 702 のトランジスタを、選択的にイネーブルまたはディセーブルするために、D(n) 制御信号を出力する。例えば、コントローラ 764 は、受信した構成情報に基づいて、制御信号 D(n) の状態を決定する。この例証のために、太字で指示されたトランジスタ 708、714、720、および 726 を、それぞれイネーブルするために、コントローラ 764 は、制御信号 D2、D5、D8、および D11 がアクティブ状態となるように、出力することが想定されるであろう。電流分流器 702 の残りのトランジスタをディセーブルするために、残りの D(n) 制御信号は、非アクティブ状態に設定される。

20

【0051】

[0063] コントローラ 764 はまた、電流分流器 1000 のトランジスタを、選択的にイネーブルまたはディセーブルするために、D'(n) 制御信号を出力する。例えば、コントローラ 764 は、受信した構成情報に基づいて、制御信号 D'(n) の状態を決定する。この例証のために、太字で指示されたトランジスタ 1004、1010、1016、および 1022 を、それぞれイネーブルするために、コントローラ 764 は、制御信号 D'2、D'5、D'8、および D'11 がアクティブ状態となるように、出力することが想定されるであろう。電流分流器 1000 の残りのトランジスタをディセーブルするために、残りの D'(n) 制御信号は、非アクティブ状態に設定される。

30

【0052】

[0064] 上記で説明されたように設定された制御信号で、RF 入力信号が、低になると、トランジスタ 314 および 340 はイネーブルされ、トランジスタ 308 および 346 はディセーブルされる。電流スライサ 702 において、電流は、矢印で示されるように、イネーブルされたトランジスタ 720 および 726 を通して流れる。ノード 760 から流れる電流 (Ia) は、イネーブルされたトランジスタ 726 を通して流れる。電流スライサ 1000 において、電流は、矢印で示されるように、イネーブルされたトランジスタ 1004 および 1010 を通して流れる。ノード 760 に流れ込む電流 (Ib) は、イネーブルされたトランジスタ 1004 を通して流れる。

40

【0053】

[0065] この例示的な実施形態において、ノード 760 は、仮想的 AC 信号接地を形成する。このノードにおいて、電流 Ia および Ib は、反対方向に流れる。少量の電流が、キャパシタ 762 を通して流れ得る。しかしながら、この少量の電流のため、キャパシタ 762 は、サイズが小さいであろう。例えば、キャパシタ 762 は、加算回路の入力インピーダンスに匹敵するインピーダンスを提供するのに十分な大きさであればよい。例示的な実施形態において、加算回路は受動的ネットワークであり、それゆえ、図 11 に指示された増幅回路に結合されたダウントリームミキサの入力インピーダンスを反映するだけである。

【0054】

50

[0066] 図12は、図7および図10において指し示された増幅回路の例示的実施形態によって実行される、例示的な動作を指し示す。例えば、例示的な実施形態において、図7において指し示された増幅回路は、図1において指し示されたワイヤレスデバイス110のようなデバイス中で、増幅された信号を生成するための動作1200を実行する。

【0055】

[0067] 動作1202の間中、差動出力の第1の増幅された信号を生成するために、入力信号の増幅が実行される。増幅は、信号反転を伴わずに実行される。例えば、相補的共通ゲート増幅段702が、この動作を実行する。

【0056】

[0068] 動作1204の間中、第1の増幅された信号を生成するために使用される増幅利得は、電流分流を使用して設定される。例えば、コントローラ764は、この動作を実行するために、電流分流器702のトランジスタを制御する制御信号D(n)を出力する。

10

【0057】

[0069] 動作1206の間中、差動出力の第2の増幅された信号を生成するために、入力信号の増幅が実行される。増幅は、信号反転を伴って実行される。例えば、相補的共通ソース増幅段704が、この動作を実行する。

【0058】

[0070] 動作1208の間中、第2の増幅された信号を生成するために使用される増幅利得は、電流スライシングを使用して設定される。例えば、コントローラ764は、この動作を実行するために、電流スライサ704のトランジスタを制御する制御信号B(n)を出力する。代替的に、電流分流器1000が、この動作を実行するために使用される。

20

【0059】

[0071] したがって、図7および図10において指し示された増幅回路は、上記で説明された動作を実行する。動作1200は、例示的であり、動作1200への軽微な変更、再配列、および他の変化は、例示的な実施形態の範囲内であるることに留意すべきである。

【0060】

[0072] 図13は、増幅装置1300の例示的な実施形態を指し示す。例示的な実施形態において、装置1300は、図7で指し示される増幅回路400としての使用に適している。

30

【0061】

[0073] 装置1300は、第1の出力端子における第1の増幅された信号を生成するために、入力端子における入力信号を増幅する第1の手段(1302)を含み、第1の手段は、例示的な実施形態において、図7において指し示された増幅段302を備える。

【0062】

[0074] 装置1300はまた、増幅する手段の利得を設定するために、入力信号に応答して生成された電流を分流する第2の手段(1304)を備え、第2の手段は、例示的な実施形態において、電流分流器702を備える。

40

【0063】

[0075] 装置1300はまた、第2の出力端子において第2の増幅された信号を生成するために、入力端子における信号を増幅するように構成された、信号反転を伴う、増幅する第3の手段(1306)を備え、第3の手段は、例示的な実施形態において、図7において指し示された増幅段304を備える。

【0064】

[0076] 装置1300はまた、信号反転を伴う、増幅する手段の利得を設定する第4の手段(1308)を備え、第4の手段は、例示的な実施形態において、電流スライサ704または電流分流器1000を備える。

【0065】

[0077] 本明細書で説明される増幅回路の例示的な実施形態は、I C、アナログI C、

50

R F I C、混合信号I C、A S I C、プリント回路基板（P C B）、電子デバイス、等、上に実装され得る。增幅回路の例示的な実施形態はまた、相補型金属酸化膜半導体（C M O S）、NチャネルM O S（N M O S）、PチャネルM O S（P M O S）、バイポーラ接合トランジスタ（B J T）、バイポーラC M O S（B i C M O S）、シリコンゲルマニウム（S i G e）、ガリウムヒ素（G a A s）、ヘテロ接合バイポーラトランジスタ（H B T）、高電子移動度トランジスタ（H E M T）、シリコン・オン・インシユレータ（S O I）、等のような、様々なI C処理技術を用いて作られ得る。

## 【0066】

[0078] 本明細書で説明される增幅回路の例示的な実施形態を実装する装置は、独立型（stand-alone）デバイスであり得、またはより大きなデバイスの一部分であり得る。デバイスは、（i）独立型I C、（i i）データおよび/または命令を格納するためのメモリI Cを含み得る、1つまたは複数のI Cのセット、（i i i）R F受信機（R F R）またはR F送信機/受信機（R T R）のようなR F I C、（i v）移動局モデム（M S M）のようなA S I C、（v）他のデバイス内に埋め込まれ得るモジュール、（v i）受信機、セルラー電話、ワイヤレスデバイス、ハンドセット、または移動体ユニット、（v i i）等、であり得る。

10

## 【0067】

[0079] 1つまたは複数の例示的な設計において、説明された機能は、ハードウェア、ファームウェア、またはそれらの任意の組み合わせで実装され得る。ソフトウェアを実行するハードウェアによって実装される場合、機能は、1つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶され、または、コンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体と、1つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、コンピュータによってアクセスされることができる任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、R A M、R O M、E E P R O M（登録商標）、C D - R O Mまたは他の光ディスク記憶装置、磁気ディスク記憶装置または他の磁気記憶デバイス、あるいは命令もしくはデータ構造の形で、所望のプログラムコードを搬送または記憶するために使用されることができ、コンピュータによってアクセスされることができる任意の他の媒体を備えることができる。また、任意の接続は、適切にコンピュータ可読媒体と称される。例えば、ソフトウェアがウェブサイト、サーバ、または他の遠隔ソースから、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線（D S L）、あるいは赤外線、無線、およびマイクロ波のようなワイヤレス技術を使用して送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、D S L、あるいは赤外線、無線、およびマイクロ波のようなワイヤレス技術は媒体の定義に含まれている。ディスク（disk）およびディスク（disc）は、本明細書で使用される場合、コンパクトディスク（disc）（C D）、レーザーディスク（登録商標）（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（D V D）、フロッピー（登録商標）ディスク（disk）およびB l u - r a y（登録商標）ディスク（disc）を含み、ここで、ディスク（disk）は通常、磁気的にデータを再生し、その一方でディスク（disc）は、レーザーを用いて光学的にデータを再生する。上記の組み合わせも、コンピュータ可読媒体の範囲内に含まれるべきである。

20

30

40

## 【0068】

[0080] 本開示の先の説明は、当業者が本開示を製造または使用することを可能にするために提供される。本開示に対する様々な変更は、当業者にとって容易に明らかであり、ここで定義された一般的な原則は、本開示の範囲から逸脱することなく他の変形に適用され得る。よって、本開示は、本明細書において説明された例および設計に限定されるように意図されず、本明細書で開示された原理および新規の特徴と一致する、最も幅広い範囲が付与されるべきである。

【図1】

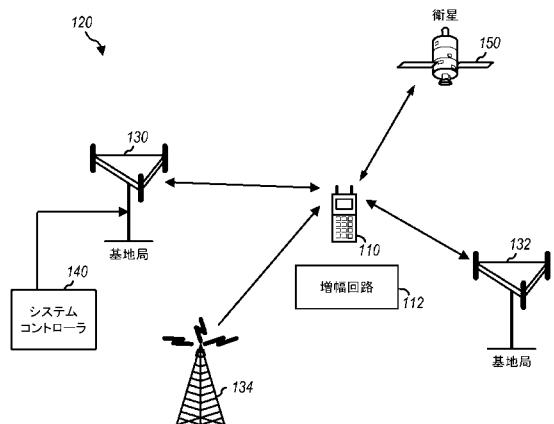


FIG. 1

【 図 2 】



FIG. 2

【 図 3 】

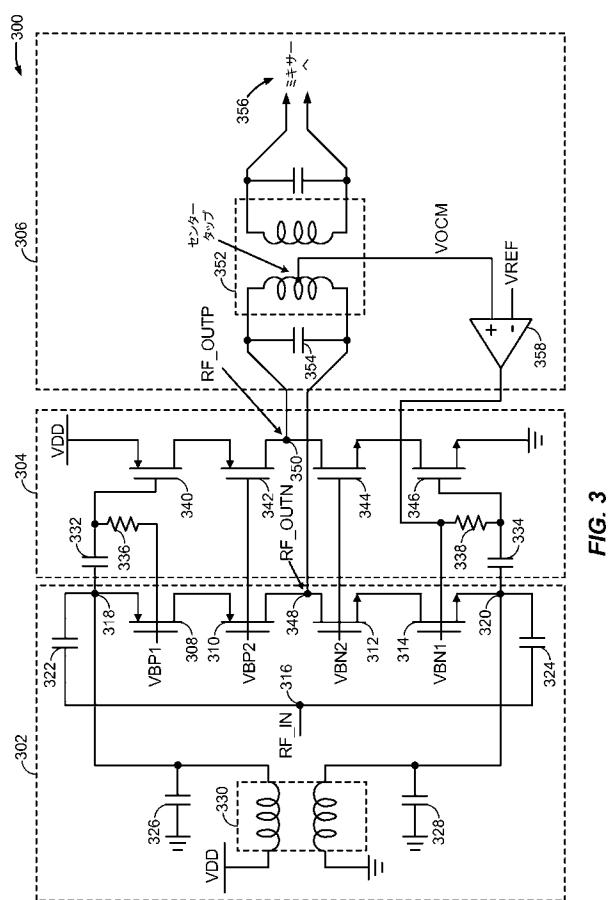
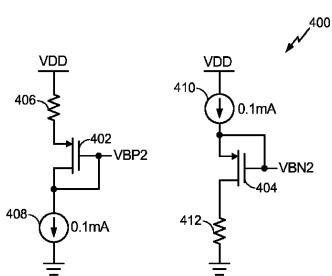


FIG. 3

【 四 4 】



**FIG. 4**

【図5】

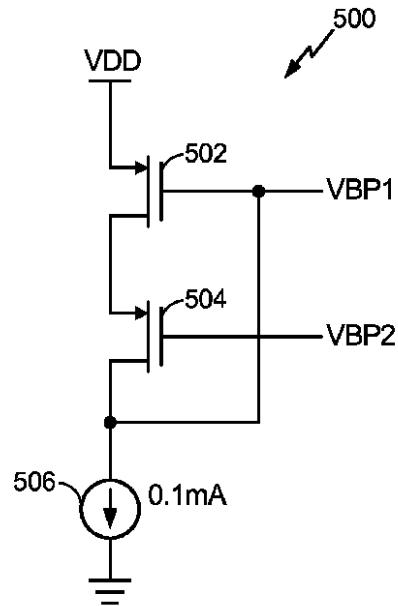


FIG. 5

【 四 6 】

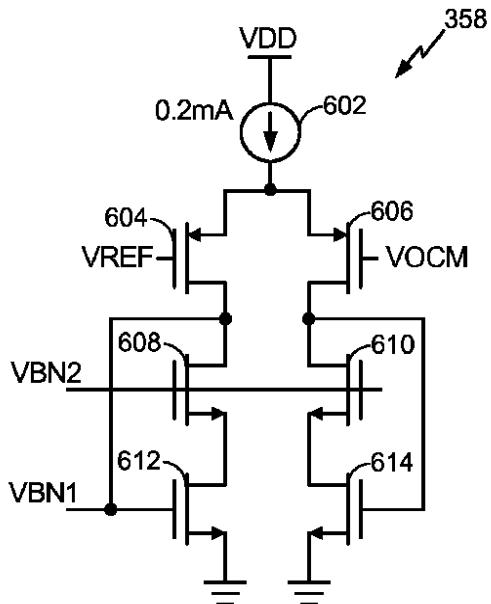


FIG. 6

【 図 7 】

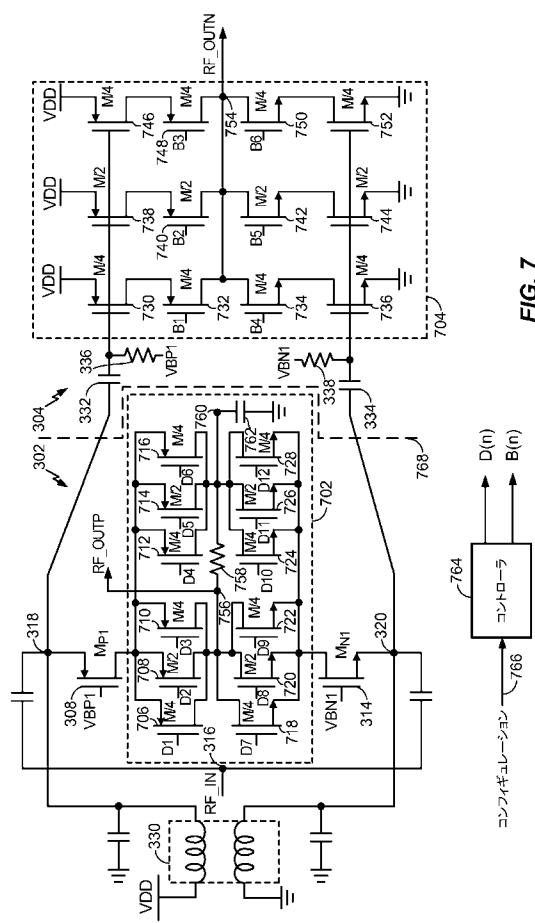


FIG. 7

【 8 】

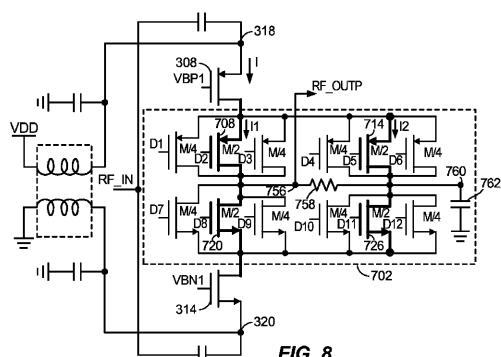


FIG. 8

【 四 9 】

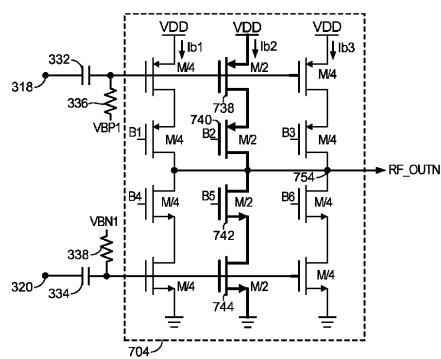
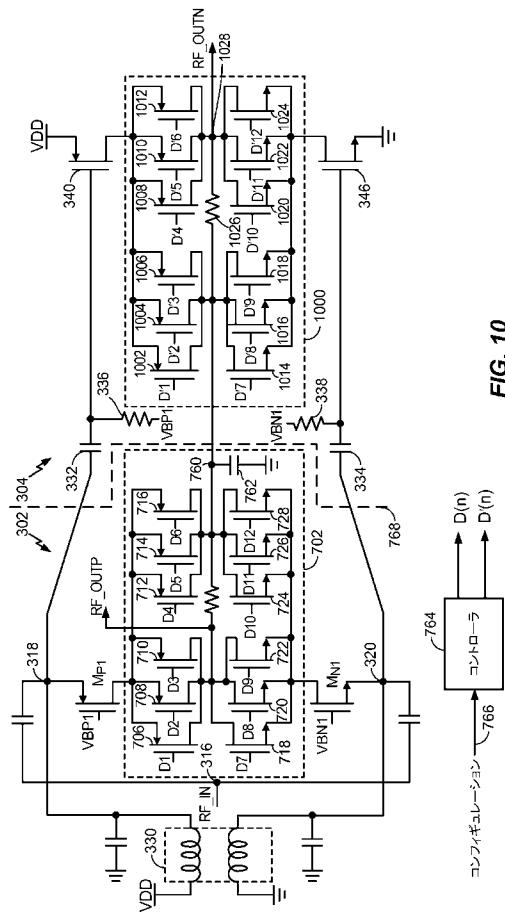


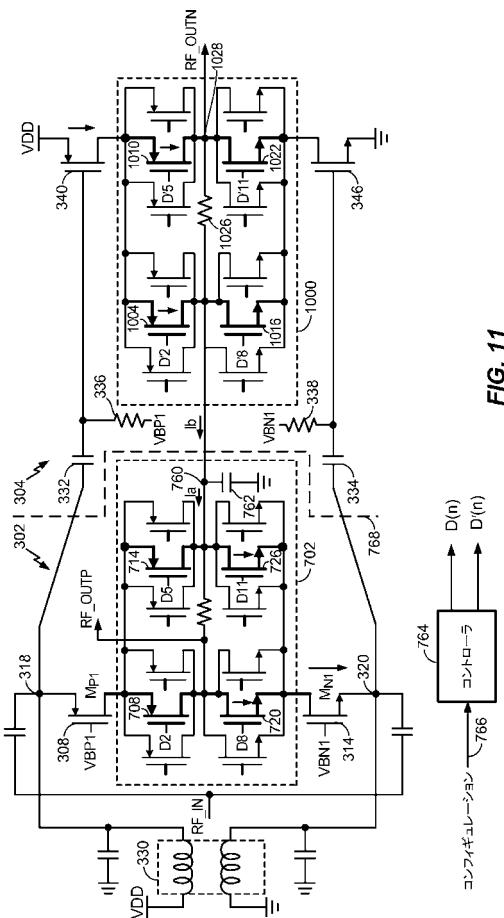
FIG. 9

【 図 1 0 】

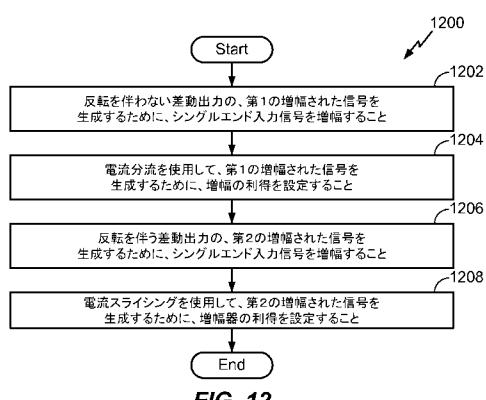


【 図 1 2 】

【 図 1 1 】



【 図 1 3 】



**FIG. 12**

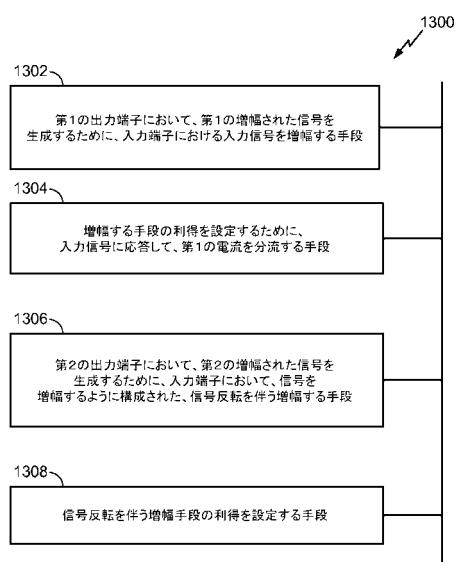


FIG. 13

**【手続補正書】**

【提出日】平成29年8月22日(2017.8.22)

**【手続補正1】**

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

**【補正の内容】**

【特許請求の範囲】

**【請求項1】**

第1の増幅された信号を生成するために、入力端子における入力信号を増幅するように構成された第1の増幅段と、前記第1の増幅段は、前記第1の増幅段の利得を設定するために、第1の電流を選択的に分流するように構成された電流分流器を有し、

第2の増幅された信号を生成するために、前記入力端子における前記入力信号を増幅するように構成された第2の増幅段と、前記第2の増幅段は、前記第2の増幅段の利得を設定するための利得制御回路を有する、を備え、

ここにおいて、前記第1の増幅段は、前記入力信号に関して反転されていない、前記第1の増幅された信号を生成する相補的共通ゲート増幅器として構成され、また、前記第2の増幅段は、前記入力信号に関して反転されている、前記第2の増幅された信号を生成する相補的共通ソース増幅器として構成された、装置。

**【請求項2】**

前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、請求項1の装置。

**【請求項3】**

前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記利得制御回路を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、請求項2の装置。

**【請求項4】**

前記コントローラは、選択された利得設定に前記第1の増幅段の前記利得を設定するために、AC接地を形成するノードに、前記第1の電流の選択された量を分流する、前記電流分流器を制御するための第1の制御信号を出力するように構成され、また、前記コントローラは、前記選択された利得設定に前記第2の増幅段の前記利得を設定するために、前記相補的カスコードトランジスタの前記並列分岐を選択的にイネーブルすべく、第2の制御信号を出力するように構成された、請求項3の装置。

**【請求項5】**

前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、第2の電流の選択された量を分流するように構成された第2の電流分流器を備える、請求項1の装置。

**【請求項6】**

前記電流分流器は、前記第1の電流の選択された量をノードに分流するように構成され、また、前記第2の電流分流器は、前記第2の電流の前記選択された量を前記ノードに分流するように構成され、前記ノードはAC信号接地を形成する、請求項5の装置。

**【請求項7】**

前記ノードおよび信号接地間に結合されたキャパシタをさらに備え、前記ノードにおいて、前記第1および第2の電流の前記選択された量は、反対方向に流れ、結果として、前記第1または第2の電流よりも小さい第3の電流が、前記ノードおよび前記キャパシタ間に流れる、請求項6の装置。

**【請求項8】**

前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記第2の電流分流器を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、請求項6の装置。

**【請求項9】**

前記第1および第2の増幅された信号を受信し、差動信号を出力するように構成された加算回路を、さらに備える、請求項1の装置。

【請求項10】

前記加算回路は、前記第1および第2の増幅段をバイアスする、バイアス信号を生成するバイアス信号ジェネレータを備える、請求項9の装置。

【請求項11】

前記加算回路は、第1の巻き線を横切る前記第1および第2の増幅された信号を受信する変圧器を備え、前記第1の巻き線は、前記バイアス信号ジェネレータに共通モード電圧信号を出力するセンタータップを有する、請求項10の装置。

【請求項12】

第1の出力端子において第1の増幅された信号を生成するために、入力端子における入力信号を増幅する手段と、前記第1の増幅された信号は、前記入力信号に関して反転されておらず、

前記増幅する手段の利得を設定するために、前記入力信号に応答して生成された、第1の電流を分流する手段と、

第2の出力端子において第2の増幅された信号を生成するために、前記入力端子における前記信号を増幅するように構成された、信号反転を有する、増幅する手段と、

信号反転を有する、前記増幅する手段の利得を設定する手段と、前記利得を設定する手段は、信号反転を有する、前記増幅する手段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、

を備える装置。

【請求項13】

前記増幅する手段は、前記第1の増幅された信号を生成する相補的共通ゲート増幅器を備える、請求項12の装置。

【請求項14】

前記増幅する手段は、前記第2の増幅された信号を生成する相補的共通ソース増幅器を備える、請求項12の装置。

【請求項15】

前記第1の電流を分流する手段は、前記第1の電流の選択された部分を、AC信号接地を形成するノードに向けるように構成された、請求項12の装置。

【請求項16】

前記ノードおよび信号接地間に結合されたキャパシタ、をさらに備える、請求項15の装置。

【請求項17】

前記利得を設定する手段は、信号反転を有する前記増幅する手段の前記利得を設定するために、第2の電流を分流する手段を備える、請求項12の装置。

【請求項18】

前記第1の電流を分流する手段と、前記利得を設定する手段とを制御する制御信号を出力する、制御する手段、をさらに備える、請求項12の装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

[0080] 本開示の先の説明は、当業者が本開示を製造または使用することを可能にするために提供される。本開示に対する様々な変更は、当業者にとって容易に明らかであり、ここで定義された一般的な原則は、本開示の範囲から逸脱することなく他の変形に適用され得る。よって、本開示は、本明細書において説明された例および設計に限定されるよう意図されず、本明細書で開示された原理および新規の特徴と一致する、最も幅広い範囲

が付与されるべきである。

以下に、本出願時の特許請求の範囲に記載された発明を付記する。

[付記 1] 第1の増幅された信号を生成するために、入力端子における入力信号を増幅するように構成された第1の増幅段と、前記第1の増幅段は、前記第1の増幅段の利得を設定するために、第1の電流を選択的に分流するように構成された電流分流器を有し、

第2の増幅された信号を生成するために、前記入力端子における前記入力信号を増幅するように構成された第2の増幅段と、前記第2の増幅段は、前記第2の増幅段の利得を設定するための利得制御回路を有する、を備える、装置。

[付記 2] 前記第1の増幅段は、前記入力信号に関して反転されていない、前記第1の増幅された信号を生成する相補的共通ゲート（CCG）増幅器として構成され、前記第2の増幅段は、前記入力信号に関して反転されている、前記第2の増幅された信号を生成する相補的共通ソース（CCS）増幅器として構成された、付記1の装置。

[付記 3] 前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、付記2の装置。

[付記 4] 前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記利得制御回路を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、付記3の装置。

[付記 5] 前記コントローラは、選択された利得設定に前記第1の増幅段の前記利得を設定するために、AC接地を形成するノードに、前記第1の電流の選択された量を分流する、前記電流分流器を制御するための第1の制御信号を出力するように構成され、また、前記コントローラは、前記選択された利得設定に前記第2の増幅段の前記利得を設定するために、

前記相補的カスコードトランジスタの前記並列分岐を選択的にイネーブルすべく、第2の制御信号を出力するように構成された、付記4の装置。

[付記 6] 前記利得制御回路は、前記第2の増幅段の前記利得を設定するために、第2の電流の選択された量を分流するように構成された第2の電流分流器を備える、付記1の装置。

[付記 7] 前記電流分流器は、前記第1の電流の選択された量をノードに分流するように構成され、また、前記第2の電流分流器は、前記第2の電流の前記選択された量を前記ノードに分流するように構成され、前記ノードはAC信号接地を形成する、付記6の装置。

[付記 8] 前記ノードおよび信号接地間に結合されたキャパシタをさらに備え、前記ノードにおいて、前記第1および第2の電流の前記選択された量は、反対方向に流れ、結果として、前記第1または第2の電流よりも小さい第3の電流が、前記ノードおよび前記キャパシタ間に流れる、付記7の装置。

[付記 9] 前記第1の増幅段の前記利得を設定するために、前記電流分流器を制御し、また、前記第2の増幅段の前記利得を設定するために、前記第2の電流分流器を制御すべく、制御信号を出力するように構成されたコントローラを、さらに備える、付記7の装置。

[付記 10] 前記第1および第2の増幅された信号を受信し、差動信号を出力するように構成された加算回路を、さらに備える、付記1の装置。

[付記 11] 前記加算回路は、前記第1および第2の増幅段をバイアスする、バイアス信号を生成するバイアス信号ジェネレータを備える、付記10の装置。

[付記 12] 前記加算回路は、第1の巻き線を横切る前記第1および第2の増幅された信号を受信する変圧器を備え、前記第1の巻き線は、前記バイアス信号ジェネレータに共通モード電圧信号を出力するセンタータップを有する、付記11の装置。

[付記 13] 第1の出力端子において第1の増幅された信号を生成するために、入

力端子における入力信号を増幅する手段と、前記第1の増幅された信号は、前記入力信号に関して反転されておらず、

前記増幅する手段の利得を設定するために、前記入力信号に応答して生成された、第1の電流を分流する手段と、

第2の出力端子において第2の増幅された信号を生成するために、前記入力端子における前記信号を増幅するように構成された、信号反転を有する、増幅する手段と、

信号反転を有する、前記増幅する手段の利得を設定する手段とを備える装置。

[付記14] 前記利得を設定する手段は、信号反転を有する、前記増幅する手段の前記利得を設定するために、選択的にイネーブルされる相補的カスコードトランジスタの並列分岐を備える、付記13の装置。

[付記15] 前記増幅する手段は、前記第1の増幅された信号を生成する相補的共通ゲート(CCG)増幅器を備える、付記13の装置。

[付記16] 前記増幅する手段は、前記第2の増幅された信号を生成する相補的共通ソース(CCS)増幅器を備える、付記13の装置。

[付記17] 前記第1の電流を分流する手段は、前記第1の電流の選択された部分を、AC信号接地を形成するノードに向けるように構成された、付記13の装置。

[付記18] 前記ノードおよび信号接地間に結合されたキャパシタ、をさらに備える、付記17の装置。

[付記19] 前記利得を設定する手段は、信号反転を有する前記増幅する手段の前記利得を設定するために、第2の電流を分流する手段を備える、付記13の装置。

[付記20] 前記第1の電流を分流する手段と、前記利得を設定する手段とを制御する制御信号を出力する、制御する手段、をさらに備える、付記13の装置。

## 【国際調査報告】

# PATENT COOPERATION TREATY

# PCT

## INTERNATIONAL SEARCH REPORT

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference 116418135WO1	<b>FOR FURTHER ACTION</b>	see Form PCT/ISA/220 as well as, where applicable, item 5 below.
International application No. PCT/US2015/061142	International filing date ( <i>day/month/year</i> ) 17 November 2015 (17-11-2015)	(Earliest) Priority Date ( <i>day/month/year</i> ) 18 December 2014 (18-12-2014)
Applicant		
QUALCOMM INCORPORATED		

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of 5 sheets.

It is also accompanied by a copy of each prior art document cited in this report.

1. **Basis of the report**

a. With regard to the **language**, the international search was carried out on the basis of:

the international application in the language in which it was filed

a translation of the international application into \_\_\_\_\_, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b))

b.  This international search report has been established taking into account the **rectification of an obvious mistake** authorized by or notified to this Authority under Rule 91 (Rule 43.6bis(a)).

c.  With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, see Box No. I.

2.  **Certain claims were found unsearchable** (See Box No. II)

3.  **Unity of invention is lacking** (see Box No III)

4. With regard to the **title**,

the text is approved as submitted by the applicant

the text has been established by this Authority to read as follows:

5. With regard to the **abstract**,

the text is approved as submitted by the applicant

the text has been established, according to Rule 38.2, by this Authority as it appears in Box No. IV. The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority

6. With regard to the **drawings**,

a. The figure of the **drawings** to be published with the abstract is Figure No. 7

as suggested by the applicant

as selected by this Authority, because the applicant failed to suggest a figure

as selected by this Authority, because this figure better characterizes the invention

b.  none of the figures is to be published with the abstract

**INTERNATIONAL SEARCH REPORT**International application No.  
**PCT/US2015/061 142****Box No. IV Text of the abstract (Continuation of item 5 of the first sheet)**

Gain control in complementary common gate and common source amplifiers is disclosed. In an exemplary embodiment, an apparatus includes a first amplifier stage (302) configured to amplify an input signal at an input terminal (316) to generate a first amplified signal (RF\_OUTP). The first amplifier stage (302) includes a current diverter (702) that selectively diverts current to set a gain of the first amplifier stage (302). The apparatus also includes a second amplifier stage (304) configured to amplify the input signal at the input terminal (316) to generate a second amplified signal (RF\_OUTN). The second amplifier stage (304) includes a gain control circuit (704) to set a gain of the second amplifier stage (304).

## INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/061142

A. CLASSIFICATION OF SUBJECT MATTER				
INV.	H03F1/02	H03F3/193	H03F3/26	H03F3/45
		H03G3/30		H03H11/32

## ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F H03H H03G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
---

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>TZU-LUN CHIU ET AL: "A receiver front-end with variable-gain control for WiMAX applications", MICROWAVE CONFERENCE PROCEEDINGS (APMC), 2010 ASIA-PACIFIC, IEEE, 7 December 2010 (2010-12-07), pages 354-357, XP031929112, ISBN: 978-1-4244-7590-2 page 354, right-hand column, line 18 - page 355, right-hand column, line 33; figure 2</p> <p>-----</p> <p>US 2011/063032 A1 (LEE CHING-FENG [TW]) 17 March 2011 (2011-03-17) paragraphs [0021] - [0035]; figures 2-6</p> <p>-----</p> <p>-/-</p>	1-20
A		1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

## \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

## Date of the actual completion of the international search

Date of mailing of the international search report

12 February 2016

23/02/2016

## Name and mailing address of the ISA/

Authorized officer

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel: (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Fedi, Giulio

1

## INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/061142

## C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014/197886 A1 (RANGARAJAN RAJAGOPALAN [US] ET AL) 17 July 2014 (2014-07-17) paragraphs [0020] - [0055]; figures 2,3,4,5 -----	1-20
A	MAGESACHER THOMAS ET AL: "Exploiting the common-mode signal in xDSL", 2004 12TH EUROPEAN SIGNAL PROCESSING CONFERENCE, IEEE, 6 September 2004 (2004-09-06), pages 1217-1220, XP032760479, ISBN: 978-3-200-00165-7 [retrieved on 2015-04-03] page 1217, left-hand column, lines 20-29; figure 1 -----	12

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/061142

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2011063032 A1	17-03-2011	TW US	201112618 A 2011063032 A1	01-04-2011 17-03-2011
US 2014197886 A1	17-07-2014	CN EP JP KR US WO	104937842 A 2946467 A2 2016504004 A 20150109395 A 2014197886 A1 2014113417 A2	23-09-2015 25-11-2015 08-02-2016 01-10-2015 17-07-2014 24-07-2014

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 リヤオ、チ - ファン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

F ターム(参考) 5J100 AA02 BA03 BB02 BC04 EA02 FA02

5J500 AA01 AA17 AC71 AF15 AH10 AH17 AH25 AH29 AH35 AK26  
AM04 AM17 AS13 AT01