(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0082505
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) *H01L 51/00* (2006.01)
(52) CPC특허분류
H01L 51/0508 (2013.01)
H01L 51/0001 (2013.01)
(21) 출원번호 10-2018-0173148
(22) 출원일자 2018년12월28일
심사청구일자 2018년12월28일

(71) 출원인
경상대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)
(72) 발명자
이창희
인천광역시 연수구 원인재로 124, 한양1차 아파트 103동 203호 (동춘동)
노정균
서울특별시 관악구 관악로14길 108-4, 302호
김혁
서울특별시 관악구 낙성대역8길 43-14, 101호
(74) 대리인
특허법인한남

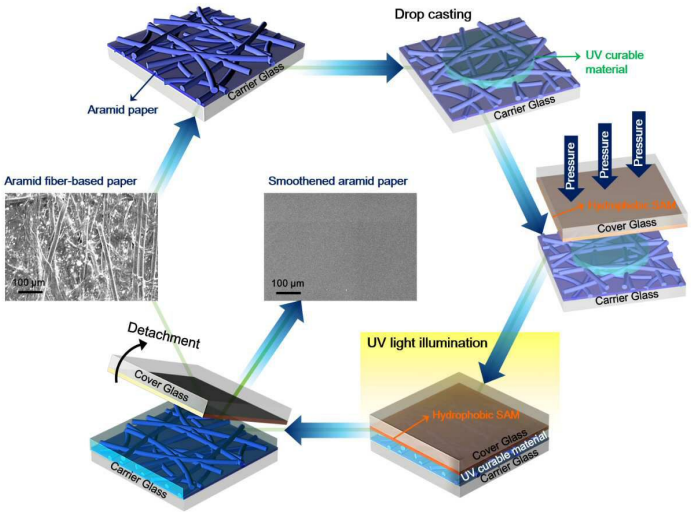
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **아라미드 섬유 기반의 유기 박막 트랜지스터 및 그의 제조 방법**

(57) 요 약

개시된 일 실시 예에 따른 종이 기판에서 유기 박막 트랜지스터를 제조하기 위한 방법은, 자외선을 이용한 평탄화 레이어 경화를 통해, 아라미드 섬유 기반 종이의 평탄화를 수행하는 단계, 및 평탄화된 아라미드 섬유 기반 종이에 어닐링을 수행함으로써 소스 및 드레인 전극을 형성하는 단계를 포함할 수 있다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

종이 기판에서 유기 박막 트랜지스터를 제조하기 위한 방법에 있어서,

자외선을 이용한 평탄화 레이어 경화를 통해, 아라미드 섬유 기반 종이의 평탄화를 수행하는 단계; 및

상기 평탄화된 아라미드 섬유 기반 종이에 어닐링을 수행함으로써 소스 및 드레인 전극을 형성하는 단계를 포함하는 유기 박막 트랜지스터 제조 방법.

청구항 2

제1항에 있어서,

상기 평탄화를 수행하는 단계는,

상기 아라미드 섬유 기반 종이를 캐리어 유리에 부착하는 단계;

상기 아라미드 섬유 기반 종이 위에 자외선 보조 평탄화 물질을 떨어트리는 단계;

옥타 데실 트리클로로 실란 처리된 커버 유리로 상기 아라미드 섬유 기반 종이를 덮는 단계;

상기 아라미드 섬유 기반 종이의 평탄화 레이어에 대해 자외선 경화를 수행하는 단계; 및

상기 옥타 데실 트리클로로 실란 처리된 커버 유리를 상기 아라미드 섬유 기반 종이로부터 제거하는 단계를 포함하는 유기 박막 트랜지스터 제조 방법.

청구항 3

제2항에 있어서,

상기 커버 유리의 표면 에너지는 상기 옥타 데실 트리클로로 실란 처리를 통해 기준 값보다 작아지는 유기 박막 트랜지스터 제조 방법.

청구항 4

제3항에 있어서,

상기 옥타 데실 트리클로로 실란 처리는, 상기 커버 유리를 옥타 데실 트리클로로 실란 용액에 디핑함으로써 수행되는 유기 박막 트랜지스터 제조 방법.

청구항 5

제1항에 있어서,

상기 평탄화 레이어는, Si 기반 폴리머에 기초하여 생성되는 유기 박막 트랜지스터 제조 방법.

청구항 6

제1항에 있어서,

상기 평탄화 레이어는, 실리콘화 실세스퀴옥산 아킬레이트, 에틸렌 글리콜 디아크릴레이트, 및 자외선 개시제 중 적어도 하나를 혼합하여 생성되는 유기 박막 트랜지스터 제조 방법.

청구항 7

아라미드 섬유 기반의 종이 기판; 및

상기 종이 기판 상에 형성되는 소스 및 드레인 전극을 포함하고,

상기 아라미드 섬유 기반의 종이 기판에 대한 평탄화는, 자외선을 이용하여 상부에 형성된 평탄화 레이어를 경화시킴으로써 수행되는 유기 박막 트랜지스터.

청구항 8

제7항에 있어서,

상기 평탄화 레이어는, Si 기반 폴리머에 기초하여 생성되는 유기 박막 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기 전자 디바이스에 관한 것으로, 구체적으로는 아라미드 섬유 기반의 종이 기판 상에서 구현되는 유기 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 전계 효과 트랜지스터 역할을 수행하는 유기 박막 트랜지스터(ORGANIC THIN FILM TRANSISTORS, 이하 OTFT)는 디스플레이를 구성하는 중요한 구성 요소이다. 무기 물질에 비해, 유기 물질은 분자 사이의 약한 반 데르 발스(van der Waals) 결합으로 인해 높은 유연성을 가질 수 있다는 장점이 있다. 이러한 흥미로운 특징으로 인해, 유연 전자(flexible electronics)라는 새로운 연구 영역이 개척되었으며, OTFT 를 다양한 플렉서블 기판(flexible substrates)에서 제조하기 위한 많은 연구가 수행되었다.

[0003] 다양한 플렉서블 기판 중에서 종이는 유비쿼터스 때문에 많은 관심을 받았는데 이는 출판물, 지폐, 일회용 커피컵, 명함 등 다양한 기존의 전자 기기와 쉽게 결합될 수 있음을 의미할 수 있다. 또한, 플라스틱에 기반한 다른 플렉서블 기판에 비해 종이 기판이 갖는 장점 중 하나는 일회성이다. 종이는 자르고, 찢어지고, 물에 담그고, 구겨지며, 심지어 불타 오르게 됨으로써 쉽게 파괴될 수 있다. 이러한 기능은 종이 기반의 전자 기기에 저장된 정보를 쉽게 삭제할 수 있음을 의미한다. 특히, 이러한 일회성은 보안 및 개인 정보 보호가 중요한 생물 의학 및 군사 분야에서 매우 중요하다. 또한, 종이는 생물 의학 센서 플랫폼을 위한 생분해성 기질로서의 사용이 가능한 천연 물질이다.

[0004] 종이 기판의 이러한 매력적인 특징에도 불구하고, 안정성(stability) 문제로 인해 주로 플라스틱 기판에 비해 제한된 연구가 수행되어왔다. 디바이스의 안정성은 트랩(trap) 상태와 밀접한 관련이 있으며, 종이 기질의 거친 특성은 더 높은 계면 트랩 밀도(interfacial trap densities)를 초래하는 유기 반도체의 더 많은 격자 변형(lattice distortion)을 유도한다. 종이 기판상의 유기 전자 장치의 안정성을 향상시키기 위해서는 평탄화(smoothening)가 수반되어야 한다. 스핀 코팅(spin coating), 화학 기상 증착(chemical vapor deposition, CVD), 블레이드 코팅(blade coating) 및 그라비어 인쇄(gravure printing)와 같은 다양한 증착 방법을 기반으로 종이 기판에 대한 많은 표면 평탄화 방법이 도입되었지만, 디바이스의 안정성 측면에서 불충분하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국특허등록공보 제 10-1841861호

발명의 내용

해결하려는 과제

[0006] 아라미드 종이 기판에 OTFT 를 구현하기 위한 평탄화 프로세스(smoothening process)가 개시될 수 있다.

[0007] 본 실시 예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 이하의 실시 예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

과제의 해결 수단

[0008] 종이 기판에서 유기 박막 트랜지스터를 제조하기 위한 방법은, 자외선을 이용한 평탄화 레이어 경화를 통해, 아라미드 섬유 기반 종이의 평탄화를 수행하는 단계, 및 상기 평탄화된 아라미드 섬유 기반 종이에 어닐링을 수행함으로써 소스 및 드레인 전극을 형성하는 단계를 포함할 수 있다.

[0009] 유기 박막 트랜지스터는, 아라미드 섬유 기반의 종이 기판, 상기 종이 기판 상에 형성되는 소스 및 드레인 전극을 포함하고, 상기 아라미드 섬유 기반의 종이 기판에 대한 평탄화는, 자외선을 이용하여 상부에 형성된 평탄화 레이어를 경화시킴으로써 수행될 수 있다.

발명의 효과

[0010] 일 실시 예에 따라, 아라미드 섬유 기반의 종이 기판에 OTFT 를 구현하기 위한 아라미드 종이에 대한 평탄화 프로세스가 개시될 수 있다. 개시된 아라미드 종이 기판 상의 OTFT 는 실리콘 기판 상의 OTFT 와 유사한 전기적 성능 및 안정성을 보여준다.

도면의 간단한 설명

[0011] 도1은 일 실시 예에 따라, 부풀어 오른 스트랜드를 갖는 평탄화된 아라미드 섬유 기반 종이의 SEM(scanning electron microscopy) 이미지(A), 평탄화 이후의 아라미드 섬유 기반 종이의 SEM 이미지(B), (C), (D), (E)를 나타낸다.

도2는 일 실시 예에 따른, 평탄화(smoothening) 프로세스를 도식화한 것이다.

도3은 일 실시 예에 따른, 커버 유리의 옥타 데실 트리클로로 실란(octadecyltrichlorosilane, OTS) 처리를 나타낸다.

도4는 일 실시 예에 따라, 평탄화 프로세스 이후의 아라미드 섬유 기반 종이 기판(a)과 실리콘 기판(b)의 AFM(Atomic Force Microscopy) 이미지를 나타낸다.

도5는 일 실시 예에 따라, 복사 용지(A), 화장지(B), 아라미드 직물(C), 평탄화 처리된 복사 용지(D), 평탄화 처리된 화장지(E), 평탄화 처리된 아라미드 직물(F)의 SEM 이미지를 나타낸다.

도6은 일 실시 예에 따른 CYTOP 게이트 유전체의 커패시턴스-주파수 특성을 나타낸다.

도7은 일 실시 예에 따라, OTFT의 도식화된 그림(A)과 아라미드 섬유 기반 종이 상에 제조된 OTFT의 그림(B)을 나타낸다.

도8은 아라미드 섬유 기반 종이 및 유리 기판 상의 OTFT의 전송 특성(A), 실리콘 기판 상의 OTFT의 출력 특성(B), 아라미드 섬유 기반 종이 상의 OTFT의 출력 특성(C)을 나타낸다.

도9는 일 실시 예에 따라, 아라미드 종이 기판과 실리콘 기판(동일한 배치(batch) 및 다른 배치 내에서 모두)에 대한 OTFT의 전달 특성의 분포를 나타낸다.

도10은 일 실시 예에 따라, 아라미드 섬유 기반 종이(A)와 실리콘 기판(B) 상의 OTFT 의 바이어스-스트레스(bias-stress) 테스트 결과 및 스트레스 시간에 대한 임계 전압 쉬프트(C)를 나타낸다.

도11은 일 실시 예에 따라, 굽힘 시간에 대응하는 이동도 및 ΔV_T의 변화를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0012] 아래에서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자들(이하, 통상의 기술자들)이 본 발명을 용이

하게 실시할 수 있도록, 첨부되는 도면들을 참조하여 몇몇 실시 예가 명확하고 상세하게 설명될 것이다.

[0013] 효율적이고 효과적인 표면 평탄화 프로세스를 통해, 종이 기판에서 매우 안정적인 OTFT가 개시된다. 종이 기판으로서, 우수한 기계적 특성(고-강성(tenacity) 및 탄성 계수(elasticity))과 온도(고온 저항 및 열 수축(heat shrinkage) 없음)를 고려하여 아라미드가 사용될 수 있다. 아라미드 기판의 표면 거칠기(surface roughness)를 수십 마이크로 미터에서 서브 나노 미터 수준으로 줄이기 위해 자외선(UV)을 이용한 빠른 평탄화 프로세스가 사용될 수 있다. 개시된 평탄화 프로세스는, 스핀 코팅(spin coating) 또는 포스트-어닐링(post-annealing) 프로세스가 필요하지 않으며, 모든 평탄화가 짧은 시간(예를 들어, 5 분 이내) 내에 완료될 수 있다. 또한, 이러한 평탄화 프로세스를 사용하여, 밀리미터 스케일(millimeter-scale)의 거칠기까지 커버하는 넓은 능력의 평탄화 작업이 수행될 수 있다. 또한, 개시된 평탄화 프로세스를 사용함으로써, 적당한 전기적 성능을 갖는 바이어스-스트레스(bias-stress) 및 굴곡 안정적(bending stable)인 OTFT가 달성될 수 있다.

[0014] 도1은 일 실시 예에 따라, 부풀어 오른 스트랜드를 갖는 평탄화된 아라미드 섬유 기반 종이의 SEM(scanning electron microscopy) 이미지(A), 평탄화 이후의 아라미드 섬유 기반 종이의 SEM 이미지(B), (C), (D), (E)를 나타낸다.

[0015] 아라미드 섬유 기반 종이의 표면은 수십 마이크로 미터의 거칠기를 가지며 아라미드 종이의 수직 방향으로 부풀어 오른 스트랜드는 표면 평탄화가 추가적으로 필요하다는 것을 의미할 수 있다.

[0016] 평탄화 레이어(smoothening layer)는 아라미드 종이의 양호한 온도 특성을 유지하기 위해 양호한 열적 특성을 가져야한다. 일 실시 예에 따라, 비교적 우수한 열적 성질을 갖는 Si 기반 폴리머(Si-based polymers)가 평탄화 레이어로 선택될 수 있다. 일 실시 예에 따라, 소정의 합성 접근 방식으로 평탄화 물질이 합성될 수 있으며, 자외선(UV) 이니시에이터(initiator)(또는, 개시제) 및 가교제(cross-linking agent)가 평탄화 프로세스의 시간을 제어하기 위한 주요 물질로서 사용될 수 있다.

[0017] 도2는 일 실시 예에 따른 평탄화(smoothening) 프로세스를 도식화한 것이다.

[0018] 아라미드 종이는 우수한 열적 및 기계적 안정성으로 인해 종이 전자 제품에 적합한 후보 물질로 고려될 수 있다. 다만, 아라미드 종이의 표면은 거칠고(~10㎛), 아라미드 종이 기판 상에 OTFT를 제조하기 위해서는 추가적인 평탄화 레이어(smoothening layer) 및 장벽 레이어(barrier layer)가 필요할 수 있다.

[0019] 먼저 아라미드 섬유 기반의 종이를 캐리어 유리(carrier glass)에 부착함으로써 종이 기판을 부드럽게 처리할 수 있다. 예를 들어, 캐리어 글래스의 각 면에 카톤 테이프(kapton tape)가 있는 아라미드 종이가 부착될 수 있다.

[0020] 그 다음, 아라미드 종이 위에 자외선 보조 평탄화 물질(UV-assisted smoothening material)을 떨어트린 다음 옥타 데실 트리클로로 실란(octadecyltrichlorosilane, 이하 OTS) 처리(도3을 참조하여 설명)된 커버 유리로 부드럽게 덮어서 아라미드 종이에 균일하게 분산되도록 할 수 있다.

[0021] 자외선(20mW/cm^2, 365 nm) 경화(curing) 프로세스는 대기에서 (예를 들어, 5분 동안) 수행될 수 있다. 자외선 경화 프로세스 이후에, OTS 처리된 커버 유리를 아라미드 종이로부터 제거할 수 있다.

[0022] 평탄화 과정에서 커버 유리(cover glass)는 중요한 역할을 한다. 커버 유리로 평탄화 물질을 덮지 않으면, 평탄화 된 레이어는 (1) 평탄화 물질과 아라미드 종이 사이의 표면 장력 및 (2) 평탄화 물질 및 주변 공기 사이의 표면 장력으로 인한 불균일 표면으로부터 안 좋은 영향을 받을 수 있다. 또한, 커버 유리로 평탄화 층의 거품과 핀 홀에 압력을 가함으로써, 그것을 제거할 수 있다. 자외선으로 평탄화 레이어를 경화(curing)시킨 후, 평탄화 레이어로부터 커버 유리를 분리할 수 있다. 이러한 분리 공정에서, 커버 유리의 표면 에너지(surface energy)는 가능한 한(예를 들어, 기준 값보다) 작아야 한다. 커버 유리의 표면 에너지가 아라미드 종이와 비슷하거나 더 크면 아라미드 종이 대신 평탄화 레이어가 커버 유리에 달라 붙을 수 있기 때문이다. 따라서, OTS 자기 조립 단일 층(self-assembled monolayer, SAM) 처리를 통해 커버 유리의 표면 에너지를 변경할 수 있다.

[0023] 도3을 참조하여 OTS 처리에 대해 설명하면, 커버 유리는 디핑(dipping) 방법을 사용하여 OTS 처리될 수 있다. 먼저, 커버 유리의 표면이 OTS 작용기에 적합해지도록, 유리는 10 분 동안 자외선 오존(UVO) 청소될 수 있다. 그 다음, 커버 유리를 50 mL의 톨루엔(toluene)에 분산된 0.06 mL의 OTS(Sigma Aldrich) 용액에 침지(dipped) 시킨다. 2 시간 후, 커버 유리를 OTS 용액으로부터 제거하고 톨루엔 및 DI 수(DI water)로 반복적으로 헹군다. 이러한 과정은 여러 번(예를 들어, 3 번) 반복될 수 있다.

[0024] 일 실시 예에 따라, 평탄화 레이어를 생성하기 위해 실리콘화 실세스퀴옥산 아크릴레이트(Siliconized silsesquioxane acrylate, Si-SSQA)(Toagosei Co., Ltd.), 에틸렌 글리콜 디메타아크릴레이트(ethylene glycol dimethacrylate, EGDMA)(Sigma-Aldrich), 에틸렌 글리콜 디아크릴레이트(di(ethylene glycol) diacrylate(DEGDA))(Shin-Nakamura Chemical), 및 Darocus 1173 (2-hydro-2-methyl-1-phenyl-1-phenyl-1-propane)(Shinyoung Rad. Chem. Ltd.) 중 적어도 하나가 소정의 비율로 혼합될 수 있다. Si-SSQA 는 팽창, 수축 및 가스 투과성을 제어하는 핵심 물질로 사용될 수 있다. EGDMA는 가교제로 사용되고, Darocur 1173는 자외선(UV) 이니시에이터로 사용되고 DEGDA는 UV 반응성을 제어하기 위해 사용될 수 있다.

[0025] 평탄화 레이어가 표면이 수정된 커버 유리 대신에 아라미드 종이의 상부에 남을 수 있는지를 판단하기 위해, 각 기판의 표면에서 탈 이온수(deionized(DI) water)와 디 요오도 메탄(diiodomethane, CH2I2)의 접촉각(contact angle)을 측정함으로써 각 레이어의 표면 에너지가 결정될 수 있다.

수학식 1

[0026] $$(1+\cos\theta)\gamma_L=2(\sqrt{\gamma_S^d\gamma_L^d}+\sqrt{\gamma_S^p\gamma_L^p})$$

[0027] [수학식 1]에서, θ은 액체의 접촉 각이고, γ_L, γ_S는 시험 액체와 표면의 표면 에너지이다. 위 첨자 d와 p는 각 표면 에너지의 분산성(dispersive) 및 극성(polar) 성분이다. 각 레이어의 접촉각과 표면 에너지는 [표 1]에 요약되어 있다.

표 1

[0028]

	DI contact angle	CH2I2 contact angle	Surface energy(mJ/m2)
OTS-treated glass	101.40 ° ± 0.87	68.68 ° ± 0.55	24.45
OTS-treated glass(After smoothening)	97.66 ° ± 3.08	67.49 ° ± 4.80	25.72
Aramid paper	68.68 ° ± 4.80	48.85 ° ± 4.69	44.44
Smoothening layer	81.51 ° ± 1.91	51.55 ° ± 1.53	37.69
CYTOP	106.28 ° ± 0.66	76.73 ° ± 0.69	33.42

[0029] 일 실시 예에 따라, OTS 처리된 커버 유리 및 아라미드 종이의 표면 에너지는 각각 24.45 mJ/m^2 및 44.44 mJ/m^2 이다. OTS 처리된 커버 유리와 비교하여 아라미드 종이의 비교적 큰 표면 에너지는 평탄화 레이어 전체가 아라미드 종이로 전달될 수 있음을 의미한다. 커버 유리의 표면 에너지는 평탄화 프로세스(25.72 mJ/m^2)에 사용된 후에도 큰 변화가 없었다. 이러한 결과는, 평탄화 레이어가 OTS 처리된 커버 유리가 아닌 아라미드 종이로 전달되며 커버 유리가 평탄화 프로세스를 위해 재사용될 수 있음을 의미한다.

[0030] 평탄화 레이어의 표면 특성을 조사하기 위해 원자력 현미경(Atomic force microscope, AFM) 및 주사 전자 현미경(scanning electron microscope, SEM) 측정이 수행될 수 있다. AFM 데이터에서 아라미드 섬유 끈(aramid fiber threads)의 흔적이 관찰되지 않았다. 일 실시 예에 따라, 표면 거칠기의 제곱 평균 제곱근(rms) 값은 단지 0.25 nm로 측정되었다. 도4는 일 실시 예에 따라, 평탄화 프로세스 이후의 아라미드 섬유 기반 종이 기판(a)과 실리콘 기판(b)의 AFM(Atomic Force Microscopy) 이미지를 나타낸다.

[0031] 도5는 일 실시 예에 따라, 복사 용지(A), 화장지(B), 아라미드 직물(C), 평탄화 처리된 복사 용지(D), 평탄화 처리된 화장지(E), 평탄화 처리된 아라미드 직물(F)의 SEM 이미지를 나타낸다.

[0032] 도5는 개시된 평탄화 프로세스가 수 마이크로 미터 범위의 거칠기를 갖는 플렉서블 기판에 보편적으로 적용될 수 있는지 여부를 조사하기 위해 복사 용지, 화장지, 및 아라미드 직물에 평탄화를 수행한 결과를 나타낸다. 평탄화 처리된 복사 용지와 화장지의 SEM 이미지들은 부드러운 표면을 보여주었지만, 아라미드 직물은 평탄화한 후에도 아라미드 섬유의 흔적이 여전히 관찰될 수 있었다. 평탄화된 아라미드 직물의 아라미드 섬유의 관찰은 평탄화 층의 두께(50㎛)와 비교하여 아라미드 직물의 거칠기 정도에 기인할 수 있다.

[0033] 아라미드 섬유 기반 종이 상에 OTFT가 제조될 수 있다.

[0034] 여기서 CYTOP(cyclic transparent optical polymer)는 소수성(hydrophobicity)이 커서([표 1] 참조) 게이트 유전체(gate dielectric)로 사용되어 채널을 통한 트래핑 사이트(trapping sites)를 적게할 수 있다. 도6을 참조하면, 일 실시 예에 따라, 360nm 두께의 CYTOP 게이트 유전체의 커패시턴스-주파수 특성은, CYTOP 게이트 유전체가 일정한 -90° 위상을 갖는 10MHz 까지 4.65 X 10-9 F/cm^2 를 나타낸다.

[0035] DNTT(dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene)는 높은 전계 효과 이동도를 가진 우수한 공기 안정성을 보유하고 있기 때문에 유기 반도체 레이어로서 사용될 수 있다. CYTOP 게이트 유전체와 DNTT 유기 반도체를 사용하여 다른 레이어(종이 기판 제외)에서의 전기적 및 기계적 열화의 가능성을 최소화할 수 있다.

[0036] 예를 들어, 새도우 마스크(shadow mask)를 통해, 평탄화 된 아라미드 종이의 상부에서 50nm 두께의 Au 게이트 전극을 열적으로 증발시킬 수 있다. 게이트 유전체 레이어를 제조하기 위해, CYTOP(CTL-809M)과 용매(CT-Solv.180)(AGC)를 3 : 1 부피비로 혼합하고 1 시간 동안 격렬하게 섞을 수 있다. 그 다음, 360 nm의 CYTOP 유전체를 2000 rpm에서 60초 동안 스핀 코팅(spin coating)하고 100 ℃에서 1 시간 동안 어닐링(annealing)할 수 있다. 약 50 nm 두께의 DNTT(dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene)(EM 지수) 레이어가 1 x 10-6 torr의 진공에서 쉐도우 마스크를 통해 0.3Å/sec의 속도로 열적으로 증발(또는, 분해)될 수 있다. DNTT가 열적으로 증발되는 동안 기판은 120 ℃에서 어닐링된다. OTFT 제작은 50nm 두께의 Au 층이 새도우 마스크를 통해 증발되어 소스/드레인(Source/Drain) 전극들을 형성함으로써 완료될 수 있다. 일 실시 예에 따라, 디바이스의 결과 채널의 길이 및 폭은 각각 200 ㎛ 및 2,000 ㎛ 일 수 있다. 도7은 OTFT의 도식화된 그림(A)과 아라미드 섬유 기반 종이 상에 제조된 OTFT의 그림(B)을 나타낸다. 이러한 방식으로 제조된 아라미드 종이 상의 유기 전자 디바이스는 종이의 본질인 절단, 붙여 넣기, 찢기, 접기 및 쓰기가 가능하다. 이로써, 평탄화 된 아라미드 종이가 유기 디바이스의 제조에 적합하다는 것을 확인할 수 있다.

[0037] 다만, 개시된 실시 예는 아라미드 섬유 기반 종이 상에 OTFT가 제조하기 위한 방법의 일 예이며 이에 제한되지 않는다.

[0038] 이하, OTFT의 측정된 전기적 및 기계적 특성이 개시된다.

[0039] 도8은 아라미드 섬유 기반 종이 및 유리 기판 상의 OTFT의 전송 특성(A), 실리콘 기판 상의 OTFT의 출력 특성(B), 아라미드 섬유 기반 종이 상의 OTFT의 출력 특성(C)을 나타낸다.

[0040] 평탄화 프로세스가 없는 종이 기판은 게이트 누설 전류가 크기 때문에 트랜지스터 특성을 나타내지 않는다. 포화 상태(드레인-소스 간 전압, V_{DS} = -60V)에서 [수학식 2]를 사용하여 전계 효과 이동도가 결정될 수 있다.

수학식 2

[0041] $$I_{ns}=(W/2L)(\mu_{FET}C_i)(V_{GS}-V_{TH})^2$$

[0042] 여기서, W는 폭이고 L은 소자의 길이, μ_{FET}는 전계 효과 이동도, Ci는 게이트 절연체의 단위 커패시턴스, V_{GS}는 게이트-소스 간 전압, V_{TH}는 임계 전압이다. 평탄화 된 아라미드 종이와 실리콘 기판 위에 제조된 OTFT의 평균 전계 효과 이동도는 각각 0.25 ± 0.023 cm^2/V_s 및 0.31 ± 0.10 cm^2/V_s이다. 종이 기판, 평탄화 된 종이 기판, 및 실리콘 기판 상에 제조된 OTFT는 동일한 게이트 절연체 및 반도체 층을 갖는 동일한 소자 구조를 가지며, 추출된 파라미터들은 10개의 서로 다른 소자들의 평균값을 나타낼 수 있다. 일 실시 예에 따른 아라미드 종이 기판과 실리콘 기판(동일한 배치(batch) 및 다른 배치 내에서 모두)에 대한 OTFT의 전달 특성의 분포가 도9에 나타난다.

[0043] 아라미드 종이 기판의 서브-나노미터 거칠기 전하 수송 층(charge transport layer)에 대한 이동도가 감소될 수 있다. 이러한 결과는, 유기 반도체에서 전하가 호핑 메커니즘(hopping mechanism)을 통해 전달되고 추가 표면 거칠기가 유기 분자들 사이의 호핑 사이트들(hopping sites)의 거리를 증가시킬 수 있기 때문으로 해석될 수 있다. 실리콘 기판의 문턱 전압 (V_{TH})보다 높은 아라미드 종이 상의 OTFT의 문턱 전압(V_{TH})은 아라미드 종이의 비

교적 거친 표면의 결과이기도 하며, 이는 채널 형성을 위한 더 큰 턴-온 전압을 유도할 수 있다.

[0044] 또한 낮은 게이트 누설 전류(~ 10^{-11}A 미만)의 종이 상의 OTFT의 높은 on-off 전류 비율(I_{on}/I_{off})(~10^{7})은 종이 기판의 OTFT가 단단한 기판 상의 OTFT의 수준에 도달함을 의미한다. 서로 다른 게이트 전압에 대한 I_{DS} 값은 모두 V_{DS} = 0에서 0A로 수렴했으며 이는 또한 게이트 누설 전류가 억제됨을 나타낸다.

[0045] 일 실시 예에 따라 추출된 파라미터가 [표 2]에 나타난다.

표 2

[0046]

	이동성(cm^2/Vs)	V_T(V)	I_{on}/I_{off}	I_{off} (pA/μm)
아라미드 종이(Aramid paper)	-	-	-	-
아라미드 종이 (평탄화)	0.25 ± 0.023	- 35.73 ± 1.28	1.32 ± 1.06 X10^{7}	2.50 ± 2.92 X10^{-3}
실리콘 기판	0.31 ± 0.10	- 32.20± 1.68	2.55 ± 2.14 X10^{7}	1.50 ± 0.83 X10^{-3}

[0047] 도10은 일 실시 예에 따라, 아라미드 섬유 기반 종이(A)와 실리콘 기판(B) 상의 OTFT 의 바이어스-스트레스(bias-stress) 테스트 결과 및 스트레스 시간에 대한 임계 전압 쉬프트(C)를 나타낸다.

[0048] 종이에 제조된 디바이스의 신뢰성과 안정성에 미치는 표면 거칠기의 영향을 더 조사하기 위해 바이어스-스트레스(bias-stress) 테스트가 수행될 수 있다. 일 실시 예에 따라, 바이어스-스트레스 테스트를 위해 과도한 게이트 전압(-60V, 1.7 MV/cm)을 1 시간 30 분 동안 OTFT에 가했다. 1시간 30분 후, 아라미드 종이 및 실리콘 기판 상의 OTFT의 임계 전압 시프트(ΔV_T)는 각각 4.32V 및 4.26V였다. OTFT 바이어스 스트레스 특성을 조사하기 위해, 스트레스 지수 함수([수학식 3])를 사용하여 추출된 파라미터를 피팅할 수 있다.

수학식 3

[0049] $$\Delta V_r=[V_{GS}-V_r(0)]\cdot[1-\exp\{-(t/\tau)^{\beta}\}]$$

[0050] 여기서, τ는 완화 시간(relaxation time)이고 β는 분산 파라미터(dispersion parameter)이다. 일 실시 예에 따라 추출된 파라미터는 [표 3]에 요약되어 있다.

표 3

[0051]

	완화 시간 (τ)	분산 파라미터 (β)
아라미드 종이(평탄화)	1.18 X10^{6}	0.33
유리 기판	9.88 X10^{6}	0.24

[0052] 종이 디바이스의 기계적 안정성을 결정하기 위해 굴곡 테스트(bending test)가 수행되었다. 200 mm/min의 속도에서 5 mm 굴곡 반경으로 총 1000 번의 굴곡 싸이클이 수행되었다. 스트레인(%) = d/2Rc X 100(d는 종이 샘플의 전체 두께, Rc는 굽힘 반경)을 사용하여 계산된 바와 같이, 일 실시 예에 따른 TFT의 압축 스트레인은 ~1%이다.

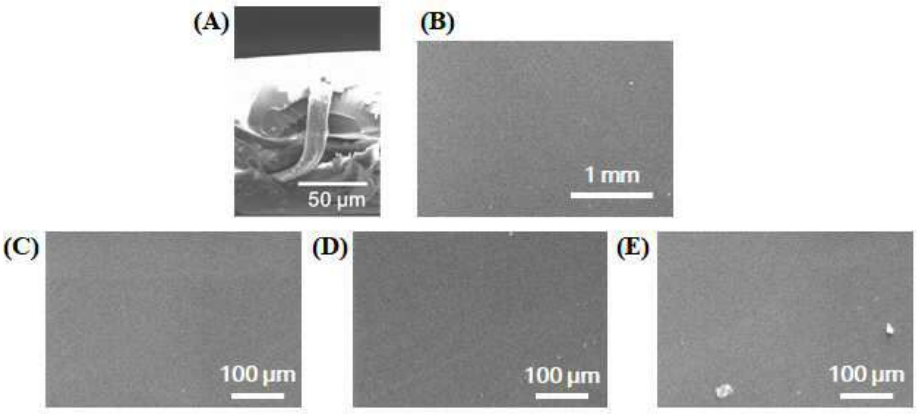
[0053] 도11은 일 실시 예에 따라, 굽힘 시간에 대응하는 이동도 및 ΔV_T의 변화를 나타낸다. 종이 기판 상의 잔류 압축 스트레인이 유기 분자들 사이의 간격을 감소시키고 호핑 사이트들 사이의 에너지 장벽을 낮추기 때문에 V_T의 절대 값이 감소함에 따라, 이동도는 750 번의 굽힘 사이클까지 약간 증가했다.

[0054] 위 설명들은 본 발명을 구현하기 위한 예시적인 구성들 및 동작들을 제공하도록 의도된다. 본 발명의 기술 사상은 위에서 설명된 실시 예들뿐만 아니라, 위 실시 예들을 단순하게 변경하거나 수정하여 얻어질 수 있는 구현들

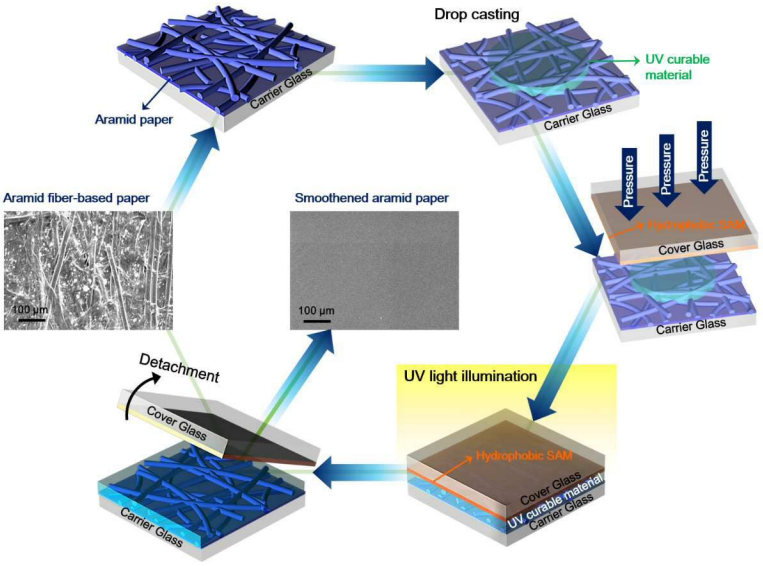
도 포함할 것이다. 또한, 본 발명의 기술 사상은 위에서 설명된 실시 예들을 앞으로 용이하게 변경하거나 수정하여 달성될 수 있는 구현들도 포함할 것이다.

도면

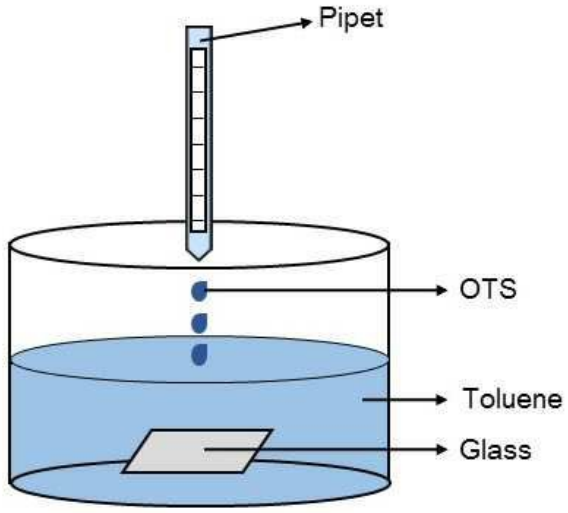
도면1



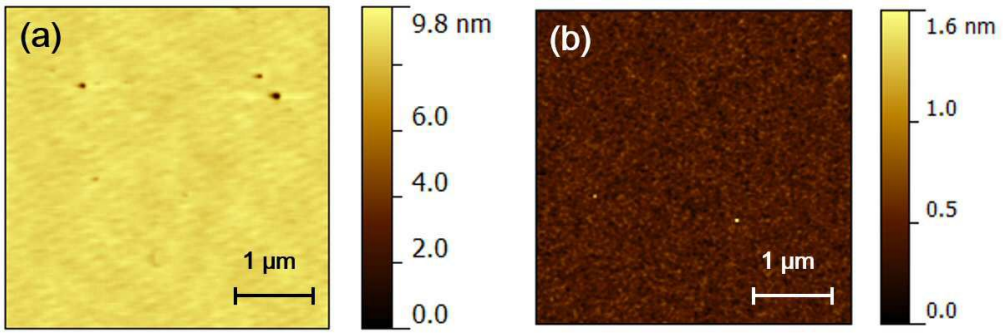
도면2



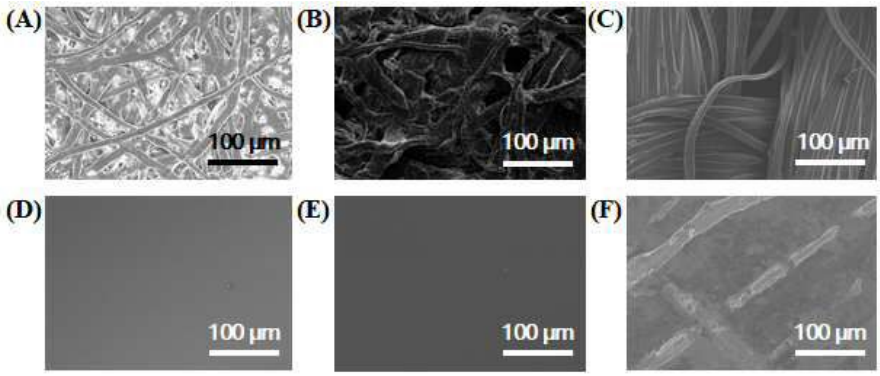
도면3


Pipet
OTS
Toluene
Glass

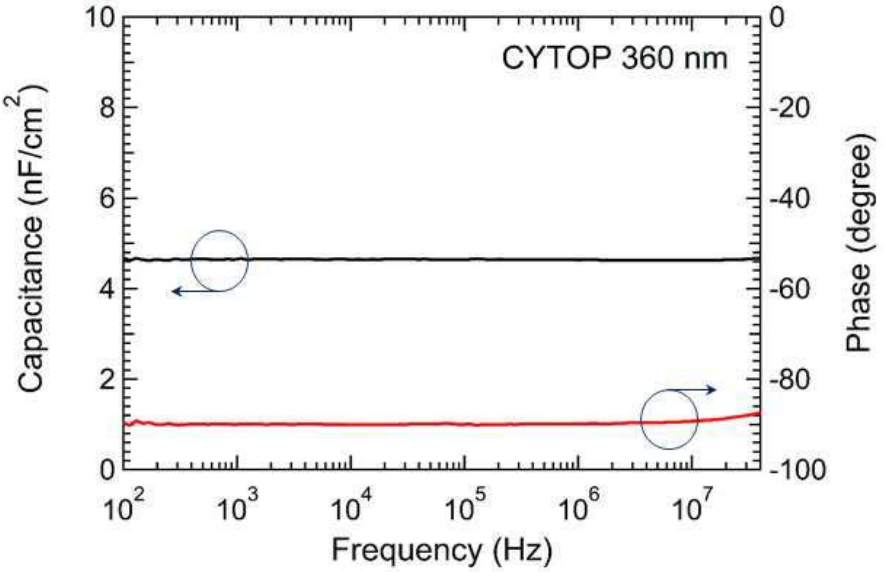
도면4


(a)
1 μm
9.8 nm
6.0
4.0
2.0
0.0
(b)
1 μm
1.6 nm
1.0
0.5
0.0

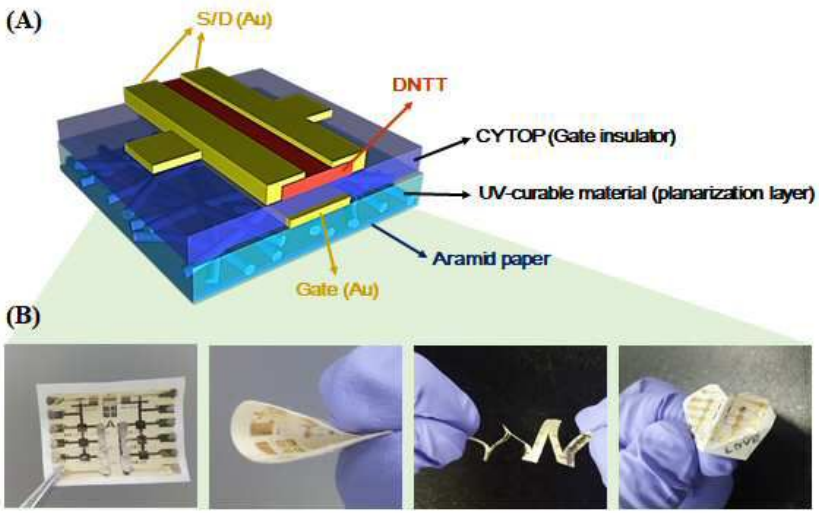
도면5


(A)
100 μm
(B)
100 μm
(C)
100 μm
(D)
100 μm
(E)
100 μm
(F)
100 μm

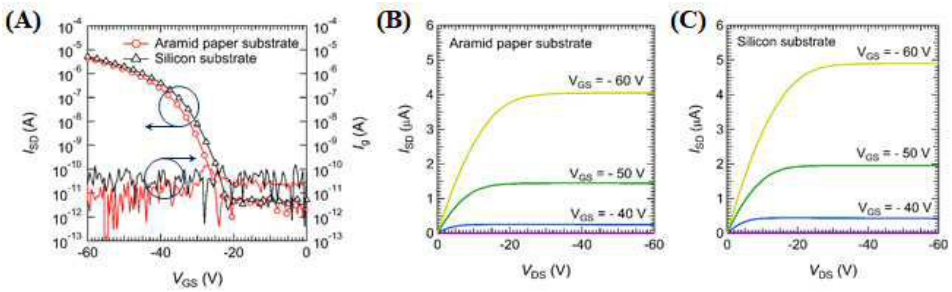
도면6


CYTOP 360 nm
Capacitance (nF/cm^2)
Phase (degree)
Frequency (Hz)
10
8
6
4
2
0
0
-20
-40
-60
-80
-100
10^2
10^3
10^4
10^5
10^6
10^7

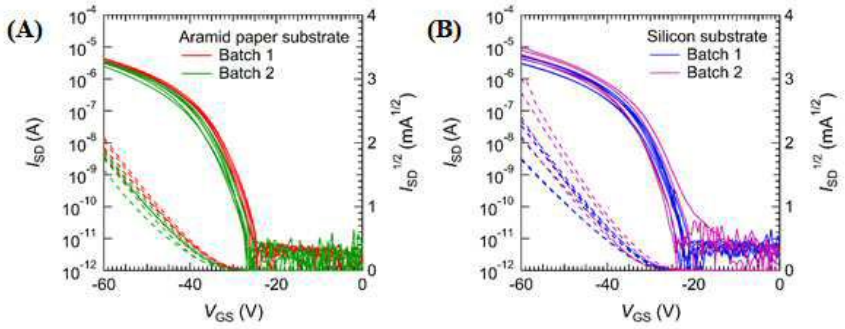
도면7


(A)
S/D (Au)
DNTT
CYTOP (Gate insulator)
UV-curable material (planarization layer)
Aramid paper
Gate (Au)
(B)

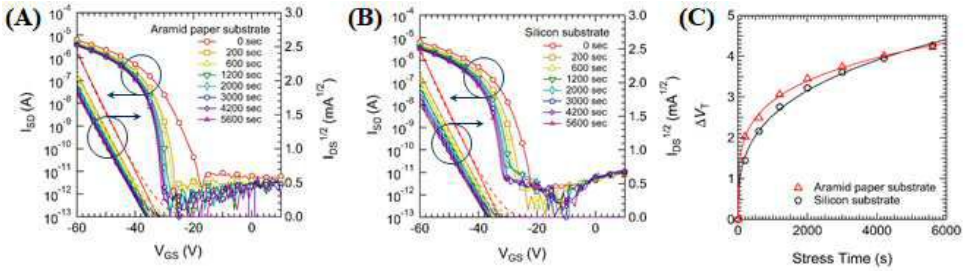
도면8


(A)
Aramid paper substrate
Silicon substrate
I_{SD} (A)
I_g (A)
V_{GS} (V)
(B)
Aramid paper substrate
V_{GS} = - 60 V
V_{GS} = - 50 V
V_{GS} = - 40 V
I_{SD} (μA)
V_{DS} (V)
(C)
Silicon substrate
V_{GS} = - 60 V
V_{GS} = - 50 V
V_{GS} = - 40 V
I_{SD} (μA)
V_{DS} (V)

도면9



도면10



도면11

