



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

235 258

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 21 04 81
(21) PV 3009-81

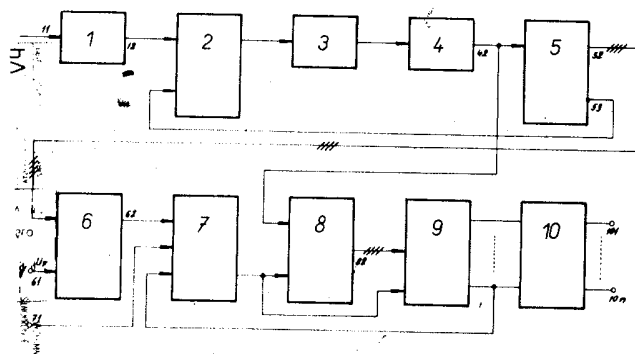
(51) Int. Cl.³ H 02 P 13/24

(40) Zveřejněno 17 09 84
(45) Vydáno 01 10 87

(75)
Autor vynálezu ŠTĚPÁN VRATISLAV ing.
HOFFMAN VOJTĚCH ing.
BEJVL JAROSLAV ing., PRAHA

(54) Zapojení obvodu pro fázové řízení vícefázových elektrických zařízení

Zapojení obvodu pro fázové řízení vícefázových elektrických zařízení, zejména pro řízení trojpulsních nebo šestipulsních usměrňovačů a tyristorových spínačů výkonových zařízení. Výstup fázového detektoru je připojen přes regulátor na vstup generátoru, jehož výstup je zapojen současně na první vstup čítače a vstup děliče, jehož první výstup je zpětnovazebně zapojen na druhý vstup fázového detektoru a jehož druhý výstup je zapojen na první vstup převodníku napětí-fáze. Svým vstupem je převodník připojen na výstup zdroje napětí pro řízení fáze a výstupem na první vstup paměťového obvodu, na jehož druhý vstup je zpětnovazebně zapojen poslední z výstupů dekodéru. Výstup paměťového obvodu je současně zapojen na druhý vstup čítače a na druhý vstup dekodéru, zapojeného prvním vstupem na výstup čítače. Všechny výstupy dekodéru jsou připojeny na koncové zesilovače.



Vynález se týká zapojení obvodu pro fázové řízení vícefázových elektrických zařízení, zejména pro řízení trojpulsních nebo šestipulsních usměrňovačů a tyristorových spínačů výkonových zařízení.

Pro řízení tyristorů výkonových zařízení tří, šest nebo i více pulsů soustavy musí být řídicí výstupní pulsy synchronní se vstupním synchronizačním napětím sítě a posuv těchto pulsů musí odpovídat fázovému posunu jednotlivých fází, tzn. 120° elektrických pro trojpulsní a 60° elektrických pro šestipulsní zapojení výkonových obvodů, přičemž fázový posun těchto pulsů musí být vzhledem k vstupnímu síťovému napětí nastavitelný nebo říditelný v různých pracovních intervalech až 210° elektrických.

Nedodržení těchto podmínek má nepříznivý vliv jak na tyristory pro fázové řízení, tak i na funkci samotných zařízení. Tyristory v uvedených zařízeních, řízené nesymetrickou soustavou pulsů jsou nerovnoměrně zatěžovány, což v některých případech vyžaduje jejich dimenzování na vyšší jmenovitou hodnotu proudu, například následkem přesycování vstupního transformátoru. U usměrňovačů vede nesymetrie řídicích impulsů pro tyristory k zvýšenému zvlnění výstupního napětí.

Obvyklé řešení obvodů fázového řízení vychází se vzájemně nezávislých větví fázového řízení pro každou fázi. Každá větev sestává například z komparátoru, převodníku napětí-fáze a koncového zesilovače a je synchronizována napětím

příslušné fáze sítě. U takto řešených obvodů je vyloučena možnost dodržení konstantního vzájemného odstupu jednotlivých pulsů. Jeho udržení v přijatelných tolerancích vyžaduje s ohledem na stabilitu a přesnost použitých součástek jejich předběžný výběr a nutnost použití nastavovacích prvků.

Jsou také známa zapojení obvodu fázového řízení ve vícefázové soustavě synchronizovaného jednou fází síťového napětí. Od tohoto napětí je získán první řídící puls, od něhož jsou zpoždovací obvody odvozeny další potřebné řídící pulsy. I když toto řešení odstraňuje nutnost použití několika převodníků, neodstraňuje vpředu uvedenou nevýhodu vztahující se na nutný výběr součástek a nastavování zpoždovacích obvodů.

Jsou známa i zapojení k zajištění symetrické synchronní pulsní soustavy s použitím pilotní frekvence. Příkladem takového řešení je obvod sestávající z jediného převodníku napětí-fáze, na jehož výstupu jsou generovány pulsy pro synchronizaci obvodů fázového závěsu. Obvody fázového závěsu pracují v ustáleném stavu jako násobič frekvence a umožňující tak vytvoření symetrické pulsní soustavy. Jejich nevýhodou je však časová konstanta regulační smyčky obvodů z fázového závěsu, která při změnách řídícího napětí způsobuje, že k příslušné změně fázového úhlu pulsů dochází se zpožděním, které není zcela jednoznačně definovatelné. Použití tohoto řešení není vhodné pro zařízení pracující v proudové nebo napěťové regulační smyčce vzhledem k přídavné časové konstantě regulátoru ve fázovém závěsu.

Výše uvedené nevýhody odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že výstup fázového detektoru je připojen přes regulátor na vstup generátoru, jehož výstup je zapojen současně na první vstup čítače a vstup děliče, jehož první výstup je zpětnovazebně zapojen na druhý vstup fázového detektoru a jehož druhý výstup je zapojen na první vstup převodníku napětí-fáze. Svým vstupem je převodník připojen

na výstup zdroje napětí pro řízení fáze a svým výstupem na první vstup paměťového obvodu, na jehož druhý vstup je zpětnovazebně zapojen poslední z výstupů dekodéru. Výstup paměťového obvodu je současně zapojen na druhý vstup čítače a na druhý vstup dekodéru, zapojeného prvním vstupem na výstup čítače. Všechny výstupy dekodéru jsou připojeny na koncové zesilovače.

Příklad zapojení podle vynálezu je dále popsán a jeho činnost vysvětlena s pomocí výkresů, z nichž je na obr. 1 vyznačeno blokové zapojení a na obr. 2 grafické znázornění vstupních resp. výstupních signálů pro řízení šestipulsní soustavy.

Podle obr. 1 je výstup 12 tvarovače 1 připojen na první vstup fázového detektoru 2, jehož výstup je připojen přes regulátor 3 na vstup generátoru 4. Jeho výstup 42 je zapojen současně na první vstup čítače 8 a vstup děliče 5, jehož první výstup 53 je zpětnovazebně zapojen na druhý vstup fázového detektoru a jehož druhý výstup 52 je zapojen na první vstup převodníku 6 napětí-fáze. Převodník 6 je svým vstupem 61 připojen na výstup V zdroje napětí U_ř pro řízení fáze a výstupem 62 na první vstup paměťového obvodu 7, na jehož druhý vstup je zpětnovazebně zapojen poslední z výstupů dekodéru 9. Výstup paměťového obvodu 7 je současně zapojen na druhý vstup čítače 8 a na druhý vstup dekodéru 9, zapojeného prvním vstupem na výstup čítače 8. Všechny výstupy dekodéru 9 jsou připojeny na koncové zesilovače 10.

Synchronizační síťové napětí je přivedeno na vstup 11 tvarovače 1, jehož výstup 12 je zapojen na první vstup obvodů fázového závěsu, tvořeného fázovým detektorem 2, na jehož výstup je zapojen přes regulátor 3 řízený generátor 4 pilotní frekvence $f_p = f_s \cdot n \cdot k$, kde " f_s " je frekvence sítě, " n " počet fází řízené soustavy a " k " zvyšovací koeficient. Na výstup 42 generátoru 4 pilotní frekvence je zapojen dělič 5 frekvence, tvořený v příkladu provedení čítačem. K výstupu

53 děliče 5 je dělená frekvence, odpovídající frekvenci sítě, zpětnovazební smyčkou zavedena na druhý vstup fázového detektoru 2 jeho skutečná hodnota frekvence pro obvody regulátoru 3 frekvence-fáze. Na druhý výstup 52 děliče 5 s frekvencí odpovídající součinu frekvence sítě a počtu fází řízené soustavy $f_s \cdot n$ je zapojen první vstup převodníku 6 napětí - fáze. Na výstupy čítače 8 je zapojen dekodér 9, k jehož výstupům jsou připojeny koncové zesilovače 10 s výstupy 101 až 10n zapínacích pulsů neznázorněného zařízení.

Činnost zapojení podle vynálezu je dále vysvětlena s pomocí obr. 2, na němž jsou graficky znázorněny vstupní, resp. výstupní signály pro řízení šestipulsní soustavy.

Synchronizační síťové napětí U₁₁ je přiváděno do tvarovače 1, na jehož výstupu 12 jsou obdélníkové pulsy U₁₂ synchronní s frekvencí sítě. Tyto pulsy jsou přiváděny do fázového detektoru 2 jako zadaná hodnota frekvence pro obvody fázové regulace. Z jeho výstupu řídí regulátor 3 analogovým signálem generátor 4. Pulsy U₄₂ pilotní frekvence $f_p = f_s \cdot n \cdot k$, tj. $f_p = 50.6 \cdot k$ pro šestipulsní soustavu se přivádějí na vstup děliče 5. Z jeho prvního výstupu 53 jsou pulsy o frekvenci odpovídající zpětně frekvenci sítě f_s , zpětnovazební smyčkou přiváděny na druhý vstup fázového detektoru 2 jako skutečná hodnota frekvence pro regulátor 3. Dělená frekvence 50.6 z druhého výstupu 52 je přivedena na vstup převodníku 6 napětí fáze, jehož vstup 61 je spojen s výstupem V_m zdroje napětí U_r pro řízení fáze. Puls U₆₂ na výstupu 62 převodníku 6 je oproti náběžné hraně obdélníkových pulsů U₁₂ na výstupu 12 tvarovače 1 posunut o úhel φ , přičemž platí $\varphi = f \cdot (U_r)$, což je převodní funkce převodníku 6. Pulsem U₆₂ na výstupu 62 se překlápí paměťový obvod 7, tvořený v případě provedení bistabilním klopným obvodem, jež výstupní puls spustí čítač 8. Na výstupu 82 čítače 8 vzniká šest pulsů U₈₂ s konstantními fázovými odstupy 22. Současně je odblokován i dekodér 9, který zajišťuje rozdělení pulsů na výstupu 82 do jednotlivých

vstupů koncových zesilovačů 10, na jejichž výstupech 101 - 106 jsou zapínací pulsy tyristorů neznázorněného zařízení. Ukončení čítacího cyklu čítače 8 je zajištěno zpětným překlopením bistabilního obvodu, tvořícího paměťový obvod 7 čítače 8, impulsem z posledního výstupu dekodérů 9.

Zatímco signál na výstupu 62 převodníku 6 napětí-fáze má fázi náběžné hrany plynule nastavitelnou napětím U_r pro řízení fáze na vstupu 61, fáze pulsů na výstupech 82 čítače 8 a tedy i na výstupech 101 - 106 koncových zesilovačů 10 se může měnit jen po krocích, určených periodou pilotního signálu. Je proto účelné volit pilotní frekvenci co nejvyšší, aby nastavitelnost výstupního napětí řízení odpovídala požadovaným tolerancím regulace. Krokování fáze výstupních pulsů vzniká tím, že mezi náběžnou hranu pulsu na výstupu 62 převodníku 6 a nejbližší náběžnou hranou pilotních pulsů na výstupu 42 generátoru 4 existuje obecný fázový posun β , který při přepočtu na časové relace t může dosáhnout nejvyšší hodnoty periody pilotního signálu.

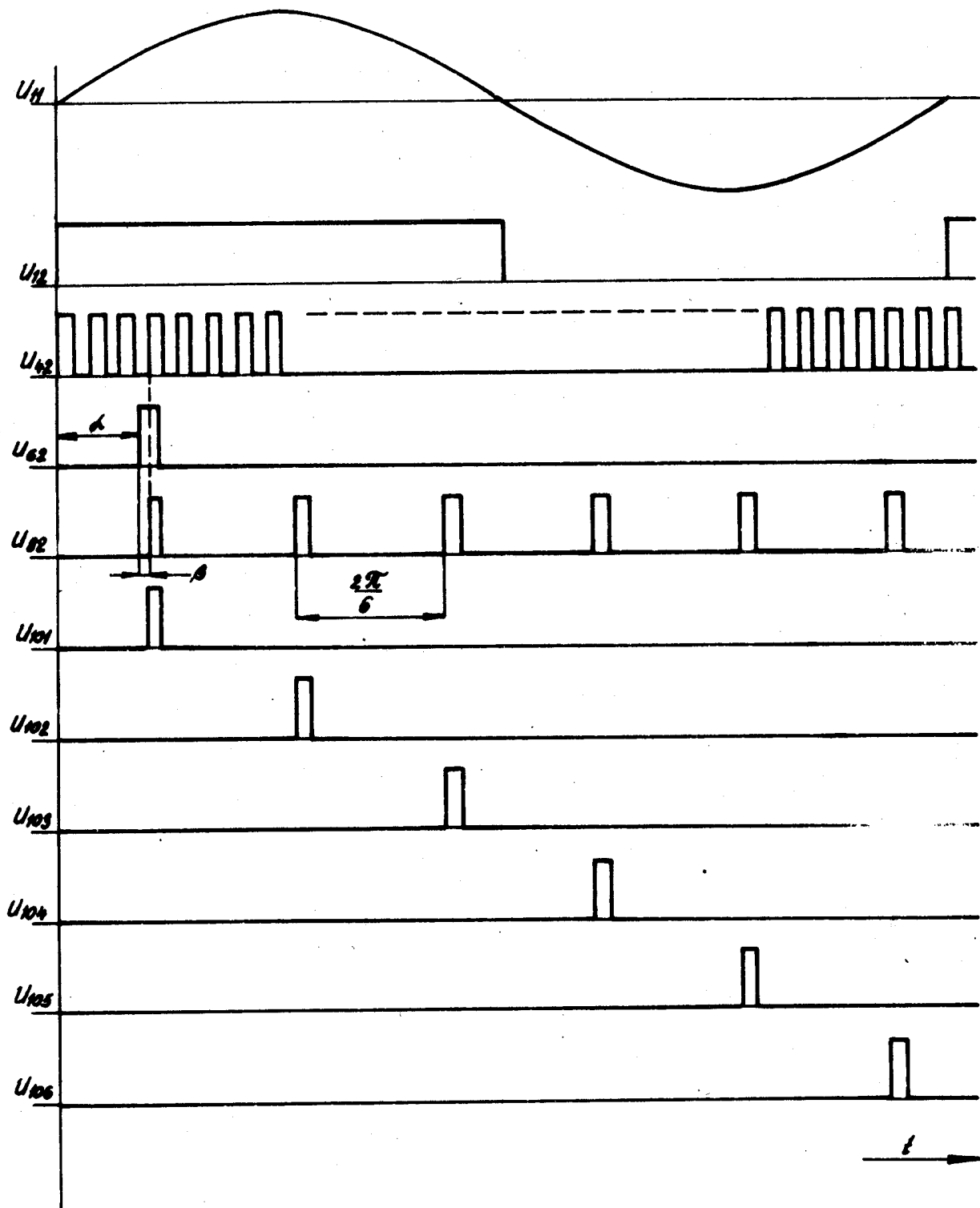
Popsané zapojení podle vynálezu je doplněno vstupem 71 paměťového obvodu 7, kterým lze blokovat překlopení paměťového obvodu 7 čítače 8 a tím i start čítače a celého zařízení.

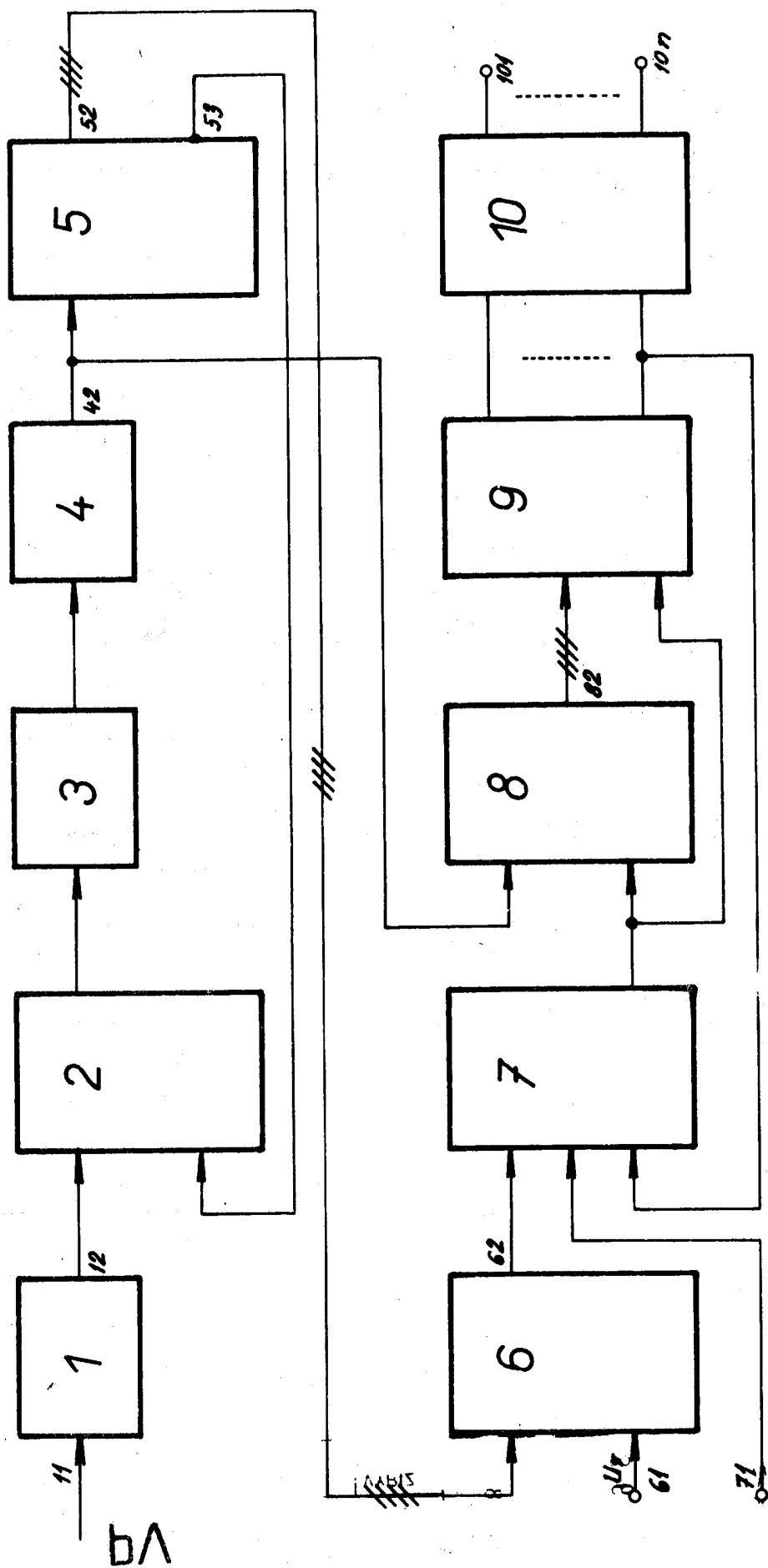
PŘEDMĚT VYNÁLEZU

235 258

1. Zapojení obvodu pro fázové řízení vícefázových elektrických zařízení, zejména pro řízení trojpulsních nebo šestipulsních usměrňovačů a tyristorových spínačů výkonových zařízení
vyznačené tím, že výstup fázového detektoru (2) je připojen přes regulátor (3) na vstup generátoru (4), jehož výstup (42) je zapojen současně na první vstup čítače (8) a ^{na} vstup děliče (5), jehož první výstup (53) je zpětnovazebně zapojen na druhý vstup fázového detektoru (2) a jehož druhý výstup (52) je zapojen na první vstup převodníku (6) napětí-fáze, připojeného svým vstupem (61) na výstup zdroje napětí (U_r) pro řízení fáze a svým výstupem (62) na první vstup paměťového obvodu (7), na jehož druhý vstup je zpětnovazebně zapojen poslední z výstupů dekodéru (9), výstup paměťového obvodu (7) je současně zapojen na druhý vstup čítače (8) a na druhý vstup dekodéru (9), zapojeného prvním vstupem na výstup čítače (8), přičemž všechny výstupy dekodéru (9) jsou připojeny na koncové zesilovače (10).
2. Zapojení
podle bodu 1, vyznačené tím, že na vstup fázového detektoru (2) je zapojen tvarovač (1) synchronizačních pulsů.
3. Zapojení
podle bodů 1 a 2 vyznačené tím, že paměťový obvod (7) je tvořen bistabilním klopným obvodem.

2 výkresy





Обр. 1