

(此處由本局於收
文時黏貼條碼)

公 告 本

發明專利說明書

10年2月9日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96147152

※ 申請日期：96.12.11

※IPC 分類：H01L 25/04 (2014.01)

一、發明名稱：(中文/英文)

具有偏移堆疊晶粒之積體電路封裝件系統

INTEGRATED CIRCUIT PACKAGE SYSTEM WITH OFFSET STACKED DIE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

星科金朋有限公司

STATS CHIPPAK LTD.

代表人：(中文/英文)(簽章) 陳勵勤 / KOON, TAN LAY

住居所或營業所地址：(中文/英文)

新加坡・新加坡市 569059・塔克朋 #05-17/20・65 安磨克街 10 號

10 Ang Mo Kio Street 65, #05-17/20 Techpoint, Singapore, 569059

Singapore

國 籍：(中文/英文) 新加坡 / SINGAPORE

三、發明人：(共 1 人)

姓 名：(中文/英文)

陳治強 / CHIN, CHEE KEONG

國 籍：(中文/英文) 馬來西亞 / MALAYSIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2006 年 12 月 20 日 60/871,134（主張優先權）
2. 美國 2007 年 12 月 04 日 11/950,216（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種積體電路封裝件系統，包括：提供第一積體電路晶粒(die)；黏著(attaching)第二積體電路晶粒於該第一積體電路晶粒上方而且與該第一積體電路晶粒有實質一個維度(dimension)的偏移(offset)；在該第二積體電路晶粒上方形成晶粒間層(interdie layer)；黏著第三積體電路晶粒於該晶粒間層上方而且與該第二積體電路晶粒實質對準；以及黏著第四積體電路晶粒於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第二積體電路晶粒相對於該第一積體電路晶粒的偏移有實質相等大小(magnitude)而朝實質相反方向。

六、英文發明摘要：

An integrated circuit package system comprising: providing a first integrated circuit die; attaching a second integrated circuit die over the first integrated circuit die and offset from the first integrated circuit die in substantially one dimension; forming an interdie layer over the second integrated circuit die; attaching a third integrated circuit die over the interdie layer and substantially aligned to the second integrated circuit die; and attaching a fourth integrated circuit die over the third integrated circuit die and offset from the third integrated circuit die in substantially the same magnitude and substantially the opposite direction as the second integrated circuit die to the first integrated circuit die.

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

400 積體電路封裝件系統

402、404、406、408、410 方塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

● 本案無代表化學式

九、發明說明：

[優先權之主張]

本申請案主張於 2006 年 12 月 20 日提出申請之美國專利申請案第 60/871,134 號與於 2007 年 12 月 4 日提出申請之美國專利申請案第 11/950,216 號的優先權。

【發明所屬之技術領域】

本發明大體係關於積體電路封裝件，且更特別的是，關於一種用於具有堆疊晶粒之積體電路封裝件的系統。

【先前技術】

電子產品已變成人們日常生活中不可或缺的一部份。值得注意的是，許多帶有複雜積體電路的可攜式電子裝置不僅常見，而且通常完全不必考慮基本技術就可使用。許多產品(例如，手機、可攜式電腦、錄音機、汽車、飛機、等等)都包含極為精密的技術。

對於人們使用這些產品所為的幾乎所有功能及用途而言，會持續要求新的特徵、速度、資料、或可攜性。對於在人們已習以為常之產品內所含的積體電路元件，這些需求會持續驅策電子產業縮減尺寸、改良效用、以及提高效率。

為了將積體電路介接(interface)於其他的電路，常見的方式是將積體電路安裝於導線架(lead frame)或基板上。各積體電路有鉀墊(bonding pad)是用極細的金或鋁線個別連接至導線架的引腳指墊(lead finger pad)。然後，藉由個別將該等組合件包覆於模製塑膠料(molded plastic)或陶瓷體

內來封裝以製成積體電路封裝件(package)。

已知積體電路封裝技術可增加單一電路板或基板上安裝的積體電路的數目。新的封裝設計在外形因素(form factor)上更為緊密(compact)，例如積體電路的物理尺寸及形狀，而且可大幅增加整體積體電路密度。不過，積體電路密度會繼續受限於可用來安裝個別積體電路於基板上的“基板面(real estate)”以及封裝件的尺寸。

即便外形因素較大的系統(例如，個人電腦(PC)、電腦伺服器、以及儲存伺服器)也會需要在相同或較小的“基板面”中有更多積體電路。特別是，諸如手機、數位相機、音樂播放器、PDA、以及位置型裝置(location-based device)之可攜式個人電子裝置的需求已進一步驅策對於積體電路密度的需求。

增加積體電路密度的需求已導致開發出可在其中封裝一個以上之積體電路的多晶片封裝件(multi-chip package)。各封裝件對於個別積體電路提供機械支撐以及提供一層或更多層使得積體電路可電性連接至四周電路的互連線。

當下的多晶片封裝件(也常被稱作多晶片模組(multi-chip module))通常由其上直接黏著有一組分離的積體電路組件之PCB基板組成。已發現此類多晶片封裝件可增進積體電路密度及小型化(miniaturization)、改善訊號傳播速度、減小整體積體電路的尺寸及重量、改善效能、以及降低成本，這些都是電腦工業的主要目標。

然而，封裝件中可堆疊的晶粒數目仍有限制。將相同的晶粒堆疊成所有的鉑墊都在一側使得階梯式堆疊在晶粒之間不需要厚的間隔件(spacer)。不過，堆疊仍然受制於封裝件尺寸，在此過度堆疊會導致晶粒突出而需要超長的封裝件。

儘管最近在積體電路及積體電路封裝件的製造上之進展有優越性，對於改善積體電路元件及積體電路封裝件的連接與封裝仍會有需求以改善密度、結構整體性、製造良率、及產品可靠性。

因此，亟須一種積體電路封裝件系統以改善晶粒的堆疊及尺寸。鑑於改進積體電路和特別是可攜式電子產品之密度的需求在持續增加，找到這些問題的解決方案變得愈來愈重要。

長期以來，人們一直在尋找這些問題的解決方案，然而先前的研發尚沒有教導或建議任何解決方案，因此，這些問題的解決方案長久以來一直困擾著熟諳此技藝者。

【發明內容】

本發明提供第一積體電路晶粒；黏著第二積體電路晶粒於該第一積體電路晶粒上方而且與該第一積體電路晶粒有實質一個維度的偏移；在該第二積體電路晶粒上方形成晶粒間層(interdie layer)；黏著第三積體電路晶粒於該晶粒間層上方而且與該第二積體電路晶粒實質對準；以及黏著第四積體電路晶粒於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第

二積體電路晶粒相對於該第一積體電路晶粒的偏移有實質相等大小(magnitude)而朝但實質相反方向。

除了以上提及者外，本發明之實施例具有其他態樣，或此等其他態樣得以替代以上提及者。熟諳此技藝者閱讀以下結合附圖的詳細說明可明白該等態樣。

【實施方式】

以下實施例係描述的足夠詳盡以使得熟諳此技藝者可做出及使用本發明。應瞭解，基於本揭示內容，顯然還有其他實施例，而且可有系統、方法、或機械改變而不會脫離本發明的範疇。

在以下的描述中，會給出許多特定細節以供徹底瞭解本發明。不過，在沒有該等特定細節下，顯然仍可實施本發明。為了避免混淆本發明，一些習知電路、系統組構(configuration)及製程步驟並未詳盡地揭露。同樣，圖示系統實施例的附圖為部分概略的而且不按比例繪製，特別是有些尺寸是為了清楚呈現而在附圖中予以誇大。

為了闡明以及便於圖解說明、描述及理解，在揭示及描述多個實施例的地方，彼此相似及類似的特徵通常會用相似的元件符號表示。為了方便描述，實施例以第一實施例、第二實施例、等等來編號而沒有任何其他的意思或是想要用來限定本發明。

就解釋上的目的而言，本文所用之術語“水平(horizontal)”的定義是與本發明的平面或表面平行的平面，不論其方向(orientation)為何。術語“垂直(vertical)”係

指與剛剛定義之水平垂直的方向。諸如“在...上(on)”、“之上”、“下方”、“底”、“頂”、“側(side)”(如“側壁中(sidewall)”)、“高於”、“低於”、“上部”、“上方”、以及“下方”之類的術語都是以相對於水平面來定義。

本文所用之術語“在...上(on)”是意指元件間的直接接觸。本文所用之術語“製程(processing)”包含材料的沉積、圖案化(patterning)、曝光、顯影、蝕刻、清洗、及/或材料的移除或修整(trimming)，如在形成描述的結構時所需要的。本文所用之術語“系統”是意指在該術語的使用背景下的本發明方法與裝置。

請參考第 1 圖，其係顯示本發明之第一實施例中積體電路封裝件系統 100 的側視圖。積體電路封裝件系統 100 包含特別用於實質對準、毗鄰(adjacent)的晶粒的晶粒間層 102 為較佳。晶粒間層 102 可提供間隔(spacing)、結構整體性、隔離、或導電性以用於實質對準、毗鄰的晶粒。

諸如支撐結構、導線架、晶粒座(die pad)、或球柵陣列基板(ball grid array substrate)之類的基板 104 可提供用於第一積體電路晶粒 106 的安裝面(mounting surface)。第二積體電路晶粒 108 可安裝在第一積體電路晶粒 106 上方而且有實質一個維度(dimension)的偏移(offset)。第三積體電路晶粒 110 可安裝在第二積體電路晶粒 108 上方而且有與第二積體電路晶粒 108 實質相等大小(magnitude)及朝實質相同方向的偏移。

相似地，第四積體電路晶粒 112 可安裝在第三積體電

路晶粒 110 上方而且有與第三積體電路晶粒 110 實質相等大小及朝實質相同方向的偏移。第五積體電路晶粒 114 可安裝在晶粒間層 102 上方而且與第四積體電路晶粒 112 實質對準。晶粒間層 102 可做成具有小於或等於第四積體電路晶粒 112 或第五積體電路晶粒 114 之平面尺寸(planar dimension)的平面尺寸。

第六積體電路晶粒 116 可安裝在該第五積體電路晶粒上方而且有與第四積體電路晶粒 112 實質相等大小但朝實質相反方向的偏移。第七積體電路晶粒 118 可安裝在第六積體電路晶粒 116 上方而且有與第六積體電路晶粒 116 實質相等大小及朝實質相同方向的偏移。

第八積體電路晶粒 120 可安裝在第七積體電路晶粒 118 上方而且有與第七積體電路晶粒 118 實質相等大小及朝實質相同方向的偏移。下晶粒堆疊(lower die stack)122 可提供階梯或串接式組構(stair step or cascaded configuration)。上晶粒堆疊(upper die stack)124 可提供實質相反或鏡像的(mirrored)階梯或串接式組構。下晶粒堆疊 122 與上晶粒堆疊 124 可形成鋸齒(zigzag)形狀、角括號(angle bracket)形狀、或山形(chevron)形狀。

晶粒可用黏著層(attach layer)126(例如，導電或不導電黏著劑(adhesive))黏著於基板 104 或相互黏著。用於各個晶粒之黏著層 126 可為相同或不同的材料。例如，第一積體電路晶粒 106 可用黏著層 126(例如，環氧樹脂)黏著於基板 104 上方，而第二積體電路晶粒 108 可用黏著層 126(例

如，環氧樹脂或黏著劑膜)黏著於第一積體電路晶粒 106 上方。

相似地，互連件 128 可為相同或不同的材料或技術。例如，第一積體電路晶粒 106 可藉由諸如鐸線(bond wire)、平面型互連件、或導電球(conductive ball)之類的互連件 128 來電性連接至基板 104。晶粒間層 102 可允許互連件 128 超過第四積體電路晶粒 112 而包含高於該第四積體電路晶粒之高度或厚度的線環高度(loop height)。

除了材料或技術以外，互連件 128 可提供多層式或多模式的連接，例如連接至相同堆疊中的不同晶粒、共同連接至支撐結構、或個別連接至基板 104。互連件 128 可提供用於電訊號的電性連接或用於積體電路封裝件系統 100 的電位準(electrical level)。

為了圖解說明，積體電路封裝件系統 100 係顯示成有鋸齒形狀、角括號形狀、或山形形狀，雖然可瞭解可使用任何偏移組構。此外，可使用任意數目的晶粒、晶粒間層 102、偏移方向、或方向性變化，藉此在有限空間內大幅增加功能，特別是在空間昂貴(at a premium)處。

已發現，具有偏移堆疊晶粒的積體電路封裝件系統 100 使得於封裝件外形因素內可多出至少百分之 50 的堆疊晶粒，而且使得互連件 128 的線環高度可高於晶粒的高度或厚度。此外，本發明的堆疊方法可防止晶粒突出，從而使得封裝件內可堆疊更多個晶粒，例如 8 個或更多個。

現在參考第 2 圖，其係顯示處於黏晶階段(die

attachment phase)之積體電路封裝件系統 100 的俯視圖。第一積體電路晶粒 106 可安裝在基板 104 上方。第二積體電路晶粒 108 可安裝在第一積體電路晶粒 106 上方而且有與第一積體電路晶粒 106 有實質一個維度的偏移，例如向左側之水平偏移。

相似地，第三積體電路晶粒 110 可安裝在第二積體電路晶粒 108 上方，並且，第三積體電路晶粒 110 相對於第二積體電路晶粒 108 的偏移與第二積體電路晶粒 108 相對於第一積體電路晶粒 106 的偏移有實質相等大小或朝實質相同方向。該安裝或黏著可提供如第 1 圖所顯示的階梯或串接式組構。

此外，第四積體電路晶粒 112 可安裝在第三積體電路晶粒 110 上方，並且，第四積體電路晶粒 112 相對於第三積體電路晶粒 110 的偏移與第三積體電路晶粒 110 相對於第二積體電路晶粒 108 的偏移有實質相等大小或朝實質相同方向。該安裝或黏著延續如第 1 圖所顯示的階梯或串接式組構。

在第四積體電路晶粒 112 上方，可敷設平面尺寸小於第四積體電路晶粒 112 或第五積體電路晶粒 114 之平面尺寸的晶粒間層 102。晶粒間層 102 的平面尺寸提供用於互連件 128 的間隔以黏著於第四積體電路晶粒 112 上方而不與第 1 圖的第五積體電路晶粒 114 接觸。

該上視圖係顯示 4 個相互偏移的矩形晶粒，有晶粒間層 102 位在頂部矩形晶粒上方。為了圖解說明，該 4 個晶

粒係顯示具有實質相同尺寸，然而應瞭解，該等晶粒可具有任何尺寸及任何形狀以供最佳化(包含整體封裝件尺寸以及任意選定的晶粒)。

此外，為了圖解說明，互連件 128 係顯示為連接於晶粒之作用側(active side)上方的鐳線，其中，緊接於上方的晶粒係與該連接的晶粒偏移，然而鐳線之使用並不排除在該等晶粒之間的導電球之使用，其中，晶粒的作用面可相互面對，例如使用覆晶晶粒(flip chip die)。

請參考第 3 圖，其係顯示本發明第二實施例中積體電路封裝件系統 300 的側視圖。與積體電路封裝件系統 100 類似，積體電路封裝件系統 300 包含晶粒間層 302 較佳，例如膜中線技術(wire in film technology)。晶粒間層 302 可提供間隔、結構整體性、隔離、或導電性以用於實質對準、毗鄰的晶粒。

諸如支撐結構、導線架、晶粒座、或球柵陣列基板之類的基板 304 可提供用於第一積體電路晶粒 306 的安裝面。第二積體電路晶粒 308 可安裝在第一積體電路晶粒 306 上方而且有實質一個維度的偏移。第三積體電路晶粒 310 可安裝在第二積體電路晶粒 308 上方而且有與第二積體電路晶粒 308 實質相等大小及朝實質相同方向的偏移。

相似地，第四積體電路晶粒 312 可安裝在第三積體電路晶粒 310 上方而且有與第三積體電路晶粒 310 實質相等大小及朝實質相同方向的偏移。第五積體電路晶粒 314 可安裝在晶粒間層 302 上方而且與第四積體電路晶粒 312 實

質對準。晶粒間層 302 可做成具有小於或等於第四積體電路晶粒 312 或該第五積體電路晶粒 314 之平面尺寸的平面尺寸。

第六積體電路晶粒 316 可安裝在該第五積體電路晶粒上方而且有與第四積體電路晶粒 312 實質相等大小但朝實質相反方向的偏移。第七積體電路晶粒 318 可安裝在第六積體電路晶粒 316 上方而且有與第六積體電路晶粒 316 實質相等大小及朝實質相同方向的偏移。

第八積體電路晶粒 320 可安裝在第七積體電路晶粒 318 上方而且有與第七積體電路晶粒 318 實質相等大小及朝實質相同方向的偏移。下晶粒堆疊 322 可提供階梯或串接式組構。上晶粒堆疊 324 可提供實質相反或鏡像的階梯或串接式組構。下晶粒堆疊 322 與上晶粒堆疊 324 可形成鋸齒形狀、角括號形狀、或山形形狀。

晶粒可用黏著層 326(例如，導電或不導電黏著劑)黏著於基板 304 或相互黏著。用於各個晶粒之黏著層 326 可為相同或不同的材料。例如，第一積體電路晶粒 306 可用黏著層 326(例如，環氧樹脂)黏著於基板 304 上方，而第二積體電路晶粒 308 可用黏著層 326(例如，環氧樹脂或黏著劑膜)黏著於第一積體電路晶粒 306 上方。

相似地，互連件 328 可為相同或不同的材料或技術。例如，第一積體電路晶粒 306 可藉由諸如鐸線、平面型互連件、或導電球之類的互連件 328 來電性連接至基板 304。晶粒間層 302 可允許互連件 328 超過第四積體電路晶粒

312 而包含高於該第四積體電路晶粒之高度或厚度的線環高度。

除了材料或技術以外，互連件 328 可提供多層式或多模式的連接，例如連接至相同堆疊中的不同晶粒、共同連接至支撐結構、或個別連接至基板 304。互連件 328 可提供用於電訊號的電性連接或用於積體電路封裝件系統 300 的電位準。

此外，至少有一部份位在晶粒間層 302 內的互連件 328 可用諸如膜中線技術之類的製程來形成。晶粒間層 302 可包圍互連件 328 的一部份，以提供用於互連件 328 或實質對準、毗鄰的晶粒的間隔、結構整體性、或隔離。為了圖解說明，互連件 328 係顯示為鐳線，然而應瞭解，可使用任何連接材料或技術。

現在參考第 4 圖，其係顯示本發明之實施例中用於製造積體電路封裝件系統 100 的積體電路封裝件系統 400 之流程圖。系統 400 包含在方塊 402 中提供第一積體電路晶粒；在方塊 404 中黏著第二積體電路晶粒於該第一積體電路晶粒上方而且與該第一積體電路晶粒有實質一個維度的偏移；在方塊 406 中在該第二積體電路晶粒上方形成晶粒間層；在方塊 408 中黏著第三積體電路晶粒於該晶粒間層上方而且與該第二積體電路晶粒實質對準；以及在方塊 410 中黏著第四積體電路晶粒於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第二積體電路晶粒相對於該第一積體電路晶

粒的偏移有實質相等大小但朝實質相反方向。

更詳細言之，在本發明的實施例中，一種用以提供積體電路封裝件系統 100 之方法及裝置的系統係實施如下：

1. 提供第一積體電路晶粒。

2. 黏著第二積體電路晶粒於該第一積體電路晶粒上方而且與該第一積體電路晶粒有實質一個維度的偏移。

3. 在該第二積體電路晶粒上方形成晶粒間層。

4. 在該晶粒間層附近形成互連件。

5. 黏著第三積體電路晶粒於該晶粒間層上方而且與該第二積體電路晶粒實質對準。

6. 黏著第四積體電路晶粒於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第二積體電路晶粒相對於該第一積體電路晶粒的偏移有實質相等大小但朝實質相反方向。

因此，已發現，本發明的積體電路封裝件系統方法及裝置可提供重要且至今未知、不曾採用的解決方案、性能、以及功能態樣。所得到的製程與組構都有明確性、成本效益、簡單不複雜、高度通用性、準確性、敏感性、及有效性，而且可藉由修改習知組件即可實作成立即可用、有效率又經濟的製造方式、應用及利用。

儘管已結合特定的最佳模式來描述本發明，應瞭解，熟諳此技藝者在參閱前述說明後會明白仍有許多替代、修改及變化。因此，本發明意欲涵蓋所有這類落入隨附之申請專利範圍之範疇內的替代、修改及變化。所有迄今為止

在本文及附圖中提及的內容都應被解釋成是要用來做圖解說明而沒有限定本發明的意思。

【圖式簡單說明】

第 1 圖係本發明之第一實施例中積體電路封裝件系統的側視圖；

第 2 圖係處於黏晶階段(die attachment phase)的積體電路封裝件系統的俯視圖；

第 3 圖係本發明之第二實施例中積體電路封裝件系統的側視圖；以及

第 4 圖係本發明之實施例中用於製造積體電路封裝件系統之積體電路封裝件系統的流程圖。

【主要元件符號說明】

100	積體電路封裝件系統		
102	晶粒間層	104	基板
106	第一積體電路晶粒	108	第二積體電路晶粒
110	第三積體電路晶粒	112	第四積體電路晶粒
114	第五積體電路晶粒	116	第六積體電路晶粒
118	第七積體電路晶粒	120	第八積體電路晶粒
122	下晶粒堆疊	124	上晶粒堆疊
126	黏著層	128	互連件
300	積體電路封裝件系統		
302	晶粒間層	304	基板
306	第一積體電路晶粒	308	第二積體電路晶粒
310	第三積體電路晶粒	312	第四積體電路晶粒

314	第五積體電路晶粒	316	第六積體電路晶粒
318	第七積體電路晶粒	320	第八積體電路晶粒
322	下晶粒堆疊	324	上晶粒堆疊
326	黏著層	328	互連件
400	積體電路封裝件系統		
402、404、406、408、410	方塊		

十、申請專利範圍：

1. 一種製造積體電路封裝件之方法，包括下列步驟：

提供第一積體電路晶粒；

黏著第二積體電路晶粒於該第一積體電路晶粒上方而且與該第一積體電路晶粒有實質一個維度的偏移；

在該第二積體電路晶粒上方形成晶粒間層；

黏著第三積體電路晶粒於該晶粒間層上方而且與該第二積體電路晶粒實質對準；以及

黏著第四積體電路晶粒於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第二積體電路晶粒相對於該第一積體電路晶粒的偏移有實質相等大小而朝實質相反方向。

2. 如申請專利範圍第 1 項所述之方法，其中，形成該晶粒間層包含提供用於互連件的間隔。

3. 如申請專利範圍第 1 項所述之方法，復包括形成具有線環(loop)高度高於該第二積體電路晶粒之高度的互連件。

4. 如申請專利範圍第 1 項所述之方法，復包括形成毗鄰該晶粒間層的互連件。

5. 如申請專利範圍第 1 項所述之方法，復包括形成有一部份位在該晶粒間層內的互連件。

6. 一種積體電路封裝件系統，包括：

第一積體電路晶粒；

第二積體電路晶粒，其係位於該第一積體電路晶粒

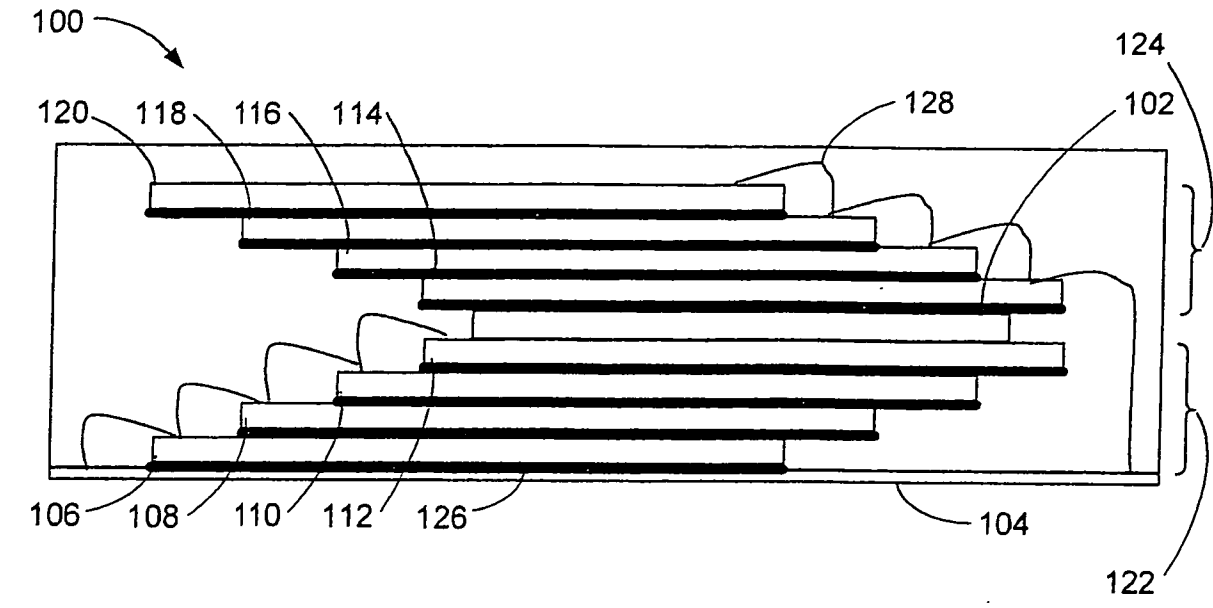
上方而且與該第一積體電路晶粒有實質一個維度的偏移；

晶粒間層，其係位於該第二積體電路晶粒上方；

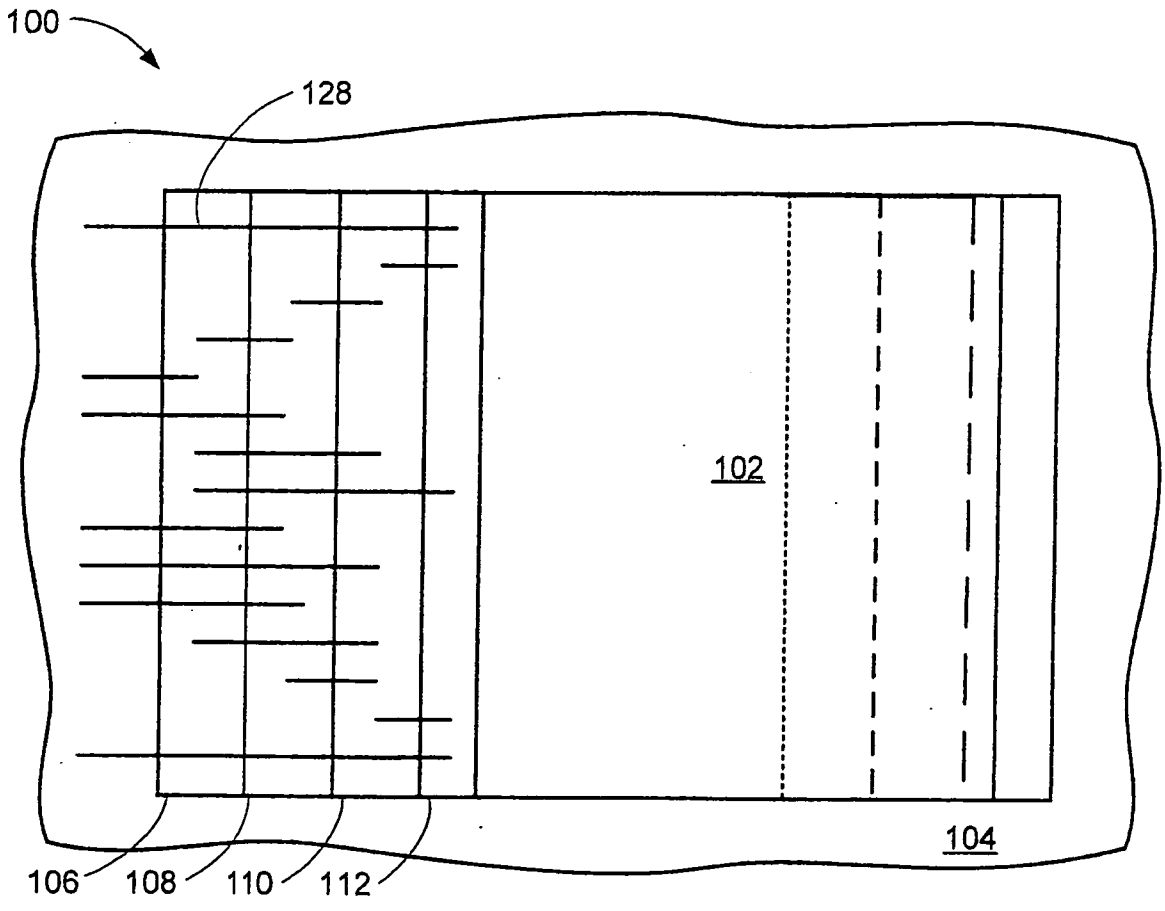
第三積體電路晶粒，其係位於該晶粒間層上方而且與該第二積體電路晶粒實質對準；以及

第四積體電路晶粒，其係位於該第三積體電路晶粒上方，並且，該第四積體電路晶粒相對於該第三積體電路晶粒的偏移與該第二積體電路晶粒相對於該第一積體電路晶粒的偏移有實質相等大小而朝實質相反方向。

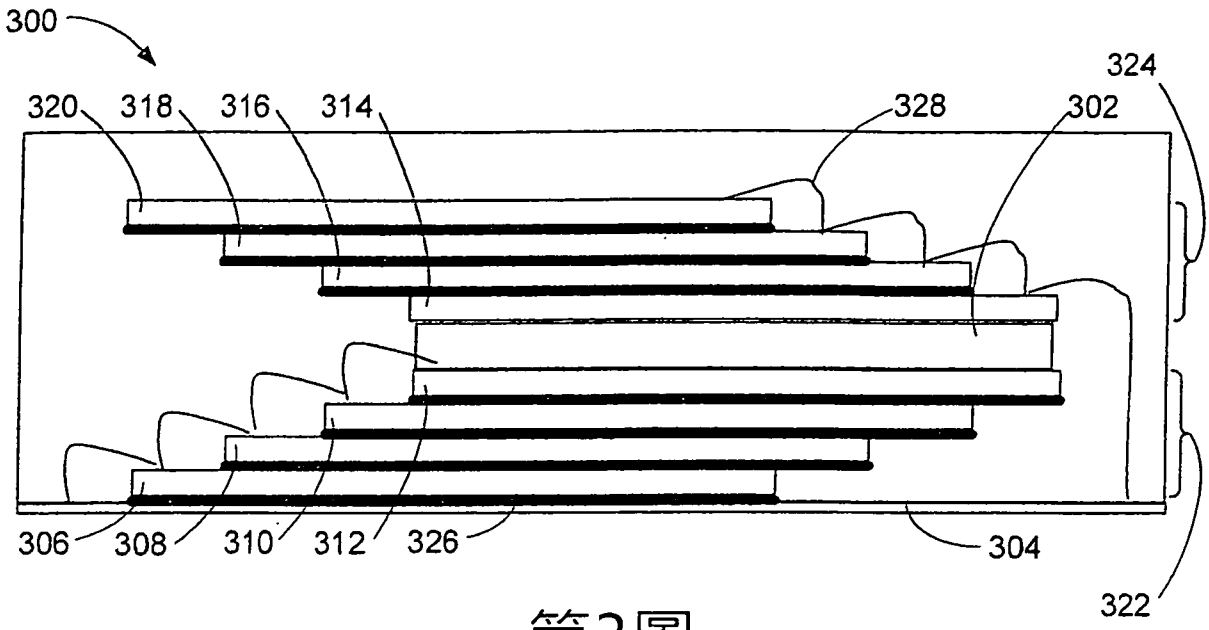
7. 如申請專利範圍第 6 項所述之系統，其中，該晶粒間層包含用於互連件的間隔。
8. 如申請專利範圍第 6 項所述之系統，復包括具有線環高度高於該第二積體電路晶粒之高度的互連件。
9. 如申請專利範圍第 6 項所述之系統，復包括毗鄰該晶粒間層的互連件。
10. 如申請專利範圍第 6 項所述之系統，復包含有一部份位在該晶粒間層內的互連件。



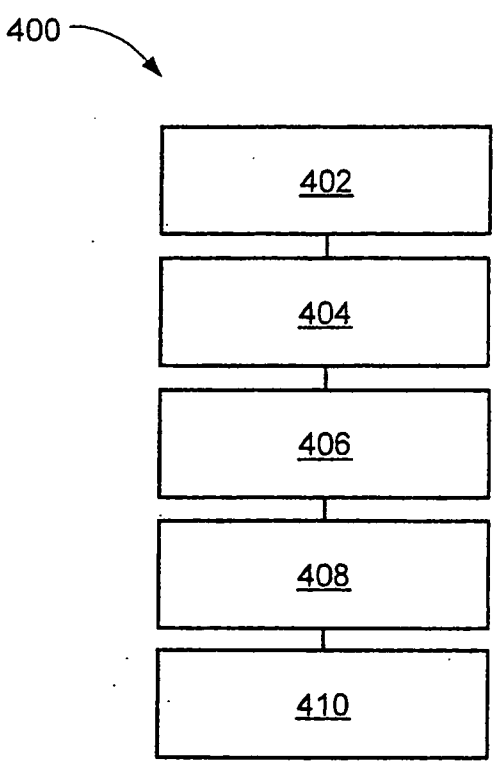
第1圖



第2圖



第3圖



第4圖