【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成16年12月2日(2004.12.2)

【公開番号】特開2001-101077(P2001-101077A)
【公開日】平成13年4月13日(2001.4.13)
【出願番号】特願平11-281958
【国際特許分類第７版】
　Ｇ０６Ｆ　12/12
【ＦＩ】
　Ｇ０６Ｆ　12/12　　D
　Ｇ０６Ｆ　12/12　　A

【手続補正書】
【提出日】平成15年12月18日(2003.12.18)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】キャッシュメモリの制御方法及び情報処理装置
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
メインメモリに接続されると共に複数の領域に分割されたキャッシュメモリを制御するキャッシュメモリの制御方法であって、
供給される命令信号に基づいて、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定する第一のステップと、
前記設定により前記置換が禁止されている前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ又は前記メインメモリに対するデータの読み出し又は書き込みを行う第二のステップとを有することを特徴とするキャッシュメモリの制御方法。
【請求項２】
供給される命令信号に基づいて、前記設定を解除する第三のステップを有することを特徴とする請求項１に記載のキャッシュメモリの制御方法。
【請求項３】
前記第一のステップにおいては、前記置換の禁止を設定する領域に対応するフラグをセットすることを特徴とする請求項１又は２に記載のキャッシュメモリの制御方法。
【請求項４】
前記第三のステップにおいては、前記設定を解除する領域に対応するフラグをリセットすることを特徴とする請求項２に記載のキャッシュメモリの制御方法。
【請求項５】
前記第一のステップにおいては、一つの命令信号に基づいて、前記設定を全て解除し得る請求項１乃至４の何れか１項に記載のキャッシュメモリの制御方法。
【請求項６】
前記領域は、キャッシュメモリを構成するキャッシュラインであることを特徴とする請求項１乃至５の何れか１項に記載のキャッシュメモリの制御方法。

【請求項７】
メインメモリと、前記メインメモリに接続され複数の領域に分割されたキャッシュメモリとを有する情報処理装置であって、
供給される命令信号に基づいて、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定する置換領域設定手段と、
前記置換領域設定手段により前記置換の禁止が設定された前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ又は前記メインメモリに対するデータの読み出し又は書き込みを行うデータ読み書き手段とを有することを特徴とする情報処理装置。
【請求項８】
供給される命令信号に基づいて、前記設定を解除する置換領域解除手段を有することを特徴とする請求項７に記載の情報処理装置。
【請求項９】
前記置換領域設定手段は、前記置換の禁止を設定する領域に対応するフラグをセットすることを特徴とする請求項７又は８に記載の情報処理装置。
【請求項１０】
前記置換領域解除手段は、前記設定を解除する領域に対応するフラグをリセットすることを特徴とする請求項８に記載の情報処理装置。
【請求項１１】
前記置換領域設定手段は、一つの命令信号に基づいて、前記設定を全て解除し得る請求項７乃至１０の何れか１項に記載の情報処理装置。
【請求項１２】
前記領域は、キャッシュメモリを構成するキャッシュラインであることを特徴とする請求項７乃至１１の何れか１項に記載の情報処理装置。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００１
【補正方法】変更
【補正の内容】
【０００１】
【発明の属する技術分野】
本発明は計算機等の情報処理装置に関し、さらに詳しくは、キャッシュメモリの制御方法と該方法を実現する計算機等の情報処理装置に関するものである。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
上記のようなキャッシュメモリを使用した計算機等の情報処理装置においては、プロセッサ１のメインメモリ５に対するアクセス速度が向上されるが、外部割込みのような非同期的データ処理や多岐にわたる信号を処理するマルチメディア処理のように参照局所性が期待できないプログラムにおいては、キャッシュメモリの使用の効果が十分得られないという問題がある。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】
【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたものであり、参照局所性が期待できないプログラムにおいてもメインメモリに対するアクセス速度を容易に向上させることができるキャッシュメモリの制御方法及び情報処理装置を提供することを目的とする。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更
【補正の内容】
【００２５】
【課題を解決するための手段】
上記の目的は、メインメモリに接続されると共に複数の領域に分割されたキャッシュメモリを制御するキャッシュメモリの制御方法であって、供給される命令信号に基づいて、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定する第一のステップと、前記設定により前記置換が禁止されている前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ又は前記メインメモリに対するデータの読み出し又は書き込みを行う第二のステップとを有することを特徴とするキャッシュメモリの制御方法を提供することにより達成される。このような手段によれば、命令信号を供給することによりキャッシュメモリを構成する少なくとも一つの領域をメインメモリとの置換を禁止する領域と選択的に設定することができるため、不要な置換を抑止してメインメモリに対するアクセス速度を容易に向上させることができる。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】
また、本発明の目的は、メインメモリと、前記メインメモリに接続され複数の領域に分割されたキャッシュメモリとを有する情報処理装置であって、供給される命令信号に基づいて、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定する置換領域設定手段と、前記置換領域設定手段により前記置換の禁止が設定された前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ又は前記メインメモリに対するデータの読み出し又は書き込みを行うデータ読み書き手段とを有することを特徴とする情報処理装置を提供することにより達成される。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００２９
【補正方法】変更
【補正の内容】
【００２９】
【発明の実施の形態】
以下において、本発明の情報処理装置の実施の形態を図面を参照して詳しく説明する。なお、同一符号は同一又は相当部分を示す。
［実施の形態１］
本発明の実施の形態１に係る計算機は、ダイレクトマップ（direct mapped ）方式によるキャッシュ計算機において、データを記憶するキャッシュメモリの全体又は一部に対して、供給された命令信号によりメインメモリに対する置換禁止領域を設定し得るものである。なお、上記ダイレクトマップ方式によるキャッシュ計算機においては、ライトスルー及びライトバックのいずれの形式を採用するものであっても、本発明が同様に適用される。以下において、より具体的に記述する。
（実施例１）

図７は、本実施の形態に係る計算機においてキャッシュメモリ５０のデータ記憶部１０全体を置換禁止領域と設定し得る計算機の構成を示す図である。図７に示されるように、本実施例に係る計算機は図１に示された従来の計算機と同様な構成を有するが、プロセッサ３４は命令フェッチ部３５と命令実行部３７とレジスタ部３２とを含み、キャッシュメモリ５０はロックフラグＬを含む点で相違する。