(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3633354号

(P3633354)

(45)発行日　平成17年3月30日(2005.3.30)　(24)登録日　平成17年1月7日(2005.1.7)

(51)Int.Cl.[7]	F I		
H01L 21/8242	H01L	27/10	681E
G01R 31/28	G01R	31/28	B
G11C 11/401	G11C	11/34	354D
G11C 11/407	G11C	11/34	371K
H01L 27/108			

請求項の数 4　(全 19 頁)

(21)出願番号　特願平11-85386
(22)出願日　平成11年3月29日(1999.3.29)
(65)公開番号　特開2000-277709(P2000-277709A)
(43)公開日　平成12年10月6日(2000.10.6)
審査請求日　平成15年3月3日(2003.3.3)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　関口　知紀
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　竹村　理一郎
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

隣接して設けられた第１及び第２のデータ線と、

前記第１及び第２のデータ線と交差し、連続して配置される８本のワード線を含む複数のワード線と、

複数のメモリセルと、

前記複数のワード線と接続される第１乃至第８ワードドライバを含む複数のワードドライバと、

前記第１及び第８ワードドライバに非選択レベル電圧を供給し、前記第１及び第８ワードドライバに接続される第１電源線と、

前記第４及び第５ワードドライバに非選択レベル電圧を供給し、前記第４及び第５ワードドライバに接続される第２電源線と、

前記第２及び第７ワードドライバに非選択レベル電圧を供給し、前記第２及び第７ワードドライバに接続される第３電源線と、

前記第３及び第６ワードドライバに非選択レベル電圧を供給し、前記第３及び第６ワードドライバに接続される第４電源線と、

前記第１および第２データ線に接続されるセンスアンプとを具備し、

前記８本のワード線は、第１、第２、第３、第４、第５、第６、第７、第８ワード線の順に配置され、

前記複数のメモリセルのうち、第１メモリセルは前記第１ワード線と前記第１データ線

に接続され、第２メモリセルは前記第２ワード線と前記第１データ線に接続され、第３メモリセルは前記第３ワード線と前記第２データ線と接続され、第４メモリセルは前記第４ワード線と前記第２データ線に接続され、第５メモリセルは前記第５ワード線と前記第１データ線に接続され、第６メモリセルは前記第６ワード線と前記第１データ線に接続され、第７メモリセルは前記第７ワード線と前記第２データ線に接続され、第８メモリセルは前記第８ワード線と前記第２データ線に接続され、

前記第１ワード線は前記第１ワードドライバに接続され、前記第２ワード線は前記第２ワードドライバに接続され、前記第３ワード線は前記第３ワードドライバに接続され、前記第４ワード線は前記第４ワードドライバに接続され、前記第５ワード線は前記第５ワードドライバに接続され、前記第６ワード線は前記第６ワードドライバに接続され、前記第７ワード線は前記第７ワードドライバに接続され、前記第８ワード線は前記第８ワードドライバに接続され、

前記第１及び第２データ線は、前記第１、第４、第５、第８ワードドライバが配置される領域と、前記第２、第３、第６、第７ワードドライバが配置される領域との間に配置される半導体装置。

【請求項２】

請求項１の半導体装置において、

前記第１及び第２データ線と、前記複数のワード線と、前記複数のメモリセルは、四辺形の領域内に配置され、

前記第１及び第８ワードドライバは、前記四辺形の第１辺に沿って配置され、

前記第４及び第５ワードドライバは、前記第１及び第８ワードドライバを含む領域に沿って配置され、

前記第２及び第７ワードドライバは、前記第１辺と対向する第２辺に沿って配置され、

前記第３及び第６ワードドライバは、前記第２及び第７ワードドライバが配置される領域に沿って配置される半導体装置。

【請求項３】

請求項１の半導体装置において、

前記第１及び第２メモリセルは、前記第１データ線へのコンタクトを共有し、前記第３及び第４メモリセルは、前記第２データ線へのコンタクトを共有し、前記第５及び第６メモリセルは、前記第１データ線へのコンタクトを共有し、前記第７及び第８メモリセルは、前記第２データ線へのコンタクトを共有することを特徴とする半導体装置。

【請求項４】

請求項１の半導体装置において、

前記複数のメモリセルは、それぞれＭＯＳトランジスタとキャパシタを具備し、

前記各々のＭＯＳトランジスタのゲートは、対応する前記複数のワード線と接続される半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、メモリアレイを含む半導体装置におけるメモリアレイ雑音の低減に関する。

【０００２】

【従来の技術】

この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもってすることとする。［文献１］：超ＬＳＩメモリ　ｐｐ．２１４－２１７、伊藤清男著、培風館、１９９４年１１月５日初版発行、［文献２］：Ｋ．Ｉｔｏｈ，ＩＥＥＥ Ｊｏｕｒｎａｌ ｏｆ Ｓｏｌｉｄ Ｓｔａｔｅ Ｃｉｒｃｕｉｔ，Ｖｏｌ．２５，Ｎｏ．３，（１９９０），ｐｐ．７７８－７８９（［文献２］は、［文献１］で引用されている元の文献である）。

【０００３】

［文献１］には、ダイナミック・ランダム・アクセス・メモリＤＲＡＭの増幅時にワード

線を介する雑音について記載されている。さらにワード線を介する雑音の一つとして、データ線とワード線の結合容量に起因して発生した非選択ワード線上の雑音電圧が、データ対線に雑音を発生させることについて記載している。その雑音の影響は、データ対線の構造（開放型データ対線構造、又は折り返しデータ対線構造）やデータ線のプリチャージ方式（ＶＤプリチャージ方式、又はＶＤ／２プリチャージ方式）に依存する。結果として、折り返しデータ対線構造にし、ＶＤ／２プリチャージ方式にすると当該雑音が軽減されることが記載されている。

【０００４】

【発明が解決しようとする課題】

本願発明者等は、本願に先立って０．１６～０．１３μｍの極微細加工技術を用いる１Ｇｂ　ＤＲＡＭアレイの構造とデータ線とワード線の結合容量に起因する雑音の関係について詳細な検討を行った。図１０に本願に先立って検討したＤＲＡＭアレイの平面レイアウトと、対応する回路図の一部分を示す。（ａ）の平面レイアウトにおいて、データ線（ＤＬ）、ワード線（ＷＬ）の所定の交点にメモリセル（ＭＣ）が配置されている。このデータ線構造は、いわゆる折り返し型データ線構造である。ここではメモリセルからの信号を読み出すＤＬ、選択トランジスタのゲートとなるＷＬ、拡散層領域（ＡＣＴ）、ＡＣＴとＤＬを接続するデータ線コンタクト（ＤＬＣＴ）、ＡＣＴとキャパシタ下部電極を接続するストレージノードコンタクト（ＳＮＣＴ）のみ示しており、ＳＮＣＴに接続されるキャパシタ下部電極は省略している。メモリアレイの上下には上サブワードドライバ列（ＳＷＤＡ－Ｕ）及び下サブワードドライバ列（ＳＷＤＡ－Ｄ）が配置されており、ワード線ＷＬは２本ずつ交互に上下のサブワードドライバ列に接続される。以下必要に応じてサブワードドライバはＳＷＤと略記することにする。また、メモリアレイの左右には左センスアンプ列（ＳＡＡ－Ｌ）及び右センスアンプ列（ＳＡＡ－Ｒ）が配置され、データ線ＤＬは２本ずつ交互に左右のセンスアンプ列に接続される。以下必要に応じてセンスアンプはＳＡと略記することにする。

【０００５】

このようにＳＷＤやＳＡを交互配置しているのは、ＳＷＤやＳＡのレイアウトピッチを緩和するためである。例えば、ＳＷＤＡ－Ｕとメモリアレイの境界部を見ると、ＷＬは、境界部を通過してＳＷＤに入るもの（ＷＬ１、ＷＬ２、ＷＬ５、ＷＬ６）と境界部で終わるもの（ＷＬ０、ＷＬ３、ＷＬ４、ＷＬ７）が２本おきに繰り返されている。このようにＷＬとＳＷＤを接続すると、ＳＷＤ一個分のデータ線方向のレイアウトピッチはＷＬ２本分のピッチに緩和可能である。ＳＡのレイアウトについても交互配置により、ワード線方向のピッチがＤＬの２対分のピッチ（ＤＬ４本分）に緩和される。ＤＲＡＭではメモリセルを微細化しているため、ＷＬ、ＤＬのピッチは非常に小さい。したがって、ＳＷＤやＳＡを所定のピッチでレイアウトすることが難しくなってきており、交互配置は重要である。

【０００６】

ここで、ＷＬとＳＷＤ列の接続関係に着目する。ＤＬ０Ｔに接続され、隣接する２個のメモリセルであるＭＣ０とＭＣ１に着目すると、これらのセルは一つのＤＬＣＴを共有しているが、これらのセルに接続されるＷＬであるＷＬ０とＷＬ１はともにＳＷＤＡ－Ｕに接続されている。一方、ＤＬ０Ｂに接続され、隣接する２個のメモリセルであるＭＣ２とＭＣ３に着目すると、これらも一つのＤＬＣＴを共有しているが、これらのセルに接続されるＷＬであるＷＬ２とＷＬ３はともにＳＷＤＡ－Ｄに接続されている。したがって、図１０のメモリアレイのレイアウトにおいてはＤＬＣＴを共有する２個のメモリセルに接続されるＷＬがともに同じＳＷＤ列に接続されている。メモリアレイ全体で見ると、図１０（ａ）に示したパターンが縦横に繰り返されているので、ＤＬ０Ｔに接続されるＭＣに接続されているＷＬ（図中ではＷＬ０、ＷＬ１、ＷＬ４、ＷＬ５）は全てＳＷＤＡ－Ｕに接続され、ＤＬ０Ｂに接続されるＭＣに接続されているＷＬ（図中ではＷＬ２、ＷＬ３、ＷＬ６、ＷＬ７）は全てＳＷＤＡ－Ｄに接続される。従って、一本のデータ線に接続されるメモリセルに接続されているワード線は、全て同じ列のサブワードドライバ列に接続されている。

【０００７】
これを、回路図で示したのが図１０（ｂ）である。折り返しデータ線構成ではデータ線とワード線の交点のうち半分の交点にメモリセルが接続されている。例えば、ＤＬ０ＴとＷＬ０の間にはメモリセルＭＣ０が接続されているが、ＤＬ０ＢとＷＬ０に接続されるＭＣは存在しない。ＭＣは選択トランジスタＴＧとセルキャパシタＣＳからなる。ＣＳの一方の電極はプレートＰＬであり、アレイ内の他のメモリセルと共通に接続される。ＣＳの他方の電極はＴＧのソースまたはドレインの一方に接続され、ＴＧの他方のソースまたはドレインはＤＬに接続される。ＤＬ０ＴとＤＬ０Ｂは対となってＳＡ列Ｌ中のＳＡ０へ接続され、ＤＬ１ＴとＤＬ１ＢはＳＡ列Ｒ中のＳＡ１へ接続されている。これらのＳＡはメモリセルからの信号によりＤＬ対に発生した微小電圧差を、一方のＤＬを高レベルへ、他方のＤＬを低レベルの電圧へと増幅する。

【０００８】
図１０のＭＣ０、ＭＣ１、ＭＣ２、ＭＣ３の部分だけを拡大して、図１１（ａ）にレイアウトを図１１（ｂ）に回路図を示した。また、これらのＭＣのＷＬとＤＬ間に生ずる寄生キャパシタも示している。ＷＬ０、ＷＬ１とＤＬ０Ｔの間にはそれぞれ寄生容量Ｃ００、Ｃ０１が生ずる。ＷＬ０、ＷＬ１とＤＬ０Ｂの間にはそれぞれ寄生容量Ｃ００Ｂ、Ｃ０１Ｂが生ずる。また、ＷＬ２、ＷＬ３とＤＬ０Ｂの間にはそれぞれ寄生容量Ｃ０２、Ｃ０３が生ずる。ＷＬ２、ＷＬ３とＤＬ０Ｔの間にはそれぞれ寄生容量Ｃ０２Ｂ、Ｃ０３Ｂが生ずる。

【０００９】
図１１（ａ）　のレイアウトにおける矢印で示した部分の断面Ａ、Ｂ、Ｃをそれぞれ図１２（ａ）、（ｂ）、（ｃ）に示した。図１２の断面図は、図１１（ａ）に示す矢印の方向で２つのワード線ＷＬ０，　ＷＬ１の付近の断面を示している。基板上のＡＣＴ領域はＭＯＳトランジスタの活性領域であり、基板のそれ以外の部分は素子分離領域となっている。その上にＷＬ、ＤＬが配線され、ＤＬは楕円状のＤＬＣＴによりＡＣＴと接続される。ＳＮはセルキャパシタＣＳの下部電極であり、ＳＮＣＴによりＡＣＴと接続される。ＣＳの上部電極ＰＬはアレイ内のセルで共通に接続されており、その上部には２層の金属配線Ｍ２、Ｍ３が配線される。

【００１０】
ここでＣ００とＣ００Ｂの大きさを比較する。図１２（ａ）の断面図Ａに示すように、ＤＬ０Ｔと接続されたＤＬＣＴ０はＷＬ０とＷＬ１の間を非常に近接して通過している。ＤＬＣＴ０とＷＬ０との距離は０．１３μｍの微細加工を行ってメモリセルを作製する場合、３０ｎｍ程度である。従って、ＤＬ０Ｔ－ＷＬ０間容量であるＣ００は、ほぼＤＬＣＴ０－ＷＬ０間の部分できまる。一方、図１２（ｂ）の断面図Ｂに示すように、ＤＬ０ＢはＷＬ０の上部を通過しているだけであり、ＤＬ０Ｂ－ＷＬ０間容量であるＣ００ＢはＤＬとＷＬの層間の距離できまり、０．１３μｍ世代では２５０ｎｍ程度である。したがって、Ｃ００ＢはＣ００よりも非常に小さく、詳細な容量シミュレーションをおこなったところＣ００を１００％とするとＣ００Ｂは１％程度であった。すなわち、図１１（ｂ）のように、折り返しデータ線構成ではＤＬ０ＴとＤＬ０Ｂに対するＷＬ０のカップリング容量は一見Ｃ００とＣ００Ｂでバランスしているように見えるが、微細メモリセルを用いた高集積ＤＲＡＭにおいてはＣ００が非常に大きく、アンバランスが生じている。同様にしてＣ０１、Ｃ０２、Ｃ０３はそれぞれＣ０１Ｂ、Ｃ０２Ｂ、Ｃ０３Ｂに対して非常に大きい。言い換えればＤＬ－ＷＬカップリング容量はそのＤＬとＷＬとの間にＭＣがある場合に大きく、ＭＣが無い場合には、ほとんど無視できる。

【００１１】
このＤＬ－ＷＬカップリング容量のアンバランスは、ＤＲＡＭを高集積化したことにより、基板に垂直な方向の層間絶縁膜の厚さに対して基板に平行な方向の絶縁膜の厚さが薄くなってきたために、顕在化した新しい問題である。　このようにＤＬ－ＷＬカップリング容量がアンバランスなメモリアレイでは、次に述べるように、ＷＬノイズが問題となる。

【００１２】

図１３に図１０のメモリアレイと、ワード線ノイズが最も大きくなる場合のデータパターンを示している。ＷＬ０からＷＬ７はそれぞれＳＷＤ０からＳＷＤ７に接続され、ＳＷＤ０、ＳＷＤ１、ＳＷＤ４、ＳＷＤ５はＳＷＤＡ－Ｕに配置され、ＳＷＤ２、ＳＷＤ３、ＳＷＤ６、ＳＷＤ７はＳＷＤＡ－Ｄに配置される。ＤＬ０Ｔ、ＤＬ０ＢはＳＡ列Ｌ中のＳＡ０に接続され、ＤＬ１Ｔ、ＤＬ１ＢはＳＡ列Ｒ中のＳＡ１に接続される。ＳＡの回路図を図１４（ａ）に示し、アレイの動作波形を図１４（ｂ）に示す。

【００１３】

図１３でＷＬ０が選択される場合を考える。アレイ中のＷＬ０以外のＷＬは、それぞれのＳＷＤ中ＮチャネルＭＯＳトランジスタによりＶＳＳＵまたはＶＳＳＤに接続される。図１４（ｂ）に示すように、まず　待機時には全てのＳＷＤはＷＬに０Ｖを出力している。ＭＣにおいては選択トランジスタがＯＦＦし、キャパシタには情報によりＶＤＬ（例えば１．８Ｖ）またはＶＳＳ（例えば０Ｖ）の電圧が書き込まれている。ＳＡではＳＨＲＵ、ＳＨＲＤはＶＰＰ（例えば３．５Ｖ）、ＣＳＰ、ＣＳＮはＶＢＬＲ（例えば０．９Ｖ）、ＢＬＥＱはＶＰＰ、ＹＳは０Ｖになっており、ＤＬはＶＢＬＲの電位にプリチャージされている。

【００１４】

ＤＲＡＭにバンクアクティベイトコマンドとアドレスが入力され、図のメモリアレイが選択された場合、ＳＡ０中ではＳＨＲＬ、ＢＬＥＱが０Ｖに落とされ、プリチャージが中断される。続いてＳＷＤ０においてＷＬ０が３．５Ｖに活性化される。すると、ＷＬ０につながるＭＣの選択トランジスタがＯＮし、０．９ＶにプリチャージされたＤＬ０、ＤＬ１等にセルキャパシタから信号が出てくる。このとき例えば１０２４対、２０４８本のＤＬのうちＤＬｎＴを除いてＤＬ０ＴからＤＬ１０２３Ｔまでの全てのＴ側のＤＬに低レベル（Ｌ）の信号が出てきて、ＤＬｎＴのみに高レベル（Ｈ）の信号が出てくるときを考える。このとき、他方のＤＬであるＤＬ０ＢからＤＬ１０２３Ｂには信号は出てこないので０．９Ｖのままである。このパターンまたはこのＨ、Ｌを逆転したパターンが、ＷＬノイズが最も大きくなるワースト条件である。続いて、ＣＳＮを０Ｖ、ＣＳＰを１．８Ｖへ駆動してＳＡを活性化するとＤＬｎＴ以外のＤＬ０ＴからＤＬ１０２３Ｔは０Ｖまで増幅され、ＤＬｎＢ以外のＤＬ０ＢからＤＬ１０２３Ｂは１．８Ｖへ増幅される。

【００１５】

この様子を図１３に示した。ＤＬ０Ｔ、ＤＬ１Ｔ上の丸で囲んだＬで、ＤＬ０Ｔ、ＤＬ１Ｔが０Ｖへ増幅されることを示し、ＤＬ０Ｂ、ＤＬ１Ｂ上の丸で囲んだＨでＤＬ０Ｂ、ＤＬ１Ｂが１．８Ｖへ増幅されることを示している。このときにＷＬ０に生ずるノイズは次のようになる。ＷＬ０はＤＬｎＴ以外のＤＬ０ＴからＤＬ１０２３Ｔまでのデータ線からカップリング容量を経由して負のノイズを受ける。一方、ＷＬ０はＤＬｎＢ以外のＤＬ０ＢからＤＬ１０２３Ｂまでのデータ線からカップリング容量を経由して正のノイズを受ける。ＷＬ０に生ずるノイズはこれらのノイズの和になるが、先に述べたようにＷＬ０はＤＬ０ＴからＤＬ１０２３ＴまでのＴ側のＤＬに接続されるＭＣに接続されているため、例えば、ＷＬ０－ＤＬ０Ｂ間のカップリング容量はＷＬ０－ＤＬ０Ｔ間のカップリング容量の１パーセント程度である。すなわち、ＷＬ０とＢ側のデータ線のカップリング容量はＷＬ０とＴ側のデータ線のカップリング容量に比較すると無視できるほど小さい。したがって、ＷＬ０については負のノイズがほとんど打ち消されずに生ずることになる。これをＷＬ０上の丸で囲んだマイナス記号で示した。同様にして、ＷＬ１、ＷＬ４、ＷＬ５には負のノイズが生ずる。これとは逆にＷＬ２、ＷＬ３、ＷＬ６、ＷＬ７はＤＬ０ＢからＤＬ１０２３ＢまでのＢ側のＤＬに接続されるＭＣに接続されているため、例えばＷＬ２－ＤＬ０Ｔ間カップリング容量のほうがＷＬ２－ＤＬ０Ｂ間カップリング容量よりも小さく、１パーセント程度である。すなわち、ＷＬ２とＴ側のデータ線のカップリング容量はＷＬ２とＢ側のデータ線のカップリング容量に比較すると無視できるほど小さい。したがって、これらのＷＬには正のノイズが生じ、これをＷＬ上の丸で囲んだプラス記号で示した。図１４（ｂ）の波形でもＷＬ０、ＷＬ１、ＷＬ２へのＷＬノイズを示した。

【００１６】

ここで、ＷＬに生じたノイズはＳＷＤ中のＮチャネルＭＯＳトランジスタを通してＳＷＤ上を配線されたＶＳＳへ電荷となって流入することになる。このＶＳＳ配線はＤＲＡＭではチップ中央の電源パッドからチップ端までＳＷＤ上を数ｍｍに渡って配線されているため、インピーダンスが高い。したがって、ワード線に生じたノイズがそのままＳＷＤ上のＶＳＳに生ずることになる。

【００１７】

このＷＬノイズは、アレイ全体のＷＬについてみると半分のＷＬに正のノイズ生じ、残りの半分に負のノイズが生じているのであるが、図１３のアレイではＳＷＤを交互配置しているために、ＳＷＤＡ－Ｕに接続される全てのＷＬに負のノイズが生じ、ＳＷＤＡ－Ｄに接続される全てのＷＬに正のノイズが生じている。したがって、ＳＷＤＡ－Ｕ上のＶＳＳ配線であるＶＳＳＵに生じた負のノイズは互いに強め合う方向で働き、ＳＷＤＡ－Ｄ上のＶＳＳ配線であるＶＳＳＤに生じた正のノイズも互いに強め合う方向で働く、したがってこれらのノイズは非常に大きい。詳細な回路シミュレーションの結果それぞれ１００ｍＶ程度になることが分かった。また、ＷＬに生じたノイズはチップ中央の電源パットまで伝わってようやく打ち消されることになるため減衰時間が長い。

【００１８】

このＤＬ増幅時のＷＬノイズは、再びＷＬ－ＤＬ間のカップリング容量を介してＤＬに戻り、誤動作を招く原因になる。図１３に示すようにＤＬｎＴのみにＨレベルの信号が出てきている場合、このＤＬｎＴにＷＬ０、ＷＬ１、ＷＬ４、ＷＬ５等から負のノイズが戻ってくる。また、ＤＬｎＢにはＷＬ２、ＷＬ３、ＷＬ６、ＷＬ７等から正のノイズが戻ってくる。すなわち、ＤＬｎ対からみると、もともとの信号とは逆方向のノイズが戻ってきて、信号量が減少することになる。もし、ＷＬ０とＤＬｎＴの交点に存在するメモリセルのセルキャパシタに蓄積されている電荷がリーク等の理由で減少していると、ＷＬ０活性化時にＤＬｎＴにでてくるＨレベルの信号が減少するため、このＷＬノイズにより、増幅時にデータが反転してしまうことになる。この様子を図１４に示しているが、ＷＬ活性化時にＤＬｎＴとＤＬｎＢに生じた微小電位差とは反転した方向にＤＬｎＴ、ＤＬｎＢが増幅され、データが誤って読み出されている。

【００１９】

すなわち、本願に先立って検討した図１０のメモリアレイではワーストケースにおいて、ワード線ＷＬノイズがセンスアンプドライバＳＷＤ中で互いに強め合う方向で働くため、ＷＬノイズが大きくなる問題がある。これはセンスアンプが読み出す信号を劣化させるため、メモリ動作を不安定にする。

【００２０】

したがって、本発明の目的は微細加工を追求した高集積ＤＲＡＭにおいてデータ線を増幅した際にワード線に生ずるノイズを低減し、信頼性の高いメモリアレイを提供することにある。

【００２１】

【課題を解決するための手段】

本願発明の代表的な手段は以下の通りである。一本のデータ線に接続される複数のメモリセルに接続される複数のワード線を、１本おき、または数本おきに、互いにメモリアレイの反対側に配置したサブワードドライバ列に接続するよう配置する。このように配置すると、上に述べた一組の注目するデータ線対を除く他のデータ線対が全て注目データ線対と逆のデータを読み出すというワード線ノイズのワーストパターンにおいて、メモリアレイの一方の辺に配置したサブワードドライバ列に接続されるワード線のうち、半数が正のノイズを受け、残りの半数が負のノイズを受けるため、これらのワード線ノイズがサブワードドライバ列内の接地電源配線で互いに打ち消し合い、低減される。同様に、メモリアレイの他方の辺に配置したサブワードドライバ列においても、接続される半数のワード線が正のノイズを受け、残りの半数が負のノイズを受けるため、これらのワード線ノイズがサブワードドライバ列内の接地電源配線で互いに打ち消し合い、低減される。

【００２２】

【発明の実施の形態】
以下本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のＣＭＯＳ（相補型ＭＯＳトランジスタ）等の集積回路技術によって、単結晶シリコンのような１個の半導体基板上に形成される。ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）の回路記号は矢印をつけないものはＮ形ＭＯＳＦＥＴ（ＮＭＯＳ）を表し、矢印をつけたＰ形ＭＯＳＦＥＴ（ＰＭＯＳ）と区別される。以下ＭＯＳＦＥＴを呼ぶために簡略化してＭＯＳと呼んでもよい。但し、本願発明は金属ゲートと半導体層の間に設けられた酸化膜絶縁膜を含む電界効果トランジスタだけに限定される訳ではなくＭＩＳＦＥＴ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）等の一般的なＦＥＴを用いた回路に適用される。

【００２３】
（実施例１）
図１に本発明の第一のワード線ノイズ低減アレイの平面レイアウトと、対応する回路図の一部分を示す。（ａ）の平面レイアウトにおいて、データ線（ＤＬ）、ワード線（ＷＬ）の所定の交点にメモリセル（ＭＣ）を配置している。ここではメモリセルからの信号を読み出すＤＬ、選択トランジスタのゲートとなるＷＬ、拡散層領域（ＡＣＴ）、ＡＣＴとＤＬを接続するデータ線コンタクト（ＤＬＣＴ）、ＡＣＴとキャパシタ下部電極を接続するストレージノードコンタクト（ＳＮＣＴ）のみ示しており、ＳＮＣＴに接続されるキャパシタ下部電極は省略している。本来、一つのアレイではＤＬの本数は例えば２０４８本程度、ＷＬの本数は５１２本程度存在しているが、ここではその一部のみを示した。メモリアレイの上下には上サブワードドライバ列ＳＷＤＡ－Ｕ及び下サブワードドライバ列ＳＷＤＡ－Ｄが配置されており、ワード線ＷＬは２本ずつ交互に上下のサブワードドライバ列に接続される。また、メモリアレイの左右には左センスアンプ列ＳＡＡ－Ｌ及び右センスアンプ列ＳＡＡ－Ｒが配置され、データ線ＤＬは２本ずつ交互に左右のセンスアンプ列に接続される。

【００２４】
このようにＳＷＤやＳＡを交互配置しているのは、ＳＷＤやＳＡのレイアウトピッチを緩和するためである。例えば、ＳＷＤＡ－Ｕとメモリアレイの境界部を見ると、ＷＬは、境界部を通過してＳＷＤに入るもの（ＷＬ１、ＷＬ２、ＷＬ５、ＷＬ６）と境界部で終わるもの（ＷＬ０、ＷＬ３、ＷＬ４、ＷＬ７）が２本ずつ繰り返されている。このようにＷＬとＳＷＤを接続すると、ＳＷＤ一個分のデータ線方向のレイアウトピッチはＷＬ２本分のピッチに緩和可能である。また、ＷＬのパターニングを行う場合、位相シフト法や輪帯照明などの超解像リソグラフィーが必要になるが、隣接した２本のＷＬをＳＷＤへ接続すると、光の位相が逆相になる２本のＷＬをＳＷＤへ接続可能であるため、ＳＷＤのレイアウトが容易になる特徴がある。

【００２５】
ＳＡのレイアウトについても交互配置により、ワード線方向のピッチがＤＬの２対分のピッチ（ＤＬ４本分）に緩和される。ＤＲＡＭではメモリセルを微細化しているため、ＷＬ、ＤＬのピッチは非常に小さい。したがって、ＳＷＤやＳＡを所定のピッチでレイアウトすることが難しくなってきており、交互配置は重要である。

【００２６】
ここで、ＷＬとＳＷＤ列の接続関係に着目する。本発明は交互配置したＳＷＤ列とＷＬとの接続関係に特長がある。ＤＬ０Ｔに接続し、隣接する２個のメモリセルであるＭＣ０とＭＣ１に着目すると、これらのＭＣは一つのＤＬＣＴを共有しているが、これらのセルに接続するＷＬのうちＷＬ０はＳＷＤＡ－Ｄに接続しているのに対して、ＷＬ１はＳＷＤＡ－Ｕに接続している。一方、ＤＬ０Ｂに接続し、隣接する２個のメモリセルであるＭＣ２とＭＣ３に着目すると、これらも一つのＤＬＣＴを共有しているが、これらのセルに接続するＷＬのうちＷＬ２はＳＷＤＡ－Ｕに接続しているのに対してＷＬ３はＳＷＤＡ－Ｄに

接続している。したがって、実施例１のワード線ノイズ低減アレイのレイアウトにおいてはＤＬＣＴを共有する２個のメモリセルに接続するＷＬを異なるＳＷＤ列に接続している。

【００２７】

メモリアレイ全体で見ると、図１（ａ）に示したパターンを縦横に繰り返しているので、ＤＬ０Ｔに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ１、ＷＬ５）をＳＷＤＡ－Ｕに接続し、残りの半数（図中ではＷＬ０、ＷＬ４）をＳＷＤＡ－Ｄに接続する。また、ＤＬ０Ｂに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ２、ＷＬ６）をＳＷＤＡ－Ｕに接続し、残りの半数（図中ではＷＬ３、ＷＬ７）をＳＷＤＡ－Ｄに接続する。従って、一本のデータ線に接続しているメモリセルに接続するワード線のうち、半数を一方の列のサブワードドライバ列に接続し、残りの半数を他方の列のサブワードドライバ列に接続している。さらに、ＳＷＤＡ－Ｕ内のＳＷＤは共通のＶＳＳ配線ＶＳＳＵに接続されている。同様にＳＷＤＡ－Ｄ内のＳＷＤも共通のＶＳＳ配線ＶＳＳＤに接続されている。ＶＳＳをこのように配線することにより、ＷＬノイズをＶＳＳにおいて打ち消すことが可能になる。

【００２８】

これを、回路図で示したのが図１（ｂ）である。折り返しデータ線構成ではデータ線とワード線の交点のうち半分の交点にメモリセルを接続している。例えば、ＤＬ０ＴとＷＬ０の間にはメモリセルＭＣ０を接続しているが、ＤＬ０ＢとＷＬ０との間にはＭＣを接続していない。ＭＣは選択トランジスタＴＧとセルキャパシタＣＳからなる。ＣＳの一方の電極はプレートＰＬであり、アレイ内の他のメモリセルと共通に接続される。ＣＳの他方の電極はＴＧのソースまたはドレインの一方に接続され、ＴＧの他方のソースまたはドレインはＤＬに接続される。ＤＬ０ＴとＤＬ０Ｂは対としてＳＡ列Ｌ中のＳＡ０へ接続し、ＤＬ１ＴとＤＬ１ＢはＳＡ列Ｒ中のＳＡ１へ接続する。これらのＳＡはメモリセルからの信号によりＤＬ対に発生した微小電圧差を、一方のＤＬを高レベルへ、他方のＤＬを低レベルの電圧へと増幅する。

【００２９】

このような接続にすると後に詳細に述べるように、ＳＡ０によって、ＤＬ０Ｔが低レベル、ＤＬ０Ｂに高レベルに増幅された場合、ＷＬ０、ＷＬ１には負のノイズ、ＷＬ２、ＷＬ３には正のノイズが加わるが、ＳＷＤＡ－Ｕ上の電源配線であるＶＳＳＵ上で、ＷＬ１とＷＬ２に加わった正負のノイズが打ち消しあう。同様にして、ＳＷＤＡ－Ｄ上の電源配線であるＶＳＳＤ上で、ＷＬ０とＷＬ３に加わった正負のノイズが打ち消しあう。本発明のメモリアレイでは１データ線対からのＷＬノイズが互いにキャンセルされてしまうため、アレイ内の他のデータ線対にどのようなデータパターンが発生しても、ノイズキャンセルの効果が生ずる。

【００３０】

本発明のワード線ノイズ低減アレイを用いたＤＲＡＭの構成を述べる。図２にＤＲＡＭチップの構成図を示す。チップの中央、長辺方向にはボンディングパット（ＰＡＤ）と間接周辺回路（ＰＥＲＩ１，　ＰＥＲＩ２）を配置している。ここには、アドレスやデータの入出力回路、電源回路、リフレッシュの制御回路、メインアンプ等を配置している。短辺方向にはＳＷＤやＳＡの制御を行う、アレイ制御回路（Ａ－ＣＴＬ）を配置している。前記の回路によりチップを大きく４個のブロックに分割しており、各々をメインワード線に接続した行デコーダ（Ｒ－ＤＥＣ）と、列選択線に接続した列デコーダ（Ｃ－ＤＥＣ）で囲んでいる。各ブロックを行方向にセンスアンプ列（ＳＡＡ）で、列方向にサブワードドライバ列（ＳＷＤＡ）で分割している、ＳＡ列とＳＷＤ列によって囲まれた部分が図１に示したメモリアレイ（ＭＡ）である。

【００３１】

図３に図１の本発明のワード線ノイズ低減アレイに用いる第一のサブワードドライバを示す。本ＳＷＤでは同じＳＷＤ列内の全てのＳＷＤが共通の接地配線ＶＳＳＵに接続されている。また、ＳＷＤはメモリアレイに対して交互配置されているので、ＳＷＤＡ－Ｕとメ

モリアレイの境界部を見ると、境界部を通過してＳＷＤに入るＷＬ（ＷＬ１、ＷＬ２、ＷＬ５、ＷＬ６）と、境界部で終わるＷＬ（ＷＬ０、ＷＬ３、ＷＬ４、ＷＬ７）が、２本ずつ繰り返されている。本発明のＷＬノイズ低減アレイでは図１のＤＬ０Ｔに接続したＭＣに接続するＷＬ（ＷＬ１、ＷＬ５）と　ＤＬ０Ｂに接続したＭＣに接続するＷＬ（ＷＬ２、ＷＬ６）を半数ずつＳＷＤＡ－Ｕ中のＳＷＤと接続していることに特長がある。

【００３２】

ＳＷＤ１を例にとると、一つのＳＷＤを２個のＮチャネルＭＯＳトランジスタＭＮ１、ＭＮ２と１個のＰチャネルＭＯＳトランジスタＭＰ１で構成する。ＭＮ１、ＭＮ２はソースをＶＳＳＵに接続し、ドレインをＷＬ１に接続する。ＭＮ１のゲートをメインワード線（ＭＷＬＢ）に接続し、ＭＮ２のゲートをＦＸ１Ｂに接続する。ＭＮ１、ＭＮ２ともに基板（バックゲート又はウエル電位）は図のようにＶＳＳＵに接続するか、または別に設けたＶＢＢ配線に接続してもよい。ＭＰ１についてはソースをＦＸ１、ドレインをＷＬ１、ゲートをＭＷＬＢに接続する。ＭＰ１の基板（バックゲート又はウエル電位）はＶＰＰ（例えば３．５Ｖ）に接続する。なお、ＳＷＤＡ－Ｕの上側に配置したメモリアレイのＷＬと下側に配置したメモリアレイのＷＬは互いにＳＷＤＡ－Ｕを通して接続されている。

【００３３】

ここで、ＭＷＬＢとＦＸ１が活性化され、ＷＬ１が選択される場合の動作を説明する。この場合、ＭＷＬＢは０Ｖ、ＦＸ１は３．５Ｖ、ＦＸ２、ＦＸ５、ＦＸ６は０Ｖ、ＦＸ１Ｂは０Ｖ、ＦＸ２Ｂ、ＦＸ５Ｂ、ＦＸ６Ｂは３．５Ｖとなる。ＳＷＤ１ではＭＰ１がオン、ＭＮ１、ＭＮ２がオフしてＷＬ１が３．５Ｖに活性化される。一方、ＳＷＤ２、ＳＷＤ５、ＳＷＤ６ではＭＮ１に相当するトランジスタはオフし、ＭＮ２に相当するトランジスタはオンし、ＷＬ２、ＷＬ５、ＷＬ６はＶＳＳＵ（０Ｖ）に接続される。ＭＰ１に相当するトランジスタのゲートは０Ｖであるが、ソースも０Ｖであるので、オンしない。したがって、非選択ＷＬであるＷＬ２、ＷＬ５、ＷＬ６はＭＮ２に相当するトランジスタのみでＶＳＳＵへ接続されている。

【００３４】

この他のＷＬ１の動作モードとしては（１）ＭＷＬＢ、ＦＸ１ともに非選択、（２）ＭＷＬＢが非選択でＦＸ１が選択の場合があるが、（１）ではＭＮ１、ＭＮ２がともにオンしてＶＳＳＵへ接続され、（２）ではＭＮ１のみがオンしてＶＳＳＵへ接続される。他のＳＷＤにおいても同様である。

【００３５】

続いて、本発明のワード線ノイズ低減アレイについて、ＷＬノイズが最も大きくなるワーストパターンにおけるＷＬノイズ低減効果を示す。図４に示すように１０２４対、２０４８本のＤＬのうちＤＬｎＴを除いてＤＬ０ＴからＤＬ１０２３Ｔまでの全てのＴ側のＤＬに低レベル（Ｌ）の信号が出てきて、ＤＬｎＴのみに高レベル（Ｈ）の信号が出てくるときを考える。このパターンまたはこのＨ、Ｌを逆転したパターンが、ＷＬノイズが最も大きくなるワースト条件である。ＳＡを活性化するとＤＬｎＴ以外のＤＬ０ＴからＤＬ１０２３Ｔは０Ｖまで増幅され、ＤＬｎＢ以外のＤＬ０ＢからＤＬ１０２３Ｂは１．８Ｖへ増幅される。ＤＬ０Ｔ、ＤＬ１Ｔ上の丸で囲んだＬで、ＤＬ０Ｔ、ＤＬ１Ｔが０Ｖへ増幅されることを示し、ＤＬ０Ｂ、ＤＬ１Ｂ上の丸で囲んだＨでＤＬ０Ｂ、ＤＬ１Ｂが１．８Ｖへ増幅されることを示している。このときにＷＬ０に生ずるノイズは次のようになる。ＷＬ０はＤＬｎＴ以外のＤＬ０ＴからＤＬ１０２３Ｔまでのデータ線からカップリング容量を経由して負のノイズを受ける。一方、ＷＬ０はＤＬｎＢ以外のＤＬ０ＢからＤＬ１０２３Ｂまでのデータ線からカップリング容量を経由して正のノイズを受ける。ＷＬ０に生ずるノイズはこれらのノイズの和になるが、先に述べたようにＷＬ０はＤＬ０ＴからＤＬ１０２３ＴまでのＴ側のＤＬに接続するＭＣに接続しているため、例えば、ＷＬ０－ＤＬ０Ｂ間のカップリング容量はＷＬ０－ＤＬ０Ｔ間のカップリング容量の１パーセント程度である。すなわち、ＷＬ０とＢ側のデータ線のカップリング容量はＷＬ０とＴ側のデータ線のカップリング容量に比較すると無視できるほど小さい。したがって、ＷＬ０については負のノイズがほとんど打ち消されずに生ずることになる。これをＷＬ０上の丸で囲んだマ

イナス記号で示した。同様にして、ＷＬ１、ＷＬ４、ＷＬ５には負のノイズが生ずる。これとは逆にＷＬ２、ＷＬ３、ＷＬ６、ＷＬ７はＤＬ０ＢからＤＬ１０２３ＢまでのＢ側のＤＬに接続されるＭＣに接続されているため、例えばＷＬ２－ＤＬ０Ｔ間カップリング容量のほうがＷＬ２－ＤＬ０Ｂ間カップリング容量よりも小さく、１パーセント程度である。すなわち、ＷＬ２とＴ側のデータ線のカップリング容量はＷＬ２とＢ側のデータ線のカップリング容量に比較すると無視できるほど小さい。したがって、これらのＷＬには正のノイズが生じ、これをＷＬ上の丸で囲んだプラス記号で示した。

【００３６】

図４に示すように本発明のワード線ノイズ低減アレイでは、図１３に示した本願に先立って検討したメモリアレイとは異なり、ＳＷＤＡ－Ｕに接続される半数のＷＬに負のノイズが生じ、半数のＷＬに正のノイズが生じている。したがって、正負のノイズはＳＷＤＡ－Ｕ上の電源配線であるＶＳＳＵにおいて打ち消し合うため、ＷＬノイズが低減される。同様に、ＳＷＤＡ－Ｄにおいても、接続される半数のＷＬに負のノイズが生じ、半数のＷＬに正のノイズが生じている。したがって、正負のノイズはＳＷＤＡ－Ｄ上の電源配線であるＶＳＳＤにおいて打ち消し合うため、ＷＬノイズが低減される。

【００３７】

このように、本発明のワード線ノイズ低減アレイにおいては、データ線上にどのようなパターンの信号が出てきた場合でも、データ線増幅時に正負のＷＬノイズがＳＷＤ中で互いに打ち消し合う方向で働くため、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリ動作の信頼性を高めることができる。

【００３８】

また、メモリーセルから出てくる信号量に注目すると、図１０のメモリーアレーよりも小さな信号まで正確にセンスすることができるため、メモリーセルのキャパシタ容量が十分にとれない場合や、リーク電流によってメモリーセルキャパシタに蓄積されている電荷が減少した場合に対する動作マージンを広くすることができる。

【００３９】

また、本アレーは１対として動作するデータ線うちの一方のデータ線と１本のワード線との間のカップリング容量と他方のデータ線と同じワード線との間のカップリング容量のアンバランスに対する許容度が大きい。従って、メモリーセルのストレージノードコンタクトを図１に示すように楕円状にすることができ、拡散層を直線状にレイアウトできるためプロセスが容易になる。

【００４０】

すなわち、本発明のアレーを用いると、ＤＲＡＭのリフレッシュ特性を改善することができる。また、ＤＲＡＭの製造プロセスを容易化することができる。

【００４１】

（実施例２）

図５に本発明の第二のワード線ノイズ低減アレーのレイアウトと回路図を示す。本実施例ではＳＷＤ列とメモリーアレーの境界部において、境界部で終わるＷＬと、ＳＷＤ列に接続されるＷＬが１本ずつ繰り返されている点が実施例１と異なる。

【００４２】

本例においても、ＷＬとＳＷＤ列の接続関係に着目する。ＤＬ０Ｔに接続し、隣接する２個のメモリーセルであるＭＣ０とＭＣ１に着目すると、これらのＭＣは一つのＤＬＣＴを共有しているが、これらのセルに接続するＷＬのうちＷＬ０はＳＷＤ列Ｕに接続しているのに対して、ＷＬ１はＳＷＤ列Ｄに接続している。一方、ＤＬ０Ｂに接続し、隣接する２個のメモリーセルであるＭＣ２とＭＣ３に着目すると、これらも一つのＤＬＣＴを共有しているが、これらのセルに接続するＷＬのうちＷＬ２はＳＷＤ列Ｕに接続しているのに対してＷＬ３はＳＷＤ列Ｄに接続している。したがって、実施例２のワード線ノイズ低減アレーのレイアウトにおいてもＤＬＣＴを共有する２個のメモリーセルに接続するＷＬを異なるＳＷＤ列に接続している。

【００４３】

本例でもメモリーアレー全体で見ると、図５（ａ）に示したパターンを縦横に繰り返しているので、ＤＬ０Ｔに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ０、ＷＬ４）をＳＷＤ列Ｕに接続し、残りの半数（図中ではＷＬ１、ＷＬ５）をＳＷＤ列Ｄに接続する。また、ＤＬ０Ｂに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ２、ＷＬ６）をＳＷＤ列Ｕに接続し、残りの半数（図中ではＷＬ３、ＷＬ７）をＳＷＤ列Ｄに接続する。従って、一本のデータ線に接続しているメモリーセルに接続するワード線のうち、半数を一方の列のサブワードドライバ列に接続し、残りの半数を他方の列のサブワードドライバ列に接続している。さらに、ＳＷＤ列Ｕ内のＳＷＤは共通のＶＳＳ配線ＶＳＳＵに接続されている。同様にＳＷＤ列Ｄ内のＳＷＤも共通のＶＳＳ配線ＶＳＳＤに接続されている。ＶＳＳをこのように配線することにより、ＷＬノイズをＶＳＳにおいて打ち消すことが可能になる。

【００４４】

本発明の第二のワード線ノイズ低減アレーにおいても、データ線増幅時の正負のＷＬノイズをＳＷＤ中で互いに打ち消すことができ、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリー動作の信頼性を高めることができる。

【００４５】

（実施例３）

図６に本発明の第三のワード線ノイズ低減アレーのレイアウトと回路図を示す。本実施例ではＳＷＤ列とメモリーアレーの境界部において、ＳＷＤ列に接続されるＷＬと、境界部で終わるＷＬが、４本ずつ繰り返されている点が実施例１、２と異なる。

【００４６】

本例においても、ＷＬとＳＷＤ列の接続関係に着目する。ＤＬ０Ｔに接続し、隣接する２個のメモリーセルであるＭＣ０とＭＣ１に接続するＷＬ０、ＷＬ１はともにＳＷＤ列Ｕに接続している。一方、ＤＬ０Ｂに接続し、隣接する２個のメモリーセルであるＭＣ２とＭＣ３に接続するＷＬ２、ＷＬ３もともにＳＷＤ列Ｕに接続している。したがって、本実施例においてはＷＬ０、ＷＬ１に生じたノイズはＷＬ２、ＷＬ３に生じたノイズによりＶＳＳＵ上において打ち消される。同様にしてＷＬ４、ＷＬ５に生じたノイズはＷＬ６、ＷＬ７に生じたノイズによりＶＳＳＤ上で打ち消される。

【００４７】

本例でもメモリーアレー全体で見ると、図６（ａ）に示したパターンを縦横に繰り返しているので、ＤＬ０Ｔに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ０、ＷＬ１）をＳＷＤ列Ｕに接続し、残りの半数（図中ではＷＬ４、ＷＬ５）をＳＷＤ列Ｄに接続する。また、ＤＬ０Ｂに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ２、ＷＬ３）をＳＷＤ列Ｕに接続し、残りの半数（図中ではＷＬ６、ＷＬ７）をＳＷＤ列Ｄに接続する。従って、一本のデータ線に接続しているメモリーセルに接続するワード線のうち、半数を一方の列のサブワードドライバ列に接続し、残りの半数を他方の列のサブワードドライバ列に接続している。

【００４８】

本発明の第三のワード線ノイズ低減アレーにおいても、データ線増幅時の正負のＷＬノイズをＳＷＤ中で互いに打ち消すことができ、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリー動作の信頼性を高めることができる。

【００４９】

（実施例４）

図７に本発明の第四のワード線ノイズ低減アレイのレイアウトと回路図を示す。本実施例ではＳＷＤ列とメモリアレイの境界部は図１１と同じであるが、メモリセルアレイＭＣ４、ＭＣ５、ＭＣ６、ＭＣ７のデータ線コンタクトＤＬＣＴの向きを変えて、拡散層がＤＬ方向に並んでいるメモリセルを交互に異なるＤＬに接続している点が実施例１、２、３と異なる。

【００５０】
ＤＬ０Ｔに接続し、隣接する２個のメモリセルであるＭＣ０とＭＣ１に接続するＷＬ０、ＷＬ１はともにＳＷＤＡ－Ｕに接続している。一方、ＤＬ０Ｂに接続し、隣接する２個のメモリセルであるＭＣ２とＭＣ３に接続するＷＬ２、ＷＬ３はともにＳＷＤＡ－Ｄに接続している。また、隣接する２個のメモリセルであるＭＣ４とＭＣ５は楕円状のＤＬＣＴを拡散層の下よりに配置してＤＬ０Ｂへ接続しているが、これらに接続するＷＬ４、ＷＬ５はＳＷＤＡ－Ｕに接続している。同様に、隣接する２個のメモリセルであるＭＣ６とＭＣ７は楕円状のＤＬＣＴを拡散層の下よりに配置してＤＬ０Ｔへ接続しているが、これらに接続するＷＬ６、ＷＬ７はＳＷＤＡ－Ｕに接続している。
【００５１】
したがって、本実施例においてはＷＬ０、ＷＬ１に生じたノイズはＷＬ４、ＷＬ５に生じたノイズによりＶＳＳＵ上において打ち消される。同様にしてＷＬ２、ＷＬ３に生じたノイズはＷＬ６、ＷＬ７に生じたノイズによりＶＳＳＤ上で打ち消される。
【００５２】
本例でもメモリアレイ全体で見ると、図７（ａ）に示したパターンを縦横に繰り返しているので、ＤＬ０Ｔに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ０、ＷＬ１）をＳＷＤＡ－Ｕに接続し、残りの半数（図中ではＷＬ６、ＷＬ７）をＳＷＤＡ－Ｄに接続する。また、ＤＬ０Ｂに接続しているＭＣに接続するＷＬのうち半数（図中ではＷＬ４、ＷＬ５）をＳＷＤＡ－Ｕに接続し、残りの半数（図中ではＷＬ２、ＷＬ３）をＳＷＤＡ－Ｄに接続する。従って、一本のデータ線に接続しているメモリセルに接続するワード線のうち、半数を一方の列のサブワードドライバ列に接続し、残りの半数を他方の列のサブワードドライバ列に接続している。
【００５３】
本発明の第四のワード線ノイズ低減アレイにおいても、　データ線増幅時の正負のＷＬノイズをＳＷＤ中で互いに打ち消すことができ、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリ動作の信頼性を高めることができる。
【００５４】
（実施例５）
本実施例は本発明のワード線ノイズ低減アレイに用いるための第二のサブワードドライバ（ＳＷＤ）である。ここでは本発明の第一のワード線ノイズ低減アレイと組み合わせた場合を示すが、他のワード線ノイズ低減アレイについても適用可能である。
【００５５】
図８に示すＳＷＤでは図３のＭＷＬＢをＭＷＬＢ０とＭＷＬＢ１にわけ、その分ＦＸの本数を半分に減らしている。この方式にするとＳＷＤのレイアウト面積を低減できる場合がある。そして、ＳＷＤの配置を上下２段にし、ＶＳＳをＶＳＳＵ１とＶＳＳＵ２の２本に分けている。
【００５６】
このようなＳＷＤを用いた場合に、ＷＬノイズを打ち消すためには、各ＶＳＳＵに対して、ＤＬ０Ｔに接続するＭＣに接続するＷＬと、ＤＬ０Ｂに接続するＭＣに接続するＷＬの両方に対応するＳＷＤを接続する必要がある。すなわち、図８では図１と同様にＷＬ１、ＷＬ５がＤＬ０Ｔに接続するＭＣに接続している。また、ＷＬ２、ＷＬ６がＤＬ０Ｂに接続するＭＣに接続している。このような場合には、ＷＬ１が接続したＳＷＤ１とＷＬ６が接続したＳＷＤ６をＶＳＳＵ１に接続することにより、これらのＷＬでのＷＬノイズをＶＳＳＵ１において打ち消すことができる。また、ＷＬ２が接続したＳＷＤ２とＷＬ５が接続したＳＷＤ５をＶＳＳＵ２に接続することにより、これらのＷＬでのＷＬノイズをＶＳＳＵ２において打ち消すことができる。
【００５７】
したがって、本発明のサブワードドライバと本発明のワード線ノイズ低減アレイを組み合わせて用いることにより、データ線増幅時の正負のＷＬノイズをＳＷＤ中で互いに打ち消

すことができ、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリ動作の信頼性を高めることができる。

【００５８】

（実施例６）

本実施例は本発明のワード線ノイズ低減アレイに用いるための第三のサブワードドライバ（ＳＷＤ）である。ここでは本発明の第一のワード線ノイズ低減アレイと組み合わせた場合を示すが、他のワード線ノイズ低減アレイについても適用可能である。

【００５９】

図９に示すＳＷＤでは図８のＳＷＤ１のＭＮ２に相当するトランジスタをＳＷＤ１とＳＷＤ６で共有し、互いのＷＬ間を接続している。この方式にするとＳＷＤで使用するトランジスタ数を減らすことができるため、ＳＷＤのレイアウト面積を低減できる。ＳＷＤの配置を上下２段にし、ＶＳＳをＶＳＳＵ１とＶＳＳＵ２の２本に分けているのは図８と同様である。

【００６０】

このようなＳＷＤを用いた場合に、ＷＬノイズを打ち消すためには、各ＶＳＳＵに対して、ＤＬ０Ｔに接続するＭＣに接続するＷＬと、ＤＬ０Ｂに接続するＭＣに接続するＷＬの両方に対応するＳＷＤを接続する必要がある。すなわち、図９では図１と同様にＷＬ１、ＷＬ５がＤＬ０Ｔに接続するＭＣに接続している。また、ＷＬ２、ＷＬ６がＤＬ０Ｂに接続するＭＣに接続している。このような場合には、ＷＬ１が接続したＳＷＤ１とＷＬ６が接続したＳＷＤ６をＶＳＳＵ１に接続することにより、これらのＷＬでのＷＬノイズをＶＳＳＵ１において打ち消すことができる。また、ＷＬ２が接続したＳＷＤ２とＷＬ５が接続したＳＷＤ５をＶＳＳＵ２に接続することにより、これらのＷＬでのＷＬノイズをＶＳＳＵ２において打ち消すことができる。

【００６１】

したがって、本発明のサブワードドライバと本発明のワード線ノイズ低減アレイを組み合わせて用いることにより、データ線増幅時の正負のＷＬノイズをＳＷＤ中で互いに打ち消すことができ、ＷＬノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリ動作の信頼性を高めることができる。

【００６２】

【発明の効果】

本発明のワード線ノイズ低減アレイＤＲＡＭでは、データ線上にどのようなパターンの信号が出てきた場合でも、データ線増幅時に、正負のワード線ノイズがサブワードドライバ中で互いに打ち消し合う方向で働くため、ワード線ノイズを低減できる。従って、センスアンプが読み出す信号の劣化を防ぐことができ、メモリ動作の信頼性を高めることができる。

【００６３】

また、メモリセルから出てくる信号量に注目すると、データ線－ワード線間のカップリング容量がのバランスが悪いメモリアレイよりも小さな信号まで正確にセンスすることができるため、メモリセルのキャパシタ容量が十分にとれない場合や、リーク電流によってメモリセルキャパシタに蓄積されている電荷が減少した場合に対する動作マージンを広くすることができる。したがって、本発明のアレイを用いると、ＤＲＡＭのリフレッシュ特性を改善することができる。また、ＤＲＡＭの製造プロセスを容易化することができる。

【図面の簡単な説明】

【図１】本発明の第一のワード線ノイズ低減アレイのレイアウトと回路図である。

【図２】ＤＲＡＭチップの構成図である。

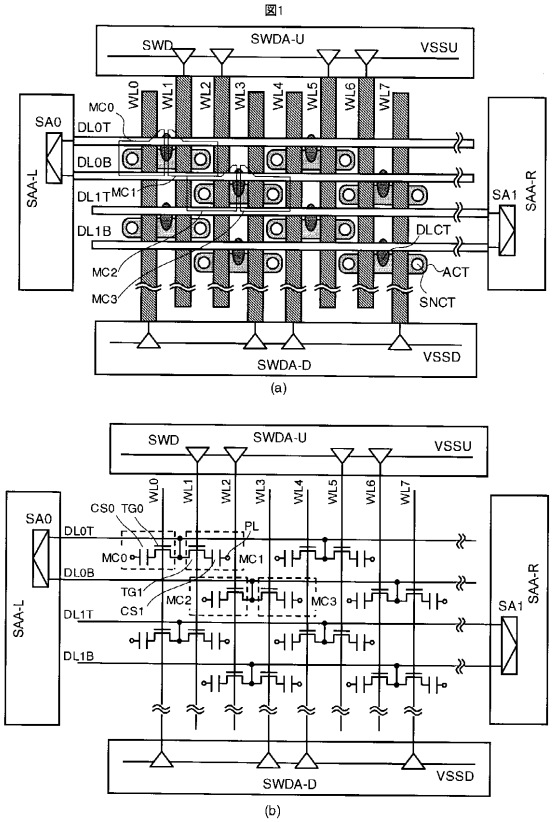
【図３】本発明のワード線ノイズ低減アレイに用いる第一のサブワードドライバの回路図である。

【図４】本発明の第一のワード線ノイズ低減アレイでのノイズ低減の原理を示す図である。

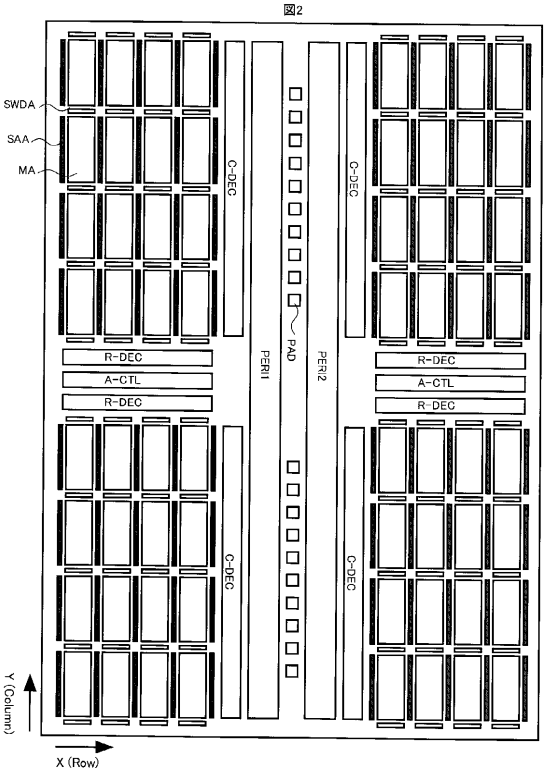
【図５】本発明の第二のワード線ノイズ低減アレイのレイアウトと回路図である。

【図６】本発明の第三のワード線ノイズ低減アレイのレイアウトと回路図である。
【図７】本発明の第四のワード線ノイズ低減アレイのレイアウトと回路図である。
【図８】本発明のワード線ノイズ低減アレイに用いる第二のサブワードドライバの回路図である。
【図９】本発明のワード線ノイズ低減アレイに用いる第三のサブワードドライバの回路図である。
【図１０】本願に先立って検討したＤＲＡＭメモリアレイのレイアウトと回路図である。
【図１１】図１０のメモリセルのレイアウトと回路図の拡大図である。
【図１２】図１１のメモリアレイのメモリ要部の断面図である。
【図１３】図１０のメモリアレイでのワード線ノイズ発生の原理を示した図である。
【図１４】図１０のメモリアレイのセンスアンプの回路図と動作波形である。
【符号の説明】
ＷＬ…ワード線
ＳＷＤ…サブワードドライバ
ＤＬ…データ線
ＳＡ…センスアンプ
ＭＣ…メモリセル
ＡＣＴ… ＭＯＳトランジスタの活性領域
ＳＮＣＴ…ストレージノードコンタクト
ＤＬＣＴ…データ線コンタクト
ＴＧ…選択トランジスタ
ＣＳ…セルキャパシタ
ＰＬ…プレート
ＳＮ…セルキャパシタ下部電極
ＭＷＬＢ…メインワード線
ＦＸ…サブワードドライバ選択線
ＳＨＲ…共有ＳＡ選択線
ＣＳＰ…ＰＭＯＳコモンソース
ＣＳＮ…ＮＭＯＳコモンソース
ＢＬＥＱ…データ線イコライズ線
ＶＢＬＲ…データ線参照電源
ＳＩＯ、ＳＩＯＢ…サブＩ／Ｏ線
Ｍ２、Ｍ３…配線層。

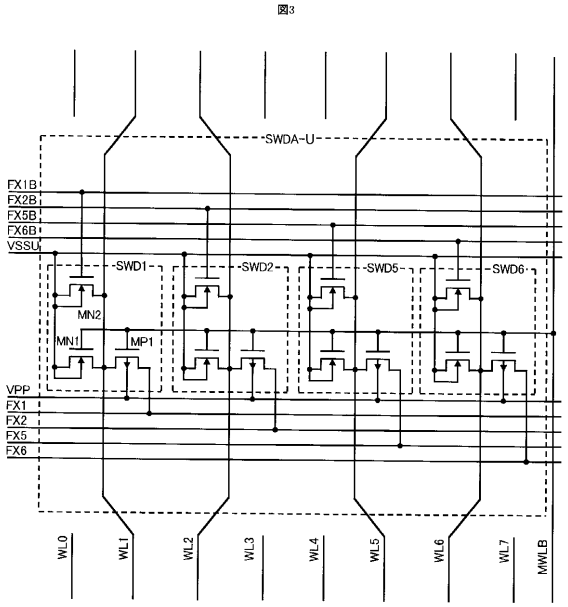
【図１】


図1
SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
SAA-L
MC0
DL0T
DL0B
DL1T
MC1
DL1B
SA1
SAA-R
DLCT
ACT
MC2
MC3
SNCT
SWDA-D
VSSD
(a)
CS0
TG0
PL
TG1
CS1
(b)

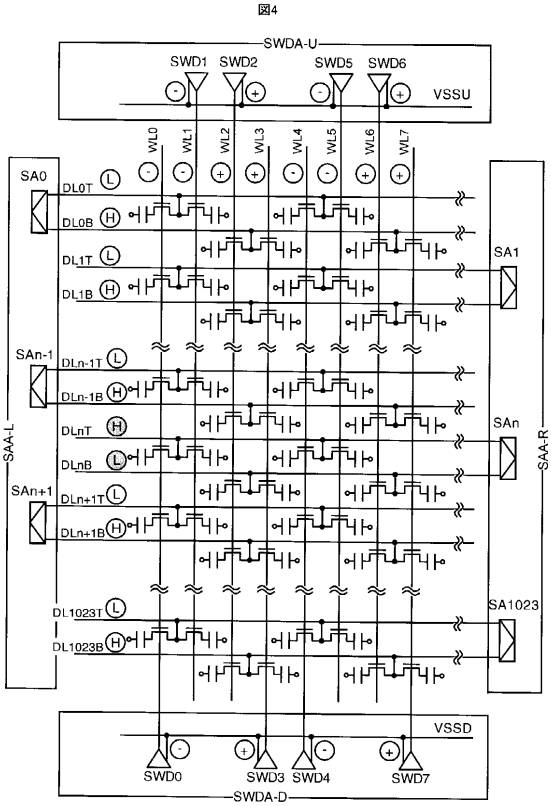
【図２】


図2
SWDA
SAA
MA
C-DEC
PER1
PAD
PER2
R-DEC
A-CTL
Y (Column)
X (Row)

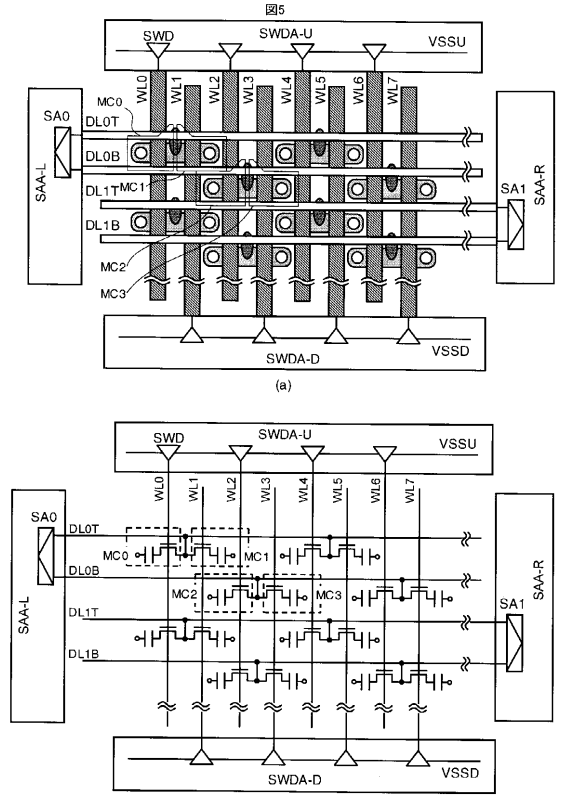
【図３】


図3
SWDA-U
FX1B
FX2B
FX5B
FX6B
VSSU
SWD1
SWD2
SWD5
SWD6
MN2
MN1
MP1
VPP
FX1
FX2
FX5
FX6
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
MWLB

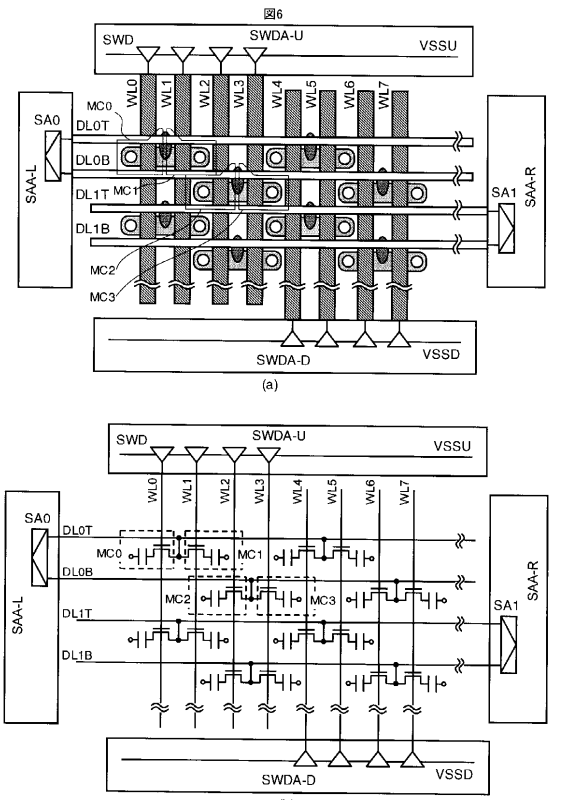
【図４】


図4
SWDA-U
SWD1
SWD2
SWD5
SWD6
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
DL0B
DL1T
DL1B
SA1
SAn-1
DLn-1T
DLn-1B
DLnT
DLnB
SAn
SAn+1
DLn+1T
DLn+1B
SAA-L
SAA-R
DL1023T
DL1023B
SA1023
VSSD
SWD0
SWD3
SWD4
SWD7
SWDA-D

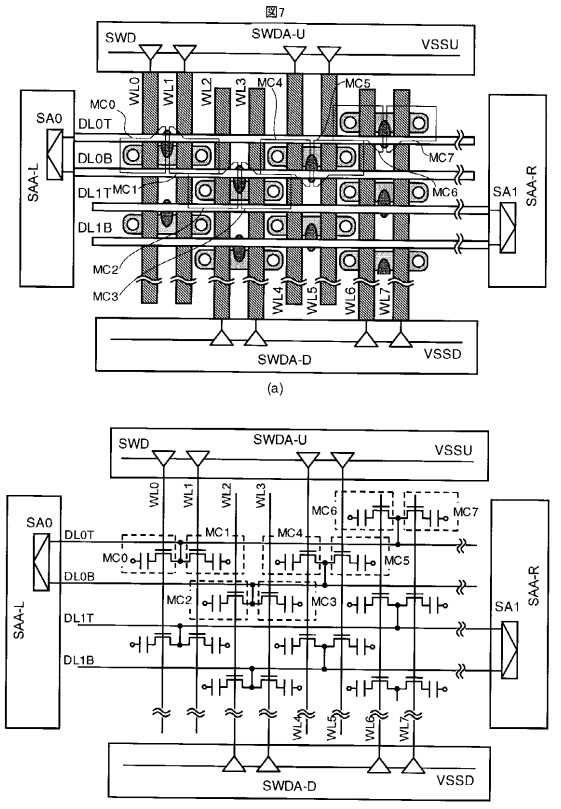
【図５】


図5
SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
MC0
DL0T
DL0B
DL1T
MC1
DL1B
MC2
MC3
SAA-L
SA1
SAA-R
SWDA-D
VSSD
(a)
(b)

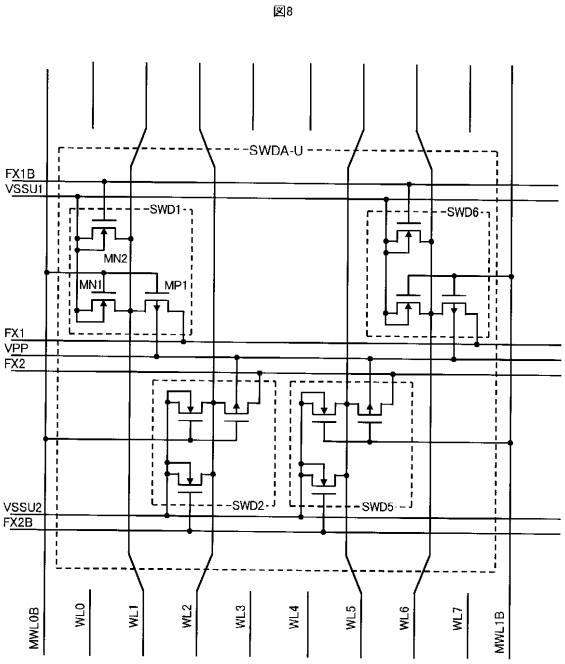
【図６】


図6
SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
MC0
DL0T
DL0B
DL1T
MC1
DL1B
MC2
MC3
SAA-L
SA1
SAA-R
SWDA-D
VSSD
(a)
(b)

【図７】

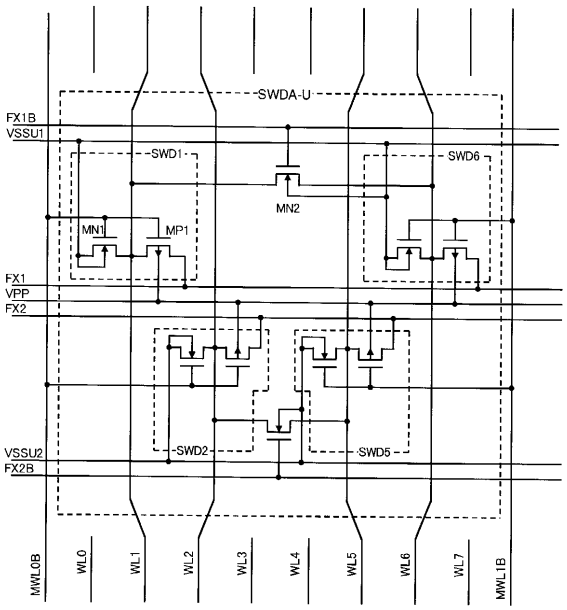

図7
SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
MC4
MC5
MC0
DL0T
SA0
DL0B
MC7
DL1T
MC1
MC6
SA1
DL1B
MC2
MC3
WL4
WL5
WL6
WL7
SAA-L
SAA-R
SWDA-D
VSSD
(a)
(b)

【図８】


図8
SWDA-U
FX1B
VSSU1
SWD1
SWD6
MN2
MN1
MP1
FX1
VPP
FX2
SWD2
SWD5
VSSU2
FX2B
MWL0B
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
MWL1B

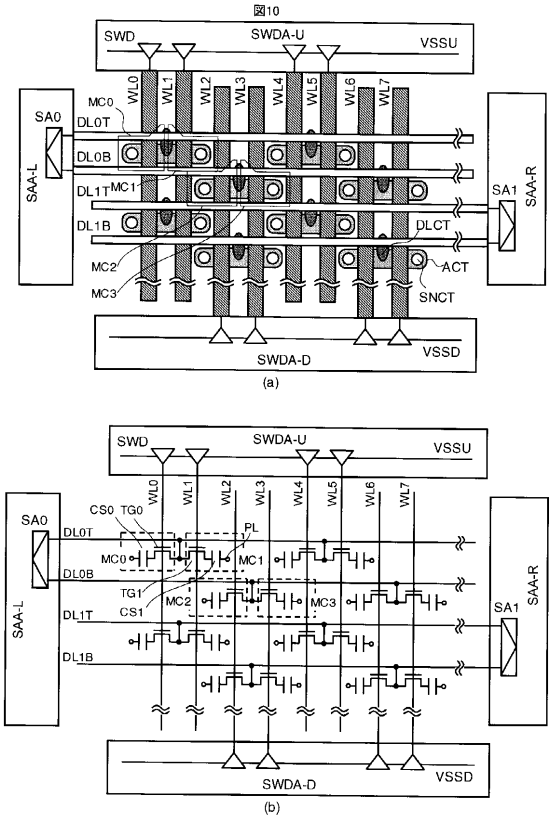
【図９】

図9



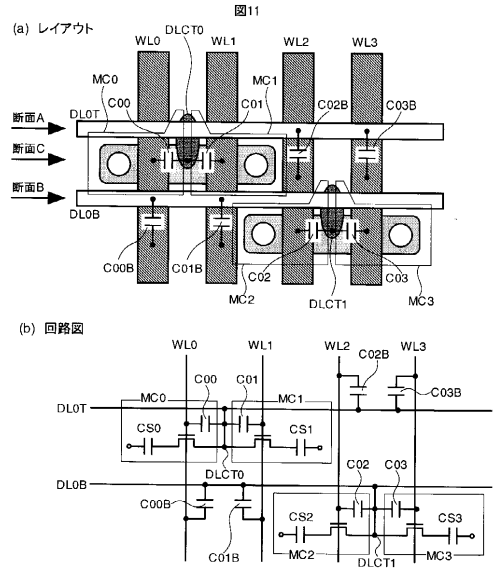
【図１０】

図10



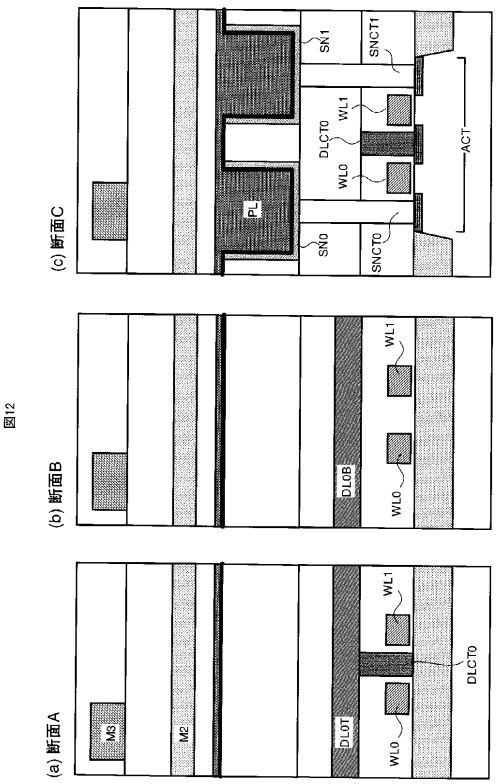
【図１１】

図11



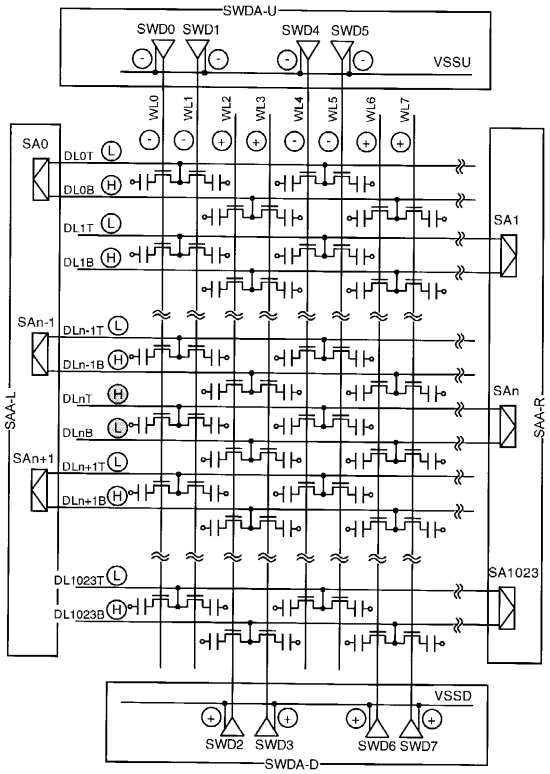
【図１２】

図12



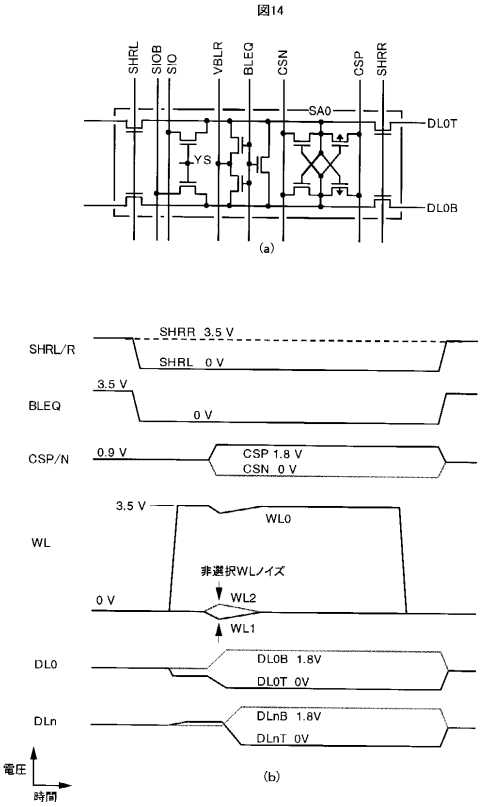
【図１３】

図13



【図１４】

図14



フロントページの続き

(72)発明者 梶谷 一彦
東京都青梅市新町六丁目１６番地の３ 株式会社日立製作所デバイス開発センタ内
(72)発明者 木村 勝高
東京都国分寺市東恋ケ窪一丁目２８０番地 株式会社日立製作所中央研究所内
(72)発明者 高橋 継雄
東京都青梅市新町六丁目１６番地の３ 株式会社日立製作所デバイス開発センタ内

審査官 正山 旭

(56)参考文献 特開平１１－１６３２９１（ＪＰ，Ａ）
特開平０９－２２３７３５（ＪＰ，Ａ）
特開平０８－３１４１１２（ＪＰ，Ａ）
特開平０４－３１８３９２（ＪＰ，Ａ）
特開平０３－２０３０８５（ＪＰ，Ａ）
特開昭６３－０８６１８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/108
H01L 21/8242
G01R 31/28
G11C 11/401
G11C 11/407