(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 12 月 29 日 (29.12.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/267159 A1

(51) 国际专利分类号:
G09F 9/30 (2006.01) *H01L 21/77* (2017.01)
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2021/108358

(22) 国际申请日: 2021 年 7 月 26 日 (26.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110702781.9 2021年6月24日 (24.06.2021) CN

(71) 申请人: 武汉华星光电技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(72) 发明人: 龚帆 (**GONG, Fan**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。 艾飞 (**AI, Fei**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。 宋继越 (**SONG, Jiyue**); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** ARRAY SUBSTRATE, METHOD FOR FABRICATING ARRAY SUBSTRATE, AND DISPLAY PANEL

(54) **发明名称:** 阵列基板、阵列基板制造方法及显示面板

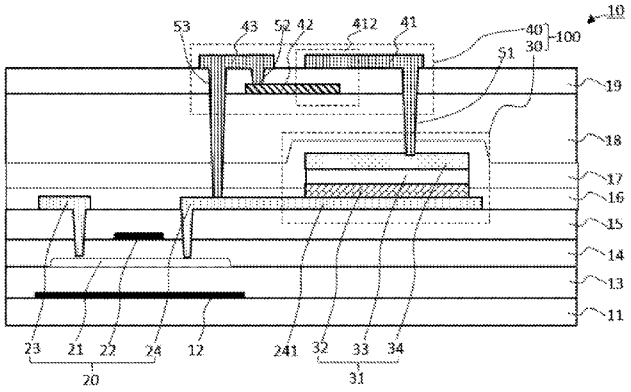


图 1

(57) **Abstract:** Embodiments of the present application disclose an array substrate, a method for fabricating the array substrate, and a display panel. The array substrate comprises a photosensitive sensor, the photosensitive sensor comprises a photosensitive module and a storage module, the photosensitive module comprises a photosensitive semiconductor layer, and the storage module comprises a first electrode plate and a second electrode plate. The photosensitive semiconductor layer is disposed on an extension part of a drain electrode. According to the embodiments of the present application, the number of film layers of the photosensitive sensor is reduced and masks are conserved.

(57) **摘要**: 本申请实施例公开了一种阵列基板、阵列基板制造方法及显示面板。阵列基板包括感光传感器，感光传感器包括感光模块和存储模块，感光模块包括感光半导体层，存储模块包括第一电极板和第二电极板；其中，感光半导体层设置于漏极的延伸部之上。本申请实施例减小了感光传感器的膜层数量，节省光罩。

WO 2022/267159 A1

[见续页]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

阵列基板、阵列基板制造方法及显示面板

技术领域

[0001] 本申请涉及显示领域，具体涉及一种阵列基板、阵列基板制造方法及显示面板。

背景技术

[0002] 随着面板产业的迅猛发展，人们除了对显示器高分辨、宽视角、低功耗等要求外，也对显示面板提出了其它要求。丰富面板功能，增加人机互动，提高显示面板的竞争力，是目前显示面板的主要发展方向之一。将环境光感光传感器集成到显示面板，可以避免因外挂环境光感光传感器而在屏幕上打孔或缩减屏幕尺寸，避免了影响屏幕的美观和屏占比。然而当前环境光感光传感器集成在显示面板的膜层繁多，工艺复杂的问题。

发明概述

技术问题

[0003] 本申请实施例提供了一种阵列基板、阵列基板制造方法及显示面板，解决了当前环境光感光传感器集成在显示面板的膜层繁多，工艺复杂的问题。

问题的解决方案

技术解决方案

[0004] 本申请实施例提供了一种阵列基板，包括：

[0005] 基底；

[0006] 薄膜晶体管，设于所述基底上，包括栅极、有源层、源极和漏极；

[0007] 感光传感器，所述感光传感器包括感光模块和存储模块，所述感光模块包括感光半导体层，所述存储模块包括第一电极板和第二电极板；

[0008] 其中，所述感光半导体层设置于所述漏极的延伸部之上，所述第一电极板电连接所述感光半导体层远离所述漏极的延伸部的一侧，所述第二电极板电连接所述漏极。

[0009] 相应的，本申请实施例还提供了一种阵列基板制造方法，包括如下制造步骤：

[0010] 步骤S100：提供一衬底基板，在所述衬底基板上制作薄膜晶体管，所述薄膜晶体管包括栅极、有源层、连接所述有源层的源极和漏极；

[0011] 步骤S200：在所述漏极的延伸部上形成感光半导体层；

[0012] 步骤S300：在所述感光半导体层上形成第一绝缘层，在所述第一绝缘层上形成具有图案化形状的第一金属层，所述第一金属层包括第一电极板和第二电极板中的一个；

[0013] 步骤S400：在所述第一金属层上形成第二绝缘层，在所述第二绝缘层上形成具有图案化形状的第二金属层，所述第二金属层包括所述第一电极板和所述第二电极板中的另一个，所述第一电极板通过过孔电连接所述感光半导体层，所述第二电极板通过另一过孔电连接所述漏极；所述第一电极板和所述第二电极板构成存储电容。

[0014] 相应的，本申请实施例还提供了一种显示面板，包括阵列基板；其中，所述阵列基板包括：

[0015] 基底；

[0016] 薄膜晶体管，设于所述基底上，包括栅极、有源层、连接所述有源层的源极和漏极；

[0017] 感光传感器，所述感光传感器包括感光模块和存储模块，所述感光模块包括感光半导体层，所述存储模块包括第一电极板和第二电极板；

[0018] 其中，所述感光半导体层设置于所述漏极的延伸部之上，所述第一电极板电连接所述感光半导体层远离所述漏极的延伸部的一侧，所述第二电极板电连接所述漏极。

发明的有益效果

有益效果

[0019] 本申请实施例中，提供了一种阵列基板、阵列基板制造方法及显示面板。感光半导体层设置于漏极的延伸部之上，感光半导体的一侧电极与漏极同层，减小了感光传感器的膜层数量，可以减小阵列基板的制作工序数量。

对附图的简要说明

附图说明

[0020] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0021] 图1是本申请一实施例提供的阵列基板的第一种结构示意图；

[0022] 图2是本申请一实施例提供的阵列基板的第二种结构示意图；

[0023] 图3是本申请一实施例提供的阵列基板的第三种结构示意图；

[0024] 图4是本申请一实施例提供的一种阵列基板制造方法的流程步骤示意图；

[0025] 图5至图16是本申请一实施例提供的阵列基板的制作过程的示意图；

[0026] 图17是本申请一实施例提供的显示面板的示意图。

发明实施例

本发明的实施方式

[0027] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。此外，应当理解的是，此处所描述的具体实施方式仅用于说明和解释本申请，并不用于限制本申请。在本申请中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

[0028] 本申请实施例提供了一种阵列基板，包括：基底；薄膜晶体管，设于基底上，包括栅极、有源层、连接有源层的源极和漏极；感光传感器，感光传感器包括感光模块和存储模块，感光模块包括感光半导体层，存储模块包括第一电极板和第二电极板；其中，感光半导体层设置于漏极的延伸部之上，第一电极板电连接感光半导体层远离漏极的延伸部的一侧，第二电极板电连接漏极。

[0029] 本申请实施例提供一种阵列基板、阵列基板制造方法及显示面板。以下分别进行详细说明。需说明的是，以下实施例的描述顺序不作为对实施例优选顺序的限定。

[0030] 实施例一、

[0031] 请参阅图1，图1为本申请实施例提供的阵列基板的第一种结构示意图，阵列基板10包括基底11、薄膜晶体管20和感光传感器100。薄膜晶体管20设于基底11上，薄膜晶体管20包括栅极22、有源层21、连接有源层21的源极23和漏极24；感光传感器100包括感光模块30和存储模块40，感光模块30包括感光半导体层31，存储模块40包括第一电极板41和第二电极板42；其中，感光半导体层31设置于漏极的延伸部241之上，第一电极板41电连接感光半导体层31远离漏极24的延伸部241的一侧，第二电极板42电连接漏极24。

[0032] 进一步的，存储模块40包括存储电容412，第一电极板41和第二电极板42构成存储电容412。

[0033] 具体的，薄膜晶体管20设于基底11上，薄膜晶体管20包括栅极22、有源层21、源极23和漏极24。基底11可以为玻璃等材质，薄膜晶体管20可以为顶栅型薄膜晶体管、底栅型晶体管等，薄膜晶体管20的类型在此不做限定。有源层21的材质可以为多晶硅、非晶硅、金属氧化物半导体等。

[0034] 具体的，漏极24具有一延伸部241，感光半导体层31设置于漏极24的延伸部241上，漏极24的延伸部241作为感光模块30的一侧电极或用于传递感光半导体层31的电信号。第一电极板41电连接感光半导体层31远离漏极24的延伸部241的一侧，第一电极板41与感光半导体层31连接的部位作为感光模块30的另一侧电极或用于传递感光半导体层31的电信号。

[0035] 具体的，存储模块40包括第一电极板41和第二电极板42，存储模块40包括存储电容412，第一电极板41和第二电极板42构成存储电容412，即第一电极板41和第二电极板42之间设置有绝缘层，且第一电极板41在基底11上的正投影与第二电极板42在基底11上的正投影具有重叠部位，以构成存储电容412。

[0036] 具体的，请参阅图1，本申请实施例中阵列基板10包括：设于基底上的遮光层12、设于遮光层12上的缓冲层13、设于缓冲层13上的有源层21、设于有源层21上的栅极绝缘层14、设于栅极绝缘层14上的栅极22、设于栅极22上的层间绝缘层15、设于层间绝缘层15上的源极23和漏极24、设于源极23和漏极24上的保护绝缘层16、设于漏极24的延伸部241上的感光半导体层31、设于感光半导体层31上的

覆盖绝缘层17、设于覆盖绝缘层17上的平坦层18、设于平坦层18上的第二电极板42、设于第二电极板42上的第二绝缘层19、设于第二绝缘层19上的第一电极板41。其中，保护绝缘层16具有露出漏极24的延伸部241的开口，感光半导体层31设置于保护绝缘层16的开口上并与漏极24的延伸部241接触；阵列基板10也可以不包括保护绝缘层16，在阵列基板制作时，制作完源极23和漏极24后，直接在漏极24的延伸部241上制作感光半导体层31；保护绝缘层、覆盖绝缘层17和第二绝缘层19的材料可以为无机绝缘材料，例如包括氮化硅（SiN_x）和氧化硅（SiO_x）中的一种或两种；平坦层18的材料可以为有机材料，具体的可以为有机透明光阻材料；其中，覆盖绝缘层17和平坦层18可以只设置其中之一，也可以两者都设置，第二电极板42与感光半导体层之间的绝缘层称之为第一绝缘层，因此，覆盖绝缘层17或/和平坦层18为第一绝缘层。

[0037] 在一些实施例中，感光半导体层31采用非晶硅制备。

[0038] 具体的，非晶硅在可见区域具有高吸收系数，而且红外光区域基本不吸光，与人眼视觉完美匹配，因此将非晶硅作为感光层能与环境光感光传感器完美契合。非晶硅吸收环境光后会产生光电流，在第一电极板41与漏极24的延伸部241之间产生光电流，使得感光半导体层31形成导电通道。

[0039] 在一些实施例中，感光半导体层31包括设于漏极24的延伸部241上的N型非晶硅32、设于N型非晶硅32上的本征非晶硅33。

[0040] N型非晶硅32中为非晶硅中掺杂了五价元素，例如磷元素、砷元素等。本征非晶硅33中没有掺杂其他元素，使用本征非晶硅33吸收环境光后产生光电子和空穴，N型非晶硅32有多余了电子可以提高感光半导体层31中的电流大小，从而提升感光传感器100的灵敏性。

[0041] 在一些实施例中，感光半导体层31包括设于漏极24的延伸部241上的N型非晶硅32、设于N型非晶硅32上的本征非晶硅33，以及设于本征非晶硅33上的P型非晶硅34。

[0042] P型非晶硅34中为非晶硅中掺杂了三价元素，例如硼元素、镓元素等。本征非晶硅33中没有掺杂其他元素，使用本征非晶硅33吸收环境光后产生光电子和空穴，P型非晶硅34有多余了空穴可以提高感光半导体层31中的电流大小。感光半

导体层使用N型非晶硅32、本征非晶硅33、P型非晶硅34的三层结构，可以进一步提升感光传感器100的灵敏性。

[0043] 在一些实施例中，感光半导体层31可以只包括本征非晶硅33，或包括本征非晶硅33和P型非晶硅34的两层结构。

[0044] 如图1所示，阵列基板10还包括第一绝缘层和第二绝缘层19，第一绝缘层设于感光半导体层31和薄膜晶体管20上，第二电极板42设于第一绝缘层上；第二绝缘层19设于第二电极板42上，第一电极板41设于第二绝缘层19上，第一电极板通过第一绝缘层和第二绝缘层中的第一过孔51连接感光半导体层。

[0045] 具体的，图1中的第一绝缘层为覆盖绝缘层17和平坦层18，在一些情况中，可以阵列基板可以只设置覆盖绝缘层17和平坦层18的其中之一，此时，第一绝缘层为覆盖绝缘层17和平坦层18的其中之一。

[0046] 如图1所示，阵列基板10还包括连接电极43，连接电极43设置于第二绝缘层19上，第二绝缘层19包括第二过孔52，第一绝缘层和第二绝缘层19还包括第三过孔53，连接电极43的一端通过第二过孔52连接第二电极板42，连接电极43的另一端通过第三过孔53连接漏极24。

[0047] 具体的，图1中第三过孔53还贯穿保护绝缘层16。

[0048] 在本申请实施例中，漏极24具有一延伸部241，感光半导体层31设置于漏极24的延伸部241上，漏极24的延伸部241作为感光模块30的一侧电极或用于传递感光半导体层31的电信号，减小了感光传感器的膜层数量，可以减小阵列基板的制作工序数量，节省光罩。

[0049] 进一步的，第一电极板41通过第一过孔51电连接感光半导体层31远离漏极24的延伸部241的一侧，第一电极板41与感光半导体层31连接的部位（第一过孔51中延伸的部位）作为感光模块30的另一侧电极或用于传递感光半导体层31的电信号，进一步减小了感光传感器的膜层数量，可以减小阵列基板的制作工序数量，节省光罩。

[0050] 实施例二、

[0051] 请参阅图2，图2为本申请实施例提供的阵列基板的第二种结构示意图，本申请实施例的阵列基板10与实施例一相同或相似，相同之处不再赘述，不同之处在

于第二电极板42与漏极24的连接关系不同。

[0052] 第一绝缘层包括第四过孔54，第二电极板42通过第四过孔54连接漏极24。

[0053] 具体的，图2中的第一绝缘为覆盖绝缘层17和平坦层18，在一些情况中，阵列基板10可以只设置覆盖绝缘层17和平坦层18的其中之一，此时，第一绝缘层为覆盖绝缘层17和平坦层18的其中之一。

[0054] 本申请实施例中没有实施例一中的连接电极43，第二电极板42直接通过第一绝缘层中的第四过孔54连接到漏极24。

[0055] 需要说明的是，图2中第四过孔54还贯穿保护绝缘层16。

[0056] 本申请实施例具有实施例一中相同的有益效果，在此不再赘述，同时，本申请实施例中去掉了连接电极43，进一步的简化了阵列基板的膜层结构，便于阵列基板的制造和版图（layout）布局，利于良率提升。

[0057] 实施例三、

[0058] 请参阅图3，图3为本申请实施例提供的阵列基板的第三种结构示意图，本申请实施例的阵列基板10与实施例一、实施例二相同或相似，相同之处不再赘述，不同之处在于第一电极板41与第二电极板42的位置关系不同。

[0059] 在本申请实施例中，第一绝缘层设于感光半导体层31和薄膜晶体管20上，第一电极板41设于第一绝缘层上。

[0060] 具体的，图3中的第一绝缘为覆盖绝缘层17和平坦层18，在一些情况中，阵列基板可以只设置覆盖绝缘层17和平坦层18的其中之一，此时，第一绝缘层为覆盖绝缘层17和平坦层18的其中之一。

[0061] 第二绝缘层19设于第一电极板41上，第二电极板42设于第二绝缘层19上，第一电极板41通过第一绝缘层中的第五过孔55连接感光半导体层31，第二电极板42通过第一绝缘层和第二绝缘层19中的第六过孔56连接漏极24。

[0062] 在本申请实施例中，第一电极板41设置于第一绝缘层上，第二电极板42设置于第二绝缘层19上，本申请实施例中又提出了一种具有感光传感器100的阵列基板10的结构，具有与实施例一、二相同的有益效果，在此不再赘述。

[0063] 实施例四、

[0064] 在上述实施例一、二、三中所述的任一项阵列基板10中，阵列基板10还包括公

共电极和像素电极，下面说明公共电极和像素电极的两种设置情况。

[0065] 第一种情况，公共电极设于第一绝缘层上；像素电极设于第二绝缘层上；其中，公共电极与第一绝缘层上的对应电极板采用同一金属制备，像素电极与第二绝缘层19上的对应电极板采用同一金属制备。

[0066] 具体的，如实施例一、二之中：第二电极板42设置于第一绝缘层上，公共电极设置于第一绝缘层上，公共电极与第二电极板42采用同一金属制备；第一电极板41设置于第二绝缘层19上，像素电极设于第二绝缘层19上，像素电极与第一电极板41采用同一金属制备。

[0067] 具体的，如实施例三之中：第一电极板41设于第一绝缘层上，公共电极设置于第一绝缘层上，公共电极与第一电极板41采用同一金属制备；第二电极板42设于第二绝缘层19上，像素电极设于第二绝缘层19上，像素电极与第二电极板42采用同一金属制备。

[0068] 第二种情况，像素电极设于第一绝缘层上；公共电极设于第二绝缘层19上；其中，像素电极与第一绝缘层上的对应电极板采用同一金属制备，公共电极与第二绝缘层19上的对应电极板采用同一金属制备。

[0069] 具体的，如实施例一、二之中：第二电极板42设置于第一绝缘层上，像素电极设置于第一绝缘层上，像素电极与第二电极板42采用同一金属制备；第一电极板41设置于第二绝缘层19上，公共电极设于第二绝缘层19上，公共电极与第一电极板41采用同一金属制备。

[0070] 具体的，如实施例三之中：第一电极板41设于第一绝缘层上，像素电极设置于第一绝缘层上，像素电极与第一电极板41采用同一金属制备；第二电极板42设于第二绝缘层19上，公共电极设于第二绝缘层19上，公共电极与第二电极板42采用同一金属制备。

[0071] 需要说明的是，在一些实施情况中，在上述任一项所述的阵列基板10中，第一电极板41在基底11上的正投影与感光半导体层31在基底上的正投影至少部分重叠，此时第一电极板41的材料采用半透明或透明材料，例如为铟锡氧化物（ITO）、铟锌氧化物（IZO）、氧化锌（ZnO）、氟锡氧化物（FTO）等中的任一种，使得环境光可以透过第一电极板41到达感光半导体层31。

[0072] 需要说明的是，在一些实施例中，第一电极板41电连接至公共电极，即第一电极板41通过公共电极供给电信号。

[0073] 在本申请实施例中所述的阵列基板中，公共电极与第一绝缘层上的对应电极板采用同一金属制备，像素电极与第二绝缘层19上的对应电极板采用同一金属制备；或像素电极与第一绝缘层上的对应电极板采用同一金属制备，公共电极与第二绝缘层19上的对应电极板采用同一金属制备，可以进一步减小阵列基板10和感光传感器的膜层数量、膜层复杂性，减小包含感光传感器100的阵列基板10的制作工序，减小光罩。

[0074] 实施例五、

[0075] 请参与图4，图4为本申请实施例提供的一种阵列基板制造方法的流程步骤示意图，阵列基板制造方法包括步骤S100、步骤S200、步骤S300、步骤S400。图5至图16为阵列基板的制作过程的示意图。

[0076] 步骤S100：提供一衬底基板，在衬底基板上制作薄膜晶体管，薄膜晶体管包括栅极、有源层、连接有源层的源极和漏极。

[0077] 具体的，请参阅图5至图9。如图5所示，在基底11上制作遮光层12，采用曝光蚀刻等方式形成图案化的遮光层12；如图6所示，在遮光层12上制备缓冲层13，在缓冲层13上制备有源层21，采用曝光蚀刻方法形成图案化的有源层21，有源层21的材料可以为多晶硅、非晶硅、金属氧化物半导体等，当有源层21为多晶硅时，还可以包括对多晶硅进行P型离子掺杂，形成N型多晶硅，使得有源层21容易形成欧姆接触；如图7所示，在有源层21上形成栅极绝缘层14，在栅极绝缘层14上形成栅极22；如图8所示，在栅极22上形成层间绝缘层15，层间绝缘层15包括连接有源层的过孔；如图9所示，在层间绝缘层15上形成源极23、漏极24和漏极24的延伸部241，源极23和漏极24分别通过层间绝缘层15中的过孔连接有源层21。

[0078] 步骤S200：在漏极的延伸部上形成感光半导体层。

[0079] 具体的，请参阅图10至图12。如图10、图11所示，在源极23、漏极24和漏极24的延伸部241上形成保护绝缘层16，保护绝缘层16具有露出漏极24的延伸部241的开口161；如图12所示，在开口161的漏极24的延伸部241上形成感光半导体层

31。

[0080] 具体的，在一些实施例中，感光半导体层31包括设于漏极24的延伸部241上的N型非晶硅32、设于N型非晶硅32上的本征非晶硅33。

[0081] 具体的，在一些实施例中，感光半导体层31包括设于漏极24的延伸部241上的N型非晶硅32、设于N型非晶硅32上的本征非晶硅33，以及设于本征非晶硅33上的P型非晶硅34。

[0082] 具体的，在一些实施例中，感光半导体层31可以只包括本征非晶硅33，或包括本征非晶硅33和P型非晶硅34的两层结构。

[0083] 步骤S300：在所述感光半导体层上形成第一绝缘层，在所述第一绝缘层上形成具有图案化形状的第一金属层，所述第一金属层包括第一电极板和第二电极板中的一个；

[0084] 具体的，如图13所示，在感光半导体层31上形成第一绝缘层，第一绝缘层可以包括设于感光半导体层31上的覆盖绝缘层17和设于覆盖绝缘层17上的平坦层18，其中，覆盖绝缘层17和平坦层18可以只设置其中之一，也可以两者都设置，覆盖绝缘层17或/和平坦层18为第一绝缘层。如图14所示，在第一绝缘层上形成第一金属层，第一金属层具有图案化的形状，第一金属层包括第一电极板41和第二电极板42中的一个。

[0085] 具体的，如图14所示，制作第一绝缘层时，第一绝缘层中包括第一预置过孔511和第二预置过孔531，第二预置过孔531还贯穿保护绝缘层16。

[0086] 步骤S400：在所述第一金属层上形成第二绝缘层，在所述第二绝缘层上形成具有图案化形状的第二金属层，所述第二金属层包括所述第一电极板和所述第二电极板中的另一个，所述第一电极板通过过孔电连接所述感光半导体层，所述第二电极板通过另一过孔电连接所述漏极；所述第一电极板和所述第二电极板构成存储电容。

[0087] 具体的，如图15所示，第一金属层上形成第二绝缘层19；如图16所示，在第二绝缘层上形成图案化的第二金属层。

[0088] 具体的，第一金属层包括第一电极板41和第二电极板42中的一个，第二金属层包括第一电极板41和第二电极板42中的另个，第一电极板41通过过孔电连接感

光半导体层31，第二电极板42通过另一过孔电连接漏极24，第一电极板41和第二电极板42构成存储电容。

[0089] 具体的，如图15所示，在制作第二绝缘层19时，第二绝缘层19中包括第三预置过孔512和第四预置过孔532，第一预置过孔511和第三预置过孔512同轴构成上述实施例中的第一过孔51，第二预置过孔531和第四预置过孔532同轴构成上述实施例中的第三过孔53，这里以实施例一中阵列基板10的结构为例作图示意了阵列基板10的制作过程。

[0090] 需要说明的是，采用本申请实施例中的阵列基板制造方法，可以制造实施例一、实施例二、实施例三、实施例四中任一项所述的阵列基板，第一电极板41和第二电极板42的位置或连接关系请参阅实施例一、实施例二、实施例三、实施例四。

[0091] 需要说明的是，在一些实施例中，阵列基板10还包括公共电极和像素电极，下面说明公共电极和像素电极的两种设置情况。

[0092] 第一种情况，公共电极设于第一绝缘层上；像素电极设于第二绝缘层上；其中，公共电极与第一绝缘层上的对应电极板采用同一金属制备，像素电极与第二绝缘层19上的对应电极板采用同一金属制备。

[0093] 第二种情况，像素电极设于第一绝缘层上；公共电极设于第二绝缘层19上；其中，像素电极与第一绝缘层上的对应电极板采用同一金属制备，公共电极与第二绝缘层19上的对应电极板采用同一金属制备。

[0094] 在本申请实施例中，请参阅图15至图16，以顶栅型多晶硅薄膜晶体管为例说明了阵列基板10的制作工序，包含感光传感器100的阵列基板10包括12道光罩，在不包含感光传感器的阵列基板上只增加了两道光罩，因此本申请实施例的包含感光传感器100的阵列基板10工序简单，光罩数量小。

[0095] 采用本申请实施例的阵列基板制造方法来制造具有感光传感器100的阵列基板10，漏极24具有一延伸部241，感光半导体层31设置于漏极24的延伸部241上，漏极24的延伸部241作为感光模块30的一侧电极或用于传递感光半导体层31的电信号，减小了感光传感器的膜层数量，可以减小阵列基板的制作工序数量，节省了光罩数量。

[0096] 进一步的，在本申请实施例中所述的阵列基板中，公共电极与第一绝缘层上的对应电极板采用同一金属制备，像素电极与第二绝缘层19上的对应电极板采用同一金属制备；或像素电极与第一绝缘层上的对应电极板采用同一金属制备，公共电极与第二绝缘层19上的对应电极板采用同一金属制备，可以进一步减小阵列基板10和感光传感器的膜层数量，减小包含感光传感器100的阵列基板10的制作工序数量，节省了光罩数量。

[0097] 采用本申请实施例的阵列基板制造方法来制造具有感光传感器100的阵列基板10具有膜层简单的效果，本申请实施例的阵列基板制造方法具有工序数量小、工艺简单、节省了光罩数量的效果。

[0098] 实施例六、

[0099] 请参阅图17，图17为本申请实施例提供的显示面板1000的示意图，显示面板1000包括如上述实施例中所述的任一项阵列基板10。

[0100] 显示面板1000还包括驱动芯片103，或显示面板1000电连接至驱动芯片103，第二电极板通过走线电连接至驱动芯片。上述实施例中的阵列基板10的第二电极板42通过走线电连接至驱动芯片103。

[0101] 下面说明显示面板1000的薄膜晶体管20和感光传感器100的工作过程，在一些实施例中，第一电极板41和第二电极板42其中之一电连接驱动芯片103，第一电极板41和第二电极板42中的另一个供给一固有信号。

[0102] 具体的，在一些实施例中，第一电极板41电连接至阵列基板的公共电极或被供给公共电极信号，第二电极板42通过走线电连接至驱动芯片103，以此为例说明显示面板1000的薄膜晶体管20和感光传感器100的工作过程：薄膜晶体管20开启，供给第二电极板42一起始信号，然后薄膜晶体管20关闭，第二电极板42与第一电极板41之间存在一个存储电容，此时第二电极板42处于浮置状态（floating），第一电极板41被供给公共电极信号，感光半导体层31中无光电流产生时存储电容保持不变；当环境光照射到感光半导体层31上时，感光半导体层31上产生光电流，第一电极板41和第二电极板42中的电荷发生流动，导致存储电容的大小发生变化，存储电容的大小变化通过第二电极板42连接的走线传递至驱动芯片103，驱动芯片103依据电容大小的变化量就可以判断环境光条件是否发生

了变化或变化了多小，然后驱动芯片103采取对显示面板1000的处理动作，例如调整显示面板1000的亮度，在环境光亮度较高的情况下，调高显示面板1000的亮度，可以便于使用者更好的观察图像。

[0103] 如图17所示，在一些实施例中，显示面板1000包括显示区101和非显示区102，感光传感器100可以设置于非显示区102，这样感光传感器100不影响显示区101的像素设置，从而感光传感器100不影响显示面板1000的像素的开口率。

[0104] 以上对本申请实施例所提供的一种阵列基板、阵列基板制造方法及显示面板进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权利要求书

[权利要求 1] 一种阵列基板，其中，包括：

基底；

薄膜晶体管，设于所述基底上，包括栅极、有源层、连接所述有源层的源极和漏极；

感光传感器，所述感光传感器包括感光模块和存储模块，所述感光模块包括感光半导体层，所述存储模块包括第一电极板和第二电极板；

其中，所述感光半导体层设置于所述漏极的延伸部之上，所述第一电极板电连接所述感光半导体层远离所述漏极的延伸部的一侧，所述第二电极板电连接所述漏极。

[权利要求 2] 如权利要求1所述的阵列基板，其中，所述存储模块包括存储电容，所述第一电极板和所述第二电极板构成所述存储电容。

[权利要求 3] 如权利要求2所述的阵列基板，其中，还包括：

第一绝缘层，设于所述感光半导体层和所述薄膜晶体管上，所述第二电极板设于所述第一绝缘层上；

第二绝缘层，设于所述第二电极板上，所述第一电极板设于所述第二绝缘层上，所述第一电极板通过所述第一绝缘层和所述第二绝缘层中的第一过孔连接所述感光半导体层。

[权利要求 4] 如权利要求3所述的阵列基板，其中，还包括：

连接电极，设于所述第二绝缘层上，所述第二绝缘层包括第二过孔，所述第一绝缘层和所述第二绝缘层还包括第三过孔，所述连接电极的一端通过所述第二过孔连接所述第二电极板，所述连接电极的另一端通过所述第三过孔连接所述漏极。

[权利要求 5] 如权利要求3所述的阵列基板，其中，所述第一绝缘层包括第四过孔，所述第二电极板通过所述第四过孔连接所述漏极。

[权利要求 6] 如权利要求2所述的阵列基板，其中，还包括：

第一绝缘层，设于所述感光半导体层和所述薄膜晶体管上，所述第一电极板设于所述第一绝缘层上；

第二绝缘层，设于所述第一电极板上，所述第二电极板设于所述第二绝缘层上，所述第一电极板通过所述第一绝缘层中的第五过孔连接所述感光半导体层，所述第二电极板通过所述第一绝缘层和所述第二绝缘层中的第六过孔连接所述漏极。

[权利要求 7] 如权利要求3所述的阵列基板，其中，所述感光半导体层采用非晶硅制备。

[权利要求 8] 如权利要求7所述的阵列基板，其特征在于，所述感光半导体层包括设于所述漏极的延伸部上的N型非晶硅、设于所述N型非晶硅上的本征非晶硅；或

所述感光半导体层包括设于所述漏极的延伸部上的N型非晶硅、设于所述N型非晶硅上的本征非晶硅，以及设于所述本征非晶硅上的P型非晶硅。

[权利要求 9] 如权利要求7所述的阵列基板，其中，还包括：

公共电极，设于所述第一绝缘层上；

像素电极，设于所述第二绝缘层上；

其中，所述公共电极与所述第一绝缘层上的对应电极板采用同一金属制备，所述像素电极与所述第二绝缘层上的对应电极板采用同一金属制备。

[权利要求 10] 如权利要求7所述的阵列基板，其中，还包括：

像素电极，设于所述第一绝缘层上；

公共电极，设于所述第二绝缘层上；

其中，所述像素电极与所述第一绝缘层上的对应电极板采用同一金属制备，所述公共电极与所述第二绝缘层上的对应电极板采用同一金属制备。

[权利要求 11] 如权利要求7所述的阵列基板，其中，所述第一电极板在所述基底上的正投影与所述感光半导体层在所述基底上的正投影至少部分重叠；所述第一电极板的材料为透明材料。

[权利要求 12] 如权利要求9所述的阵列基板，其中，所述第一电极板电连接至所述

公共电极。

[权利要求 13] 一种阵列基板制造方法，其中，包括如下制造步骤：

步骤S100：提供一衬底基板，在所述衬底基板上制作薄膜晶体管，所述薄膜晶体管包括栅极、有源层、连接所述有源层的源极和漏极；

步骤S200：在所述漏极的延伸部上形成感光半导体层；

步骤S300：在所述感光半导体层上形成第一绝缘层，在所述第一绝缘层上形成具有图案化形状的第一金属层，所述第一金属层包括第一电极板和第二电极板中的一个；

步骤S400：在所述第一金属层上形成第二绝缘层，在所述第二绝缘层上形成具有图案化形状的第二金属层，所述第二金属层包括所述第一电极板和所述第二电极板中的另一个，所述第一电极板通过过孔电连接所述感光半导体层，所述第二电极板通过另一过孔电连接所述漏极；所述第一电极板和所述第二电极板构成存储电容。

[权利要求 14] 一种显示面板，包括阵列基板；其中，所述阵列基板包括：

基底；

薄膜晶体管，设于所述基底上，包括栅极、有源层、连接所述有源层的源极和漏极；

感光传感器，所述感光传感器包括感光模块和存储模块，所述感光模块包括感光半导体层，所述存储模块包括第一电极板和第二电极板；

其中，所述感光半导体层设置于所述漏极的延伸部之上，所述第一电极板电连接所述感光半导体层远离所述漏极的延伸部的一侧，所述第二电极板电连接所述漏极。

[权利要求 15] 如权利要求14所述的显示面板，其中，所述存储模块包括存储电容，所述第一电极板和所述第二电极板构成所述存储电容。

[权利要求 16] 如权利要求15所述的显示面板，其中，所述阵列基板还包括：

第一绝缘层，设于所述感光半导体层和所述薄膜晶体管上，所述第二电极板设于所述第一绝缘层上；

第二绝缘层，设于所述第二电极板上，所述第一电极板设于所述第二

绝缘层上，所述第一电极板通过所述第一绝缘层和所述第二绝缘层中的第一过孔连接所述感光半导体层。

[权利要求 17] 如权利要求16所述的显示面板，其中，所述阵列基板还包括：

连接电极，设于所述第二绝缘层上，所述第二绝缘层包括第二过孔，所述第一绝缘层和所述第二绝缘层还包括第三过孔，所述连接电极的一端通过所述第二过孔连接所述第二电极板，所述连接电极的另一端通过所述第三过孔连接所述漏极。

[权利要求 18] 如权利要求16所述的显示面板，其中，所述阵列基板还包括：

所述第一绝缘层包括第四过孔，所述第二电极板通过所述第四过孔连接所述漏极。

[权利要求 19] 如权利要求15所述的显示面板，其中，所述阵列基板还包括：

第一绝缘层，设于所述感光半导体层和所述薄膜晶体管上，所述第一电极板设于所述第一绝缘层上；

第二绝缘层，设于所述第一电极板上，所述第二电极板设于所述第二绝缘层上，所述第一电极板通过所述第一绝缘层中的第五过孔连接所述感光半导体层，所述第二电极板通过所述第一绝缘层和所述第二绝缘层中的第六过孔连接所述漏极。

[权利要求 20] 如权利要求14所述的显示面板，其中，还包括驱动芯片，

所述第二电极板通过走线电连接至所述驱动芯片。

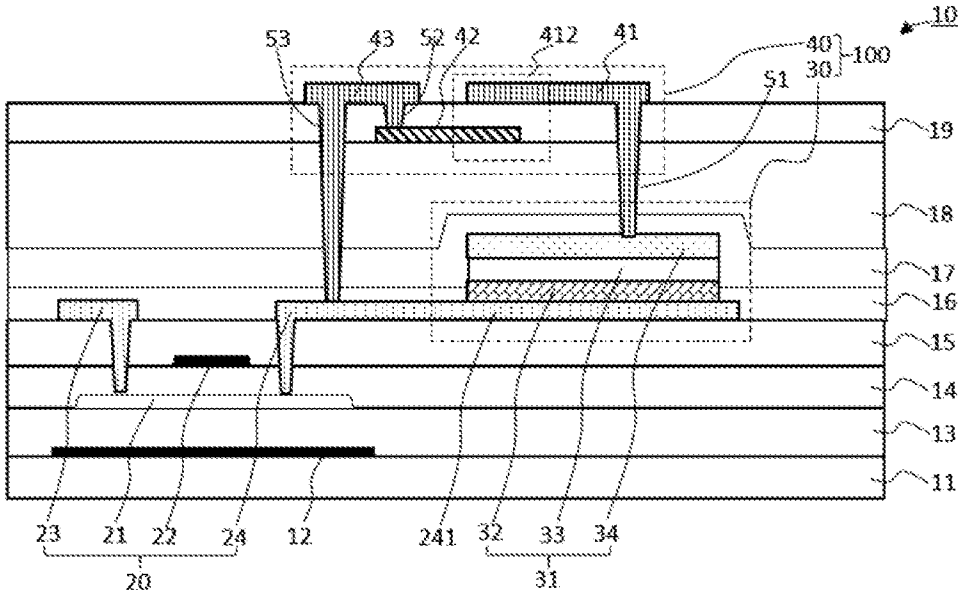

10
53
43
52
42
412
41
40
100
30
51
19
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 1

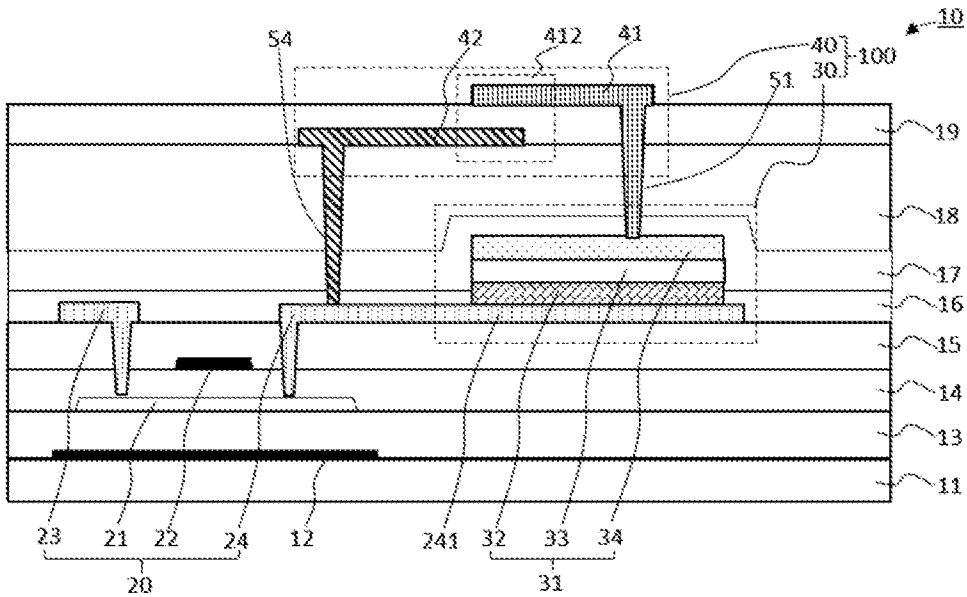

10
54
42
412
41
40
100
30
51
19
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 2

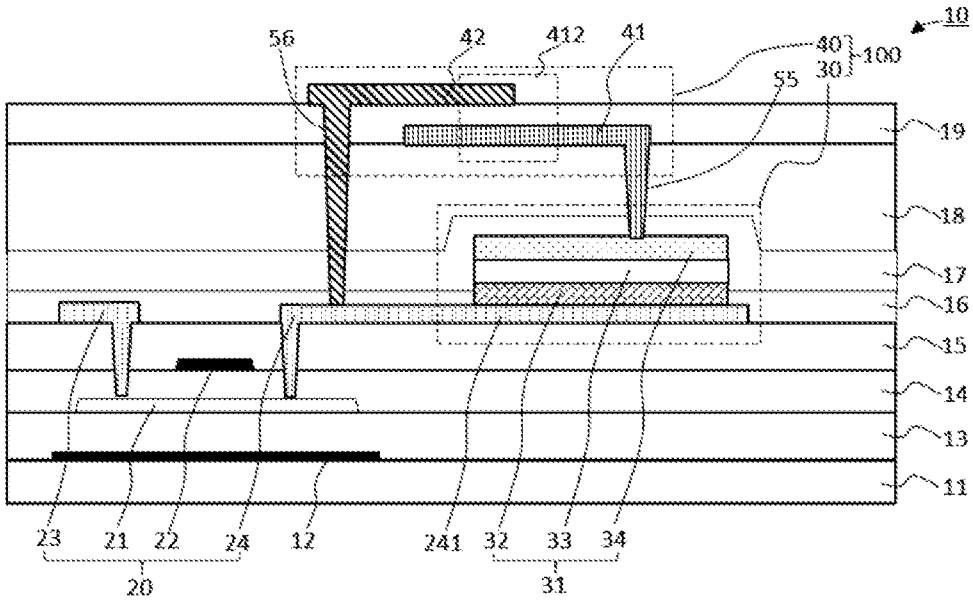

10
56
42
412
41
40
100
30
55
19
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 3

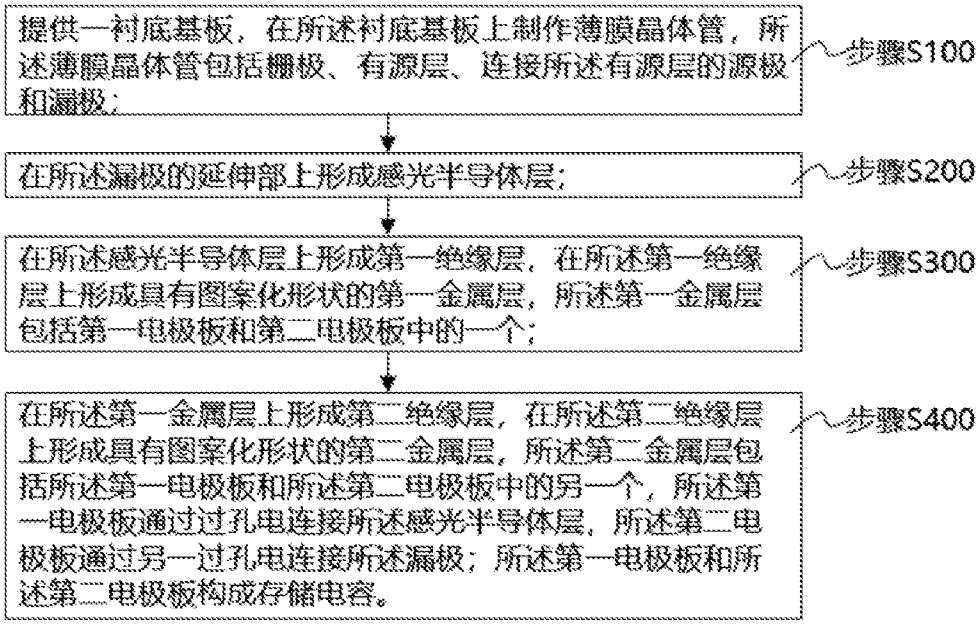

提供一衬底基板，在所述衬底基板上制作薄膜晶体管，所述薄膜晶体管包括栅极、有源层、连接所述有源层的源极和漏极；
步骤S100
在所述漏极的延伸部上形成感光半导体层；
步骤S200
在所述感光半导体层上形成第一绝缘层，在所述第一绝缘层上形成具有图案化形状的第一金属层，所述第一金属层包括第一电极板和第二电极板中的一个；
步骤S300
在所述第一金属层上形成第二绝缘层，在所述第二绝缘层上形成具有图案化形状的第二金属层，所述第二金属层包括所述第一电极板和所述第二电极板中的另一个，所述第一电极板通过过孔电连接所述感光半导体层，所述第二电极板通过另一过孔电连接所述漏极；所述第一电极板和所述第二电极板构成存储电容。
步骤S400

图 4

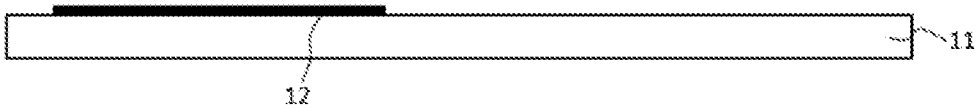


图 5

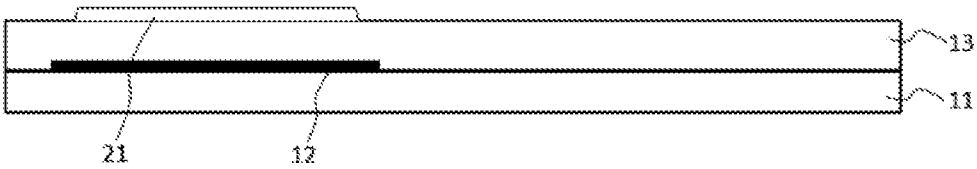


图 6

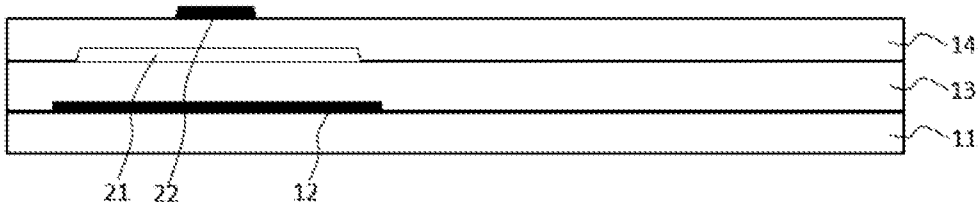


图 7

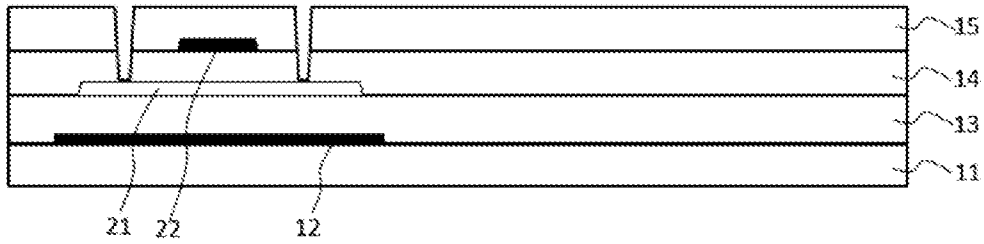

15
14
13
11
21
22
12

图 8

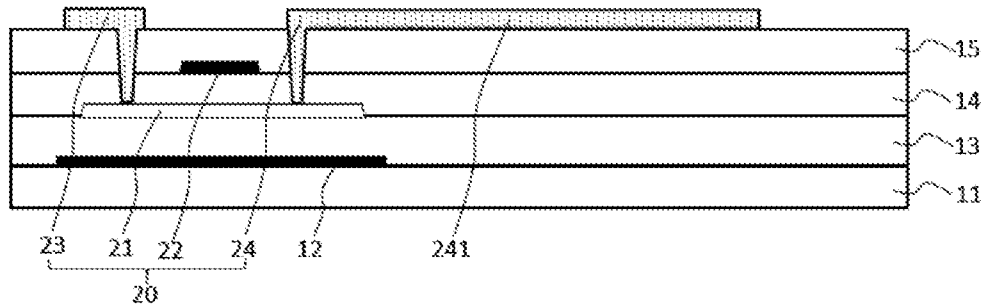

15
14
13
11
23
21
22
24
12
241
20

图 9

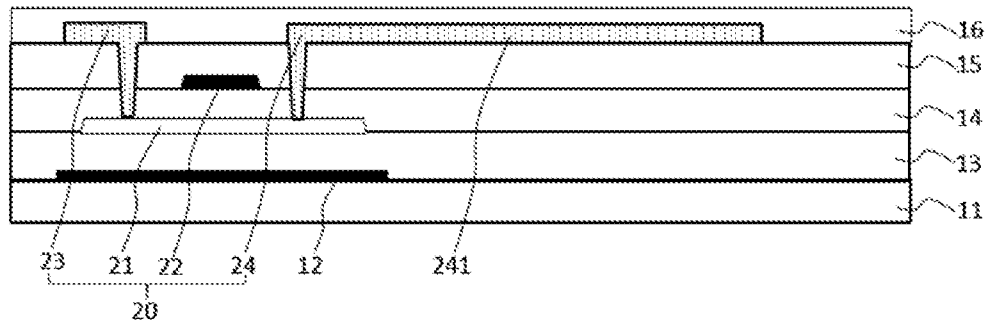

16
15
14
13
11
23
21
22
24
12
241
20

图 10

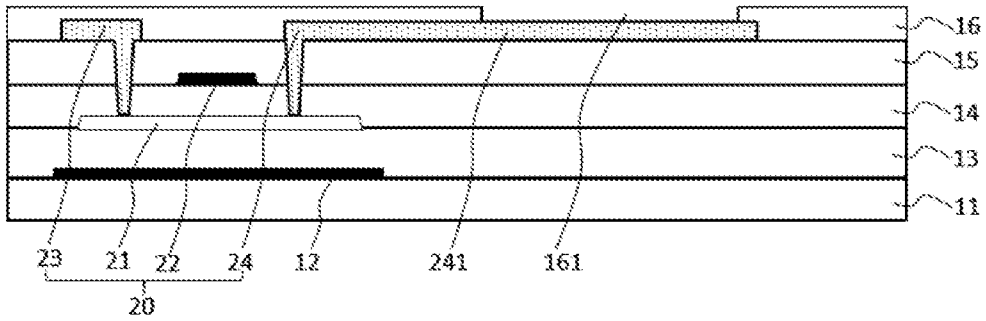

16
15
14
13
11
23
21
22
24
12
241
161
20

图 11

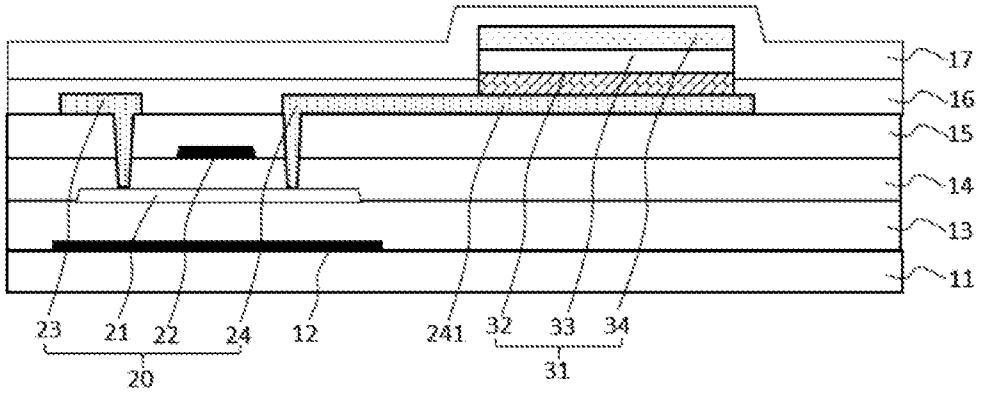

17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 12

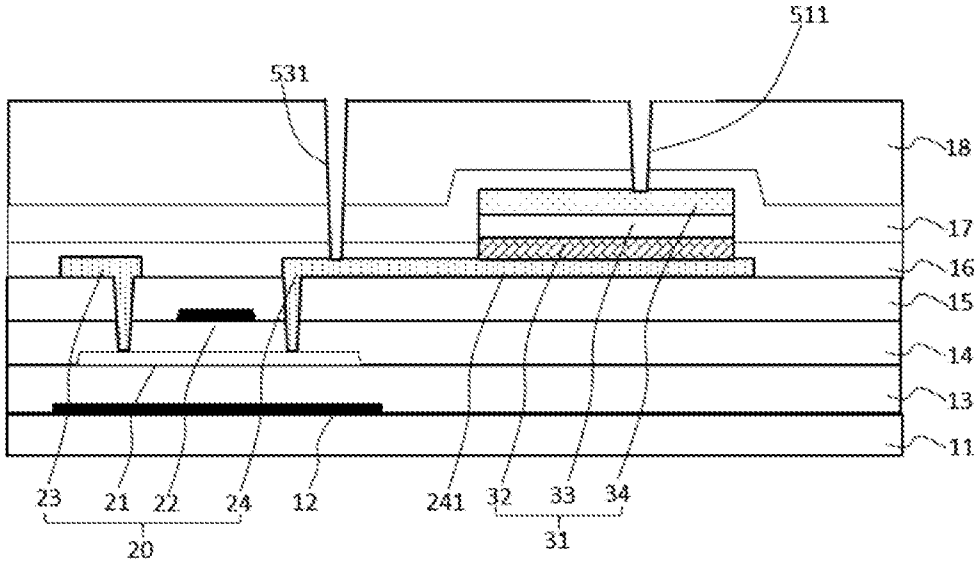

511
531
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 13

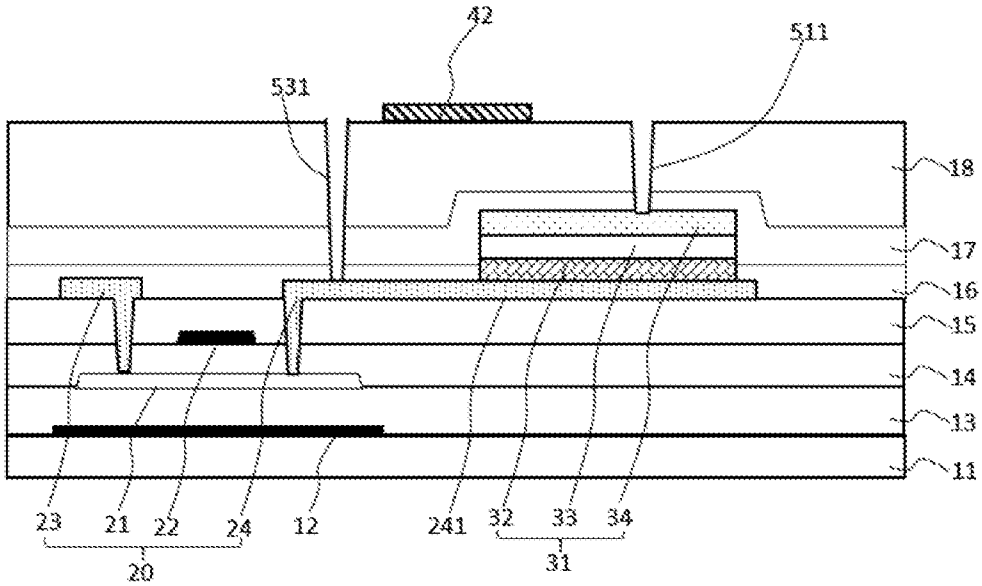

42
511
531
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 14

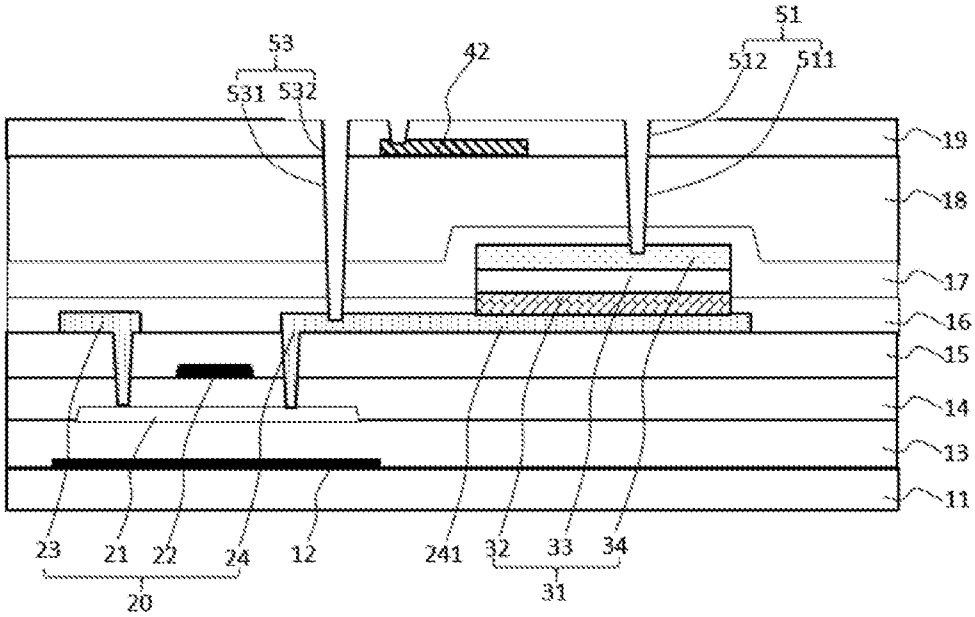

53
531
532
42
51
512
511
19
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 15

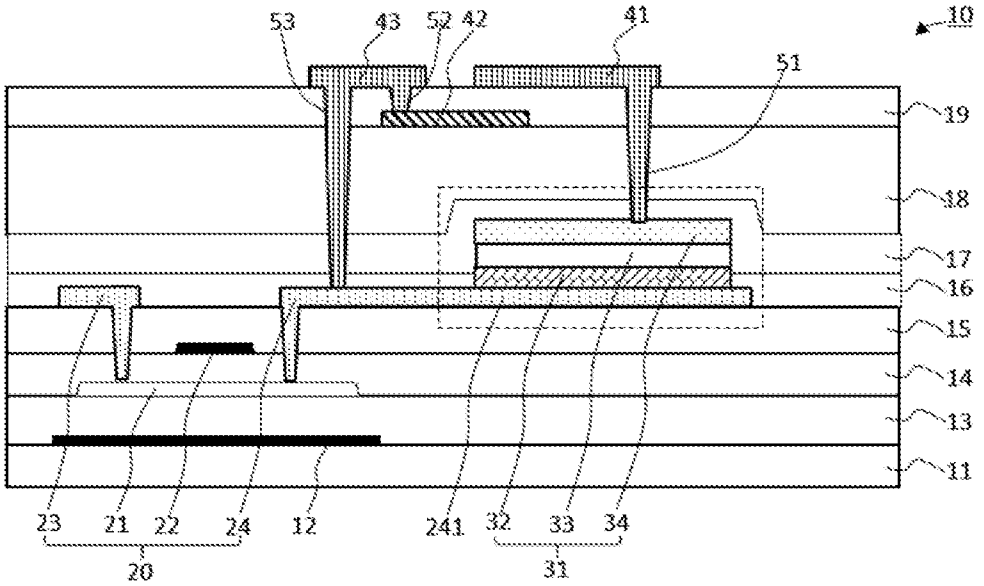

53
43
52
42
41
10
51
19
18
17
16
15
14
13
11
23
21
22
24
12
241
32
33
34
20
31

图 16

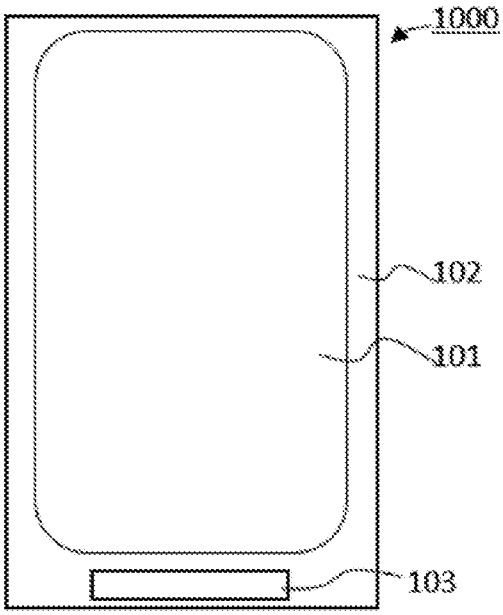


图 17

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/108358

A. CLASSIFICATION OF SUBJECT MATTER

G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 薄膜晶体管, 感光, 存储, 电容, 漏极, TFT, thin film transistor, photosensitive, storage, capacitor, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109728050 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 May 2019 (2019-05-07) description, paragraphs [0002]-[0063], and figures 1-4	1-20
Y	CN 109742113 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 May 2019 (2019-05-10) description, paragraphs [0002]-[0077], and figures 1-6F	1-20
Y	CN 108878503 A (BOE TECHNOLOGY GROUP CO., LTD.) 23 November 2018 (2018-11-23) description, paragraphs [0002]-[0150], and figures 2-14	1-20
A	CN 107425038 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 01 December 2017 (2017-12-01) entire document	1-20
A	US 2020058680 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 20 February 2020 (2020-02-20) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 March 2022	**23 March 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/108358

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109728050	A	07 May 2019	WO	2020140751	A1	09 July 2020
				US	2020321408	A1	08 October 2020
CN	109742113	A	10 May 2019	WO	2020143433	A1	16 July 2020
				US	2021202600	A1	01 July 2021
				CN	109742113	B	25 December 2020
CN	108878503	A	23 November 2018	WO	2020019881	A1	30 January 2020
				US	2021359061	A1	18 November 2021
				CN	108878503	B	05 January 2021
CN	107425038	A	01 December 2017	US	2018053032	A1	22 February 2018
				US	10747978	B2	18 August 2020
				CN	107425038	B	21 January 2020
US	2020058680	A1	20 February 2020	CN	108336100	A	27 July 2018
				WO	2019196840	A1	17 October 2019
				CN	207966980	U	12 October 2018

国际检索报告

国际申请号
PCT/CN2021/108358

A. 主题的分类

G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09F; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, WPI, EPODOC, CNKI, IEEE: 薄膜晶体管，感光，存储，电容，漏极，TFT, thin film transistor, photo-sensitive, storage, capacitor, drain

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 109728050 A (京东方科技集团股份有限公司) 2019年5月7日 (2019-05-07) 说明书第[0002]-[0063]段，图1-4	1-20
Y	CN 109742113 A (京东方科技集团股份有限公司) 2019年5月10日 (2019-05-10) 说明书第[0002]-[0077]段，图1-6F	1-20
Y	CN 108878503 A (京东方科技集团股份有限公司) 2018年11月23日 (2018-11-23) 说明书第[0002]-[0150]段，图2-14	1-20
A	CN 107425038 A (武汉天马微电子有限公司) 2017年12月1日 (2017-12-01) 全文	1-20
A	US 2020058680 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 2020年2月20日 (2020-02-20) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年3月7日	2022年3月23日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘婧 电话号码 86-(10)-53961452

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/108358

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109728050	A	2019年5月7日	WO	2020140751	A1	2020年7月9日
				US	2020321408	A1	2020年10月8日
CN	109742113	A	2019年5月10日	WO	2020143433	A1	2020年7月16日
				US	2021202600	A1	2021年7月1日
				CN	109742113	B	2020年12月25日
CN	108878503	A	2018年11月23日	WO	2020019881	A1	2020年1月30日
				US	2021359061	A1	2021年11月18日
				CN	108878503	B	2021年1月5日
CN	107425038	A	2017年12月1日	US	2018053032	A1	2018年2月22日
				US	10747978	B2	2020年8月18日
				CN	107425038	B	2020年1月21日
US	2020058680	A1	2020年2月20日	CN	108336100	A	2018年7月27日
				WO	2019196840	A1	2019年10月17日
				CN	207966980	U	2018年10月12日