



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 696 36 352 T2** 2007.06.28

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 1 065 882 B1**

(21) Deutsches Aktenzeichen: **696 36 352.6**

(96) Europäisches Aktenzeichen: **00 111 790.2**

(96) Europäischer Anmeldetag: **02.10.1996**

(97) Erstveröffentlichung durch das EPA: **03.01.2001**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **12.07.2006**

(47) Veröffentlichungstag im Patentblatt: **28.06.2007**

(51) Int Cl.⁸: **H04N 7/26** (2006.01)

(30) Unionspriorität:

27834995 **02.10.1995** **JP**

28465595 **05.10.1995** **JP**

(73) Patentinhaber:

Sony Corp., Tokio/Tokyo, JP

(74) Vertreter:

**Mitscherlich & Partner, Patent- und
Rechtsanwälte, 80331 München**

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT

(72) Erfinder:

**Kondo, Intell. Prop. Dept. Sony Corp., Tetsujiro,
Tokyo 141, JP**

(54) Bezeichnung: **Hierarchische Kodierungs-Vorrichtung und -Verfahren mit Speicher für ein digitales Bildsignal**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Speicher und das Auslesen/Einschreiben von Daten in den bzw. aus dem Speicher.

[0002] Ein hierarchischer Kodierprozeß zum Erzeugen von Bildsignalen in mehreren hierarchischen Ebenen, die sich in den Auflösungen voneinander unterscheiden, ist bekannt. Bei diesem Prozeß werden ein Bild in einer ersten hierarchischen Ebene, ein Bild in einer zweiten hierarchischen Ebene, ein Bild in einer dritten hierarchischen Ebene usw. in der Weise erzeugt, daß die Daten in der ersten hierarchischen Ebene ein Bildsignal mit hoher Auflösung bilden, die Auflösung der Daten in der zweiten hierarchischen Ebene niedriger ist als die Auflösung der Daten in der ersten hierarchischen Ebene und die Auflösung der Daten in der dritten hierarchischen Ebene niedriger ist als die Auflösung der Daten in der zweiten hierarchischen Ebene. Bei diesem Prozeß werden mehrere Bildsignale über einen Übertragungspfad (einen Kommunikationspfad oder ein Aufzeichnungsmedium) übertragen. Die Bilddaten können mit Bildmonitoren wiedergegeben werden, die den hierarchischen Ebenen entsprechen.

[0003] Das heißt, es gibt Videosignale mit verschiedenen Auflösungen, z.B. Videosignale mit Standardauflösung, Videosignale mit hoher Auflösung, Bilddaten für die Anzeige im Computer, Videosignale mit niedrigerer Auflösung (zum schnellen Durchsuchen einer Bilddatenbank). Neben den Auflösungsvarianten kann der hierarchische Kodierprozeß zur Vergrößerung und Verkleinerung von Bildern (d.h. zum elektronischen Zoomen) angewendet werden. Das Vergrößern und Verkleinern von Bildern wurde in weitem Umfang für Anwendungen in Videospiele usw. benutzt.

[0004] Wenn bei dem bekannten hierarchischen Kodierprozeß ein Bildsignal in einer ersten hierarchischen Ebene und ein Bildsignal in einer zweiten hierarchischen Ebene erzeugt werden, und die Pixelzahl des Bildsignals der zweiten hierarchischen Ebene $1/4$ der Pixelzahl des Bildsignals der ersten hierarchischen Ebene entspricht, wird das Bildsignal der ersten hierarchischen Ebene auf $1/4$ dezimiert, um das Bildsignal in der zweiten hierarchischen Ebene zu erzeugen. Das Bildsignal der zweiten hierarchischen Ebene wird interpoliert, um ein Interpolationssignal in der ersten hierarchischen Ebene zu erzeugen. Die Differenz zwischen dem Interpolationssignal in der ersten hierarchischen Ebene und dem Eingangsbildsignal wird berechnet, um ein Differenzsignal zu erzeugen. Dieses Differenzsignal wird übertragen. Deshalb ist bei dem herkömmlichen hierarchischen Kodierprozeß die Pixelzahl des Differenzsignals die gleiche wie die Pixelzahl des Eingangsbildsignals. Das Signal der zweiten hierarchischen Ebene wird

übertragen. Somit ist die zu übertragende Datenmenge größer als ursprüngliche Datenmenge. Wenn hierarchisch strukturierte Daten in einen Speicher eingeschrieben werden, sollte die Kapazität des Speichers erhöht werden. Zur Lösung dieses Problems haben die Erfinder der vorliegenden Erfindung ein anderes hierarchisches Kodierverfahren vorgeschlagen, bei dem die zu übertragende Datenmenge nicht vergrößert wird.

[0005] Wenn hierarchisch strukturierte Bilddaten in einen Speicher eingeschrieben werden, ist jedoch eine weitere IC-Schaltung, nämlich eine Signalverarbeitungsschaltung, für den hierarchischen Kodierprozeß erforderlich. Dadurch erhöhen sich die Kosten und der Umfang der resultierenden Schaltung.

[0006] Die europäische Patentanmeldung EP-A-0 438 195 offenbart ein Signalverarbeitungsgerät nach dem Oberbegriff von Anspruch 1.

[0007] Die Literaturstelle WINZKER M. ET AL: "VLSI CHIP SET FOR 2D HDTV SUBBAND FILTERING WITH ON-CHIP LINE MEMORIES" IEEE JOURNAL OF SOLIDSTATE CIRCUITS, US, IEEE INC. NEW YORK, Bd. 28, Nr. 12, 1. Dezember 1993 (1993-12-01), Seiten 1354-1361, XP000435910 ISSN: 0018-9200 offenbart einen Chipsatz für die Teilbandfilterung von HDTV-Signalen, bei dem mehrere Schaltungen auf einem gemeinsamen Halbleitersubstrat angeordnet sind.

[0008] Die europäische Patentanmeldung EP-A-0 627 859 offenbart ein hierarchisches Bildsignalkodierverfahren, bei dem gemittelte Werte einer hierarchischen Ebene in eine andere Ebene subsummiert werden.

[0009] Die vorliegende Erfindung liefert ein Signalverarbeitungsgerät nach Anspruch 1 und ein Verfahren zum Erzeugen von Datenwerten nach Anspruch 10.

[0010] Die Signalverarbeitungseinrichtung kann z.B. einen hierarchischen Kodierprozeß ausführen, um ein Pixel in einer zweiten hierarchischen Ebene zu erzeugen, die ein digitales Eingangsbildsignal darstellt. Die Speichereinrichtung kann $(N-1)$ Pixel in der ersten hierarchischen Ebene und ein Pixel in der zweiten hierarchischen Ebene speichern.

[0011] Die Signalverarbeitungseinrichtung kann so ausgebildet sein, daß sie einen einem hierarchischen Kodierprozeß entsprechenden hierarchischen Dekodierprozeß ausführt, um mit den Eingangsbilddaten zumindest Daten in einer ersten hierarchischen Ebene und Daten in einer zweiten hierarchischen Ebene zu erzeugen, wobei die Daten in der ersten hierarchischen Ebene sich in der Auflösung von den Daten in der zweiten hierarchischen Ebene unterscheiden,

und um Daten in der ersten hierarchischen Ebene, die nicht in die Speichereinrichtung eingeschrieben wurden, wiederherzustellen, wobei die Daten in der ersten hierarchischen Ebene und die Daten in der zweiten hierarchischen Ebene aus der Speichereinrichtung ausgelesen werden.

[0012] In einem ersten Ausführungsbeispiel der Erfindung wird der hierarchische Kodierprozeß ausgeführt mittels einer Mittelwert-Berechnungseinrichtung zur Bildung der Daten in der zweiten hierarchischen Ebene mit dem Mittelwert von jeweils N Pixeln der Daten in der ersten hierarchischen Ebene und mittels einer Einrichtung zur Ausgabe von (N-1) Pixeln der Daten in der ersten hierarchischen Ebene und eines Pixels der Daten in der zweiten hierarchischen Ebene an die Speichereinrichtung.

[0013] In einem zweiten Ausführungsbeispiel der Erfindung wird der hierarchische Kodierprozeß ausgeführt mittels einer Mittelwert-Berechnungseinrichtung zur Bildung der Daten in der zweiten hierarchischen Ebene mit dem Mittelwert von jeweils N Pixeln der Daten in der ersten hierarchischen Ebene, mittels einer Differenzdaten-Generatoreinrichtung zum Erzeugen von (N-1) Differenzwerten zwischen dem Mittelwert der Daten in der zweiten hierarchischen Ebene und der Daten in der ersten hierarchischen Ebene und mittels einer Einrichtung zur Ausgabe der von der Differenzdaten-Generatoreinrichtung empfangenen (N-1) Differenzwerte in der ersten hierarchischen Ebene und der aus der Mittelwert-Berechnungseinrichtung empfangenen Daten in der zweiten hierarchischen Ebene an die Speichereinrichtung.

[0014] In einem dritten Ausführungsbeispiel der Erfindung besitzt das Speichergerät für ein digitales Bildsignal eine Steuereinrichtung zum Steuern der arithmetischen Recheneinrichtung und der Speichereinrichtung in einer solchen Weise, daß die Steuereinrichtung Daten aus der Speichereinrichtung ausliest, eine arithmetische Operation für die Daten ausführt und die resultierenden Daten in die Speichereinrichtung einschreibt, um die Daten in der ersten hierarchischen Ebene zu bilden.

[0015] Nach einer bevorzugten Anordnung werden die Daten in der höheren hierarchischen Ebene aus einem Mittelwert von mehreren Pixeln in einer vorbestimmten hierarchischen Ebene gebildet. Anstelle von Pixeln der vorbestimmten hierarchischen Ebene wird ein Teil der Pixel in der höheren hierarchischen Ebene in den Speicher eingeschrieben. Mit dem aus dem Speicher ausgelesenen Ausgangssignal lassen sich Daten in jeder hierarchischen Ebene gewinnen. Somit erhöht sich die erforderliche Speicherkapazität gegenüber der für die originalen Bilddaten erforderlichen Speicherkapazität nicht, wenn die Daten mehrerer hierarchischer Ebenen in den Speicher eingeschrieben werden. Darüber hinaus können die Sig-

nalverarbeitungsschaltung und der Halbleiterspeicher als IC-Schaltung mit einem einzigen Chip strukturiert werden.

[0016] Da nach dem dritten Ausführungsbeispiel der Erfindung die Daten, die zur Bildung von Mittelwertdaten erforderlich sind, aus dem Speicher ausgelesen werden, benötigt die Signalverarbeitungsschaltung keine Pixelverzögerungsschaltung und keine Zeilenverzögerungsschaltung. Auf diese Weise kann der Umfang der Hardware reduziert werden.

[0017] Eine weiter unten beschriebene bevorzugte Form zur Implementierung der Erfindung sieht eine Speichervorrichtung für ein digitales Bildsignal vor, wobei diese Speichervorrichtung eine Echtzeit-Signalverarbeitungsschaltung besitzt, insbesondere eine in einer IC-Schaltung angeordnete hierarchische Kodierschaltung, ferner ein Schreibverfahren hierfür und ein entsprechendes Leseverfahren.

[0018] Die bevorzugte Speichervorrichtung kann hierarchisch strukturierte Bilddaten in einer Menge speichern, die ebenso groß ist wie die Menge der originalen Eingangsbilddaten und dadurch die Kosten und die Raumanforderungen einer IC-Schaltung reduzieren.

[0019] Die Erfindung wird nun unter Bezugnahme auf die anliegenden Zeichnungen beispielhaft beschrieben.

[0020] [Fig. 1](#) zeigt ein Blockdiagramm der Struktur einer Schreibseite nach einem ersten Ausführungsbeispiel der Erfindung,

[0021] [Fig. 2](#) zeigt ein schematisches Diagramm zur Erläuterung eines hierarchischen Kodierprozesses nach dem ersten Ausführungsbeispiel der Erfindung,

[0022] [Fig. 3](#) zeigt ein schematisches Diagramm eines Teils der in einem Halbleiterspeicher nach dem ersten Ausführungsbeispiel der Erfindung eingeschriebenen Daten,

[0023] [Fig. 4](#) zeigt ein Blockdiagramm der Struktur einer Leseseite nach einem zweiten Ausführungsbeispiel der Erfindung,

[0024] [Fig. 5](#) zeigt ein Blockdiagramm der Struktur einer Schreibseite nach dem zweiten Ausführungsbeispiel der Erfindung,

[0025] [Fig. 6](#) zeigt ein schematisches Diagramm eines Teils der in einen Halbleiterspeicher nach dem zweiten Ausführungsbeispiel der Erfindung eingeschriebenen Daten,

[0026] [Fig. 7](#) zeigt ein Blockdiagramm der Struktur

einer Schreibseite nach einem dritten Ausführungsbeispiel der Erfindung,

[0027] [Fig. 8](#) zeigt ein schematisches Diagramm zur Erläuterung eines Speichersteuerprozesses nach dem dritten Ausführungsbeispiel der Erfindung,

[0028] [Fig. 9A](#) bis [Fig. 9D](#) zeigen schematische Diagramme eines Teils der in einen Halbleiterspeicher eingeschriebenen Daten nach dem dritten Ausführungsbeispiel der Erfindung,

[0029] [Fig. 10](#) zeigt ein Blockdiagramm der Struktur einer Schreibseite nach einem vierten Ausführungsbeispiel der Erfindung,

[0030] [Fig. 11A](#) bis [Fig. 11D](#) zeigen schematische Diagramme eines Teils der in einen Halbleiterspeicher eingeschriebenen Daten nach dem vierten Ausführungsbeispiel der Erfindung,

[0031] [Fig. 12](#) zeigt ein Zeitdiagramm der Arbeitsweise des vierten Ausführungsbeispiels der Erfindung.

[0032] Bei den im folgenden beschriebenen Ausführungsbeispielen der Erfindung sind eine Signalverarbeitungsschaltung, die eine Signalverarbeitung auf Echtzeitbasis durchführt, und ein Halbleiterspeicher auf einem gemeinsamen Halbleitersubstrat als eine aus einem einzigen Chip bestehende IC-Schaltung aufgebaut. Nach einem Ausführungsbeispiel der Erfindung sind eine Signalverarbeitungsschaltung, die einen hierarchischen Kodierprozeß und einen hierarchischen Dekodierprozeß für ein Bildsignal durchführt, sowie ein Halbleiterspeicher (RAM) als 1-Chip-IC-Schaltung ausgebildet.

[0033] Als Nächstes wird unter Bezugnahme auf die anliegenden Zeichnungen ein erstes Ausführungsbeispiel der Erfindung beschrieben. In [Fig. 1](#) sind eine Signalverarbeitungsschaltung, die einen hierarchischen Kodierprozeß ausführt, und ein Halbleiterspeicher **1** als 1-Chip-IC strukturiert. Über einen Eingang **2** werden Bilddaten zugeführt, die mit einer vorbestimmten Abtastfrequenz (z.B. 13,5 MHz) abgetastet wurden, wobei eine Abtastprobe mit einer vorbestimmten Anzahl von Bits (z.B. acht Bits) quantisiert wurde. Über einen Eingang **3** wird ein Taktsignal zugeführt, das mit den Eingangsbilddaten synchronisiert ist. Die Eingangsbilddaten werden in der Fernsehrastrer-Abtastsequenz zugeführt.

[0034] Das erste Ausführungsbeispiel der Erfindung hat eine minimale Anzahl von hierarchischen Ebenen, nämlich eine erste hierarchische Ebene und eine zweite hierarchische Ebene. Die Daten in der ersten hierarchischen Ebene sind Eingangsbilddaten. Die Auflösung der Daten in der zweiten hierarchischen Ebene ist niedriger als die Auflösung der Da-

ten in der ersten hierarchischen Ebene. Anhand von [Fig. 2](#) wird jedoch der hierarchische Kodierprozeß in einer Struktur beschrieben, die eine erste hierarchische Ebene, eine zweite hierarchische Ebene und eine dritte hierarchische Ebene besitzt.

[0035] In [Fig. 2](#) ist als unterste Position ein Teilbild (8×8 Pixel) in der ersten hierarchischen Ebene dargestellt. In [Fig. 2](#) repräsentiert jedes Quadrat ein Pixel. Es wird ein Mittelwert aus jeweils vier Pixeln (2×2 Pixeln) in der ersten hierarchischen Ebene berechnet. Es wird z.B. ein Mittelwert m_1 von a , b , e und f berechnet $\{m = 1/4 \cdot (a + b + e + f)\}$. Somit wird der den (8×8 Pixeln) entsprechende Teil auf (4×4 Pixel) dezimiert. Mit dem so berechneten Mittelwert wird ein Bild in der zweiten hierarchischen Ebene erzeugt.

[0036] Als Nächstes wird ein Mittelwert von (2×2) Pixeln berechnet, die in der zweiten hierarchischen Ebene räumlich benachbart sind. In [Fig. 2](#) ist ein Mittelwert M_1 als $\{M_1 = 1/4 \cdot (m_1 + m_2 + m_3 + m_4)\}$ dargestellt. Mit den so berechneten Mittelwerten wird ein Bild in der dritten hierarchischen Ebene erzeugt. Auf diese Weise wird der Bereich von (8×8 Pixeln) des Eingangsbilds zu einem Bereich von (2×2 Pixeln) in der dritten hierarchischen Ebene dezimiert. Wenn in der oben beschriebenen Weise ein Mittelwert berechnet wird, kann ein Bild in einer höheren hierarchischen Ebene als oben angegeben erzeugt werden. Wie aus [Fig. 2](#) klar erkennbar ist, nimmt die Pixelzahl auf $1/4$, $1/16$ usw. ab, wenn die Ordnungszahl hierarchische Ebene anwächst. Mit anderen Worten, wenn der Bereich eines Bilds konstant ist, nimmt die Auflösung des Bilds im gleichen Verhältnis ab. Wenn der Abstand zwischen Pixeln konstant ist, nimmt die Größe des Bilds im gleichen Verhältnis ab.

[0037] Bei dem hierarchischen Kodierprozeß, bei dem ein Bild einer höheren hierarchischen Ebene aus Mittelwerten eines Bilds einer niedrigeren hierarchischen Ebene erzeugt wird, wird die Zahl der übertragenen Pixel nicht größer, wenn Bilder in mehreren hierarchischen Ebenen übertragen werden. Bei dem in [Fig. 2](#) dargestellten Beispiel wird anstelle von Pixeln mit schrägen Linien ein Pixel in der höheren hierarchischen Ebene übertragen. Anstelle eines Pixels f in der ersten hierarchischen Ebene wird z.B. ein Pixel m_1 in der zweiten hierarchischen Ebene übertragen. Das Pixel f das nicht übertragen wird, wird auf der Empfangsseite als $\{f = 4 \cdot m_1 - (a + b + e)\}$ gewonnen. Anstelle eines Pixels p in der unteren rechten Ecke der (4×4 Pixel), die die Pixel a bis f in der ersten hierarchischen Ebene enthalten (oder eines Pixels m_4 in der zweiten hierarchischen Ebene) wird ein Pixel M_1 in der dritten hierarchischen Ebene übertragen. Das Pixel m_4 in der zweiten hierarchischen Ebene kann dekodiert werden, wie dies oben beschrieben wurde. Darüber hinaus kann das Pixel p in der ersten hierarchischen Ebene dekodiert werden. Es ist zu beachten, daß die Position eines aus-

gelassenen Pixels nicht auf die Position in der unteren rechten Ecke beschränkt ist.

[0038] Anhand von [Fig. 1](#) wird nun das erste Ausführungsbeispiel der vorliegenden Erfindung beschrieben. Das mit den Eingangsdaten synchronisierte Taktsignal, das über den Eingang **3** geliefert wird, wird Frequenzteilerschaltungen **4** und **5** zugeführt. Die Frequenzteilerschaltungen **4** und **5** teilen die Frequenz des Taktsignals jeweils durch 2. Wenn die Abtastfrequenz mit F_s bezeichnet wird, erzeugt die Frequenzteilerschaltung **4** ein Taktsignal mit der Frequenz $1/2 \cdot F_s$. Wenn die horizontale Abtastfrequenz mit F_h bezeichnet wird, erzeugt die Teilerschaltung **5** ein Taktsignal mit der Frequenz $1/2 \cdot F_h$.

[0039] Die Eingangsbilddaten werden einer 1-Pixel-Verzögerungsschaltung **6**, einer Addiervorrichtung **7**, einer Addiervorrichtung **10**, einer Addiervorrichtung **13** und einer Auswahlschaltung **15** zugeführt. Die Ausgangsdaten der 1-Pixel-Verzögerungsschaltung **6** werden der Addiervorrichtung **7** zugeführt. Die Ausgangsdaten der Addiervorrichtung **7** werden über eine Auswahlschaltung **8** einer 1-Zeilen-Verzögerungsschaltung **9** zugeführt. Die Addiervorrichtung **10** addiert die Eingangsdaten und die Ausgangsdaten der Zeilen-Verzögerungsschaltung **9**. Die Ausgangsdaten der Addiervorrichtung **10** werden über eine Auswahlschaltung **11** einer 1-Pixel-Verzögerungsschaltung **12** zugeführt. Die Addiervorrichtung **13** addiert die Eingangsdaten und die Ausgangsdaten der 1-Pixel-Verzögerungsschaltung **12**.

[0040] Die Ausgangsdaten der Addiervorrichtung **13** werden über eine Teilerschaltung **14**, die eine $1/4$ -Division ausführt, einer Auswahlschaltung **15** zugeführt. Die Auswahlschaltung **15** wählt die Eingangsdaten oder die Ausgangsdaten der Teilerschaltung **14** aus. Die Ausgangsdaten der Auswahlschaltung **15** werden dem Halbleiterspeicher **1** als Schreibdaten zugeführt. Das Taktsignal wird von dem Eingang **3** dem Halbleiterspeicher **1** zugeführt. Mit Hilfe des Taktsignals werden eine Schreibadresse und eine Leseadresse erzeugt (die nicht dargestellt sind). Außerdem wird mit Hilfe des Taktsignals ein Steuersignal für die Steuerung der Schreiboperation und der Leseoperation erzeugt.

[0041] Die Frequenzteilerschaltung **4** führt das $1/2 \cdot F_s$ -Taktsignal den Auswahlschaltungen **8** und **11** zu. Die Auswahlschaltungen **8** und **11** wählen in Intervallen von jeweils zwei Pixeln, die dem frequenzgeteilten Taktsignal entsprechen, die Ausgangsdaten der Addiervorrichtungen **7** bzw. **10** aus und geben diese aus. Auf diese Weise variieren die Ausgangsdaten der Auswahlschaltungen **8** und **11** in Intervallen von jeweils zwei Pixeln. Die Frequenzteilerschaltungen **4** und **5** führen das Taktsignal mit der Frequenz $1/2 \cdot F_s$ bzw. das Taktsignal mit der Frequenz $1/2 \cdot F_h$

der Auswahlschaltung **15** zu. Auf diese Weise wählt die Auswahlschaltung **15** in Intervallen von jeweils einer Zeile abwechselnd die Eingangsdaten oder die Ausgangsdaten der Teilerschaltung **14** aus. In den Intervallen von jeweils einer Zeile, für die das Ausgangssignal der Teilerschaltung **14** ausgewählt wird, werden die Ausgangsdaten der Teilerschaltung **14** in Intervallen von jeweils zwei Pixeln ausgewählt. Auf diese Weise variieren die Ausgangsdaten der Auswahlschaltung **15** auf der ausgewählten Zeile in Intervallen von jeweils zwei Pixeln.

[0042] Als Nächstes wird die Arbeitsweise des ersten Ausführungsbeispiels der Erfindung beschrieben. Wenn für den Fall, daß Pixel z.B. so angeordnet sind, wie dies in [Fig. 2](#) und [Fig. 3](#) dargestellt ist, ein Pixel f dem Eingang **2** zugeführt wird, erzeugt jede der in [Fig. 1](#) dargestellten Schaltungen Ausgangsdaten. Die Ausgangsdaten der 1-Pixel-Verzögerungsschaltung **6** stellen ein Pixel e dar. Die Ausgangsdaten der Addierschaltung **7** stellen Pixel $(e + f)$ dar. Die Auswahlschaltung **8** wählt die Ausgangsdaten der Addiervorrichtung **7** in Intervallen von jeweils zwei Pixeln aus.

[0043] Die Pixel $(e + f)$ sind ausgewählte Daten. Somit stellen die nach einem Pixel addierten Pixel $(f + g)$ keine ausgewählten Daten dar. Infolgedessen erzeugt die 1-Zeilen-Verzögerungsschaltung **9** addierte Pixel $(a + b)$, die Pixel aus einer Zeile vorher sind. Infolgedessen erzeugt die Addiervorrichtung **10** addierte Pixel $(a + b + f)$.

[0044] Die Auswahlschaltung **11**, die die Ausgangsdaten der Addiervorrichtung **10** aufnimmt, wählt die Ausgangsdaten der Addiervorrichtung **10** in Intervallen von jeweils zwei Pixeln und liefert die ausgewählten Ausgangsdaten an die 1-Pixel-Verzögerungsschaltung **12** in der gleichen Zeitlage (der gleichen Phase) wie die Auswahlschaltung **8**. Die 1-Pixel-Verzögerungsschaltung **12** erzeugt Pixel $(a + b + c)$. Die Addiervorrichtung **13** addiert die Pixel $(a + b + e)$ und das Eingangspixel f und erzeugt addierte Pixel $(a + b + e + f)$. Die Teilerschaltung **14** wandelt die Ausgangsdaten der Addiervorrichtung **13** in ein Pixel $m1 = 1/4 \cdot (a + b + e + f)$ um. Die Auswahlschaltung **15** wählt anstelle des Eingangspixels f die Mittelwertdaten als Pixel $m1$ und liefert das Pixel $m1$ an den Halbleiterspeicher **1**. In dem Halbleiterspeicher **1** wird der Mittelwert als Pixel $m1$ an einer Adresse für das Pixel f eingeschrieben.

[0045] Wie [Fig. 3](#) zeigt, werden Mittelwerte als Pixel $m1$, $m2$, $m3$ usw. in der zweiten hierarchischen Ebene in die Bereiche der unteren rechten Ecken von (2×2 Pixeln) des Halbleiterspeichers **1** eingeschrieben. So können Daten in der ersten hierarchischen Ebene und Daten in der zweiten hierarchischen Ebene, die mit Eingangspixeln auf Echtzeitbasis erzeugt werden, in den Halbleiterspeicher **1** eingeschrieben wer-

den, ohne daß dessen Kapazität vergrößert werden muß.

[0046] **Fig. 4** zeigt ein Beispiel für die Struktur einer Leseseite des Halbleiterspeichers **1**. Über einen Eingang **3** wird ein mit den Lesedaten des Halbleiterspeichers **1** synchronisierter Abtasttakt zugeführt. Die Frequenzteilerschaltungen **4** und **5** erzeugen ein Taktsignal mit der Frequenz $1/2 \cdot F_s$ bzw. ein Taktsignal mit der Frequenz $1/2 \cdot F_h$. Die aus dem Halbleiterspeicher **1** ausgelesenen Daten werden einer 1-Pixel-Verzögerungsschaltung **16**, einer Addiervorrichtung **17**, einer Addiervorrichtung **20**, einer Schaltung für die Multiplikation mit 4 und einer Auswahl-schaltung **25** zugeführt.

[0047] Die Struktur der Leseseite ist ähnlich aufgebaut, wie die in **Fig. 1** dargestellte Struktur der Schreibseite. Mit anderen Worten, die 1-Pixel-Verzögerungsschaltung **16**, die Addiervorrichtung **17**, die Auswahl-schaltung **18**, die Addiervorrichtung **20**, die Auswahl-schaltung **21**, die 1-Pixel-Verzögerungsschaltung **22** und die Auswahl-schaltung **25** von **Fig. 4** entsprechen der 1-Pixel-Verzögerungsschaltung **6**, der Addiervorrichtung **7**, der Auswahl-schaltung **8**, der Addiervorrichtung **10**, der Auswahl-schaltung **11**, der 1-Pixel-Verzögerungsschaltung **12** bzw. der Auswahl-schaltung **15**. Während auf der Schreibseite die Addiervorrichtung **13** angeordnet ist, ist auf der Leseseite eine Subtrahiervorrichtung **23** vorgesehen, wie dies in **Fig. 4** dargestellt ist. Außerdem sind auf der Schreibseite die Addiervorrichtung **13** und die Teilerschaltung **14** angeordnet, während auf der Leseseite eine Subtrahiervorrichtung **23** und die Schaltung **24** zur Multiplikation mit 4 vorgesehen sind.

[0048] Wenn auf der Leseseite mit der oben beschriebenen Struktur anstelle des Pixels f das Pixel m_1 in der zweiten hierarchischen Ebene aus dem Halbleiterspeicher **1** ausgelesen wird, erzeugt jede der in **Fig. 4** dargestellten Schaltungen Ausgangsdaten. Die Arbeitsweise der Leseseite ist ähnlich wie die Arbeitsweise der Schreibseite von **Fig. 1**. Die Multiplizierschaltung **24** erzeugt Daten ($4 \times m_1$). Die Subtrahiervorrichtung **23** führt eine Subtraktion $\{4 \times m_1 - (a + b + e)\}$ aus. Die Subtrahiervorrichtung **23** erzeugt auf diese Weise das Pixel f . Das Pixel f wird von der Auswahl-schaltung **25** ausgewählt und dann an einem Ausgang **26** ausgegeben.

[0049] Auf diese Weise liefert der Ausgang **26** ein Pixel in der ersten hierarchischen Ebene. Wenn ein Pixel in der zweiten hierarchischen Ebene ausgegeben wird, ist eine Auswahl-schaltung vorgesehen, die nur Daten in der zweiten hierarchischen Ebene aus dem ausgelesenen Ausgangssignal des Halbleiterspeichers **1** auswählt. Außerdem können Daten in der ersten hierarchischen Ebene und Daten in der zweiten hierarchischen Ebene parallel ausgelesen werden. Wie oben beschrieben wurde, ist die in

Fig. 1 dargestellte Struktur auf der Schreibseite der in **Fig. 4** dargestellten Struktur auf der Leseseite fast gleich. Außerdem ist die Hardwarestruktur der Addiervorrichtung **13** die gleiche wie die Hardwarestruktur der Subtrahiervorrichtung **23**. Die Hardwarestruktur der Teilerschaltung **14** ist die gleiche wie die Hardwarestruktur der Multiplizierschaltung **24** mit Ausnahme der Richtung der 2-Bit-Verschiebung. Somit können die Schreibseite und die Leseseite als gemeinsame Hardware ausgebildet sein, so daß kann der Umfang der Hardware, die den hierarchischen Kodierprozeß und den hierarchischen Dekodierprozeß ausführt, reduziert werden kann.

[0050] **Fig. 5** zeigt ein Blockdiagramm eines zweiten Ausführungsbeispiels der Erfindung. **Fig. 5** zeigt die Struktur eines Signalprozesses für das Einschreiben von kodierten Daten von drei hierarchischen Ebenen in einen Halbleiterspeicher **1**. Die Struktur für die Erzeugung von Daten in der zweiten hierarchischen Ebene mit Daten in der ersten hierarchischen Ebene (Eingangsbilddaten) ist in dem zweiten Ausführungsbeispiel die gleiche wie die in **Fig. 1** dargestellte Struktur. Deshalb sind in **Fig. 5** solche Teile, die Teilen von **Fig. 1** entsprechen, mit den gleichen Bezugszeichen und dem Suffix a versehen und werden nicht erneut beschrieben. In dem zweiten Ausführungsbeispiel werden jedoch nur die Ausgangsdaten einer Addiervorrichtung **14a** einer Auswahl-schaltung **15a** zugeführt. Die Auswahl-schaltung **15a** gibt Daten der zweiten hierarchischen Ebene aus (nämlich Pixel m_1, m_2, m_3, m_4 usw.).

[0051] Zum Kodieren der Daten in der dritten hierarchischen Ebene ist eine Frequenzteilerschaltung **4b** mit einer Frequenzteilerschaltung **4a** verbunden. Außerdem ist eine Frequenzteilerschaltung **5b** mit einer Frequenzteilerschaltung **5a** verbunden. Die Frequenzteilerschaltung **4b** erzeugt ein Taktsignal mit der Frequenz $1/4 \cdot F_s$. Die Frequenzteilerschaltung **5b** erzeugt ein Taktsignal mit der Frequenz $1/4 \cdot F_h$. Das Taktsignal mit der Frequenz $1/4 \cdot F_s$ und das Taktsignal mit der Frequenz $1/4 \cdot F_h$ werden Auswahl-schaltungen **8b** bzw. **15b** zugeführt.

[0052] Eingangsbilddaten (Daten der ersten hierarchischen Ebene) und Daten der zweiten hierarchischen Ebene, die von einer Auswahl-schaltung **15a** aufgenommen werden, werden einer Auswahl-schaltung **15b** zugeführt. Die Ausgangsdaten der Auswahl-schaltung **15b** werden in den Halbleiterspeicher **1** eingeschrieben. Außerdem werden Daten in der zweiten hierarchischen Ebene einer 2-Pixel-Verzögerungsschaltung **6b**, einer Addiervorrichtung **7b**, einer Addiervorrichtung **10b** und einer Addiervorrichtung **13b** zugeführt. In der entsprechenden Struktur zur Erzeugung von Daten in der zweiten hierarchischen Ebene sind die 2-Pixel-Verzögerungsschaltung **6b**, die Addiervorrichtung **7b**, eine Auswahl-schaltung **8b**, eine Zwei-Zeilen-Verzögerungsschaltung **9b**, die Ad-

diervorrichtung **10b**, eine Auswahlschaltung **11b**, eine 2-Pixel-Verzögerungsschaltung **12b**, die Addiervorrichtung **13b**, eine Teilerschaltung **14b** und eine Auswahlschaltung **15b** vorgesehen. Wenn dem Eingang **2** ein Pixel p zugeführt wird, erzeugt die Teilerschaltung **14b** ein Pixel $M1$ in der dritten hierarchischen Ebene $\{M1 = 1/4 \cdot (m1 + m2 + m3 + m4)\}$. Die Auswahlschaltung **15b** wählt anstelle des Pixels p das Pixel $M1$ aus und liefert das ausgewählte Pixel $M1$ an den Halbleiterspeicher **1**.

[0053] Die Auswahlschaltung **15b** wählt entweder die von der Auswahlschaltung **15a** empfangenen Daten der zweiten hierarchischen Ebene oder die den vorbestimmten Zeitlagen entsprechenden Eingangsdaten aus. Auf diese Weise werden, wie in [Fig. 6](#) dargestellt, anstelle von Pixeln der ersten hierarchischen Ebene die Pixel $m1$, $m2$, $m3$ usw. der zweiten hierarchischen Ebene in individuelle Regionen mit $(2 \times 2$ Pixeln) eingeschrieben. Anstelle von Pixeln der zweiten hierarchischen Ebene werden Pixel $M1$, $M2$, usw. der dritten hierarchischen Ebene in individuelle Regionen mit $(4 \times 4$ Pixeln) eingeschrieben. Obwohl dies nicht dargestellt ist, kann die Struktur für das Auslesen von Daten aus dem Halbleiterspeicher **1** ähnlich aufgebaut sein wie die Struktur auf der Schreibseite.

[0054] Als Nächstes wird unter Bezugnahme auf die anliegenden Zeichnungen ein drittes Ausführungsbeispiel der Erfindung beschrieben. [Fig. 7](#) zeigt die Struktur eines 1-Chip-IC, der eine Signalverarbeitungsschaltung, die einen hierarchischen Kodierprozeß ausführt, und einen Halbleiterspeicher **1** aufweist. Zur Vereinfachung sind in [Fig. 7](#) solche Teile, die Teilen von [Fig. 1](#) entsprechen, mit den gleichen Bezugszeichen versehen wie dort und werden nicht erneut beschrieben.

[0055] In dem dritten Ausführungsbeispiel besteht der Halbleiterspeicher **1** aus den Speicher **1a** und **1b**. Die Speicher **1a** und **1b** sind entweder aus verschiedenen Speichern zusammengesetzt oder durch Aufteilen des Speicherraums eines einzigen Speichers in zwei Teile gebildet. Der Speicher **1a** speichert Daten der ersten und der dritten hierarchischen Ebene. Der Speicher **1b** speichert Daten der zweiten hierarchischen Ebene. Die Speicher **1a** und **1b** haben jeweils Eingänge/Ausgänge, einen Adresseneingang und R/W-Signaleingänge (zum Steuern der Lese-/Schreiboperationen).

[0056] Einer arithmetischen Rechenschaltung **34** und einem Eingang **35a** eines Schalters **35** werden Eingangsbilddaten zugeführt. Die Ausgangsdaten der arithmetischen Rechenschaltung **34** werden einem Eingang **35b** des Schalters **35** zugeführt. Die von dem Schalter **35** ausgewählten Ausgangsdaten werden einem Dateneingang IN des Speichers **1a** zugeführt. Die aus den Speichern **1a** und **1b** ausgelesenen Daten werden der arithmetischen Rechenschal-

tung **34** zugeführt. Wie weiter unten beschrieben wird, führt die arithmetische Rechenschaltung **34** einen Addierprozeß und einen Mittelwert-Berechnungsprozeß zur Berechnung von Mittelwertdaten aus. Ein Dividierprozeß, der für den Mittelwert-Berechnungsprozeß benötigt wird, umfaßt eine 1/4-Division, eine 1/16-Division oder dgl.. Dieser Dividierprozeß kann durch eine Bitverschiebung realisiert werden.

[0057] Über einen Eingang **3** wird ein Taktsignal an eine Steuerung **36**, eine R/W-Signal-Generatorschaltung **37**, Schreibadressen-Generatorschaltungen **38a** und **38b** und Leseadressen-Generatorschaltungen **39a** und **39b** geliefert. Die R/W-Signal-Generatorschaltung **37** liefert ein R/W-Signal an einen R/W-Eingang des Speichers **1** und an Adressenwähler **40a** und **40b**. Wenn die Schreiboperation durchgeführt wird, wählen die Adressenwähler **40a** und **40b** eine Schreibadresse aus. Wenn die Leseoperation durchgeführt wird, wählen die Adressenwähler **40a** und **40b** Leseadressen aus. Die Leseadressen werden dem Speicher **1** zugeführt. Obwohl keine entsprechenden Verbindungsleitungen dargestellt sind, wird das Taktsignal auch den Adressen-Generatorschaltungen **38a**, **38b**, **39a** und **39b** zugeführt. Die Steuerung **36** steuert die Schreibadressen-Generatorschaltungen **38a** und **38b** und die Leseadressen-Generatorschaltungen **39a** und **39b**, um die für die arithmetischen Operationen benötigten Adressen zu erzeugen. Außerdem steuert die Steuerung **36** die arithmetische Rechenschaltung **34**, um die arithmetischen Operationen zu steuern. Darüber hinaus steuert die Steuerung **36** den Schalter **35**, so daß dieser die in die Speicher **1a** und **1b** einzuschreibenden Daten auswählt.

[0058] Als Nächstes wird die Arbeitsweise des dritten Ausführungsbeispiels der Erfindung beschrieben. Wie [Fig. 8](#) zeigt, führen die Speicher **1a** und **1b** in jedem Taktzyklus sukzessiv eine Leseoperation, eine Rechenoperation (Addieroperation) und eine Schreiboperation aus. Wenn die Leseoperation und die Schreiboperation ausgeführt werden, nehmen ein Lese-Aktivierungssignal REN und ein Schreib-Aktivierungssignal WEN in Intervallen der Leseoperation bzw. der Schreiboperation hohen Pegel an. Dadurch werden Steuersignale (R/W-Signale) erzeugt, die dem Schreib-Aktivierungssignal WEN und dem Lese-Aktivierungssignal REN entsprechen.

[0059] Als Beispiel wird anhand von [Fig. 9A](#) bis [Fig. 9D](#) der hierarchische Kodierprozeß für Pixel beschrieben, die so angeordnet sind, wie dies in [Fig. 2](#) dargestellt ist. Wenn die Eingangspixel a , b , c , d usw. zugeführt werden, wählt der Schalter **35** die Eingangspixel aus und liefert sie an den Speicher **1a**. Wie in [Fig. 9A](#) dargestellt ist, werden die Pixel a , b , c , d , e , g usw., anders als die Pixel f , h , n usw., die Datenpositionen in der zweiten hierarchischen Ebene ent-

sprechen, sukzessiv in den Speicher **1a** eingeschrieben. Bei der Schreiboperation für die Pixel a, b, c, d, e, g usw. ist es nicht erforderlich, Daten aus dem Speicher **1a** auszulesen. Deshalb ist die Leseoperation des Speichers **1a** in einem in [Fig. 8](#) dargestellten Speicherzyklus nicht aktiviert. Zur Vereinfachung zeigen [Fig. 9\(A\)](#) bis (D) jeweils einen Teil von Speicherregionen der Speicher **1a** und **1b**.

[0060] Auf der anderen Seite werden die addierten Ausgangsdaten der arithmetischen Recheneinheit **34** in den Speicher **1b** eingeschrieben. In dem in [Fig. 8](#) dargestellten Speicherzyklus werden Daten einer Adresse, an der Daten (z.B. ein Pixel m1) der zweiten hierarchischen Ebene eingeschrieben sind, aus dem Speicher **1b** ausgelesen. Die ausgelesenen Daten, und die dividierten Daten, d.h. die durch 4 dividierten Eingangspixeldaten, werden addiert. Die addierten Ausgangsdaten werden an der gleichen Adresse des Speichers **1b** eingeschrieben. Wenn das Pixel f zugeführt wird, wurden Daten $\{1/4 \cdot (a + b + e)\}$ an einer Adresse gespeichert, an der das Pixel m1 eingeschrieben ist, wie dies in [Fig. 9A](#) dargestellt ist. Deshalb werden die Daten $\{1/4 \cdot (a + b + e)\}$ ausgelesen und dann der arithmetischen Rechenschaltung **34** zugeführt. Die arithmetische Rechenschaltung **34** addiert die Eingangspixeldaten $1/4 \cdot f$ und die ausgelesenen Daten und erzeugt die Daten $\{1/4 \cdot (a + b + e + f)\}$ als Pixel m1. Das Pixel m1 wird an der gleichen Adresse des Speichers **1b** eingeschrieben. [Fig. 9B](#) zeigt den Zustand, in welchem das Pixel m1 in den Speicher **1b** eingeschrieben wurde.

[0061] Nachdem in den Speicher **1a** Pixel, wie z.B. die Pixel a, b, e usw., eingeschrieben sind, können diese Pixel durch 4 dividiert werden. Um zu verhindern, daß sich die erforderliche Kapazität des Speichers erhöht, könnten diese Pixel jedoch durch 4 dividiert werden, bevor sie in den Speicher **1b** eingeschrieben werden.

[0062] Auf der anderen Seite wird der Schalters **35** umgeschaltet. Wie [Fig. 9B](#) zeigt, werden anstelle des Eingangspixels f Daten, von denen das in der arithmetischen Rechenschaltung **34** erzeugte Pixel m1 in der zweiten hierarchischen Ebene durch 4 dividiert wurde, an einer Adresse (der Position der Pixeldaten p) für ein Pixel M1 der dritten hierarchischen Ebene eingeschrieben. Deshalb ist es nicht erforderlich, die (mit schrägen Linien dargestellten) Pixel m1, m2 usw. der zweiten hierarchischen Ebene in den Speicher **1a** einzuschreiben. Somit wird die erforderliche Speicherkapazität nicht größer.

[0063] Die oben beschriebene Operation wird wiederholt. Wenn das Eingangspixel p in den Speicher **1b** eingegeben wird, wie dies in [Fig. 9C](#) dargestellt ist, wurden an einer Adresse für das Pixel m4 Daten $\{1/4 \cdot (k + l + o)\}$ gespeichert. Somit werden diese Daten ausgelesen und der arithmetischen Rechen-

schaltung **34** zugeführt. Die arithmetische Rechenschaltung **34** addiert dividierte Daten, von denen das Eingangspixel p durch 4 dividiert wurde, und die ausgelesenen Daten und erzeugt die Daten $\{1/4 \cdot (k + l + o + p)\}$ als Pixel m4.

[0064] Auf der anderen Seite wurden in dem Speicher **1a** die Daten $\{1/4 \cdot m1 + m2 + m3\}$ an einer Adresse (der Position des Pixels p) für Daten der dritten hierarchischen Ebene gespeichert. Somit werden diese Daten ausgelesen und der arithmetischen Rechenschaltung **34** zugeführt. Die arithmetische Rechenschaltung **34** addiert die ausgelesenen Daten und dividierte Daten, von denen das Pixel m4 durch 4 dividiert wurde, und erzeugt Daten $\{1/4 \cdot (m1 + m2 + m3 + m4)\}$ als Pixel M1. Der Schalter **35** wird umgeschaltet. Wie in [Fig. 9D](#) dargestellt ist, wird dann anstelle des Eingangspixels p das von der arithmetischen Rechenschaltung **34** erzeugte Pixel M1 der dritten hierarchischen Ebene an der gleichen Adresse des Speichers **1a** eingeschrieben. In gleicher Weise wird in dem Speicher **1b** das Pixel M1 (oder m4) an einer Adresse für das Pixel m4 eingeschrieben. [Fig. 9D](#) zeigt den Zustand, in welchem das Pixel M1 in die Speicher **1a** und **1b** eingeschrieben wurde. Da Daten der dritten hierarchischen Ebene in den Speicher **1a** eingeschrieben werden, wird die erforderliche Kapazität des Speichers **1a** geringfügig größer.

[0065] Die Struktur der (nicht dargestellten) Lese- und Schreibseite des dritten Ausführungsbeispiels kann ähnlich sein wie die Struktur der in [Fig. 7](#) dargestellten Schreibseite. Deshalb können die Schreibseite und die Leseseite als gemeinsame Hardware realisiert werden. Dies hat zur Folge, daß der Umfang der Hardware für die Durchführung des hierarchischen Kodierprozesses und des hierarchischen Dekodierprozesses reduziert werden kann.

[0066] [Fig. 10](#) zeigt ein Blockdiagramm der Struktur eines vierten Ausführungsbeispiels der Erfindung. Zur Vereinfachung sind in [Fig. 10](#) wieder solche Teile, die Teilen von [Fig. 7](#) entsprechen, mit den gleichen Bezugszeichen versehen und werden nicht erneut beschrieben.

[0067] In [Fig. 10](#) ist ein Halbleiterspeicher **1** in drei Speicher **1a**, **1b** und **1c** aufgeteilt, in denen in drei hierarchischen Ebenen kodierte Daten eingeschrieben werden. In Verbindung mit den Speichern **1a**, **1b** und **1c** sind R/W-Signal-Generatorschaltungen **37a**, **37b** und **37c** sowie Adressen-Generatorschaltungen **41a**, **41b** und **41c** vorgesehen. Eine Steuerung **36** führt den R/W-Signal-Generatorschaltungen **37a**, **37b** und **37c** und den Adressen-Generatorschaltungen **41a**, **41b** und **41c** ein Steuersignal zu. Die Inhalte der Speicher **1a**, **1b** und **1c** wurden anfänglich gelöscht.

[0068] Von einem Eingang **2** werden Eingangsda-

ten über ein Eingangsregister **2a** dem Speicher **1a** zugeführt. Daten der ersten hierarchischen Ebene (nämlich die Eingangsbilddaten) werden in den Speicher **1a** so eingeschrieben, wie sie sind. Die Eingangspixel f, h, p usw. für Adressen, die Daten in der zweiten und dritten hierarchischen Ebene entsprechen, werden jedoch nicht in den Speicher **1a** eingeschrieben. Die erforderliche Kapazität des Speichers **1a** beträgt $3/4$ der Kapazität, die dann erforderlich ist, wenn der Speicher **1a** alle Eingangsbilddaten speichert.

[0069] Die Ausgangsdaten einer Addiervorrichtung **34c** werden dem Speicher **1b** als Eingangsdaten zugeführt. Die aus dem Register **2a** empfangenen Eingangsbilddaten werden über eine $1/4$ -Teilerschaltung **34a** der Addiervorrichtung **34c** zugeführt. Die aus dem Speicher **1b** ausgelesenen Daten werden über ein Register **34b** dem anderen Eingang der Addiervorrichtung **34c** zugeführt. Der Speicher **1b** besitzt Adressen, die den Datenpositionen in der zweiten hierarchischen Ebene (d.h. der Pixel f, h, n usw.) entsprechen. Pixel m_1, m_2, m_3 usw. in der zweiten hierarchischen Ebene werden an diesen Adressen eingeschrieben. Somit benötigt der Speicher **1b** eine Kapazität, die $3/16$ der Kapazität entspricht, die erforderlich ist, wenn der Speicher **1b** alle Eingangspixel speichert.

[0070] Die Ausgangsdaten der Teilerschaltung **34a** und die Ausgangsdaten der Addiervorrichtung **34c** werden einem Wähler **34d** zugeführt. Die Ausgangsdaten des Wählers **34d** werden über eine $1/4$ -Teilerschaltung **34e** einem Eingang einer Addiervorrichtung **34f** zugeführt. Die aus dem Speicher **1c** ausgelesenen Daten werden über ein Register **34g** dem anderen Eingang der Addiervorrichtung **34f** zugeführt. Die Ausgangsdaten der Addiervorrichtung **34f** werden dem Speicher **1c** zugeführt. Der Speicher **1c** besitzt Adressen, die den Datenpositionen in der dritten hierarchischen Ebene (d.h. dem Pixel p usw.) entsprechen. An diesen Adressen werden Pixel M_1, M_2, M_3 usw. der dritten hierarchischen Ebene eingeschrieben. Somit benötigt der Speicher **1c** eine Kapazität, die $1/16$ der Kapazität entspricht, die erforderlich ist, wenn der Speicher **1c** alle Eingangspixel speichert. Die Gesamtkapazität der Speicher **1a, 1b** und **1c** beträgt somit $(3/4 + 3/16 + 1/16 = 1)$. Somit erhöht sich die erforderliche Speicherkapazität gegenüber der für die originalen Bilddaten erforderlichen Speicherkapazität nicht.

[0071] [Fig. 11A](#) bis [Fig. 11D](#) zeigen schematische Diagramme zur Erläuterung der Arbeitsweise des vierten Ausführungsbeispiels. In [Fig. 11A](#) erzeugt das Register **2a** das Pixel f der Eingangsdaten. In dem Speicher **1b** sind die addierten Ausgangsdaten gespeichert $\{1/4 \cdot (a + b + e)\}$ gespeichert. In einem Zyklus werden die Leseoperation, die Addieroperation in der Addiervorrichtung **34c** und die Schreiboperation für das Einschreiben der addierten Ausgangs-

daten an der gleichen Adresse durchgeführt. Die addierten Ausgangsdaten werden so ausgelesen. Die Addiervorrichtung **34c** addiert die addierten Ausgangsdaten und die Pixeldaten $\{1/4 \cdot f\}$ und erzeugt Daten der zweiten hierarchischen Ebene $\{1/4 \cdot (a + b + e + f)\}$ als ein Pixel m_1 . Das Pixel m_1 wird an der gleichen Adresse des Speichers **1b** eingeschrieben und außerdem über den Wähler **34d** der Teilerschaltung **34e** zugeführt.

[0072] Die Ausgangsdaten der Teilerschaltung **34e** werden der Addiervorrichtung **34f** zugeführt. Die Addiervorrichtung **34f** addiert die Ausgangsdaten der Teilerschaltung **34e** und die aus dem Speicher **1c** ausgelesenen Daten (in diesem Fall Nulldaten). Die addierten Daten werden an der gleichen Adresse des Speichers **1c** eingeschrieben. Somit werden in den Speicher **1c**, wie in [Fig. 11B](#) dargestellt, die Daten $\{1/4 \cdot m_1\}$ eingeschrieben. Anschließend wird die gleiche Operation wiederholt. Wenn das Register **2a** ein Pixel p erzeugt, wurden in den Speichern **1a, 1b** und **1c** Daten gespeichert, wie sie in [Fig. 11C](#) dargestellt sind.

[0073] Da ein Pixel m_4 der zweiten hierarchischen Ebene nicht in den Speicher **1b** eingeschrieben wird, wählt der Wähler **34d** die Pixel k, l und o aus, die für die Bildung des Pixels m_4 benötigt werden. Die Teilerschaltungen **34a** und **34e** teilen die Pixel k, l und o durch 16 und liefern die geteilten Ausgangsdaten an die Addiervorrichtung **34f**. Die Ausgangsdaten der Addiervorrichtung **34f** werden an einer Adresse für das Pixel M_1 in der dritten hierarchischen Ebene eingeschrieben. Somit hat der Speicher **1c** die Daten $\{1/4 \cdot (m_1 + m_2 + m_3) + 1/16 \cdot (k + l + o)\}$ gespeichert.

[0074] Die Addiervorrichtung **34f** addiert die Daten $(1/16 \cdot p)$ und die aus dem Speicher **1c** ausgelesenen Daten und bildet das Pixel M_1 in der dritten hierarchischen Ebene $\{M_1 = 1/4 \cdot (m_1 + m_2 + m_3) + 1/6 \cdot (k + l + o) + 1/16 \cdot p\}$. Das Pixel M_1 wird in den Speicher **1c** eingeschrieben. Durch Wiederholen der oben beschriebenen Operation werden Pixel M_1, M_2 usw. der dritten hierarchischen Ebene in dem Speicher **1c** gespeichert.

[0075] [Fig. 12](#) zeigt ein Zeitdiagramm entsprechend dem vierten Ausführungsbeispiel der Erfindung. Die horizontale Achse des Zeitdiagramms von [Fig. 12](#) zeigt die zeitliche Folge von Eingangsbilddaten, die von dem Register **2a** erzeugt werden. Die vertikale Achse des Zeitdiagramms zeigt die Adressen der Speicher **1a, 1b** und **1c**. Die Positionen, an denen die horizontale Achse und die vertikale Achse einander schneiden, repräsentieren die Inhalte, die in den Speichern **1a, 1b** und **1c** gespeichert sind. Die Adressen f, h und n sind Adressen des Speichers **1b**. Die Adresse p ist eine Adresse des Speichers **1c**. Das Zeitdiagramm von [Fig. 12](#) entspricht der Beschreibung, die anhand von [Fig. 11A](#) bis [Fig. 11D](#) gegeben

wurde. Die in [Fig. 12](#) dargestellten Datenwerte sind vier mal die Datenwerte, die anhand von [Fig. 11A](#) bis [Fig. 11D](#) beschrieben wurden. Bei dem in [Fig. 10](#) dargestellten vierten Ausführungsbeispiel kann durch Austausch der 1/4-Teilerschaltung gegen eine Schaltung zur Multiplikation mit 4 und Austausch der Addiervorrichtung gegen eine Subtrahiervorrichtung eine arithmetische Rechenschaltung auf der Leseseite realisiert werden.

[0076] In Ausführungsbeispielen der Erfindung können zusätzlich zu einem Mittelwert auch dessen Differenzdaten übertragen werden. Mit anderen Worten, zusätzlich zu einem Mittelwert m_1 der Pixel a , b , c und d werden die Differenzdaten ($\Delta a = a - m_1$, $\Delta b = b - m_1$ und $\Delta c = c - m_1$) übertragen. Darüber hinaus werden als Daten in der zweiten hierarchischen Ebene zusätzlich zu dem Mittelwert M_1 von m_1 , m_2 , m_3 und m_4 die Differenzdaten ($\Delta m_1 = m_1 - M_1$, $\Delta m_2 = m_2 - M_1$ und $\Delta m_3 = m_3 - M_1$) übertragen. Auf der Empfangsseite kann unter Verwendung der Relation $\Delta a + \Delta b + \Delta c + \Delta d = a + b + c + d - 4m_1 = 0$ mit $\Delta d = -(\Delta a + \Delta b + \Delta c)$ der Wert Δd gewonnen werden. Auf diese Weise können Daten in mehreren hierarchischen Ebenen übertragen werden. Da ein Bild eine lokale Korrelation aufweist, sind die Differenzwertdaten im allgemeinen klein. Wenn die Daten mit einer kleineren Anzahl von Bits requantisiert werden, können sie stärker komprimiert werden.

[0077] Da in Ausführungsbeispielen der Erfindung die Länge der Mittelwertdaten tendenziell größer wird, kann die zugeteilte Bitzahl größer sein als die Bitzahl der Eingangspixel. Nachdem die Daten in jeder hierarchischen Ebene komprimiert und mit variabler Länge kodiert sind, können die resultierenden Daten übertragen werden. Darüber hinaus können anstelle von Mittelwertdaten mit einfachem Mittelwert Mittelwertdaten mit gewichtetem Mittelwert erzeugt werden.

[0078] In Ausführungsbeispielen der Erfindung können auf der Leseseite nur ein Halbleiterspeicher und eine Signalverarbeitungsschaltung als IC-Schaltungen strukturiert sein. In diesem Fall werden vorbereitend Bilddaten mehrerer hierarchischer Ebenen in den Halbleiterspeicher eingeschrieben. Der Halbleiterspeicher fungiert als ROM.

[0079] In dem dritten oder vierten Ausführungsbeispiel der Erfindung können die Pixel-Verzögerungsschaltung und die Zeilen-Verzögerungsschaltung entfallen. Dadurch können die Kosten und die Größe der IC-Schaltungen reduziert werden.

[0080] Wie oben beschrieben wurde, ist es in den Ausführungsbeispielen der Erfindung nicht erforderlich, die Kapazität des Speichers zu erhöhen, wenn hierarchisch strukturierte Daten gespeichert werden. Da die Signalverarbeitungsschaltung für den hierar-

chischen Kodierprozeß oder den hierarchischen Dekodierprozeß auf dem gleichen Substrat angeordnet ist wie der Halbleiterspeicher, kann der Umfang der Hardware reduziert werden. Darüber hinaus werden bei dem dritten und vierten Ausführungsbeispiel der Erfindung Daten aus dem Speicher ausgelesen. Der Addierprozeß wird für diese Daten durchgeführt. Die Additionsergebnisse werden in den Speicher eingeschrieben. Auf diese Weise werden Mittelwerte gewonnen. Somit kann die Hardware vereinfacht werden, da eine Pixel-Verzögerungsschaltung und eine Zeilen-Verzögerungsschaltung, die mehrere Typen von Daten gleichzeitig verarbeiten, nicht erforderlich sind.

[0081] Obwohl die vorliegende Erfindung an Ausführungsbeispielen dargestellt und beschrieben wurde, ist es für den einschlägigen Fachmann offensichtlich, daß die vorangehend beschriebenen und verschiedene andere Änderungen, Auslassungen und Hinzufügungen bezüglich der Form und Einzelheiten der Ausführungsbeispiele möglich sind, ohne daß dadurch der Rahmen der Erfindung verlassen wird.

Patentansprüche

1. Signalverarbeitungsgerät mit einer Speichereinrichtung (1), mit einer Signalverarbeitungseinrichtung (34), die betreibbar ist, um auf der Basis von Eingangsdaten und von aus der Speichereinrichtung (1) ausgelesenen Daten eine vorbestimmte Berechnung auszuführen und das Ergebnis dieser Berechnung auszugeben, und mit einer Steuereinrichtung (36), die betreibbar ist, um zu veranlassen, daß die Eingangsdaten und die aus der Speichereinrichtung (1) ausgelesenen Daten der Signalverarbeitungseinrichtung zugeführt werden, und das Ergebnis der vorbestimmten Berechnung in die Speichereinrichtung einzuschreiben, **dadurch gekennzeichnet**, daß die Signalverarbeitungseinrichtung (34) und die Speichereinrichtung (1) auf einem gemeinsamen Halbleitersubstrat angeordnet sind, daß die Speichereinrichtung (1) einen ersten und einen zweiten Speicherbereich (1a, 1b) aufweist, die voneinander getrennt sind, daß die Steuereinrichtung (36) betreibbar ist, um

- die Speichereinrichtung (1) so zu steuern, daß erste hierarchische Daten einer ersten hierarchischen Ebene aus dem ersten Bereich (1a) der Speichereinrichtung ausgelesen werden und zweite hierarchische Daten einer der ersten hierarchischen Ebene benachbarten zweiten hierarchischen Ebene aus dem zweiten Bereich (1b) der Speichereinrichtung ausgelesen werden, wobei die Speichereinrichtung adaptiert ist, um sowohl die genannten Daten einer ersten hierarchischen Ebene als auch die Daten einer zweiten hierarchischen Ebene parallel auszulesen,

- die Signalverarbeitungseinrichtung (34) so zu steuern, daß sie die vorbestimmte Berechnung auf der Basis der Eingangsdaten (f) und der ersten hierarchischen Daten ($1/4 \cdot (a + b + c)$) ausführt und zweite hierarchische Daten (m1) der zweiten hierarchischen Ebene als Ergebnis der vorbestimmten Berechnung ausgibt, und
- die Speichereinrichtung (1) so zu steuern, daß die zweiten hierarchischen Daten (m1) in den zweiten Bereich (1b) der Speichereinrichtung (1) eingeschrieben werden, daß die Eingangsdaten aus Gruppen von N Datenwerten gebildet sind, wobei N ein ganzzahliger Wert ist, und daß die aus der Speichereinrichtung (1) ausgelesenen Daten einen aus einem spezifizierten Speicherort ausgelesenen Datenwert enthalten und ein Schritt in der genannten vorbestimmten Berechnung das Addieren eines Bruchteils $1/N$ eines aus den Eingangsdaten abgeleiteten Datenwerts zu dem aus dem spezifizierten Speicherort ausgelesenen Datenwert und das Speichern eines durch das Addieren des Bruchteils gewonnenen Zwischenwerts an dem spezifizierten Speicherort involviert.

2. Signalverarbeitungsgerät nach Anspruch 1, das betreibbar ist, um den Addierschritt zu wiederholen, bis ein Mittelwert einer der Gruppen von N Datenwerten gewonnen wird, der dem Ergebnis der vorbestimmten Berechnung entspricht, und das Ergebnis der vorbestimmten Berechnung entweder an dem spezifizierten Speicherort oder an einem alternativen Speicherort zu speichern.

3. Signalverarbeitungsgerät nach Anspruch 1 oder 2, das betreibbar ist, um die Daten aus der Speichereinrichtung (1) auszulesen, einen Schritt der genannten vorbestimmten Berechnung auszuführen und während einer Taktzeitperiode eines Taktsignals (3) einen Zwischenwert der vorbestimmten Berechnung in die Speichereinrichtung einzuschreiben.

4. Signalverarbeitungsgerät nach Anspruch 1, 2 oder 3, bei dem die getrennten Speicherbereiche (1a, 1b) verschiedenen logischen Partitionen einer einzigen physikalischen Speichereinrichtung entsprechen.

5. Signalverarbeitungsgerät nach einem der vorhergehenden Ansprüche, bei dem Daten, die der ersten hierarchischen Ebene und einer dritten hierarchischen Ebene entsprechen, in den ersten getrennten Speicherbereich (1a) eingeschrieben werden, und Daten, die der zweiten hierarchischen Ebene entsprechen, in den zweiten getrennten Speicherbereich (1b) eingeschrieben werden.

6. Signalverarbeitungsgerät nach einem der vorhergehenden Ansprüche, bei dem die Steuereinrichtung (36) betreibbar ist, um zu veranlassen, daß Da-

tenwerte aus den Eingangsdaten (f) direkt in der Speichereinrichtung (1) gespeichert werden, ohne zunächst der Signalverarbeitungseinrichtung (34) zugeführt zu werden.

7. Signalverarbeitungsgerät nach einem der vorhergehenden Ansprüche, bei dem die Steuereinrichtung (36) betreibbar ist, um wenigstens eine Schalteinrichtung (35) so zu steuern, daß sie die Lieferung von Daten an die Speichereinrichtung (1) entweder direkt aus den Eingangsdaten (f) oder von einem Ausgang der Signalverarbeitungseinrichtung (34) veranlaßt.

8. Signalverarbeitungsgerät nach einem der vorhergehenden Ansprüche, bei dem die Speichereinrichtung (1) in der Signalverarbeitungseinrichtung (34) angeordnet ist.

9. Signalverarbeitungsgerät nach einem der vorhergehenden Ansprüche, bei dem die Steuereinrichtung (36) auf dem genannten gemeinsamen Halbleitersubstrat angeordnet ist.

10. Verfahren zum Erzeugen von Datenwerten mit den Verfahrensschritten:
 Auslesen von Daten aus einer Speichereinrichtung (1),
 Auslesen von Eingangsdaten (1),
 Ausführen einer vorbestimmten Berechnung auf der Basis der Eingangsdaten und der aus der Speichereinrichtung ausgelesenen Daten mit Hilfe einer Signalverarbeitungseinrichtung (34),
 Ausgeben des Ergebnisses der vorbestimmten Berechnung aus der Signalverarbeitungseinrichtung (34) und
 Einschreiben des Ergebnisses der vorbestimmten Berechnung in die Speichereinrichtung, dadurch gekennzeichnet,
 daß die Signalverarbeitungseinrichtung (34) und die Speichereinrichtung (1) auf einem gemeinsamen Halbleitersubstrat angeordnet sind,
 daß die Speichereinrichtung (1) einen ersten und einen zweiten Speicherbereich (1a, 1b) aufweist, die voneinander getrennt sind,
 daß die Speichereinrichtung (1) so gesteuert wird, daß erste hierarchische Daten einer ersten hierarchischen Ebene aus dem ersten Bereich (1a) der Speichereinrichtung ausgelesen werden und zweite hierarchische Daten einer der ersten hierarchischen Ebene benachbarten zweiten hierarchischen Ebene aus dem zweiten Bereich (1b) der Speichereinrichtung ausgelesen werden, wobei die Speichereinrichtung adaptiert ist, um sowohl die genannten Daten einer ersten hierarchischen Ebene als auch die Daten einer zweiten hierarchischen Ebene das parallel auszulesen,
 daß die vorbestimmte Berechnung auf der Basis der Eingangsdaten (f) und der ersten hierarchischen Daten ($1/4 \cdot (a + b + c)$) ausgeführt wird und zweite hierar-

chische Daten (m1) der zweiten hierarchischen Ebene als Ergebnis der vorbestimmten Berechnung ausgegeben werden,
 daß die Speichereinrichtung (1) so gesteuert wird, daß die zweiten hierarchischen Daten (m1) in den zweiten Bereich (1b) der Speichereinrichtung (1) eingeschrieben werden,
 daß die Eingangsdaten aus Gruppen von N Datenwerten gebildet werden, wobei N ein ganzzahliger Wert ist,
 daß die aus der Speichereinrichtung (1) ausgelesenen Daten einen aus einem spezifizierten Speicherort ausgelesenen Datenwert enthalten,
 daß während eines Schritts in dem genannten Verfahrensschritt der vorbestimmten Berechnung ein Bruchteil $1/N$ eines aus den Eingangsdaten abgeleiteten Datenwerts zu dem aus dem spezifizierten Speicherort ausgelesenen Datenwert addiert wird, und
 daß ein durch das Addieren des Bruchteils gewonnener Zwischenwert an dem spezifizierten Speicherort gespeichert wird.

11. Verfahren nach Anspruch 10, das weiterhin umfaßt:
 das Wiederholen des Addierschritts, bis ein Mittelwert einer der Gruppen von N Datenwerten gewonnen wird, der dem Ergebnis der vorbestimmten Berechnung entspricht, und
 Speichern des Ergebnisses der vorbestimmten Berechnung entweder an dem spezifizierten Speicherort oder an einem alternativen Speicherort.

12. Verfahren nach Anspruch 10 oder 11, bei dem die Verfahrensschritte des Auslesens der Daten aus der Speichereinrichtung (1), des Auslesens der Eingangsdaten, der Ausführung der vorbestimmten Berechnung, der Ausgabe des Ergebnisses der vorbestimmten Berechnung und des Einschreibens des Ergebnisses der vorbestimmten Berechnung in die Speichereinrichtung (1) während einer Taktzeitperiode eines Taktsignals (3) durchgeführt werden.

13. Verfahren nach einem der Ansprüche 10 bis 12, bei dem die getrennten Speicherbereiche (1a, 1b) verschiedenen logischen Partitionen einer einzigen physikalischen Speichereinrichtung entsprechen.

14. Verfahren nach einem der Ansprüche 10 bis 13, das weiterhin umfaßt:
 das Einschreiben von der ersten hierarchischen Ebene und einer dritten hierarchischen Ebene entsprechenden Daten in den ersten getrennten Speicherbereich (1a) und
 das Einschreiben von der zweiten hierarchischen Ebene entsprechenden Daten in den zweiten getrennten Speicherbereich (1b).

15. Verfahren nach einem der Ansprüche 10 bis 14, das weiterhin umfaßt, daß veranlaßt wird, daß

Datenwerte aus den Eingangsdaten (f) direkt in der Speichereinrichtung (1) gespeichert werden, ohne zunächst der Signalverarbeitungseinrichtung (34) zugeführt zu werden.

16. Verfahren nach einem der Ansprüche 10 bis 15, das weiterhin umfaßt das Steuern wenigstens einer Schalteinrichtung (35) in der Weise, daß diese die Lieferung von Daten an die Speichereinrichtung (1) entweder direkt aus den Eingangsdaten (f) oder von einem Ausgang der Signalverarbeitungseinrichtung (34) bewirkt.

17. Verfahren nach einem der Ansprüche 10 bis 16, bei dem die Steuereinrichtung (36) zum Steuern der Signalverarbeitungseinrichtung (34) und die Speichereinrichtung (1) auf dem genannten gemeinsamen Halbleitersubstrat angeordnet sind.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1

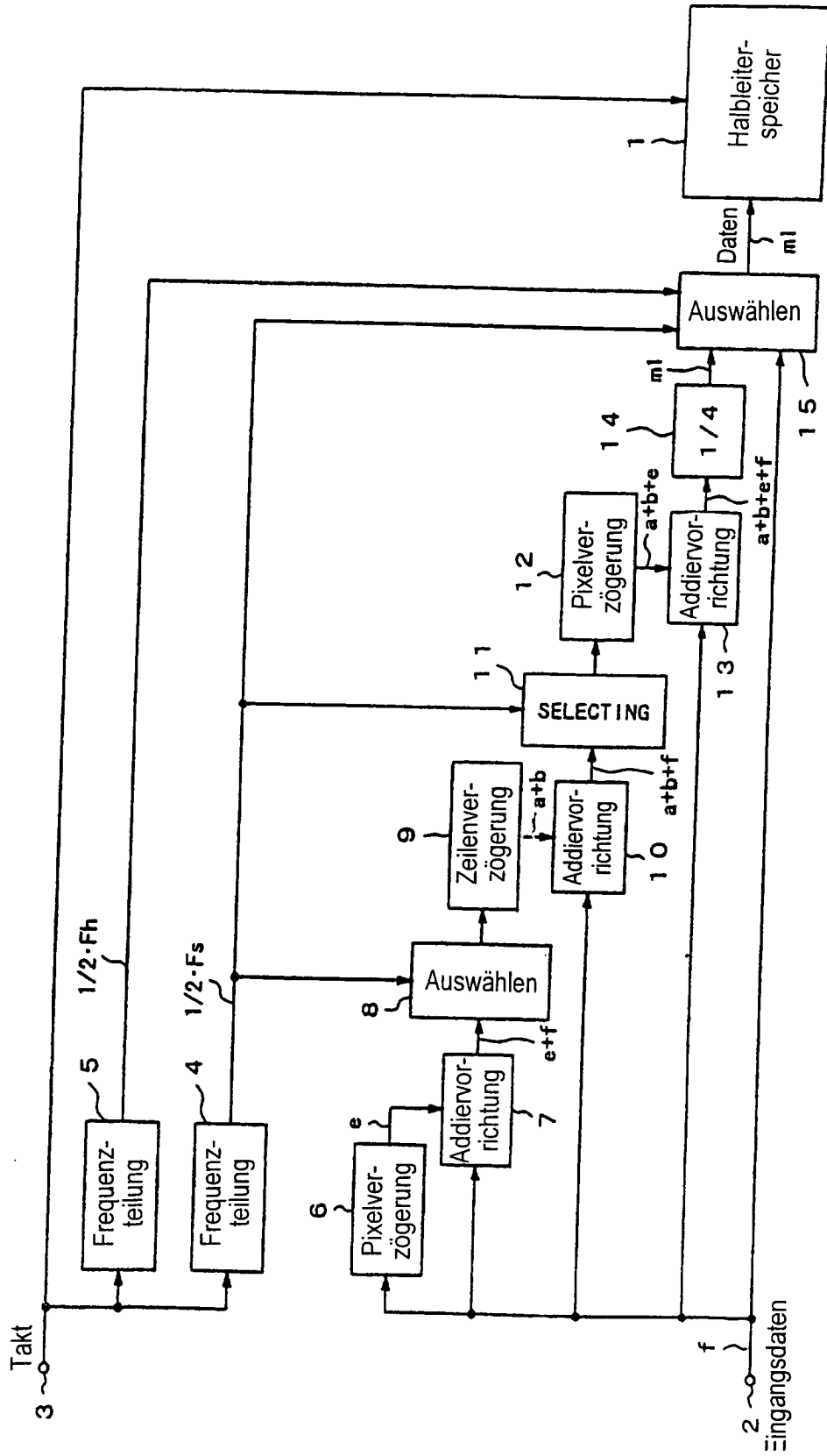


Fig. 2

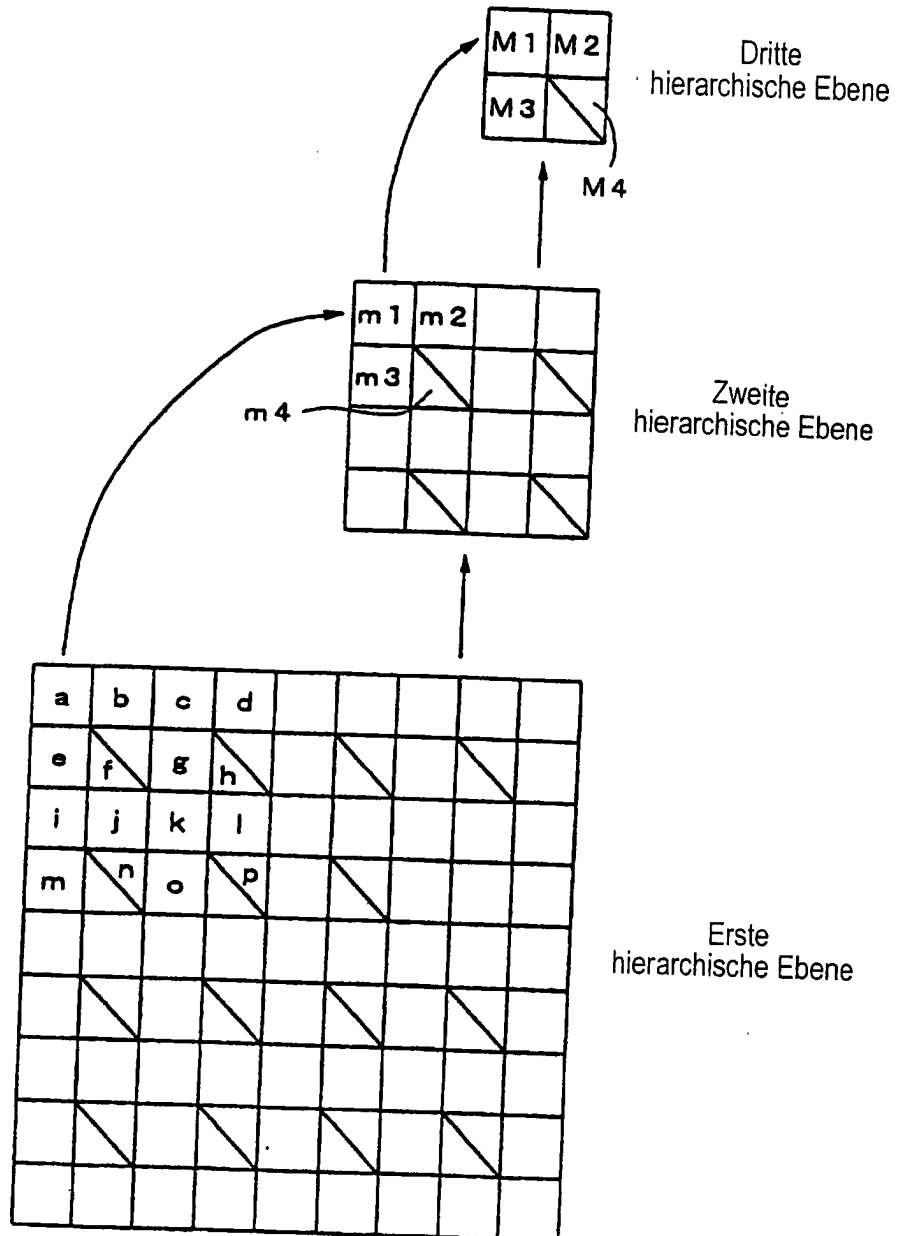


Fig. 3

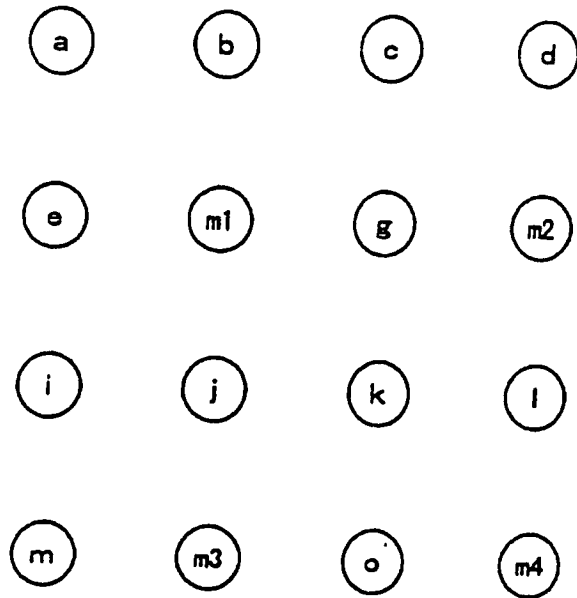


Fig. 6

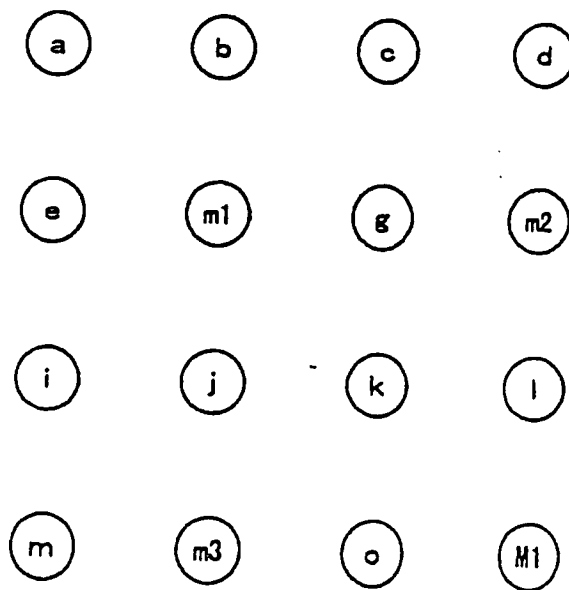


Fig. 4

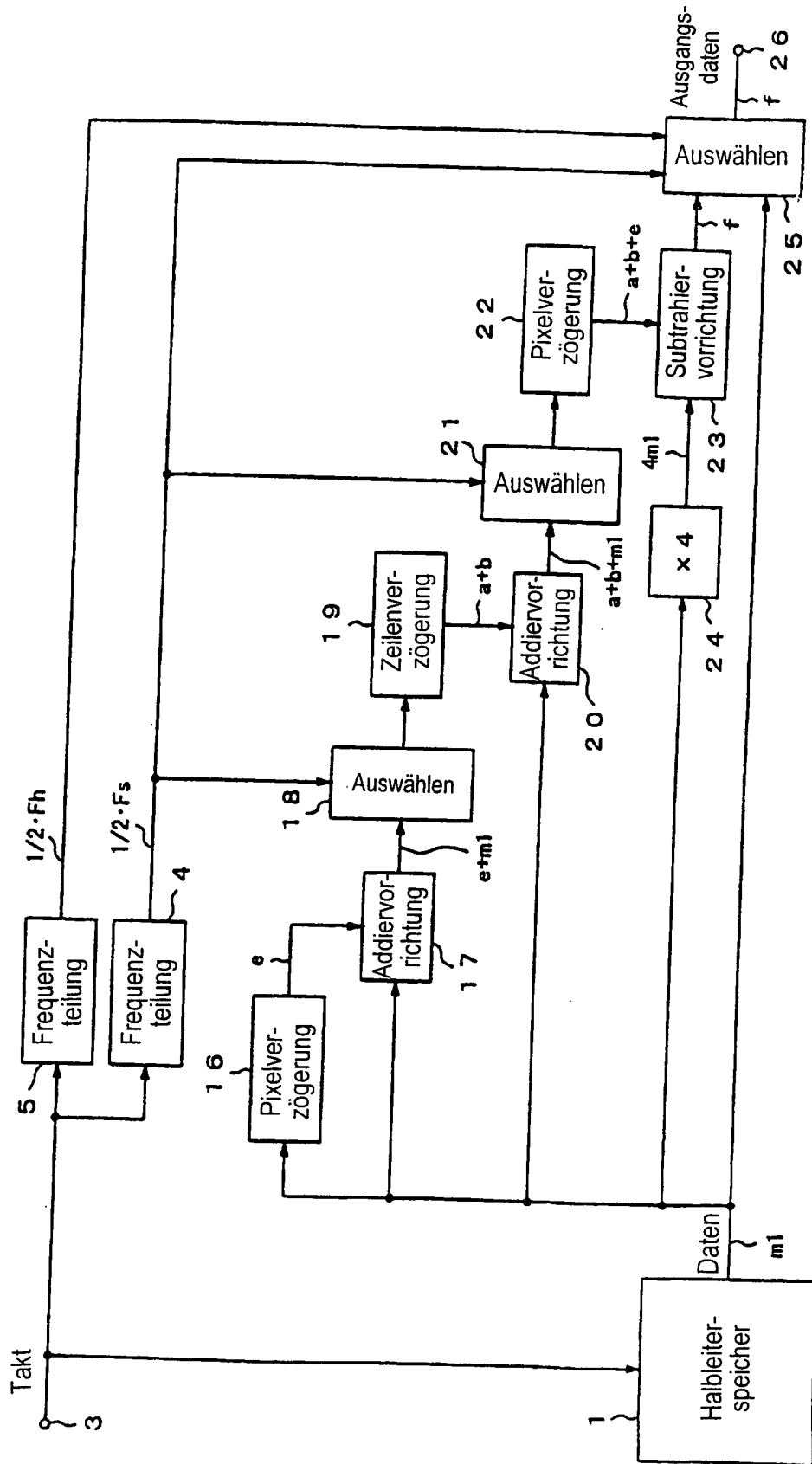


Fig. 5

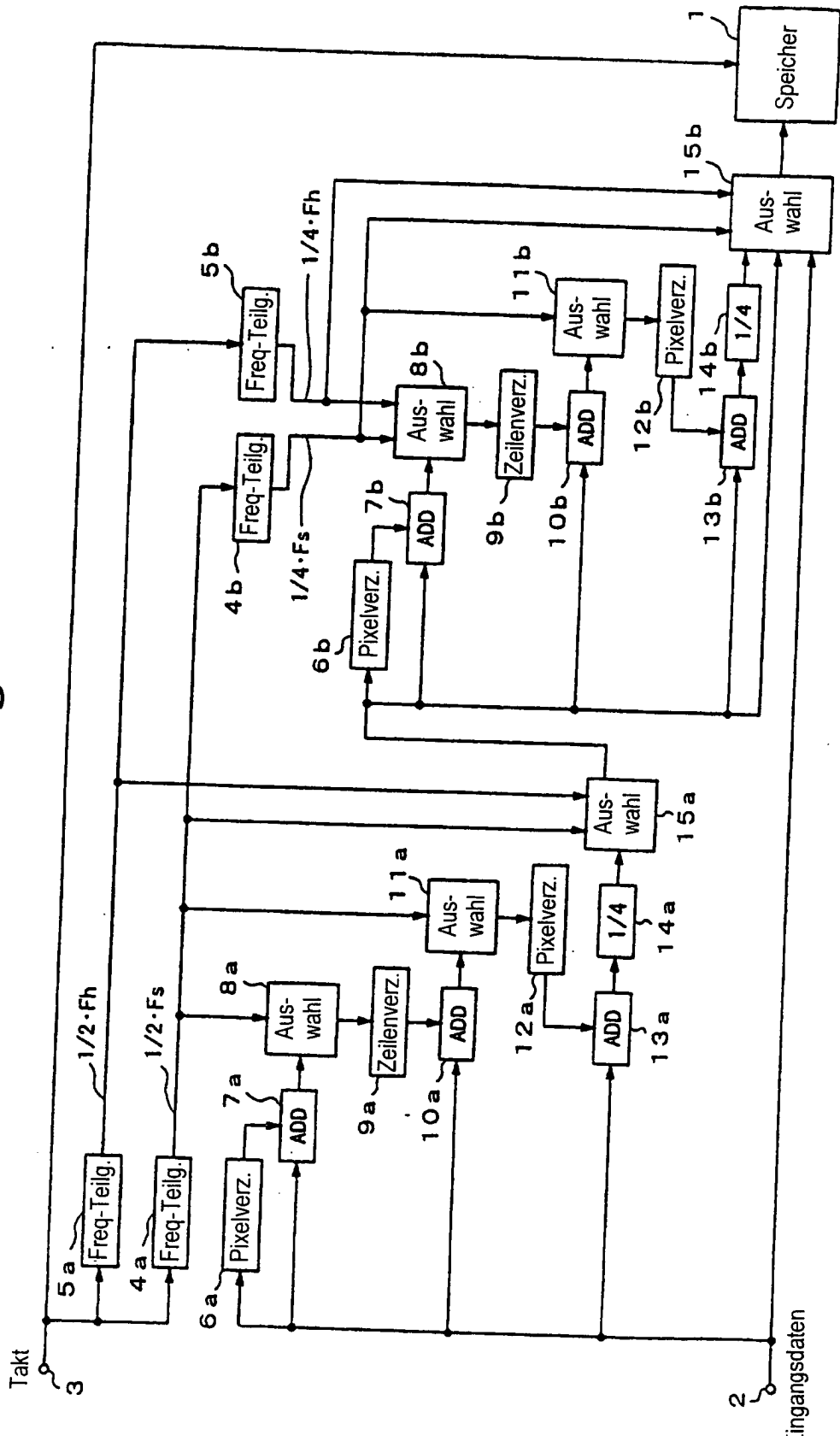


Fig. 7

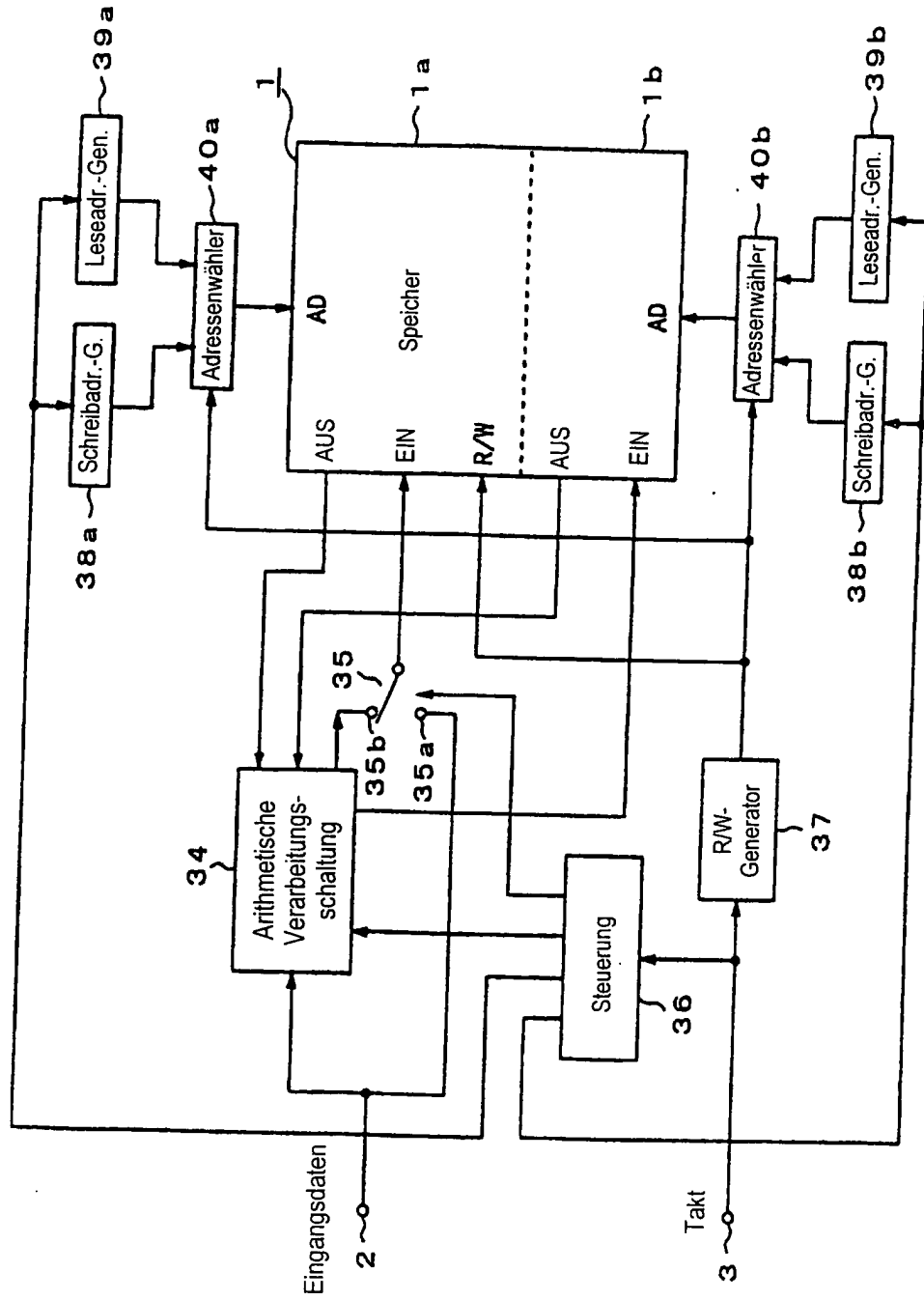


Fig. 8

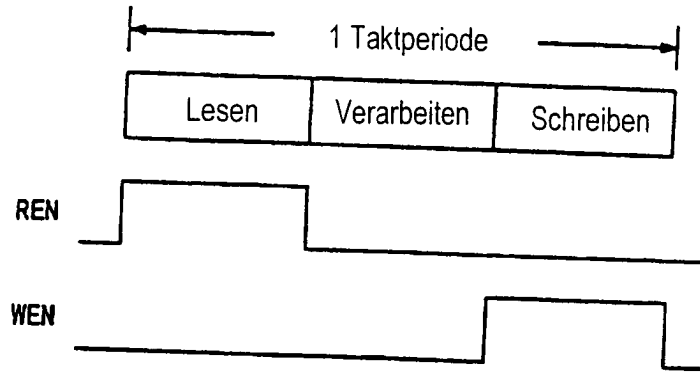


Fig. 9A

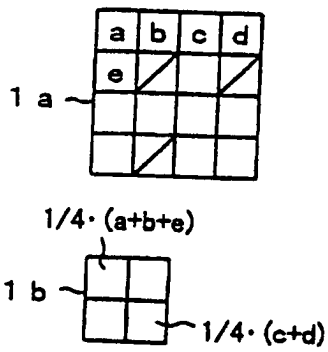


Fig. 9B

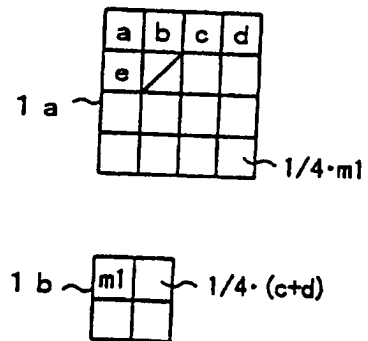


Fig. 9C

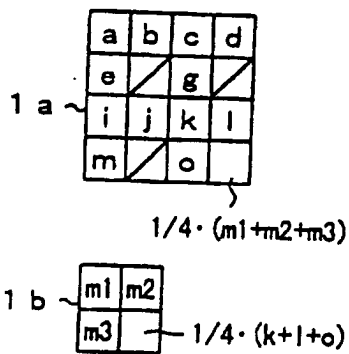


Fig. 9D

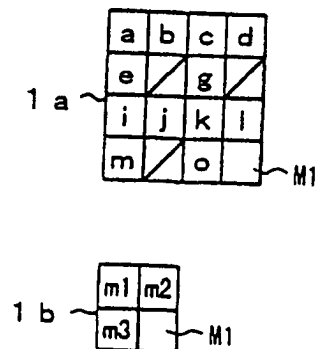


Fig. 10

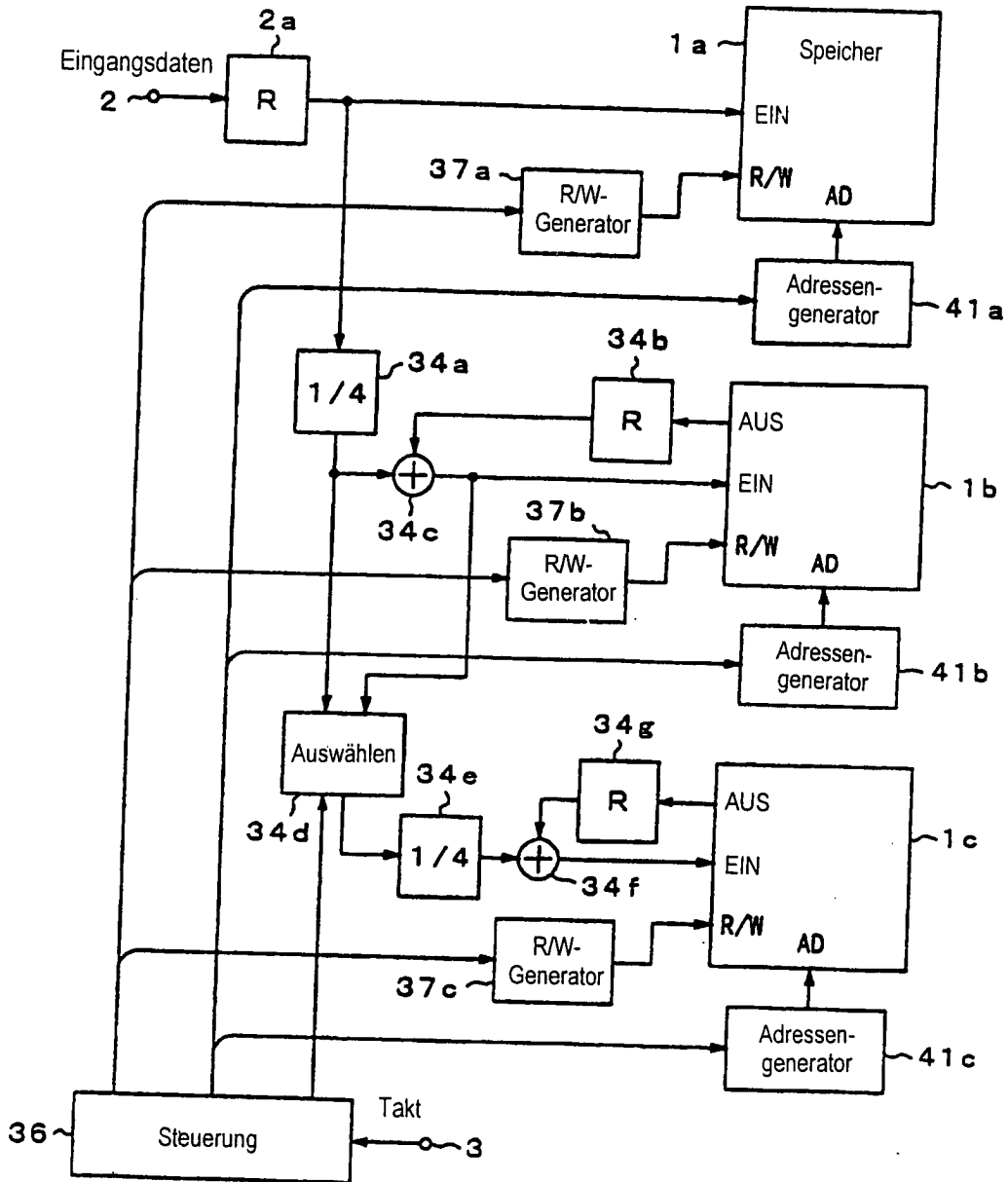


Fig. 11A

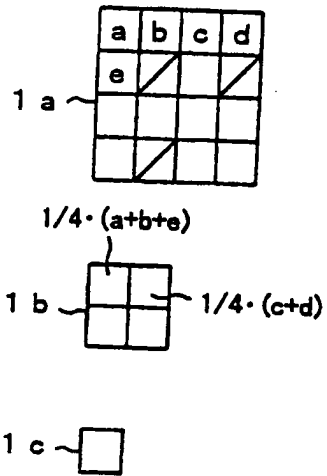


Fig. 11B

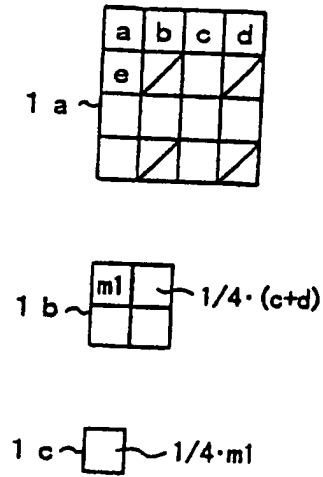


Fig. 11C

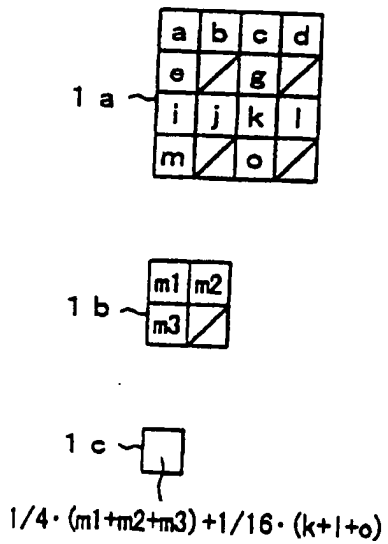


Fig. 11D

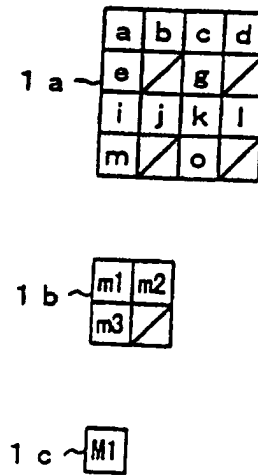


Fig. 12

	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p
a	a															
b		b														
c			c													
d				d												
e					e											
f	a	a+b			a+b+e	m1										
g							g									
h							a+d+g	m2								
i									i							
j										j						
k											k					
l												l				
m													m			
n										i+j			i+j+m	m3		
o															o	
p						m1		m1+m2			m1+m2 +1/4k	m1+m2 +1/4(k+1)		m1+m2+m3 +1/4(k+1)	m1+m2+m3 +1/4(k+1+o)	M1