



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월04일
(11) 등록번호 10-2393577
(24) 등록일자 2022년04월28일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 14/00 (2006.01) G11C 11/412 (2006.01)</p> <p>(52) CPC특허분류
G11C 14/0063 (2013.01)
G11C 11/412 (2013.01)</p> <p>(21) 출원번호 10-2021-0004442</p> <p>(22) 출원일자 2021년01월13일
심사청구일자 2021년01월13일</p> <p>(56) 선행기술조사문헌
JP2015133817 A*</p> <p>*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
충남대학교 산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)</p> <p>(72) 발명자
이가원
대전광역시 유성구 배울2로 42 신동아@ 503동 1603호</p> <p>정준교
충청북도 청주시 서원구 모충로145번길 5-6
(뒷면에 계속)</p> <p>(74) 대리인
이은철, 김재문</p> |
|--|--|

전체 청구항 수 : 총 1 항

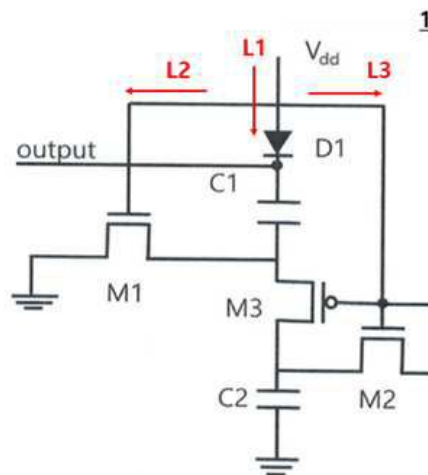
심사관 : 윤석채

(54) 발명의 명칭 비휘발성 메모리의 임시 전력을 공급하는 자동 저장 회로

(57) 요약

본 발명은, 입력전압(V_{dd})의 차단시 자동으로 비휘발성 메모리의 임시 전력을 공급하는 자동 저장(Auto-Store) 회로에 있어서, 입력전압(V_{dd})이 인가되는 복수개의 반도체 스위치와, 입력전압(V_{dd})의 온/오프(on/off) 상태에 따라 출력전압(V_{out})을 가변시키기 위한 복수개의 커패시터를 포함하고, 복수개의 상기 반도체 스위치는, 입력전압(V_{dd})의 온(on) 상태시 복수개의 상기 커패시터에 입력전압(V_{dd})이 모두 인가되는 스위칭 상태를 제공하고, 복수개의 상기 커패시터는, 입력전압(V_{dd})의 온(on) 상태시 다른 커패시터와 병렬의 전기적 경로를 형성하고, 입력전압(V_{dd})의 오프(off) 상태시 다른 커패시터와 직렬의 전기적 경로를 형성하여, 입력전압(V_{dd})의 차단시 입력전압(V_{dd}) 이상의 출력전압(V_{out})이 출력되는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자
성재영
 대전광역시 유성구 대학로 59 샹그릴라오피스텔
남기령
 대전광역시 유성구 가정로 63 럭키하나아파트

고운산
 세종특별자치시 전의면 운주산로 1206-1
배상현
 대전광역시 유성구 대학로155번길 64 용원빌라 307호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711122428
과제번호	2019M3F3A1A01074449
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래반도체신소자원천기술개발사업
연구과제명	반도체 신소자를 위한 집적/검증 플랫폼 기술 개발
기 여 율	1/2
과제수행기관명	충남대학교
연구기간	2019.06.28 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711112804
과제번호	2019R1A2C1084717
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야기초연구사업
연구과제명	Universal memory 지향의 플래시메모리소자 기반 6T NVSRAM 개발 연구
기 여 율	1/2
과제수행기관명	충남대학교
연구기간	2019.09.01 ~ 2024.02.29

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

입력전압(V_{dd})의 차단 시 자동으로 비휘발성 메모리의 임시 전력을 공급하는 자동 저장(Auto-Store) 회로에 있어서,

입력전압(V_{dd})이 인가되는 입력단에서 3개의 결선 경로가 형성되되, 제1 결선 경로에 마련된 다이오드(D1);

게이트 단이 상기 입력단에 연결되고, 일단은 그라운드를 형성하며, 타단이 하기 제1, 2 커패시터(C1, C2) 사이에 분기점을 형성하도록 연결된 제2 결선 경로에 마련된 제1 반도체 스위치(M1);

제3 결선 경로에 마련된 제2, 3 반도체 스위치(M2, M3);

상기 제1 결선 경로에 출력 노드를 형성하는 제1 커패시터(C1); 및

일단이 그라운드를 형성하고, 타단이 상기 제2, 3 반도체 스위치(M2, M3)와 연결된 제2 커패시터(C2);를 포함하며,

상기 제2 반도체 스위치(M2)는, 게이트 단이 상기 입력단에 연결되고, 일단은 상기 제3 반도체 스위치(M3)의 게이트 단과 연결되며, 타단은 상기 제2 커패시터(C2)와 상기 제3 반도체 스위치(M3) 사이에 분기점을 형성하고,

상기 제3 반도체 스위치(M3)는, 양 단이 상기 제1 커패시터(C1) 및 상기 제2 커패시터(C2)와 각각 연결되며,

상기 제1, 2 반도체 스위치(M1, M2)는 NMOS 소자이며, 상기 제3 반도체 스위치(M3)는 PMOS 소자로서, 입력전압(V_{dd})의 온(on) 상태 시 상기 제1 결선 경로와 상기 제3 결선 경로가 상기 제1, 2 커패시터(C1, C2)의 충전 경로가 되고, 입력전압(V_{dd})의 오프(off) 상태 시 상기 제1 결선 경로에서 출력전압(V_{out})이 형성되는 것을 특징으로 하는 자동 저장(Auto-Store) 회로.

청구항 6

삭제

발명의 설명

기술 분야

본 발명은 비휘발성 메모리의 임시 전력을 공급하는 자동 저장 회로에 관한 것으로서, 특히 입력전압이 차단되

[0001]

어도 자동으로 비휘발성 메모리에 임시 전력을 공급하는 자동 저장 회로에 관한 것이다.

배경 기술

- [0003] 최근 활발하게 연구되는 휴대용 IoT 기기, 웨어러블 기기 등의 무선 기기는 사용할 수 있는 전력에 제한이 존재한다. 이에, 전력 소모를 줄이기 위해 SRAM을 비휘발성을 갖고 동작할 수 있도록 한 nonvolatile SRAM(nvSRAM)에 대한 연구가 이루어졌다. 그 중, 정보 저장 여부를 결정하는 access transistor를 플래시 메모리로 변경한 구조의 nvSRAM은 비휘발성을 갖고 동작할 수 있도록 저장(store) 동작을 거친다. 도 1은 종래의 nvSRAM의 회로도를 나타낸다. 도 1은 Access transistor를 flash memory로 교체한 nvSRAM이다. 도 1과 같은 nvSRAM은 공급되는 전원(V_{dd})이 차단되었을 때, 자동으로 플래시 메모리의 게이트에 V_{dd} 보다 큰 store 전압을 인가하는 회로이다.
- [0004] Store 전압 인가 시 hot electron injection을 통해 두 플래시 메모리의 문턱 전압이 달라지며, 이 상태는 전원이 꺼진 후에도 유지되므로, 메모리가 비휘발성으로 동작하게 한다. Store 동작은 플래시 메모리의 문턱 전압을 변화시켜 SRAM으로써의 동작을 불가능하게 한다. 따라서, store 동작 후엔 erase 동작을 필수적으로 거쳐야 한다. Store와 erase 동작이 증가하면 소모 전력이 증가하므로 저전력 동작에 불리하다.
- [0005] 또한, Store 동작을 시행하기 전 예기치 못하게 전원이 꺼질 경우, 메모리 내부에 기록되었던 정보는 모두 소실되어 비휘발성 동작에 문제가 발생할 수 있다. 따라서, nvSRAM 동작에 영향을 미치지 않고 자동으로 store 동작을 수행할 수 있는 자동 저장(Auto-store) 회로가 고려될 수 있다. 종래의 특허문헌으로, 한국공개특허 제10-2005-0069213호와 같이 nvSRAM의 관련특허가 개시되나, nvSRAM의 저전력 및 store 전압의 인가 없이 store 동작을 수행시키는 보상 회로에 대한 선행문헌은 개시되지 않고 있다.
- [0006] 이에, 본 출원인은 임의로 store 전압을 인가할 필요 없이 자동으로 비휘발성 메모리에 store 동작을 수행할 수 있게 하여 비휘발성 및 저전력 특성을 갖고 동작할 수 있는 자동 저장 회로를 고안하게 되었다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 한국공개특허 제10-2005-0069213호

발명의 내용

해결하려는 과제

- [0009] 본 발명은 비휘발성 메모리에 입력되는 전원(V_{dd})의 온/오프 상태에 따라 출력전압(V_{out})의 크기가 변하는 자동 저장(Auto-store) 회로를 제공하고자 한다. 특히, 본 발명은 전원(V_{dd})의 오프 상태에서 출력전압(V_{out})의 최대 크기가 V_{dd} 보다 크게 형성되어, 전력 차단 시 nvSRAM의 현재 정보의 저장 동작을 위한 전력을 공급하고, 자동으로 store 동작을 수행할 수 있는 자동 저장 회로를 제공하고자 한다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위하여 본 발명은, 입력전압(V_{dd})의 차단시 자동으로 비휘발성 메모리의 임시 전력을 공급하는 자동 저장(Auto-Store) 회로에 있어서, 입력전압(V_{dd})이 인가되는 복수개의 반도체 스위치와, 입력전압(V_{dd})의 온/오프(on/off) 상태에 따라 출력전압(V_{out})을 가변시키기 위한 복수개의 커패시터를 포함하고, 복수개의 상기 반도체 스위치는, 입력전압(V_{dd})의 온(on) 상태시 복수개의 상기 커패시터에 입력전압(V_{dd})이 모두 인가되는 스위칭 상태를 제공하고, 복수개의 상기 커패시터는, 입력전압(V_{dd})의 온(on) 상태시 다른 커패시터와 병렬의 전기적 경로를 형성하고, 입력전압(V_{dd})의 오프(off) 상태시 다른 커패시터와 직렬의 전기적 경로를 형성하여, 입력전압(V_{dd})의 차단시 입력전압(V_{dd}) 이상의 출력전압(V_{out})이 출력되는 것을 일 특징으로 한다.
- [0012] 바람직하게, 복수개의 상기 반도체 스위치는, NMOS 또는 PMOS의 모스펫 반도체 소자일 수 있다.

- [0013] 바람직하게, 본 발명에 따른 자동 저장 회로는 상기 커패시터의 방향으로 바이어스 되도록 결선된 다이오드(D1)를 더 포함할 수 있다.
- [0014] 바람직하게, 복수개의 상기 커패시터는, 상기 다이오드(D1)가 바이어스된 경로로 입력전압(V_{dd})의 충전이 수행되는 제1 커패시터(C1)와, 상기 반도체 스위치의 동작으로 입력전압(V_{dd})의 충전이 수행되는 제2 커패시터(C2)를 포함할 수 있다.
- [0015] 또한, 본 발명은 입력전압(V_{dd})의 차단 시 자동으로 비휘발성 메모리의 임시 전력을 공급하는 자동 저장(Auto-Store) 회로에 있어서, 입력전압(V_{dd})이 인가되는 3개의 결선 경로가 형성되되, 제1 결선 경로에 마련된 다이오드(D1); 제2 결선 경로에 마련되고, 일단이 그라운드를 형성하는 제1 반도체 스위치(M1); 제3 결선 경로에 마련된 제2, 3 반도체 스위치(M2, M3); 상기 제1 결선 경로에 출력 노드를 형성하는 제1 커패시터(C1); 및 일단이 그라운드를 형성하고, 타단이 상기 제2, 3 반도체 스위치(M2, M3)와 연결된 제2 커패시터(C2);를 포함하여, 입력전압(V_{dd})의 온(on) 상태시 상기 제1 결선 경로와 상기 제3 결선 경로가 상기 제1, 2 커패시터(C1, C2)의 충전 경로가 되고, 입력전압(V_{dd})의 오프(off) 상태시 상기 제1 결선 경로에서 출력전압(V_{out})이 형성되는 것을 다른 특징으로 한다.
- [0016] 바람직하게, 상기 제2 결선 경로는 비휘발성 메모리와 연결시 상기 제1 반도체 스위치(M1)의 그라운드를 형성하는 일단이 상기 비휘발성 메모리와 연결되어, 입력전압(V_{dd})의 오프(off) 상태시 입력전압(V_{dd}) 이상의 출력전압(V_{out})을 상기 비휘발성 메모리에 공급할 수 있다.

발명의 효과

- [0018] 본 발명에 따른 자동 저장(Auto-Store) 회로는, 플래시 메모리를 이용하는 nvSRAM 소자의 store 동작을 위해 전원이 꺼진 후, 입력전압인 V_{dd} 보다 큰 전압을 자동으로 출력할 수 있도록 회로가 구성된다. 본 발명에 따른 자동 저장 회로는 회로의 공정과 표준 CMOS 공정을 비교하였을 때, 커패시터의 bottom electrode를 제외한 모든 과정이 호환 가능하므로, 기존 SRAM 공정과 쉽게 호환하여 활용할 수 있는 이점이 있다.
- [0019] 또한, 본 발명은 커패시터의 용량을 높여 V_{dd} 가 켜져 있을 경우 저장되는 전하량을 늘린다면, 1개의 auto-store 회로만으로 여러 nvSRAM의 셀에 store 전압을 공급할 수 있다. 따라서, 기존 nvSRAM과 동시에 공정시 auto-store 회로의 제작에 필요한 추가 비용도 적은 이점이 있다.

도면의 간단한 설명

- [0021] 도 1은 종래의 nvSRAM의 회로도들을 나타낸다.
- 도 2는 본 발명의 실시예에 따른 자동 저장(Auto-store) 회로도들을 나타낸다.
- 도 3은 입력전압(V_{dd})의 온(on) 상태시의 자동 저장 회로 동작을 나타낸다.
- 도 4는 입력전압(V_{dd})의 오프(off) 상태시의 자동 저장 회로 동작을 나타낸다.
- 도 5는 본 발명의 실시예에 따른 자동 저장 회로의 단면도를 나타낸다.
- 도 6은 비휘발성 메모리(nvSRAM)과 연결된 자동 저장 회로의 모습을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면들에 기재된 내용들을 참조하여 본 발명을 상세히 설명한다. 다만, 본 발명이 예시적 실시 예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일 참조부호는 실질적으로 동일한 기능을 수행하는 부재를 나타낸다.
- [0023] 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해 질 수 있으며, 하기의 기재만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.

- [0024] 도 2는 본 발명의 실시예에 따른 자동 저장(Auto-store) 회로도(1)를 나타낸다.
- [0025] 도 2를 참조하면, 본 실시예에 따른 자동 저장 회로(1)는 다이오드(D1), 복수개의 커패시터(C1, C2), 복수개의 반도체 스위치(M1, M2, M3)를 포함하여 구성될 수 있다.
- [0026] 본 실시예에 따른 자동 저장 회로(1)는 nvSRAM과 같은 비휘발성 메모리에 연결되어 임의의 store 전압 인가 없이도 자동으로 store 동작을 수행하여, 비휘발성 및 저전력의 특성을 갖고 동작할 수 있다.
- [0027] 본 실시예에 따른 자동 저장 회로(1)는 입력전압(V_{dd})이 인가되는 복수개의 반도체 스위치와, 입력전압(V_{dd})의 온/오프(on/off) 상태에 따라 출력전압(V_{out})을 가변시키기 위한 복수개의 커패시터 및 커패시터의 방향으로 바이어스 되도록 결선된 다이오드(D1)를 포함할 수 있다.
- [0028] 본 실시예에 따른 자동 저장 회로(1)는 복수개의 반도체 스위치와, 복수개의 커패시터 및 다이오드(D1)가 구비된 회로로서, 입력전압(V_{dd})이 인가되는 3개의 결선 경로가 형성된다. 본 명세서에서 지칭하는 결선 경로는 회로도의 소자의 결합 관계를 명확하게 설명하기 위한 회로도의 전기적 경로를 지칭한다. 3개의 결선 경로는 각 제1 결선 경로(L1), 제2 결선 경로(L2), 및 제3 결선 경로(L3)로 명명한다. 본 명세서에서 지칭하는 제1 결선 경로(L1), 제2 결선 경로(L2), 및 제3 결선 경로(L3)는 입력 전원이 인가되는 입력단의 노드로부터 분기된 회로 라인을 지칭하며, 분기된 회로 라인은 후술하게 될 반도체 스위치 소자의 스위칭으로 변경될 수 있다.
- [0029] 복수개의 반도체 스위치는, 입력전압(V_{dd})의 온(on) 상태시 복수개의 커패시터에 입력전압(V_{dd})이 모두 인가되는 스위칭 상태를 제공할 수 있다.
- [0030] 다이오드(D1)는 제1 결선 경로(L1)에 마련될 수 있다.
- [0031] 복수개의 반도체 스위치는 NMOS 또는 PMOS의 모스펫 반도체 소자일 수 있다. 복수개의 반도체 스위치는 제1, 2, 3 반도체 스위치(M1, M2, M3)를 포함할 수 있다. 본 실시예로, 제1, 2 반도체 스위치(M1, M2)는 NMOS 소자일 수 있다. 제3 반도체 스위치(M3)는 PMOS 소자일 수 있다.
- [0032] 제1 반도체 스위치(M1)는 제2 결선 경로(L2)에 마련되고, 일단이 그라운드를 형성할 수 있다. 제1 반도체 스위치(M1)는 일단이 그라운드를 형성하고, 타단이 입력단에 연결되며, 또 다른 타단이 제1, 2 커패시터(C1, C2) 사이에 분기점을 형성하도록 연결된다. 제1 반도체 스위치(M1)는 게이트 단이 입력단에 연결되어, 전원이 인가된 경우, 제1, 2 커패시터(C1, C2) 사이에 분기점으로 전류 경로를 형성시킨다. 보다 상세하게, 제1 반도체 스위치(M1)는 입력전원(V_{dd})의 온 상태시 제1 커패시터(C1)의 타단을 그라운드로 도통시켜 제1 커패시터(C1)에 입력전압(V_{dd})이 충전되도록 스위칭 된다.
- [0033] 제2, 3 반도체 스위치(M2, M3)는 제3 결선 경로(L3)에 마련될 수 있다.
- [0034] 제2 반도체 스위치(M2)는 게이트 단자가 전원이 인가되는 입력단 및 제3 반도체 스위치(M3)의 게이트 단과 연결될 수 있다. 제2 반도체 스위치(M2)는 게이트 단자에 전원이 인가된 경우, 입력전압(V_{dd})의 전류가 제2 커패시터(C2)에 충전되도록 도통된다.
- [0035] 제3 반도체 스위치(M3)는 PMOS 소자로 제공될 수 있으며 게이트 단자가 전원이 인가되는 입력단 및 제2 반도체 스위치(M2)의 게이트 단과 연결될 수 있다. 제3 반도체 스위치(M3)는 게이트 단자에 전원이 인가된 경우, 소스와 드레인이 차단되어 제1 커패시터(C1)와 제2 커패시터(C2) 사이의 전류 경로를 차단한다. 이에 따라, 제1 커패시터(C1)와 제2 커패시터(C2)는 입력전압(V_{dd})의 온(on) 상태시 전기적으로 병렬로 결선된 등가회로를 형성한다. 즉, 제1 커패시터(C1)와 제2 커패시터(C2)는 각각 입력전압(V_{dd})에 의해 충전된다.
- [0036] 복수개의 커패시터는 입력전압(V_{dd})의 온(on) 상태시 다른 커패시터와 병렬의 전기적 경로를 형성하고, 입력전압(V_{dd})의 오프(off) 상태시 다른 커패시터와 직렬의 전기적 경로를 형성한다. 이에 따라 본 실시예에 따른 자동 저장 회로는 입력전압(V_{dd})의 차단시 입력전압(V_{dd}) 이상의 출력전압(V_{out})이 출력될 수 있다.
- [0037] 복수개의 커패시터는 다이오드(D1)가 바이어스된 경로로 입력전압(V_{dd})의 충전이 수행되는 제1 커패시터(C1)와, 반도체 스위치의 동작으로 입력전압(V_{dd})의 충전이 수행되는 제2 커패시터(C2)를 포함할 수 있다.
- [0038] 제1 커패시터(C1)는 제1 결선 경로(L1)에 출력 노드를 형성할 수 있다.

- [0039] 제2 커패시터(C2)는 일단이 그라운드를 형성하고, 타단이 상기 제2, 3 반도체 스위치(M2, M3)와 연결될 수 있다.
- [0040] 도 2를 참조하여, 제1, 2 커패시터(C1, C2)는 입력전압(V_{dd})이 인가되는 온 상태에서 모두 각각 충전되며, 입력전압(V_{dd})의 차단된 오프 상태에서 각 충전 전압이 직렬로 합산되어 입력전압(V_{dd}) 이상의 전압을 출력단에 형성 시킴에 주목한다.
- [0041] 도 3은 입력전압(V_{dd})의 온(on) 상태시의 자동 저장 회로(1) 동작을 나타낸다. 도 3을 참조하면, 입력전압(V_{dd})이 인가되는 온 상태일 때, 다이오드(D1)는 바이어스된다. 또한, 양의 전압 V_{dd} 가 인가되며, NMOS인 제1 반도체 스위치(M1)와 제2 반도체 스위치(M2)가 켜진다. 또한, PMOS인 제3 반도체 스위치(M3)가 꺼지면서 제1 커패시터(C1)와 제2 커패시터(C2)가 각각 High로 충전된다.
- [0042] 입력전압(V_{dd})이 온 상태인 경우, 출력전압 V_{out} 은 다이오드(D1)의 turn on voltage만큼 강하된 크기를 갖는다.
- [0043] 도 4는 입력전압(V_{dd})의 오프(off) 상태시의 자동 저장 회로(1) 동작을 나타낸다. 도 4를 참조하면, 입력전압(V_{dd})이 차단된 오프 상태일 때, 0V가 입력단으로 인가된다. 이에 따라, 제3 반도체 스위치(M3)가 켜지고, 제1 반도체 스위치(M1)와 제2 반도체 스위치(M2)가 꺼지게 되어 제1 커패시터(C1)와 제2 커패시터(C2)가 동시에 방전된다. 입력전압(V_{dd})이 오프된 경우, 다이오드(D1)는 리버스 바이어스 상태이며, 제1, 2 커패시터(C1, C2)는 입력전압(V_{dd})이 켜졌을 때 저장한 전하를 방출한다. 제1 커패시터(C1)와 제2 커패시터(C2)가 동시에 방전됨에 따라 본 실시예에 따른 자동 저장 회로(1)는 출력전압(V_{out})이 입력전압(V_{dd})보다 커지게 된다. 출력전압 V_{out} 은 제1, 2 커패시터(C1, C2)의 전하에 의한 전압의 합으로 $V_{c1}+V_{c2}$ 가 될 수 있다.
- [0044] nvSRAM의 플래시 메모리의 문턱 전압은 입력전압(V_{dd})이 오프된 경우 자동 저장 회로(1)의 출력전압(V_{out})을 받기 전엔 V_{dd} 보다 작고 자동 저장 회로(1)의 입력을 받은 후엔 V_{dd} 보다 크다. 다이오드(D1)의 breakdown voltage의 크기는 입력전압(V_{dd})이 오프된 경우 출력되는 V_{out} 전압 보다 크다.
- [0045] 도 5는 본 발명의 실시예에 따른 자동 저장 회로(1)의 단면도를 나타낸다. 도 5에 따른 자동 저장 회로(1)는 공정 시 표준 CMOS 공정에 MOSFET gate oxide를 형성하기 전, 제1, 2 커패시터(C1, C2)의 bottom electrode를 증착한 후 에칭하는 과정이 추가될 수 있다. 본 실시예에 따른 자동 저장 회로(1)가 표준 CMOS 공정 과정에서 추가로 필요한 공정을 최소화하여 제작될 수 있다.
- [0046] 1개의 자동 저장 회로(1)는 여러 개의 비휘발성 메모리(nvSRAM)에 연결될 수 있다. 본 실시예에 따른 자동 저장 회로(1)는 여러개의 nvSRAM 셀의 플래시 메모리에 전압을 공급할 수 있다.
- [0047] 도 6은 비휘발성 메모리(nvSRAM)과 연결된 자동 저장 회로(1)의 모습을 나타낸다. 도 6을 참조하면, 제2 결선 경로(L2)는 비휘발성 메모리(nvSRAM)와 연결시 제1 반도체 스위치(M1)의 그라운드를 형성하는 일단이 비휘발성 메모리(nvSRAM)와 연결되어, 입력전압(V_{dd})의 오프(off) 상태시 입력전압(V_{dd}) 이상의 출력전압(V_{out})을 비휘발성 메모리(nvSRAM)에 공급할 수 있다.
- [0048] 본 실시예에 따른 자동 저장 회로(1)는 자동으로 nvSRAM에 전원이 꺼지기 전 기록된 정보를 비휘발성인 플래시 메모리에 저장하여 전원이 공급된 후 복구할 수 있다.
- [0049] 이상에서 대표적인 실시예를 통하여 본 발명을 상세하게 설명하였으나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리 범위는 설명한 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 특허청구범위와 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태에 의하여 정해져야 한다.

부호의 설명

- [0051] 1: 자동 저장(Auto-store) 회로
L1: 제1 결선 경로

도면6

