



(12)发明专利

(10)授权公告号 CN 104170254 B

(45)授权公告日 2017.04.05

(21)申请号 201380013542.6

(22)申请日 2013.03.15

(65)同一申请的已公布的文献号

申请公布号 CN 104170254 A

(43)申请公布日 2014.11.26

(30)优先权数据

13/422,132 2012.03.16 US

(85)PCT国际申请进入国家阶段日

2014.09.11

(86)PCT国际申请的申请数据

PCT/US2013/032258 2013.03.15

(87)PCT国际申请的公布数据

W02013/138750 EN 2013.09.19

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 H·P·弗汉尼-扎德

L·A·韦尔塔斯-桑切斯

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.

H03K 17/08(2006.01)

H03K 17/687(2006.01)

(56)对比文件

JP 2003228320 A, 2003.08.15,

US 2006044051 A1, 2006.03.02,

US 2008278135 A1, 2008.11.13,

CN 101330255 A, 2008.12.24,

US 2011025397 A1, 2011.02.03,

Masahito Kanamura, et al. Enhancement-

Mode GaN MIS-HEMTs With n-GaN/i-AlN/n-GaN Triple Cap Layer and High- Gate

Dielectrics.《IEEE Electron Device Letters》.2010,

审查员 毕爽君

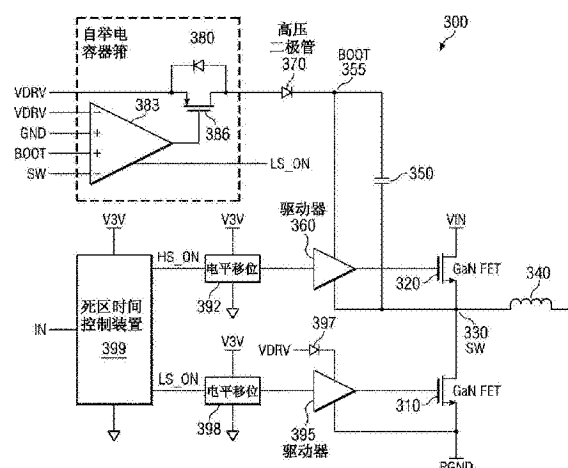
权利要求书2页 说明书6页 附图6页

(54)发明名称

用于保护氮化镓场效应晶体管的栅极的驱动器电路的系统和设备

(57)摘要

一种半桥电源电路(300),其包括:第一氮化镓场效应晶体管(GaN FET)(320);第一驱动器(360),其耦合到第一GaN FET的栅极;电容器的阳极,其耦合到驱动器(350)的输出端以及第一GaN FET的源极;二极管(370),其具有耦合到电容器阴级的阴极;以及自举电容器箱(BCC)控制器,该BCC控制器包含:场效应晶体管(FET)(380),其耦合到二极管的阳极,以及比较器(383),其耦合到FET的栅极,该比较器经配置以接收以下项作为输入:a)表示施加到FET的输入电压(VDRV)的信号;b)地(GND);c)表示电容器的阳极处的电压(BOOT)的启动信号;以及d)表示第一GaN FET的源极处的电压(SW)的信号。



1. 一种电压箝位电路,其包括:

第一氮化镓场效应晶体管即第一GaN FET,其具有栅极、源极和漏极;

第一驱动器,其具有耦合到所述第一GaN FET的所述栅极的输出端;

电容器,其具有阳极和阴极,该阳极耦合到所述第一GaN FET的所述源极;

二极管,其具有阳极和阴极,该阴极耦合到所述电容器的所述阴极;以及自举电容器箝控制器即BCC控制器,其包含:

场效应晶体管即FET,其具有栅极、源极和漏极,该漏极耦合到所述二极管的所述阳极;以及

比较器电路,其具有:

耦合到所述FET的所述栅极的输出端;

至表示施加到所述FET的所述源极的参考电压VDRV的信号的第一连接;

至地电压即GND电压的第二连接;

至表示所述电容器的所述阳极处的电压Boot的启动信号的第三连接;以及

至表示所述第一GaN FET的所述源极处的电压的信号第四连接,

所述比较器电路产生指示所述VDRV电压与地GND之间的差值与所述Boot电压与所述GaN FET的所述源极处的电压的差值的比较的输出信号。

2. 根据权利要求1所述的电路,其包括耦合到所述第一GaN FET的源极的第二GaN FET的漏极,并且所述第一GaN FET是高侧GaN FET且所述第二GaN FET是低侧GaN FET。

3. 根据权利要求2所述的电路,其中电感器耦合到所述第一GaN FET的所述源极。

4. 根据权利要求3所述的电路,其中所述电路包含半桥电压整流器。

5. 根据权利要求1所述的电路,其中所述驱动器是第一驱动器,并且死区时间控制装置耦合到所述第一驱动器的输入端以及第二驱动器,其中所述第二驱动器还耦合到第二GaN FET的栅极,所述第二GaN FET耦合到所述第一GaN FET的所述源极。

6. 根据权利要求1所述的电路,其包括耦合到所述电容器的阴极的所述第一驱动器的上驱动器轨;以及耦合到所述GaN FET的所述源极的所述第一驱动器的下轨。

7. 一种电压箝位电路,其包括:

a) GaN FET,其具有栅极、源极和漏极;

b) 自举电容器箝控制器即BCC控制器,其耦合到所述GaN FET的所述源极,所述BCC控制器包括:

比较器,其具有正输入端、负输入端和输出端;

FET,其具有栅极、源极和漏极,该栅极耦合到所述比较器的所述输出端;

第一隔离开关,其具有栅极并且具有耦合到所述比较器的所述正输入端的源极,所述第一隔离开关的漏极耦合在第一电阻器与第二电阻器之间,其中所述第一电阻器还耦合到电容器的阳极,并且其中所述第二电阻器耦合到地GND;以及

第二隔离开关,其具有栅极并且具有耦合到所述比较器的所述负输入端的源极,所述第二隔离开关的漏极耦合在第三电阻器与第四电阻器之间,其中所述第三电阻器还耦合到表示信号电压即VDRV的信号并且其中所述第四电阻器还耦合到所述GaN FET的所述源极。

8. 根据权利要求7所述的电路,其中所述第一隔离开关以及所述第二隔离开关当在所述第一隔离开关和所述第二隔离开关的所述栅极处接收到低侧接通信号即LS_ON信号时启

动。

9. 根据权利要求7所述的电路,其包括耦合在所述BCC控制器与所述电容器的阴极之间的二极管。

10. 根据权利要求9所述的电路,其中所述电容器耦合在所述二极管与所述GaN FET的所述源极之间。

11. 根据权利要求7所述的电路,其中所述BCC控制器经配置以使所述比较器的所述正输入端与所述比较器的所述负输入端之间的电压差保持基本上恒定。

12. 根据权利要求7所述的电路,其中所述电路包含在集成电路上。

用于保护氮化镓场效应晶体管的栅极的驱动器电路的系统和设备

技术领域

[0001] 本发明总体上涉及电压箝位电路,并且更具体地,涉及用于氮化镓场效应晶体管(GaN FET)的电压箝位电路。

背景技术

[0002] 通常,与诸如饱和的场效应晶体管(FET)的相同电阻($r_{ds(on)}$)的金属氧化物半导体FET(MOSFET)等现有硅FET相比,氮化镓技术能够制造具有较低栅极电容(C_g)以及栅极电荷(Q_g)的功率场效应晶体管(FET)。

[0003] 目前,氮化镓FET(GaN FET)可以比MOSFET好四到五倍(即,这些不同值是硅FET的不同值的1/4到1/5),并且认为GaN FET可以潜在地比MOSFET好100倍。这意味着在同等的功率损耗的情况下,GaN FET能够以高得多的开关频率进行开关。同样,在电源电路中,这意味着在不改变操作频率的情况下,如果使用GaN FET代替MOSFET,那么GaN FET可以帮助达到更高的效率。

[0004] 尽管GaN FET已经可供使用有一段时间,但是在2010年其在制造上的最近的突破已经产生在硅衬底上实施的GaN FET,这使得业界相信在未来几年中GaN FET可以代替MOSFET在至少一部分用途中采用。

[0005] 有关GaN FET的更多信息请参看Stephen L.Colino等人的“Application Note: Fundamentals of Gallium Nitride Power Transistors”,Efficient Power Conversion Corporation(宜普电源转换公司),Copyright 2011,其在此以全文引用的方式并入本文中。另外,请参看M.Kanamura等人的“Enhancement-Mode GaN MIS-HEMTs With n-GaN/i-AlN/n-GaN Triple Cap Layer and High-k Gate Dielectrics”,IEEE Electron Device Letters,2010年3月第3期第31卷,第189至191页,其同样以全文引用的方式并入本文中。

[0006] 然而,存在与GaN FET相关联的缺点。尽管GaN FET具有比硅MOSFET更高的性能,但是它们同样在其使用要求上更加敏感和苛刻。这种敏感性的一个示例是GaN FET的栅极以及源极(V_{gs})对电压偏移敏感。例如,宜普电源转换公司(EPC)增强型GaN FET通常需要5伏驱动信号来实现饱和,但是驱动电压在任何条件下不应超过6伏,因为它会造成GaN FET的“软损坏”($r_{ds(on)}$ 增加)。不同于硅MOSFET,更糟糕的是,GaN FET并不具有体二极管,并且因此,在GaN FET关闭时,如果 V_{ds} 变成负值,那么GaN FET在漏极与源极之间-3伏或-4伏的差值下接通,而不是如同在MOSFET的情况下将出现的体二极管降低电压。

[0007] 因此,在本领域中需要解决与GaN FET相关联的问题中的至少一些。

发明内容

[0008] 第一方面提供一种设备,其包括:第一氮化镓场效应晶体管(GaN FET);第一驱动器,其耦合到第一GaN FET的栅极;电容器的阳极,其耦合到驱动器的输出端以及GAN的源极;二极管,其具有耦合到电容器阴极的阴极。第一方面进一步提供自举电容器箝(BCC)控

制器,其包含:场效应晶体管(FET),其耦合到二极管的阳极;以及比较器,其耦合到FET的栅极,比较器经配置以接收以下项作为输入:a)表示施加到FET的输入电压(VDRV)的信号;b)地;c)表示在电容器的阳极处的电压的启动信号(Boot);以及d)表示在第一GaN FET的源极处的电压的信号。BCC控制器经配置以比较:a) i) VDRV与GND的差值,以产生第一比较信号,与b) ii) Boot与GaN FET的源极的差值,以产生第二比较信号;其中BCC控制器进一步经配置以基于该比较来保持第一比较信号与第二比较信号之间的关系,并且其中BCC控制器进一步经配置以将栅极输出信号驱动到GaN FET来保持这种关系。

[0009] 第二方面提供一种系统,其包括:a) GaN FET;b) 自举电容器箱(BCC)控制器,其耦合到GaN FET的栅极。BCC控制器包括:比较器;FET,FET的栅极耦合到比较器的输出端。BCC控制器进一步包括第一隔离开关,其耦合到比较器的正输入端,第一隔离开关的漏极耦合在第一电阻器与第二电阻器之间,其中第一电阻器还耦合到电容器的阳极,并且其中第二电阻器耦合到地;以及第二隔离开关,其耦合到比较器的负输入端,第二隔离开关的漏极耦合在第三电阻器与第四电阻器之间,其中第三电阻器还耦合到表示信号电压(VDRV)的信号并且其中第四电阻器还耦合到GaN FET的源极。

[0010] 第三方面提供一种系统,其包括:系统,该系统包括第一氮化镓场效应晶体管(GaN FET);第一驱动器,其耦合到第一GaN FET的栅极;电容器的阳极,其耦合到驱动器的输出端以及GaN FET的源极;二极管,其具有耦合到电容器阴极的阴极;以及自举电容器箱(BCC)控制器。在第三方面中,BCC控制器包含场效应晶体管(FET),其耦合到二极管的阳极;以及比较器,其耦合到FET的栅极,比较器经配置以接收以下项作为输入:a)表示施加到FET的源极的输入电压(VDRV)的信号;b)接地;c)表示在电容器的阳极处的电压的启动信号;以及d)表示在第一GaN FET的源极处的电压的信号。在第三方面中,自举电容器箱经配置以比较:a) i) VDRV与GND的差值,以产生第一比较信号,与b) ii) Boot与SW的差值,以产生第二比较信号;其中BCC控制器经配置以基于该比较来保持第一比较信号与第二比较信号之间的关系,并且其中BCC控制器进一步经配置以将栅极输出信号驱动到耦合到第一GaN FET的源极的第二GaN FET的漏极;耦合到第一GaN FET的源极的电感器;以及耦合到第一GaN FET的源极的第二GaN FET的漏极。

附图说明

[0011] 图1说明采用低侧MOSFET以及高侧GaN FET的现有技术半桥功率级;

[0012] 图2说明采用变压器的现有技术GaN FET驱动器系统;

[0013] 图3说明采用带有根据本申请的原理构建的驱动器电路的低侧以及高侧GaN FET的半桥功率级的示例;

[0014] 图4是用于GaN FET的自举电容器箱(BCC)控制器的示例,例如,可用于图3的半桥功率放大器;以及

[0015] 图5是瞬态输入电压以及半桥功率级的不同节点两端的不同所得电压的说明,其中半桥功率级采用具有图3的驱动器电路以及图4的BCV电路的低侧以及高侧GaN FET。

具体实施方式

[0016] 转向图1,所说明的是采用低侧MOSFET 110以及高侧GaN FET 120的现有技术半桥

功率级100。功率级100的(SW)开关节点130耦合到GaN FET 120的源极以及MOSFET 110的漏极。电感器140耦合到SW节点130。VIN耦合到GaN FET 120的漏极,GND耦合到MOSFET 110的源极以及栅极。在图1中,MOSFET 110是负通道FET(NFET)。

[0017] 这确保当SW节点130通过其体二极管(未图示)在GND之上一个以上压降时NFET 110可以将漏极传导到源极。然而,当SW节点130高于GND时,NFET 110将不传导,因为低侧NFET 110固有的体二极管定向为漏极到源极,因此其将不传导。

[0018] 启动电容器150的阳极耦合到SW节点130。驱动器160的输出端耦合到GaN FET 120的栅极,驱动器160的负轨还耦合到SW节点130。驱动器160的正轨耦合到启动电容器150的阴极。高压二极管170(例如,从50V到600V的处理容量)的阴极耦合到电容器150的阴极。源极参考电压(例如,5.7伏)耦合到高压二极管170的阳极。

[0019] 在电路100中,VIN电压被用作SW节点130的上轨,并且5.7V被用作VDR。通常,在电路100中,自举电路将为GaN FET 120的栅极提供高于VIN的电压。VDR被充电到电容器中,并且随后被启动以向高侧GaN FET 120的栅极提供VDR+VIN。有关自举电路的更多信息,请参阅Fairchild Corporation(飞兆半导体公司)的“Application Note AN-6076:Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC”,Rev 1.0.0,Copyright 2008,其以全文引用的方式并入本文中。

[0020] 参考图1,诸如半桥功率级100的半桥功率级可以与许多电源电路诸如降压电路、升压电路以及隔离降压电路一起使用。然而,在电流限制条件下,即,当控制器检测到高电流穿过系统并且将半桥引至“三态”或在类似故障条件时,半桥可以转到三态,并且,如果在导体中仍存在离开半桥100的电流,那么电流从低侧NFET 110中被吸取。这可以通过NFET 110的固有体二极管。有关“三态”的更多信息,请参阅Wikipedia,The Free Encyclopedia(维基百科)2012年2月2日的“三级逻辑”,其以全文引用的方式并入本文中。

[0021] 然而,存在与“混合”系统诸如图1的采用低侧MOSFET 110以及高侧GaN FET 120的半桥功率级100相关联的问题。例如,由于在与相同操作频率下与GaN FET 120相比时其更高的 $r_{ds(on)}$ 等此类因素,因此NFET 110约束半桥功率级100的操作特性,由此针对采用GaN FET技术的各种优点,不利于半桥电路100的操作。

[0022] 通常,如本发明人所理解的,混合设计的一个问题在于并非所有的GaN的可能的益处都可以被使用。换句话说,在两种FET上发生开关损耗。如果在系统中仅一个具有GaN的FET在高频下工作,那么这是低效的。此外,存在明显的整合问题。

[0023] 图2说明采用GaN FET 210、220、230、240来驱动电容器250两端的输出电压的现有技术浮动变压器系统200。然而,变压器系统200采用变压器260以帮助实现这些目标。变压器通常是大型的、笨重的、昂贵的、通常不可以被集成到在集成电路内,并且往往会在性能参数上有显著的变化。

[0024] 图3说明采用具有驱动器电路的低侧GaN FET 310以及高侧GaN FET 320、包含自举电容器箱(BCC)控制器380的半桥功率级300的示例。

[0025] 功率级300的SW节点330耦合到GaN FET 320的源极以及GaN FET 310的漏极。电感器340耦合到SW节点330。VIN耦合到GaN FET 320的漏极,并且GND耦合到GaN FET 110的源极。

[0026] 启动电容器350的阳极耦合到SW节点330。驱动器360的输出端耦合到GaN FET 320

的栅极,高侧驱动器360的负轨也耦合到SW节点330。高侧驱动器360的正轨耦合到电容器150的阴极。高压二极管370的阴极耦合到电容器350的阴极。

[0027] 在半桥功率级300中,自举电容器箝 (BCC) 控制器380耦合到二极管370的阳极。BCC控制器380包含比较器383以及MOSFET 386 (例如,PFET)。MOSFET 386的漏极接收在其源极处的参考电压VDRV。通常,VDRV可以被看作是用于驱动器360以及因此高侧GaN FET 320的栅极的“理想”高压轨 (减去二极管370两端的压降)。

[0028] BCC控制器380在比较器383的输入端处包含VDRV、GND、来自启动节点355的信号以及来自SW节点330的信号。比较器383的输出端耦合到MOSFET 386的栅极。BCC控制器380还采用LS_ON信号,如将参考图4进一步详细说明的。

[0029] 半桥功率级300进一步包含耦合到驱动器360的输入端的电压电平移位器 (VLS) 392以及耦合到低侧驱动器395的输入端的VLS 398。低侧驱动器395的输出端耦合到低侧GaN FET 310的栅极。低侧驱动器395的高压轨通过高压二极管397耦合到VDRV,并且低侧驱动器395的低压轨耦合到GND上。在一些方法中,PGND以及GND被连接在单点上以最小化开关噪声影响。

[0030] 在电路300中,死区时间控制电路399在高侧GaN FET 320通过HS_ON信号接通时驱动驱动器360,并且在低侧GaN FET 320通过LS_ON信号接通时驱动驱动器395。

[0031] 在半桥功率级300中,VIN电压被用作SW节点330的较高电压范围,并且BCC 380被用于对启动电容器350供电。通常,关于电路100的低侧GaN FET而不是低侧MOSFET的使用,在GaN FET内不存在体二极管来传导电流。在电流限制条件或类似故障条件下,半桥可以转到三态,如果在电感器中仍存在离开半桥的电流,那么电流将从低侧GaN FET中被吸取。

[0032] 然而,这在现有技术配置中产生问题,因为增强型 (EM) GaN FET不具有体二极管,并且当耦合到SW节点的漏极处于-3伏或-4伏 (取决于电流) 时,EM GaN FET将开始传导源极到漏极。在该电压的此时间期间 (其可以是半桥以及全桥的若干开关周期) 这可能耗时多达几百毫秒。

[0033] 通常,自举电容器在低侧FET关闭周期期间被充电至驱动电压VD与开关引脚看到的最负值电压的差值。例如,对于5伏的驱动器电压和在GaN情况下可以转至-3V的SW节点,自举电容器被充电至 $5 - (-3V) = 8V$ 。在下一循环中,自举电容器电压用于接通高侧GaN FET,为其加压8V,这可能损坏装置。因此,在讨论中的GaN FET两端的从漏极至源极的压降是8伏。

[0034] 然而,甚至更成问题的是,当现有技术配置的高侧驱动器接收高侧接通 (HS_ON) 信号时,高侧GaN FET被驱动至上轨,它是自举电容器的阴极的电压,例如可以是5伏。然而,SW节点可能处于-3伏或-4伏,这意味着正施加8伏或9伏作为高侧GaN FET两端的Vgs,超出了GaN FET在不具有显著的可靠性的情况下来处理发生在高侧GaN FET内的问题的能力。这些问题可以包括 $r_{ds(on)}$ 电阻增加、GaN FET的使用寿命缩短,可能导致GaN FET彻底停止工作。

[0035] 电路300能解决这些缺点中的至少一些,并且有利地测量SW节点330的低压限制,由此避免高侧GaN FET 320的栅源电压过驱动。在一个方面中,BCC控制器380经配置以使放大器385的第一输入电压与放大器385的第二输入之间的电压差保持基本上恒定。

[0036] 通常,BCC控制器380感测VDRV、GND、启动节点355以及SW节点330的电压,并且若在VDRV、GND、SW节点330以及启动节点355之中达到某一阈值或达到某种关系则关闭MOSFET

386。在一个示例实施方式中,若启动节点355的电压减去SW节点330处的电压大于VDRV电压减去GND电压,则BCC控制器380内的比较器383关闭MOSFET 380。这有助于防止启动节点355与SW节点330之间(或者换句话说,高侧GaN FET 320的栅极与高侧GaN FET 320的源极之间)电压差的过充电,由此减轻或甚至完全避免 V_{gs} GaN FET 320过充电的问题。

[0037] 在半桥功率级300的一个示例使用中,若开始出现过电流条件或者其它条件,并且SW节点330开始降压,并且以其它方式低侧GaN FET 310开始降压,达到或者接近SW节点330处的-3或-4反向传导电压,则BCC控制器380打开MOSFET 386,其允许在电容器350处的电压随着在SW节点330处的压降而浮动,因此随着SW节点330降压,上部驱动器360的上轨也降压,因为上部驱动器360的上轨耦合到启动节点355。随着上部驱动器360的上轨降压,上侧GaN FET 360的驱动栅极电压也降压。

[0038] 因此,GaN FET 320的栅极的驱动电压并不超出指定关系,例如启动节点355的电压减去SW节点330的电压,由此减轻或甚至完全避免 V_{gs} GaN FET 320过充电的问题。

[0039] BCC控制器380结合启动电容器350的使用提供优于各种现有技术方法的许多优点,例如,图2的浮动变压器系统200,或在高侧GaN FET的栅极与源极之间直接使用齐纳二极管而不是自举电路来产生高侧驱动。

[0040] 在半桥控制器300中,该实施方式与二极管相比成本可以更低,尤其是对于低压到中压范围(例如,中间范围:60伏到100伏)的实施方式。此外,BCC控制器380结合启动电容器350的使用能够产生用于高侧GaN FET 320的广泛的“保护”(即, V_{gs})电压选择,而不是必须围绕各种齐纳二极管的各种固有反向偏置电压来设计),并且更具能量效率,因为BCC控制器380关闭其FET 386以防止GaN FET 320的高侧的 V_{gs} 的过充电,而齐纳二极管始终消耗功率且更甚地可能引起低侧GaN FET的低侧驱动器转至电流限制。

[0041] 此外,在使用60到100V的VIN的高压应用中,本地电源供应5到10V以驱动晶体管的栅极(60/100V晶体管具有60/100的 V_{dsmax} ,但是 V_{gsmax} 是5到10V),因此通常采用低压差(LDO)或降压调节器以产生5到10V。通常,驱动要求是数十毫安,并且所需的LDO或降压是极小的降压,具有50到100mA的最大电流限制。然而,如果箝位电容器与现有技术的MOSFET电路一起使用,那么它可能引起来自这些电路的多于LDO/降压电流限制的电流,并且导致它们的输出电压降低。

[0042] 有利地,半桥控制器300以及BCC控制器380可以被包含在单个集成电路内,这可以带来更低的成本以及更小的面积。

[0043] 图4更详细地说明BCC控制器380。在BCC控制器380内,第一电阻器401耦合到启动节点355。第一电阻器401还在节点405处耦合到第二电阻器402,并且第二电阻器402耦合到GND。在BCC控制器380内,第三电阻器403耦合到VDRV。第三电阻器403还在节点410处耦合到第四电阻器404,并且第四电阻器410耦合到SW节点330。

[0044] 节点405以及节点410分别耦合到高压隔离开关420、425,其中高压MOS针对在SW以及BOOT引脚中看到的高压切换至级联低压电路。第一隔离开关420以及第二隔离开关425耦合到比较器383的正输入端以及负输入端。比较器383的输出端耦合到MOSFET 386。在所说明的示例中,当LS_ON信号开关420、425初被接收时,开关420、425被上驱动,从而分别产生第一比较信号以及第二比较信号。

[0045] BCC控制器380可以如下工作:

[0046] 根据R 401以及402的值的比例(其比较启动电压以及接地电压),产生这两个值之间的加权平均,从而产生与目标启动电压、被施加到高侧GaN FET 320的栅极的假设电压成比例的加权值。根据R 403以及404的值的比例(其比较VDRV电压以及SW电压),产生这两个值之间的加权平均,从而产生与较高范围VDRV目标电压、被施加到GaN FET 320的栅极的电压成比例的加权值。

[0047] 在比较器383内,若启动节点稍低于VDRV节点,但是GND与SW相同,则比较器383向MOSFET 386(其在所说明的方面中是PFET)的栅极施加负电压或接地电压。因此,PFET将接通,因为 V_{gs} 将符合阈值。然而,若启动节点变得高于地,则比较器383关闭MOSFET 386,因为施加到PFET的栅极的将是正信号,由此允许启动节点355电压浮动,保护高侧GaN FET 320的栅极。在BCC控制器380中,VDRV以及GND基本上是固定的,因此随着启动电压上升,MOSFET 386被关闭。此外,随着SW节点330电压下降超过其设定点,MOSFET 386也会关闭。这继而通过允许启动节点355浮动从而保护图3的高侧GaN FET 320的 V_{gs} 。

[0048] 在进一步的方面中,使用隔离开关420、425。当接收到来自图3的死区时间控制装置399的LS_ON信号时,这些隔离开关被启动。因此,BCC 380的比较器383仅在LS_ON信号被接收为高信号时改变其输出。当LS_ON信号不为高时,隔离开关420、425继续输出其最后的值。

[0049] 然而,在此方面中,甚至MOSFET 386应当被接通并且将VDRV施加到高压二极管370,并且因此启动355减去高压二极管370两端的压降,这都不成问题,因为死区时间控制装置399命令驱动器360向GaN FET 320的栅极输出低信号,由此帮助确保GaN FET 320的 V_{gs} 仍然在容差参数内。

[0050] 图5说明不同条件下电路300的同步电压不同节点的仿真的三个图形510、520、530。

[0051] 在图5中,510是启动电容器350两端的电压。520示出图3的SW以及BOOT节点。图形530的顶部是HS_OFF(等效于LS_ON);图形530的底部是PFET 386的栅极。

[0052] 在图5所图示的示例中,VDRV设定成约6V。在此实验中;当高侧FET关闭时(在此示例波形中低侧GaN FET 310始终关闭,示出故障条件),VSW可以转至-1.4V。510波形示出启动电容器350的电压放电以在HS_OFF变为零时接通高侧GaN FET 320。当HS_OFF再次转至“1”时,PMOS 396的栅极转至“零”达20纳秒,使得启动电容器350能够充电至6V的VDRV-GND目标值。一旦启动电容器350被充电至6V,PMOS 380关闭并且防止若未使用电路300或未使用采用本申请案的原理的其它电路可能出现的过充电至7.5V。

[0053] 所属领域的技术人员将了解,在所主张的发明的范围内,许多其它实施例以及变化都是可能的。

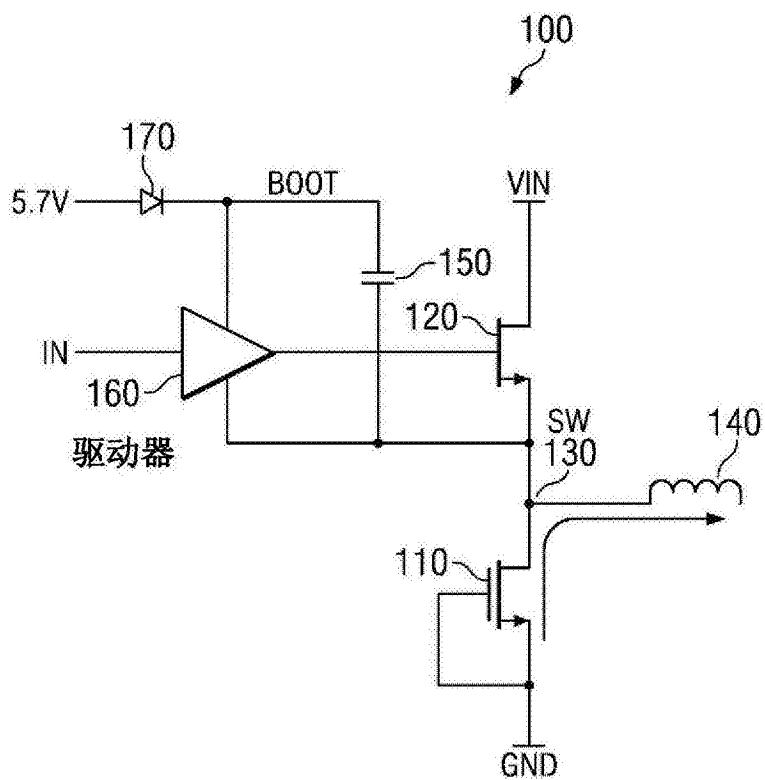


图1 (现有技术)



图2

200

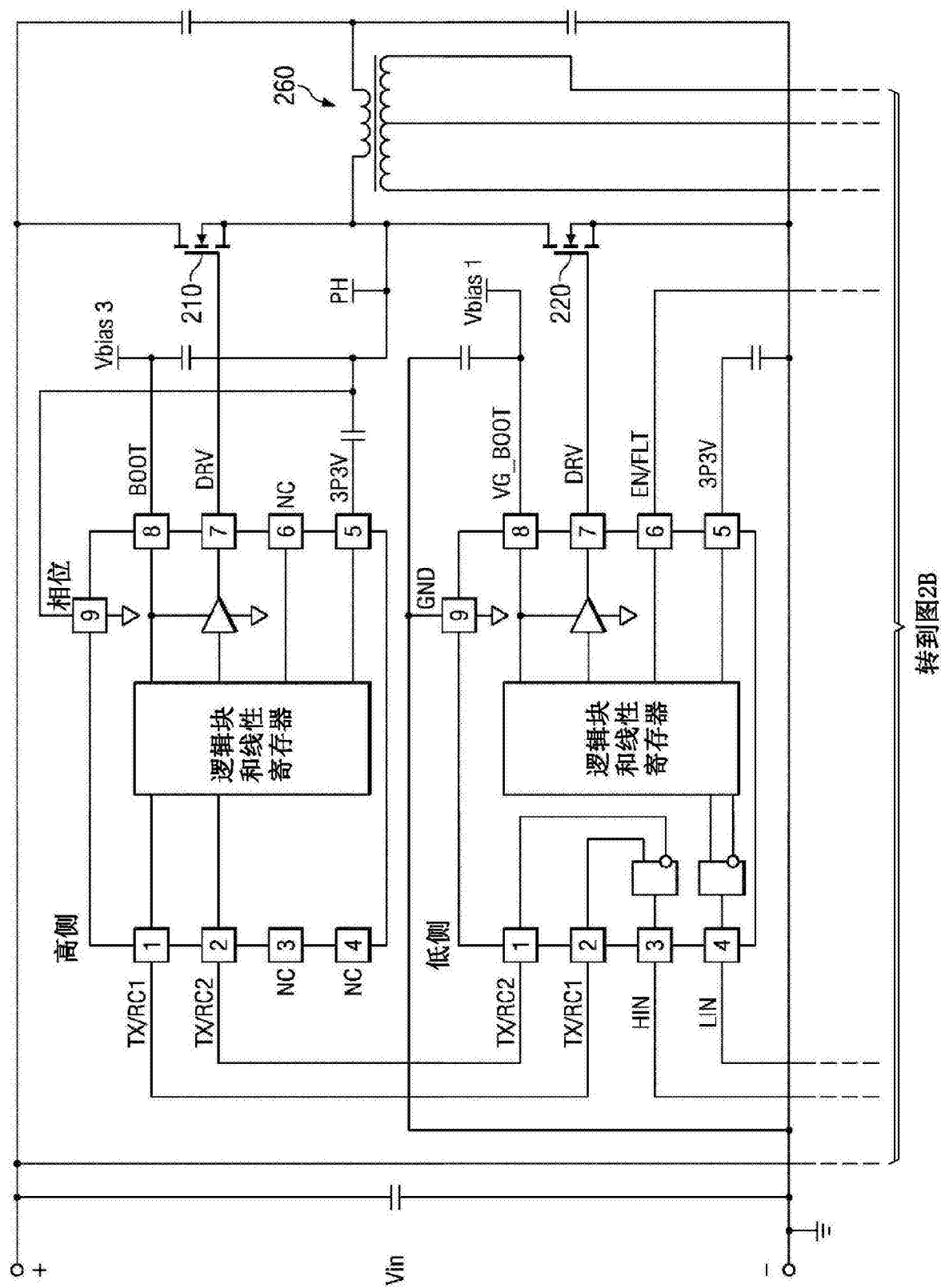


图2A (现有技术)

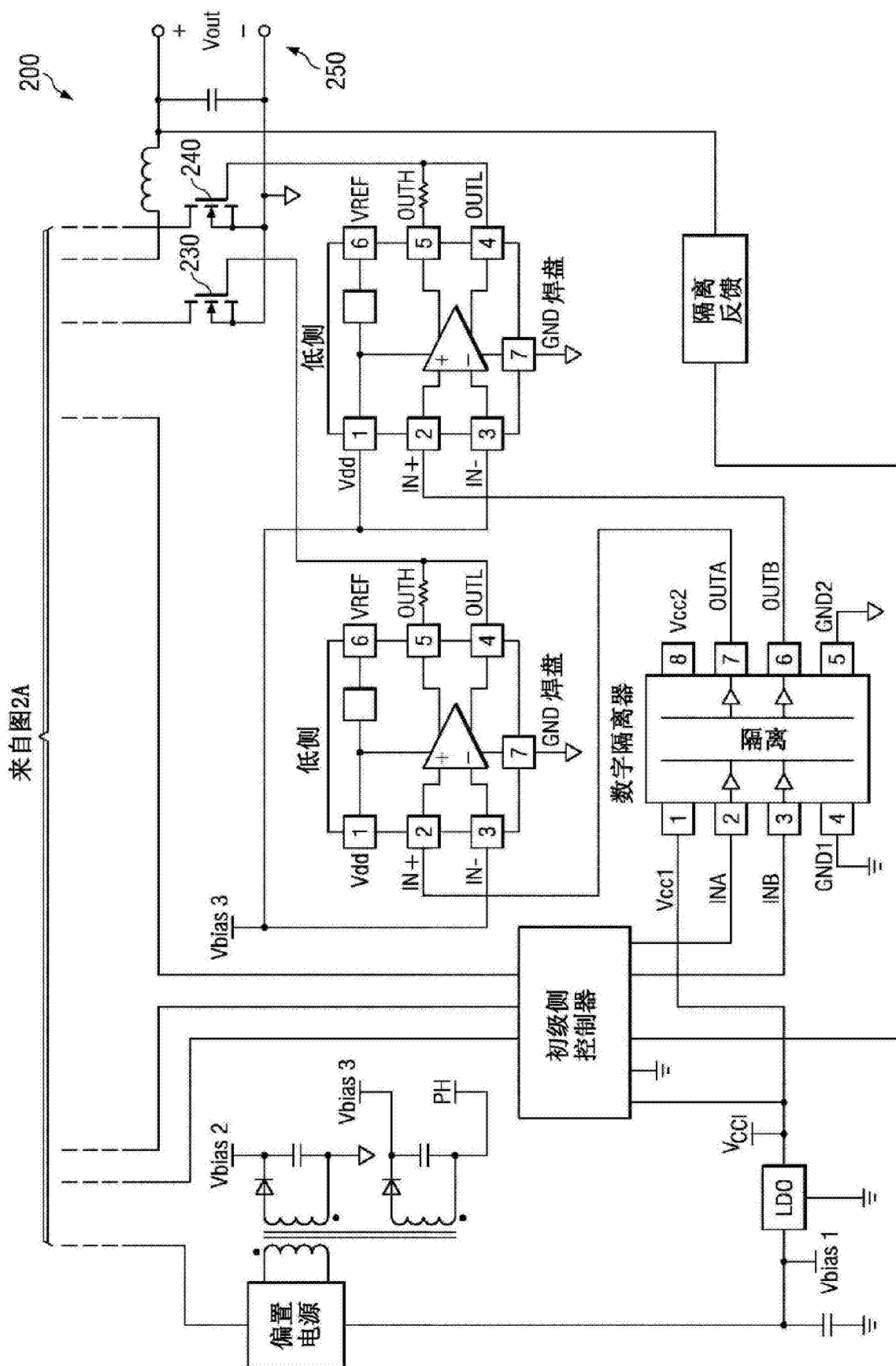


图2B(现有技术)

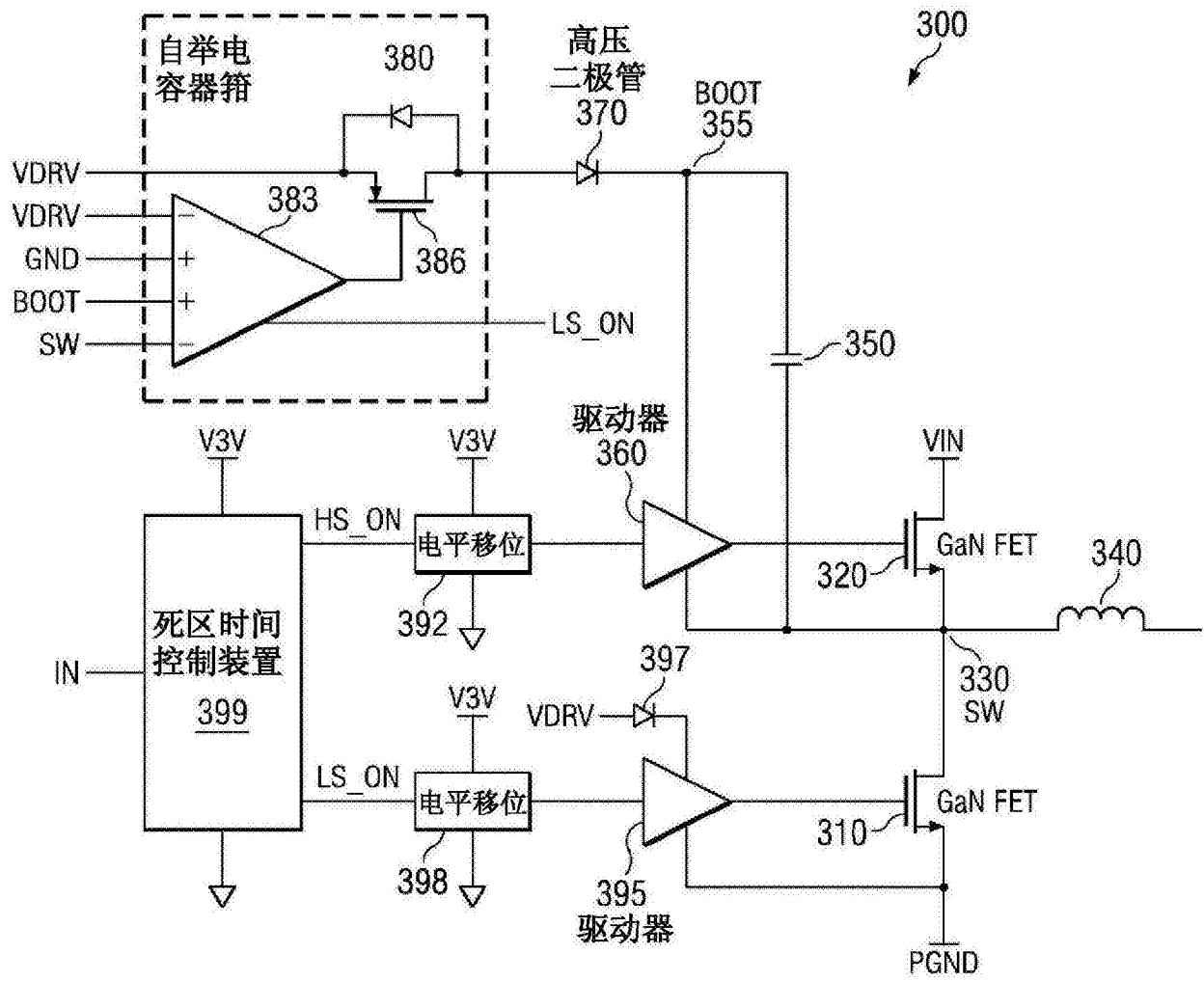


图3

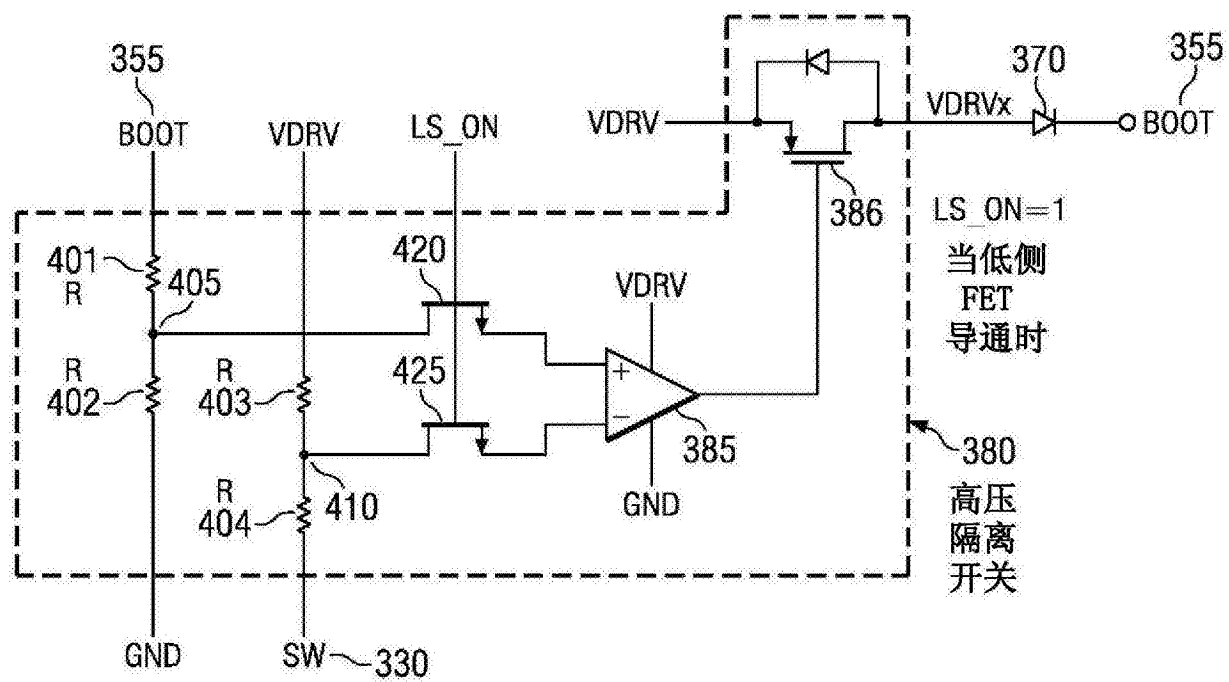


图4

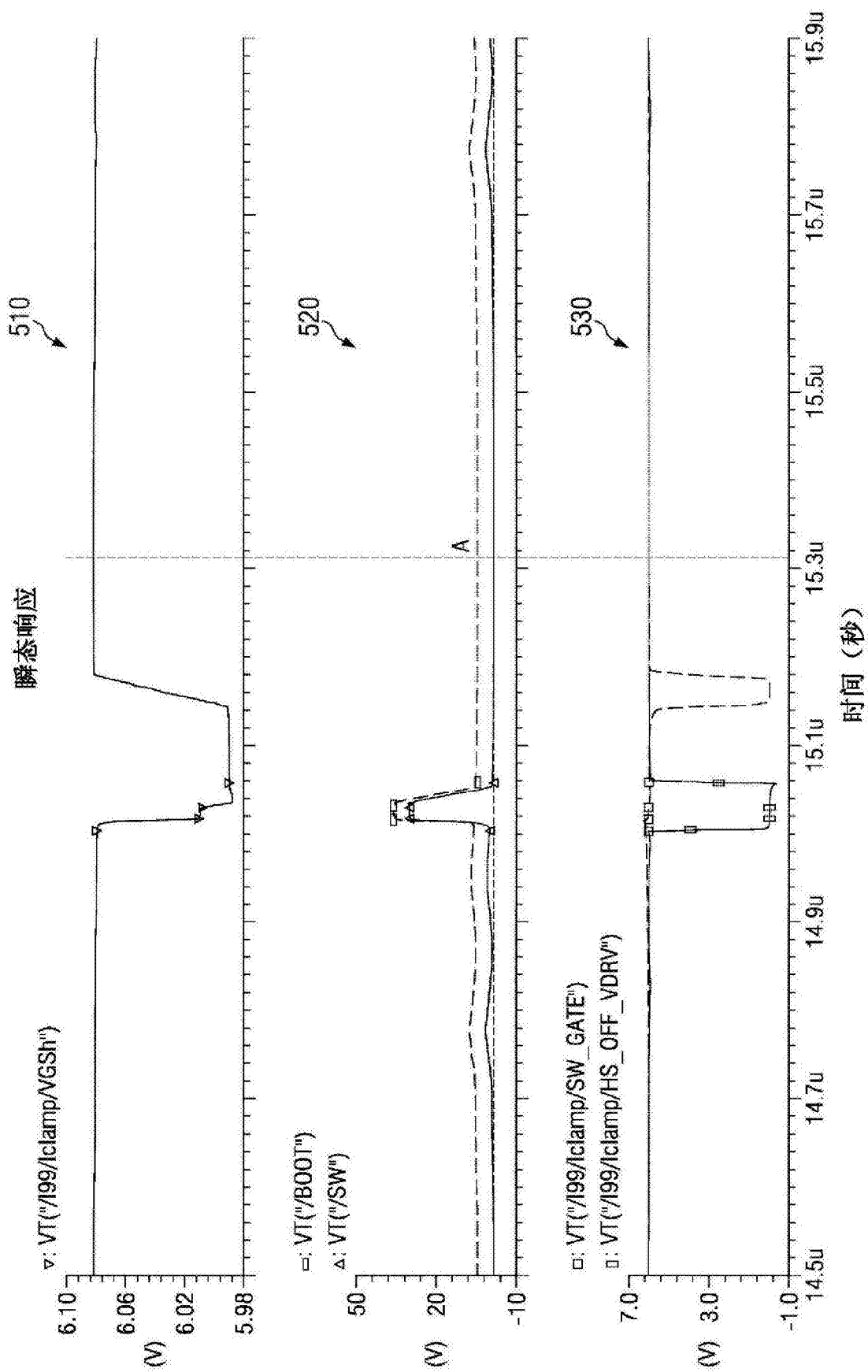


图5