

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-64315

(P2005-64315A)

(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78 3 O 1 G	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28 3 O 1 A	5 F O 4 8
HO 1 L 21/283	HO 1 L 21/283 C	5 F 1 4 O
HO 1 L 21/8238	HO 1 L 29/58 G	
HO 1 L 27/092	HO 1 L 27/08 3 2 1 D	

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号	特願2003-294215 (P2003-294215)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成15年8月18日(2003.8.18)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	森▲崎▼ 祐輔 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	4M104 AA01 BB01 BB02 BB04 BB18 BB37 CC05 DD19 DD21 DD43 DD63 DD71 EE03 EE16 FF13 GG09 GG10 HH20

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

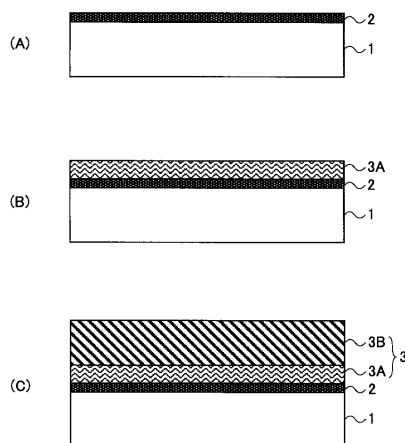
(57) 【要約】

【課題】 高誘電体材料である金属酸化物を含む絶縁膜上に、当該絶縁膜の影響を受ける事無く、平坦な形状の電極を形成することを可能とする半導体装置の製造方法を提供する

【解決手段】 Si 基板上に金属酸化物を含む絶縁膜を形成する第1の工程と、前記絶縁膜上に非晶質Siからなる第1の電極層を成膜する第2の工程と、前記第1の電極層上に多結晶Siからなる第2の電極層を成膜する第3の工程とを有することを特徴とする半導体装置の製造方法を用いる。

【選択図】 図3

(A)~(C)は、実施例1による、高誘電体材料からなる金属酸化物を含む絶縁膜を用いた半導体装置の製造方法を示す図



【特許請求の範囲】

【請求項 1】

Si 基板上に金属酸化物を含む絶縁膜を形成する第 1 の工程と、
前記絶縁膜上に非晶質 Si からなる第 1 の電極層を成膜する第 2 の工程と、
前記第 1 の電極層上に多結晶 Si からなる第 2 の電極層を成膜する第 3 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記絶縁膜は、Hf または Zr を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の電極層の膜厚は、5 nm 以下であることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の電極層の成膜温度は 600 以下であることを特徴とする請求項 1 ~ 3 のうち、いずれか 1 項記載の半導体装置の製造方法。

【請求項 5】

Si 基板と、
前記 Si 基板上に形成された金属酸化物を含む絶縁膜と、
前記絶縁膜上に形成されたゲート電極を具えた半導体装置であって、
前記ゲート電極は、前記絶縁膜上に形成された Si からなる第 1 の電極膜と、前記第 1 の電極膜上に形成された Si からなる第 2 の電極膜からなり、前記第 1 の電極膜の Si の結晶粒が、前記第 2 の電極膜の Si の結晶粒より大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

今日の超高速半導体装置では、微細化プロセスの進歩とともに、0.1 μm 以下のゲート長を有する素子を形成することが可能になってきている。一般に微細化とともに半導体装置の動作速度は向上するが、このように非常に微細化された半導体装置では、ゲート絶縁膜の膜厚を、微細化によるゲート長の短縮に伴って、スケーリング則に従って減少させる必要がある。

【0003】

しかしゲート長が 0.1 μm 以下になると、ゲート絶縁膜に SiO₂ を用いた場合には当該ゲート絶縁膜の膜厚を、1 ~ 2 nm、あるいはそれ以下に設定する必要がある。このように非常に薄いゲート絶縁膜ではトンネル電流が増大し、その結果ゲートリーク電流が増大する問題を回避することができない。

【0004】

そこで、比誘電率が SiO₂ 膜のものよりもはるかに大きく、このため実際の膜厚が大きくても SiO₂ 膜に換算した場合の膜厚が小さい Hf や Zr の酸化物、および当該酸化物を含む絶縁膜に代表される高誘電体材料をゲート絶縁膜に対して適用することが提案されている。このような高誘電体材料を使うことにより、ゲート長が 0.1 μm 以下と、非常に微細な超高速半導体装置において、SiO₂ 膜を用いた場合よりも膜厚の厚いゲート絶縁膜を使うことが可能となり、トンネル効果によるゲートリーク電流を抑制することができる。

【非特許文献 1】結晶成長ハンドブック、日本結晶成長学界、1995、p 232

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

しかし、高誘電体材料からなるゲート絶縁膜上に、多結晶Siからなるゲート電極を形成する場合、当該ゲート絶縁膜上に、金属または金属含有率が多い部分が存在すると、その部分を核に、Siウィスカーが成長してしまう場合がある。

【0006】

図1は、多結晶Siからなるゲート電極膜を形成する場合に、ウィスカーが形成された例を、模式的に示す。

【0007】

図1を参照するに、例えば、Si基板101上に形成した、 HfO_2 や ZrO_2 など、HfまたはZrを含む高誘電体膜102上に、多結晶Siからなるゲート電極膜103を形成する場合に、当該ゲート電極膜103上に、ウィスカー103Aが形成されている。

10

【0008】

図2は、ウィスカーが形成された状態を示す断面SEM（走査型電子顕微鏡）写真である。図2を参照するに、Si基板上に形成された HfO_2 からなる高誘電体膜上に、多結晶Siからなる膜を形成した場合に、ウィスカーが形成されている様子がわかる。

【0009】

特に、HfやZrの酸化物を含む高誘電体膜を形成する場合には、膜中におけるHfやZrなどの金属元素と酸素の比率が化学量論比と異なる場合が多く、当該絶縁膜の表面には金属の含有比率が高い部分が形成されてしまうことがある。このような、当該高誘電体膜上でのHfやZrなどの金属含有率が高い部分では、多結晶Siを形成する場合に結晶の成長速度が大きくなる性質がある。

20

【0010】

そのため、金属酸化物を含むゲート絶縁膜上に、CVD法などの気相堆積法により多結晶Siからなるゲート電極を形成しようとした場合、当該ゲート絶縁膜の表面の金属の含有比率が高い部分を核にして、ウィスカーが発生し、ゲート電極膜形成後の、ゲート電極の加工、例えばフォトリソグラフィによるパターンニングやエッチングが困難になってしまいう問題が生じていた。このようなウィスカーが形成されてしまうと、得られた多結晶膜の膜厚は必然的に不均一になる

【課題を解決するための手段】

【0011】

そこで、本発明では上記の問題点を解決した、新規で有用な半導体装置および半導体装置の製造方法を提供することを課題としている。

30

【0012】

本発明の具体的な課題は、金属酸化物を含む高誘電体絶縁膜上に、ウィスカーの発生を抑制しながら、一様な膜厚の電極膜を形成することができる半導体装置の製造方法を提供することである。

【0013】

本発明の別の課題は、金属酸化物を含む高誘電体絶縁膜と、当該絶縁膜上に形成された平坦で一様な膜厚の電極を備えた半導体装置を提供することである。

【0014】

本発明は、上記の課題を、Si基板上に金属酸化物を含む絶縁膜を形成する第1の工程と、前記絶縁膜上に非晶質Siからなる第1の電極層を成膜する第2の工程と、前記第1の電極層上に多結晶Siからなる第2の電極層を成膜する第3の工程とを有することを特徴とする半導体装置の製造方法により、解決する。

40

【0015】

当該製造方法によれば、Si基板上に形成される絶縁膜上に非晶質Siからなる第1の電極層を形成し、当該第1の電極層上に、多結晶Siからなる第2の電極層を形成することにより、ウィスカーの生成が抑制され、前記第2の電極層が、前記第1の電極層上に平坦な形状で、一様な膜厚に形成される。

【0016】

50

本発明は、特に、前記前記絶縁膜が、HfまたはZrを含む場合に非常に有効である。

【0017】

また、前記第1の電極層の膜厚が、5nm以下であると、半導体装置の電気特性における、前記第1の電極層の電気特性の影響が小さくなり、好適である。

【0018】

また、前記第1の電極層の成膜温度が600以下であると、前記第1の電極層が非晶質Siで形成され、好適である。

【0019】

また、本発明は、上記の課題を、Si基板と、前記Si基板上に形成された金属酸化物を含む絶縁膜と、前記絶縁膜上に形成されたゲート電極を具えた半導体装置であって、前記ゲート電極は、前記絶縁膜上に形成されたSiからなる第1の電極膜と、前記第1の電極膜上に形成されたSiからなる第2の電極膜からなり、前記第1の電極膜のSiの結晶粒が、前記第2の電極膜のSiの結晶粒より大きいことを特徴とする半導体装置により、解決する。

10

【0020】

当該半導体装置によれば、金属酸化物を含む高誘電体絶縁膜と、当該絶縁膜上に形成された平坦で一様な膜厚の電極を備えた半導体装置を提供することが可能になる。

【発明の効果】

【0021】

本発明によれば、金属酸化物を含む高誘電体絶縁膜上に、ウイスキーの発生を抑制しながら、一様な膜厚の電極膜を形成することができる半導体装置の製造方法を提供することが可能となる。

20

【0022】

また、金属酸化物を含む高誘電体絶縁膜と、当該絶縁膜上に形成された平坦で一様な膜厚の電極を備えた半導体装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0023】

次に、本発明の実施の形態に関して図面に基づき、以下に説明する。

【実施例1】

【0024】

図3(A)~(C)は、本発明の実施例1による半導体装置の製造方法を模式的に示す。

30

【0025】

図3(A)を参照するに、Si基板1上に、例えばHfO₂からなる、金属を含む高誘電体膜2を形成する。前記高誘電体膜2の成膜前には、前記基板1に対して、適当な基板洗浄や熱処理酸化、酸窒化、窒化などの前処理などを施しておくことが好ましい。また前記絶縁膜2の成膜後に、適当な熱処理酸化、酸窒化、窒化などの処理を行ってもよい。

【0026】

次に、図3(B)に示す工程において、当該絶縁膜2上に、例えばSiH₄を用いたCVD法(化学気相堆積法)により、成膜温度600以下、例えば成膜温度590で、非晶質Siからなる第1の電極層3Aを形成する。この場合、成膜温度は、前記第1の電極層3Aを非晶質Siにより形成するため、600以下とすることが好ましい。

40

【0027】

次に、図3(C)に示す工程において、前記第1の電極層3A上に、例えばSiH₄を用いたCVD法により、成膜温度600を超える温度、例えば成膜温度620で多結晶Siよりなる第2の電極層3Bを形成し、前記第1の電極層3Aと前記第2の電極層3Bよりなる電極層3を形成する。図3(C)の工程では、成膜温度は、前記第2の電極層3Bを多結晶Siにより形成するため、成膜温度は600を超える設定するのがこのましい。

【0028】

50

このようにして、高誘電体材料を用いたMIS構造を含む半導体装置、例えばMOSトランジスタを含む半導体装置を形成することが可能となる。

【0029】

本実施例においては、図3(B)に示す工程において、非晶質Siからなる第1の電極層3Aを形成した後、当該第1の電極層3A上に、多結晶Siからなる第2の電極層3Bが形成される。そのため、前記高誘電体膜2上に直接多結晶Siが形成されることがない。

【0030】

従来、金属を含む絶縁物、例えばHfまたはZrの酸化物を含む絶縁膜上に、多結晶Siからなる電極層を形成しようとした場合、当該絶縁膜の表面の金属の含有比率が高い酸素欠陥部分を核にして、Siウィスカーが形成され、電極層形成後の当該電極層の加工、例えばフォトリソグラフィによるパターンングやエッチングによるゲート電極の形成が困難になってしまう問題が生じていた。

【0031】

本実施例では上記の問題を解決し、金属を含む高誘電体材料からなる絶縁膜上に電極膜を形成する場合、ウィスカーが形成されることなく、平坦な形状で一様な膜厚の電極層を形成することが可能となり、当該電極層のフォトリソグラフィによるパターンング、エッチングなどを容易に行う事が可能となる。

【0032】

また、前記第1の電極層3Aは、形成された直後は非晶質Siからなるが、この後の工程、例えば不純物の拡散工程において、900~1000程度に昇温されるため、結晶化が進行して多結晶Siとなる。

【0033】

その際、前記第1の電極層3Aのように、成膜時には非晶質SiであったSi層が、その後の熱工程によって結晶化し多結晶Siとなる場合、当該多結晶Siの結晶粒は、前記第2の電極層のように多結晶Siの状態で成膜される場合の当該多結晶Siの結晶粒に比べて、大きくなる傾向にあることに注意すべきである。

【0034】

前記電極層3は、例えばこの後の工程において、不純物が注入され、熱拡散によって前記電極層3中に不純物を拡散してMOSトランジスタのゲート電極として用いる。この場合、結晶粒が大きいと、不純物の拡散が不十分になり、電極層3を用いて形成される、例えばMOSトランジスタの特性が低下してしまう問題がある。しかし、本実施例の場合には、大きな結晶粒で、不純物の拡散が不十分となる影響を最小化している。そのため、前記電極層3を用いて形成される、例えばMOSトランジスタの電気特性が劣化する問題を回避できる。

【0035】

また、前記第1の電極層3Aは、前記第1の電極層3Aが前記高誘電体膜2を一様に覆うことが可能とするための最低限の厚さとすればよく、これは前記第1の電極層3Aを形成する場合の膜厚の均一性に依存する。当該均一性が良好であれば、形成される非晶質Siの原子層レベル程度まで薄く形成できる可能性がある。

【0036】

また、本実施例では、前記高誘電体膜2としてHfO₂からなる膜を用いた場合を例にとったが、本実施例はこれに限定されるものではない。例えば、高誘電体膜2としては、Hfを含む高誘電体材料である、Hfアルミネート、Hfシリケート、またZrを含む高誘電体材料であるZrO₂、Zrアルミネート、Zrシリケートを用いた場合にも同様の効果を奏する。すなわち、高誘電体膜2として例えば、Hfアルミネート、Hfシリケート、ZrO₂、ZrアルミネートおよびZrシリケートを用いた場合にも、前記したようなウィスカーが形成される問題があり、本実施例に示した成膜方法は、ウィスカーの形成を抑制して絶縁膜上に平坦な電極層を形成する場合に有効であり、HfO₂上に電極層を形成する場合と同様の効果を奏する。

10

20

30

40

50

【実施例 2】

【0037】

次に、実施例 1 記載の方法を、例えば CMOS (相補型 MOS) を有する半導体装置を形成する方法に適用した例を図 4 (A) ~ (D)、図 5 (E) ~ (G) および図 6 (H) ~ (J) に基づき、手順を追って説明する。

【0038】

まず、図 4 (A) に示す工程において、Si 基板 11 上に、素子分離絶縁膜 12 を、例えば STI 法、または LOCOS 法により形成し、P 型不純物と N 型不純物の注入をおこなうことにより、例えば P 型不純物拡散層からなる素子形成領域 11A と、N 型不純物拡散層からなる素子形成領域 11B を形成する。

10

【0039】

次に、図 4 (B) に示す工程において、前記素子形成領域 11A および 11B 上に、例えば ALD 法 (Atomic Layer Deposition)、もしくは MOCVD 法により、例えば HfO_2 からなる高誘電体膜 13 を約 3 nm の厚さに形成する。

【0040】

次に、図 4 (C) に示す工程において、前記高誘電体膜 13 上に、例えば SiH_4 を用いた CVD 法 (化学気相堆積法) により、成膜温度を 600 以下、例えば 590 に設定し、非晶質 Si からなる第 1 の電極層 14A を、5 nm 以下、例えば 3 nm の厚さに形成する。

【0041】

次に、図 4 (D) に示す工程において、前記第 1 の電極層 14A 上に、例えば SiH_4 を用いた CVD 法により、600 を超える、例えば 620 の成膜温度で多結晶 Si からなる第 2 の電極層 14B を 100 nm の膜厚に形成し、前記第 1 の電極層 14A と前記第 2 の電極層 14B からなる電極層 14C を形成する。

20

【0042】

本実施例においては、実施例 1 の説明で記述したように、金属を含む高誘電体材料からなる絶縁膜上に電極層を形成する場合、非晶質 Si からなる第 1 の電極層 14A を形成するために、ウィスカーが形成されることなく、平坦で一様な膜厚の電極層を形成することが可能となっている。

【0043】

次に、前記電極層に不純物注入を行い、900 ~ 1000 の熱拡散工程を加える場合もある。これにより、前記電極層 14C 中に不純物が拡散する。また、この際に前記第 1 の電極層 14A の結晶化が進行する。

30

【0044】

この場合、前記第 1 の電極層 14A の Si の結晶粒は、前記第 2 の電極層の結晶粒 14B に比べて大きくなるが、実施例 1 に記載したように、前記第 1 の電極層 14A を 5 nm 以下の膜厚に形成とすることにより、大きな結晶粒により不純物元素の拡散が不十分となる問題を回避している。そのため、前記電極層 14C を用いて形成される、CMOS トランジスタの素子特性が、実質的に劣化することがない。

【0045】

次に、図 5 (E) に示す工程において、CVD 法によって前記電極層 14C 上に、例えばシリコン酸化膜、またはシリコン窒化膜からなる、前記電極層 14C をエッチングする際のハードマスクとなるマスク膜 15 を、例えば 50 nm の厚さ堆積する。

40

【0046】

次に、図 5 (F) に示す工程において、前記マスク膜 15 上に、レジストを塗布し、フォトリソグラフィ法によってゲート電極形成のためのパターンニングを施し、例えば CF 系のガスによって、前記マスク膜 15 のパターンニングを行い、さらに前記マスク膜 15 をハードマスクとして、例えば Br 系のガスを用いた RIE によって前記電極層 14C のパターンニングを行い、第 1 の電極膜 14a と、当該第 1 の電極膜 14a 上に形成された第 2 の電極膜 14b からなるゲート電極 14 を形成する。

50

【0047】

次に、図5(G)に示す工程において、前記ゲート電極14aを自己整合マスクに前記高誘電体膜13のエッチングを、ウェットエッチング法またRIE(反応性イオンエッチング)などのドライエッチング法により行ってゲート高誘電体膜13aを形成する。なお、前記高誘電体膜13のエッチングは、次に図6(H)で後述する側壁絶縁膜形成の後に行ってもよい。

【0048】

次に、図6(H)に示す工程において、前記ゲート電極14をマスクに、前記素子領域11Aおよび11Bに、不純物注入を別々に行い、熱拡散をおこなう。その結果、前記素子形成領域11Aには前記ゲート電極14の両側にN型低濃度不純物拡散層11aが、前記素子形成領域11Bには前記ゲート電極14の両側に、P型低濃度不純物拡散層11bが形成される。

10

【0049】

次に、シリコン酸化膜またはシリコン窒化膜からなる絶縁膜を形成し、RIEによるエッチングを行って、側壁絶縁膜16を形成する。また、側壁絶縁膜16には、シリコン酸化膜とシリコン窒化膜を組み合わせた絶縁膜を用いてもよい。

【0050】

次に、図6(I)に示す工程において、図6(H)に記述した場合と同様にして、前記素子形成領域11Aおよび11Bに、それぞれN型不純物およびP型不純物を注入し、不純物の熱拡散をおこなって不純物拡散領域を形成する。その結果、前記素子形成領域11Aには、前記側壁絶縁16の外側に高濃度不純物拡散領域11dが、また、前記素子形成領域11Bには、前記側壁絶縁16の外側に高濃度不純物拡散領域11cが形成される。

20

【0051】

次に、図6(J)に示す工程において、前記素子形成領域11A, 11Bおよび前記ゲート電極14などを覆うように、CVD法によって、例えばPSG(リンガラス)からなる絶縁膜17を堆積し、当該絶縁膜17中に、前記高濃度不純物拡散層11cおよび11dに電氣的に接続する、バリア膜20に覆われた、例えばWからなるコンタクトプラグ19を形成する。

【0052】

次に、前記コンタクトプラグ19に電氣的に接続される配線層を形成する。前記絶縁膜17を覆うように、例えば、シリコン酸化膜、フッ素添加シリコン酸化膜、有機絶縁膜、多孔質絶縁膜などからなる層間絶縁膜層18を形成し、当該層間絶縁膜層18内に、前記コンタクトプラグ19に電氣的に接続される、例えばCuまたはAlなどからなる、バリア膜22に覆われた配線層21を形成する。

30

【0053】

さらに、このような層間絶縁膜や配線層を多層に形成して、半導体装置10を形成する。また、本発明はCOMOSを含む半導体装置に限定されるものではなく、他のMOSトランジスタ、また、MIS構造を有する素子などに用いることが可能である。

【0054】

以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

40

【0055】

(付記1) Si基板上に金属酸化物を含む絶縁膜を形成する第1の工程と、前記絶縁膜上に非晶質Siからなる第1の電極層を成膜する第2の工程と、前記第1の電極層上に多結晶Siからなる第2の電極層を成膜する第3の工程とを有することを特徴とする半導体装置の製造方法。

【0056】

(付記2) 前記絶縁膜は、HfまたはZrを含むことを特徴とする付記1記載の半導体装置の製造方法。

50

【0057】

(付記3) 前記絶縁膜は、 HfO_2 、 ZrO_2 、 Hf シリケート、 Zr シリケート、 Hf アルミネートおよび Zr アルミネートのいずれかを含むことを特徴とする付記2記載の半導体装置の製造方法。

【0058】

(付記4) 前記第1の電極層の膜厚は、5nm以下であることを特徴とする付記1~3のうち、いずれか1項記載の半導体装置の製造方法。

【0059】

(付記5) 前記第1の電極層の成膜温度は600以下であることを特徴とする付記1~4のうち、いずれか1項記載の半導体装置の製造方法。

10

【0060】

(付記6) 前記第2の電極層の成膜温度は600を超える温度であることを特徴とする請求項1~5のうち、いずれか1項記載の半導体装置の製造方法。

【0061】

(付記7) 前記第1の電極層および前記第2の電極層からなる電極膜をエッチングして、当該電極膜からなるゲート電極を形成する工程をさらに含むことを特徴とする付記1~6のうち、いずれか1項記載の半導体装置の製造方法。

【0062】

(付記8) 前記絶縁膜をエッチングして、ゲート絶縁膜を形成する工程をさらに含むことを特徴とする付記1~7のうち、いずれか1項記載の半導体装置の製造方法。

20

【0063】

(付記9) CVD法(化学気相堆積法)により、前記第1の電極層を成膜することを特徴とする付記1~8のうち、いずれか1項記載の半導体装置の製造方法。

【0064】

(付記10) CVD法により、前記第2の電極膜を堆積することを特徴とする付記1~9のうち、いずれか1項記載の半導体装置の製造方法。

【0065】

(付記11) Si基板と、
前記Si基板上に形成された金属酸化物を含む絶縁膜と、
前記絶縁膜上に形成されたゲート電極を具えた半導体装置であって、
前記ゲート電極は、前記絶縁膜上に形成されたSiからなる第1の電極膜と、前記第1の電極膜上に形成されたSiからなる第2の電極膜からなり、前記第1の電極膜のSiの結晶粒が、前記第2の電極膜のSiの結晶粒より大きいことを特徴とする半導体装置。

30

(付記12) 前記絶縁膜は、 Hf または Zr を含むことを特徴とする付記11記載の半導体装置。

【0066】

(付記13) 前記絶縁膜は、 HfO_2 、 ZrO_2 、 Hf シリケート、 Zr シリケート、 Hf アルミネートおよび Zr アルミネートのいずれかを含むことを特徴とする付記12記載の半導体装置。

【0067】

(付記14) 前記第1の電極層の膜厚は、5nm以下であることを特徴とする付記1~13のうち、いずれか1項記載の半導体装置。

40

【0068】

(付記15) 前記ゲート電極は、前記Si基板上に形成された分離絶縁膜によって分離される素子形成領域に形成されることを特徴とする付記11~14のうち、いずれか1項記載の半導体装置。

【産業上の利用可能性】

【0069】

本発明によれば、金属酸化物を含む高誘電体絶縁膜上に、ウィスカの発生を抑制しながら、一様な膜厚の電極膜を形成することができる半導体装置の製造方法を提供すること

50

が可能となる。

【0070】

また、金属酸化物を含む高誘電体絶縁膜と、当該絶縁膜上に形成された平坦で一様な膜厚の電極を備えた半導体装置を提供することが可能となる。

【図面の簡単な説明】

【0071】

【図1】従来の、高誘電体材料である金属酸化物を含む絶縁膜を用いた半導体装置の問題を模式的に示した図である。

【図2】従来の、高誘電体材料である金属酸化物を含む絶縁膜を用いた半導体装置の問題を示す断面SEM写真（走査型電子顕微鏡写真）である。

【図3】(A)～(C)は、実施例1による、高誘電体材料からなる金属酸化物を含む絶縁膜を用いた半導体装置の製造方法を示す図である。

【図4】(A)～(D)は、実施例2によるCMOSを含む半導体装置の製造方法を示す図（その1）である。

【図5】(E)～(G)は、実施例2によるCMOSを含む半導体装置の製造方法を示す図（その2）である。

【図6】(H)～(J)は、実施例2によるCMOSを含む半導体装置の製造方法を示す図（その3）である。

【符号の説明】

【0072】

- 1, 101 基板
- 2, 102 高誘電体膜
- 3, 3A, 3B, 103 電極層
- 10 半導体装置
- 11 基板
- 11A, 11B 素子形成領域
- 11a, 11b, 11c, 11d 不純物拡散領域
- 12 素子分離絶縁膜
- 13 絶縁膜
- 13a ゲート絶縁膜
- 14, 14A, 14B 電極層
- 17 絶縁膜
- 18 層間絶縁膜
- 19 コンタクトプラグ
- 20, 22 バリア膜
- 21 配線層
- 103A ウィスカー

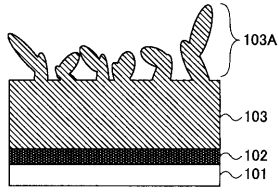
10

20

30

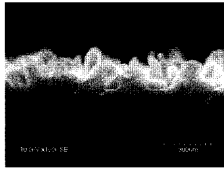
【 図 1 】

従来の、高誘電体材料である金属酸化物を含む絶縁膜を用いた半導体装置の問題を模式的に示した図



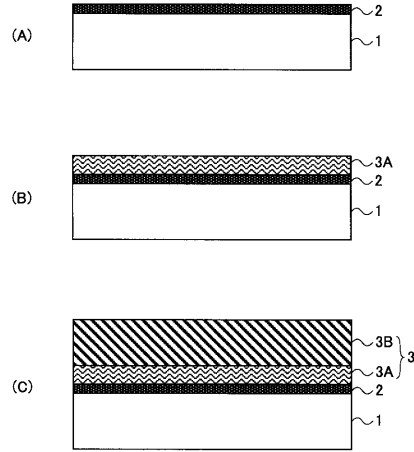
【 図 2 】

従来の、高誘電体材料である金属酸化物を含む絶縁膜を用いた半導体装置の問題を示す断面SEM写真(走査型電子顕微鏡写真)



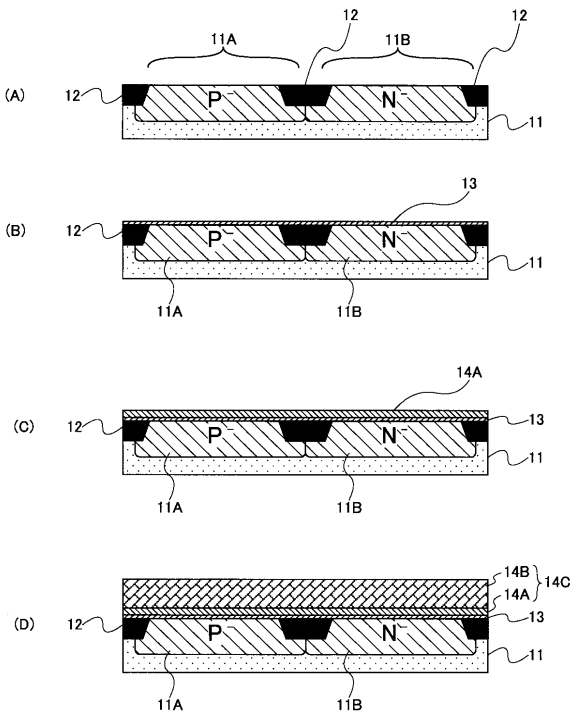
【 図 3 】

(A)～(C)は、実施例1による、高誘電体材料からなる金属酸化物を含む絶縁膜を用いた半導体装置の製造方法を示す図



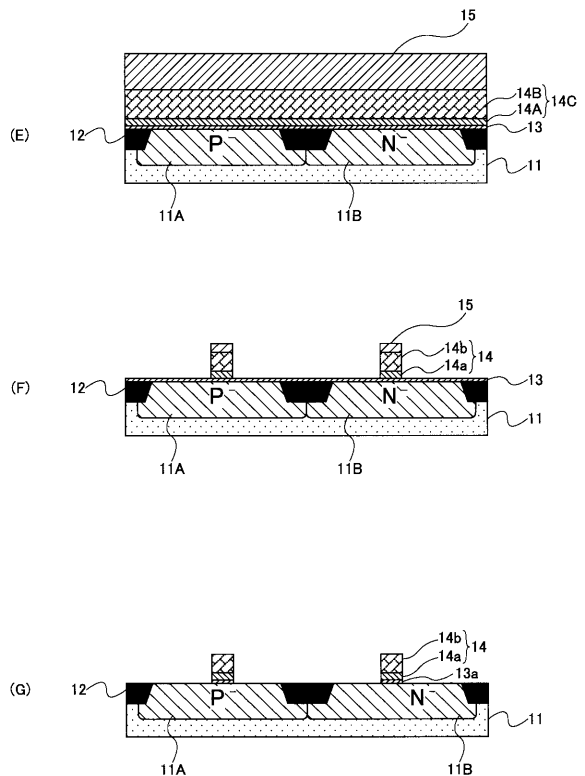
【 図 4 】

(A)～(D)は、実施例2によるCMOSを含む半導体装置の製造方法を示す図(その1)



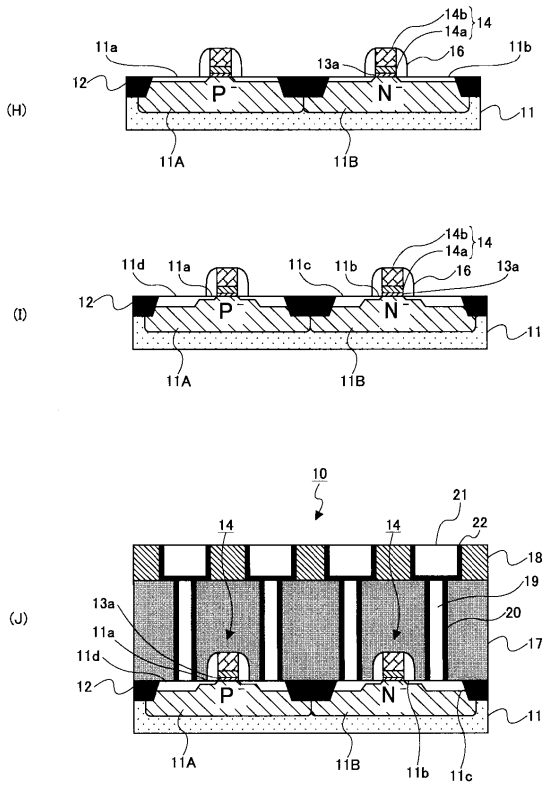
【 図 5 】

(E)～(G)は、実施例2によるCMOSを含む半導体装置の製造方法を示す図(その2)



【 図 6 】

(H)~(J)は、実施例2によるCMOSを含む
半導体装置の製造方法を示す図(その3)



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/423

H 0 1 L 29/49

F I

テーマコード(参考)

Fターム(参考) 5F048 AA07 AC03 BA01 BB04 BB05 BB11 BB12 BC06 BE03 BF11
BF16 DA25
5F140 AA00 AA24 AA39 AB03 BA01 BD04 BD11 BD13 BE02 BE05
BE06 BE07 BE08 BE09 BE10 BE14 BE16 BF01 BF03 BF04
BF32 BF33 BF34 BG08 BG09 BG12 BG14 BG28 BG32 BG33
BG38 BG39 BG44 BG52 BG53 BH15 BJ01 BJ07 BJ27 BK02
BK13 BK20 BK21 BK25 CA03 CB01 CB04 CB08 CC03 CC04
CC05 CC10