

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7686153号
(P7686153)

(45)発行日 令和7年5月30日(2025.5.30)

(24)登録日 令和7年5月22日(2025.5.22)

(51)国際特許分類		F I	
H 1 0 D	84/80 (2025.01)	H 1 0 D	84/80 2 0 3 D
H 1 0 D	30/66 (2025.01)	H 1 0 D	30/66 1 0 1 F
H 1 0 D	8/60 (2025.01)	H 1 0 D	8/60 F
H 1 0 D	64/64 (2025.01)	H 1 0 D	8/60 D
H 1 0 D	62/10 (2025.01)	H 1 0 D	30/66 1 0 1 T
請求項の数 13 (全26頁) 最終頁に続く			
(21)出願番号	特願2024-533384(P2024-533384)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和4年7月13日(2022.7.13)	(74)代理人	100088672 弁理士 吉竹 英俊
(86)国際出願番号	PCT/JP2022/027513	(74)代理人	100088845 弁理士 有田 貴弘
(87)国際公開番号	WO2024/013868	(72)発明者	飯島 彬文 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和6年1月18日(2024.1.18)	(72)発明者	永久 雄一 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和6年7月17日(2024.7.17)	(72)発明者	川原 洸太郎 東京都千代田区丸の内二丁目7番3号 最終頁に続く

(54)【発明の名称】 半導体装置、および、電力変換装置

(57)【特許請求の範囲】

【請求項1】

第1の導電型の半導体基板の上面に設けられる第1の導電型のドリフト層と、
前記ドリフト層の表層に互いに離隔して設けられる複数の第2の導電型のウェル領域と、
前記ウェル領域の表層に設けられる第1の導電型のソース領域と、
前記ドリフト層の前記表層における、複数の前記ウェル領域の間の領域である第1の導電型の第1の離間領域と、
前記ドリフト層の前記表層における複数の前記ウェル領域の間の領域であり、かつ、前記第1の離間領域とは異なる領域である、第1の導電型の第2の離間領域と、
前記ソース領域と前記ドリフト層とに挟まれる前記ウェル領域に接触して設けられるゲート絶縁膜と、
前記ゲート絶縁膜に接触して設けられるゲート電極と、
前記第1の離間領域の上面に設けられ、前記第1の離間領域とショットキー接合するショットキー電極と、
前記ソース領域の上面に設けられるオーミック電極と、
前記ショットキー電極と前記オーミック電極とに接触して設けられるソース電極とを備え、
前記第1の離間領域が、平面視で第1の方向および前記第1の方向とは異なる方向である第2の方向に向かって延び、
前記第1の離間領域が、前記第2の方向において折り返す少なくとも1つの第1の折り

返し領域を有し、

前記第 2 の離間領域が、平面視で少なくとも前記第 1 の方向に延び、

前記第 2 の離間領域の前記第 2 の方向における幅が、前記第 1 の離間領域の前記第 1 の方向または前記第 2 の方向における幅以上である、

半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であり、

前記第 1 の離間領域の前記第 1 の折り返し領域が、複数設けられる、
半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置であり、

前記第 1 の離間領域の前記第 1 の折り返し領域が、一定の間隔で設けられる、
半導体装置。

【請求項 4】

請求項 2 または 3 に記載の半導体装置であり、

前記第 1 の離間領域が、平面視でジグザグ形状である、
半導体装置。

【請求項 5】

請求項 1 から 3 のうちのいずれか 1 つに記載の半導体装置であり、

前記第 2 の離間領域が、平面視で前記第 2 の方向に延び、

前記第 2 の離間領域が、前記第 2 の方向において折り返す少なくとも 1 つの第 2 の折り返し領域を有し、

前記第 1 の折り返し領域と前記第 2 の折り返し領域とが対応して設けられることによって、前記第 1 の離間領域と前記第 2 の離間領域とが並行して第 1 の方向に延びる、

半導体装置。

【請求項 6】

第 1 の導電型の半導体基板の上面に設けられる第 1 の導電型のドリフト層と、

前記ドリフト層の表層に互いに離隔して設けられる複数の第 2 の導電型のウェル領域と、

前記ウェル領域の表層に設けられる第 1 の導電型のソース領域と、

前記ウェル領域の上面から前記ドリフト層内に達して設けられる第 1 のトレンチと、

前記ウェル領域の上面から前記ドリフト層内に達し、かつ、前記第 1 のトレンチとは異なる位置に設けられる第 2 のトレンチと、

前記第 1 のトレンチと前記第 2 のトレンチとに挟まれる離間領域と、

前記第 2 のトレンチ内において、前記ソース領域と前記ドリフト層とに挟まれる前記ウェル領域の側面を覆うゲート絶縁膜と、

前記第 2 のトレンチ内において、前記ゲート絶縁膜に囲まれて形成されるゲート電極と、

前記第 1 のトレンチ内において、前記離間領域とショットキー接合するショットキー電極と、

前記ソース領域の上面に設けられるオーミック電極と、

前記ショットキー電極と前記オーミック電極とに接触して設けられるソース電極とを備え、

前記第 1 のトレンチが、平面視で第 1 の方向および前記第 1 の方向とは異なる方向である第 2 の方向に向かって延び、

前記第 1 のトレンチが、前記第 2 の方向において折り返す少なくとも 1 つの第 1 の折り返し領域を有し、

前記第 2 のトレンチが、平面視で少なくとも前記第 1 の方向に延び、

前記第 2 のトレンチの前記ウェル領域の上面からの深さが、前記第 1 のトレンチの前記ウェル領域の上面からの深さ以上である、

半導体装置。

【請求項 7】

10

20

30

40

50

請求項 6 に記載の半導体装置であり、
前記第 1 のトレンチの前記第 1 の折り返し領域が、複数設けられる、
半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置であり、
前記第 1 のトレンチの前記第 1 の折り返し領域が、一定の間隔で設けられる、
半導体装置。

【請求項 9】

請求項 7 または 8 に記載の半導体装置であり、
前記第 1 のトレンチが、平面視でジグザグ形状である、
半導体装置。

10

【請求項 10】

請求項 6 から 8 のうちのいずれか 1 つに記載の半導体装置であり、
前記第 2 のトレンチが、平面視で前記第 2 の方向に延び、
前記第 2 のトレンチが、前記第 2 の方向において折り返す少なくとも 1 つの第 2 の折り返し領域を有し、

前記第 1 の折り返し領域と前記第 2 の折り返し領域とが対応して設けられることによって、前記第 1 のトレンチと前記第 2 のトレンチとが並行して第 1 の方向に延びる、
半導体装置。

【請求項 11】

20

請求項 1 から 3、6 から 8 のうちのいずれか 1 つに記載の半導体装置であり、
前記第 1 の方向が、前記第 2 の方向と直交し、
前記ウェル領域および前記ゲート電極が、平面視で前記第 1 の方向に延びるストライプ形状である、
半導体装置。

【請求項 12】

請求項 1 から 3、6 から 8 のうちのいずれか 1 つに記載の半導体装置であり、
前記第 1 の折り返し領域が、平面視で曲線形状である、
半導体装置。

【請求項 13】

30

請求項 1 から 3、6 から 8 のうちのいずれか 1 つに記載の半導体装置を有し、かつ、入力される電力を変換して出力する主変換回路と、
前記半導体装置を駆動するための駆動信号を前記半導体装置に出力する駆動回路と、
前記駆動回路を制御するための制御信号を前記駆動回路に出力する制御回路とを備える、
電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願明細書に開示される技術は、半導体装置に関するものである。

【背景技術】

40

【0002】

炭化珪素を用いる縦型金属－酸化膜－半導体電界効果トランジスタ (metal-oxide-semiconductor field-effect transistor、すなわち、MOSFET) では、ユニポーラ型のダイオードを還流ダイオードとして内蔵することがある。

【0003】

たとえば、特許文献 1 では、ユニポーラ型のダイオードとしてショットキーバリアダイオード (Schottky barrier diode、すなわち、SBD) を MOSFET のユニットセル内に内蔵し、利用する方法が提案されている。

【0004】

50

このような、活性領域にユニポーラ型、すなわち、多数キャリアのみで通電するダイオードを内蔵するユニポーラ型トランジスタでは、ユニポーラ型ダイオードの拡散電位、すなわち、通電動作が始まる電圧を、MOS構造におけるPN接合（以下、ボディダイオードと呼ぶ場合がある）の通電動作が始まる電圧よりも低く設計することで、ボディダイオードにおける順方向電流および欠陥拡張を抑制することができる。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2018-049951号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

SBDが内蔵されたMOSFETにおいて、特定の電流密度の電流をSBDに通流するとボディダイオードの通電が始まる。この特定の電流密度を最大ユニポーラ電流密度と定義する。

【0007】

SBDの幅または長さ、つまり面積を大きく設計すると、最大ユニポーラ電流密度が増大してボディダイオードに流れる電流を抑制することができる。その一方で、トランジスタのオフ状態時にSBD周囲に形成されるPNダイオードに電界が集中しやすく、漏れ電流が流れて発熱することで素子または回路が破壊されてしまう場合がある。

【0008】

以上のことから、最大ユニポーラ電流密度を高めるためにSBD面積を大きく設計したいという事情と、逆にトランジスタがオフの状態時に素子の破壊を防ぐために、SBD面積を狭く設計したいという事情が存在する。

【0009】

本願明細書に開示される技術は、以上に記載されたような問題を鑑みてなされたものであり、トランジスタのオフ状態においてボディダイオードにかかる電界を緩和しつつ、最大ユニポーラ電流密度を高めるための技術である。

【課題を解決するための手段】

【0010】

本願明細書に開示される技術の第1の態様である半導体装置は、第1の導電型の半導体基板の上面に設けられる第1の導電型のドリフト層と、前記ドリフト層の表層に互いに隔離して設けられる複数の第2の導電型のウェル領域と、前記ウェル領域の表層に設けられる第1の導電型のソース領域と、前記ドリフト層の前記表層における、複数の前記ウェル領域の間の領域である第1の導電型の第1の離間領域と、前記ドリフト層の前記表層における複数の前記ウェル領域の間の領域であり、かつ、前記第1の離間領域とは異なる領域である、第1の導電型の第2の離間領域と、前記ソース領域と前記ドリフト層とに挟まれる前記ウェル領域に接触して設けられるゲート絶縁膜と、前記ゲート絶縁膜に接触して設けられるゲート電極と、前記第1の離間領域の上面に設けられ、前記第1の離間領域とショットキー接合するショットキー電極と、前記ソース領域の上面に設けられるオーミック電極と、前記ショットキー電極と前記オーミック電極とに接触して設けられるソース電極とを備え、前記第1の離間領域が、平面視で第1の方向および前記第1の方向とは異なる方向である第2の方向に向かって延び、前記第1の離間領域が、前記第2の方向において折り返す少なくとも1つの第1の折り返し領域を有し、前記第2の離間領域が、平面視で少なくとも前記第1の方向に延び、前記第2の離間領域の前記第2の方向における幅が、前記第1の離間領域の前記第1の方向または前記第2の方向における幅以上である。

【発明の効果】

【0011】

本願明細書に開示される技術の少なくとも第1の態様によれば、第1の離間領域に第1の折り返し領域を設けることによって、最大ユニポーラ電流密度を高めることができる。

10

20

30

40

50

一方で、第１の離間領域の幅を第２の離間領域の幅よりも狭くすることで、第１の離間領域とウェル領域とで形成されるＰＮ接合部にかかる電界を軽減することができる。

【００１２】

また、本願明細書に開示される技術に関連する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

【図面の簡単な説明】

【００１３】

【図１】実施の形態に関する半導体装置であるＳＢＤ内蔵ＭＯＳＦＥＴの平面図である。

【図２】図１中の断面Ａ－Ａ'における断面模式図である。

【図３】図１に示された平面図を方向Ｘおよび方向Ｙに繰り返し連続して配置した場合の構造を示す概略図である。

10

【図４】実施の形態に関する半導体装置であるショットキーダイオード（ＳＢＤ）内蔵ＭＯＳＦＥＴの、活性領域の終端部の平面図である。

【図５】実施の形態に関する半導体装置であるＳＢＤ内蔵ＭＯＳＦＥＴの変形例を示す平面図である。

【図６】実施の形態に関する半導体装置であるＳＢＤ内蔵ＭＯＳＦＥＴの変形例を示す平面図である。

【図７】実施の形態に関する半導体装置であるショットキーダイオード（ＳＢＤ）内蔵ＭＯＳＦＥＴの平面図である。

【図８】実施の形態に関する半導体装置であるショットキーダイオード（ＳＢＤ）内蔵ＭＯＳＦＥＴの変形例の平面図である。

20

【図９】本実施の形態に関する半導体装置であるショットキーダイオード（ＳＢＤ）内蔵ＭＯＳＦＥＴの平面図である。

【図１０】格子型におけるセルの配置の例を示す概略図である。

【図１１】実施の形態に関する電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【図１２】実施の形態に関する半導体装置であるＳＢＤ内蔵トレンチＭＯＳＦＥＴの活性領域の構成の例を示す平面図である。

【図１３】図１２中の断面Ａ－Ａ'における断面模式図である。

【発明を実施するための形態】

30

【００１４】

以下、添付される図面を参照しながら実施の形態について説明する。以下の実施の形態では、技術の説明のために詳細な特徴なども示されるが、それらは例示であり、実施の形態が実施可能となるために、それらのすべてが必ずしも必須の特徴ではない。

【００１５】

なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化などが図面においてなされる。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、断面図ではない平面図などの図面においても、実施の形態の内容を理解することを容易にするために、ハッチングが付される場合がある。

40

【００１６】

また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。

【００１７】

また、本願明細書に記載される説明において、ある構成要素を「備える」、「含む」または「有する」などと記載される場合、特に断らない限りは、他の構成要素の存在を除外する排他的な表現ではない。

【００１８】

また、本願明細書に記載される説明において、「第１の」または「第２の」などの序数

50

が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態の内容はこれらの序数によって生じ得る順序などに限定されるものではない。

【0019】

また、本願明細書に記載される説明において、「上」、「下」、「左」、「右」、「側」、「底」、「表」または「裏」などの特定の位置または方向を意味する用語が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態が実際に実施される際の位置または方向とは関係しないものである。

【0020】

また、本願明細書に記載される説明において、「…の上面」または「…の下面」などと記載される場合、対象となる構成要素の上面自体または下面自体に加えて、対象となる構成要素の上面または下面に他の構成要素が形成された状態も含むものとする。すなわち、たとえば、「Aの上面に設けられるB」と記載される場合、AとBとの間に別の構成要素「C」が介在することを妨げるものではない。

【0021】

<第1の実施の形態>

以下、本実施の形態に関する半導体装置について説明する。

【0022】

本明細書においては、第1の導電型をn型、第2の導電型をp型として説明するが、第1の導電型をp型、第2の導電型をn型としてもよい。また、 n^- は不純物濃度がnよりも低濃度であることを示し、 n^+ は不純物濃度がnよりも高濃度であることを示す。同様に、 p^- は不純物濃度がpよりも低濃度であることを示し、 p^+ は不純物濃度がpよりも高濃度であることを示す。

【0023】

<半導体装置の構成について>

図1は、本実施の形態に関する半導体装置であるSBD内蔵MOSFETの平面図である。当該平面図は、ソース電極、ゲート配線層または絶縁膜などを省略して、半導体基板を上方から平面視した場合の図である。図2は、図1中の断面A-A'における断面模式図である。

【0024】

図1において、方向Xおよび方向Yに向かって延び、方向Yにおいて折り返す折り返し領域221を有する離間領域21が設けられている。なお、図1においては、折り返し領域221は複数設けられているが、折り返し領域221が1つ設けられている場合であってもよい。

【0025】

図2において、低抵抗でn型の半導体基板10の上面に、n型のドリフト層20が形成されている。また、ドリフト層20の表層部に、p型のウェル領域30が複数設けられている。

【0026】

ウェル領域30のそれぞれの表層部には、ウェル領域30の外周から所定の間隔だけ内部に入った位置に、n型のソース領域40が形成されている。

【0027】

それぞれのウェル領域30の表層部におけるソース領域40の側方には、低抵抗でp型のコンタクト領域35が形成されている。また、ドリフト層20の表層部の互いに離隔するウェル領域30の間には、n型の離間領域21が形成されている。

【0028】

離間領域21のn型不純物濃度は、ドリフト層20のn型不純物濃度と同じでもよいし、ドリフト層20のn型不純物濃度よりも高くても低くてもよい。

【0029】

離間領域 2 1 の上面には、離間領域 2 1 とショットキー接続するショットキー電極 7 1 が形成されている。ここで、ショットキー電極 7 1 は、平面視で、少なくとも離間領域 2 1 を覆うように形成されていること、つまり、ショットキー電極 7 1 の面積が離間領域 2 1 の面積よりも大きいことが望ましい。

【0030】

離間領域 2 1 とは異なる、ドリフト層 2 0 の表層部の互いに離隔するウェル領域 3 0 の間の領域は、n 型の離間領域 2 2 となっている。離間領域 2 2 は、離間領域 2 1 の幅と同じ幅、または、離間領域 2 1 の幅よりも広い幅を有する。換言すると、離間領域 2 1 は、離間領域 2 2 の幅と同じ幅、または、離間領域 2 2 の幅よりも狭い幅を有する。

【0031】

離間領域 2 2 の n 型不純物濃度は、ドリフト層 2 0 の n 型不純物濃度と同じでもよいし、ドリフト層 2 0 の n 型不純物濃度よりも高くても低くてもよい。

【0032】

ウェル領域 3 0 の上面、ウェル領域 3 0 間の離間領域 2 2 の上面、および、それぞれのウェル領域 3 0 内のソース領域 4 0 の上面には、ゲート絶縁膜 5 0 が形成されている。ゲート絶縁膜 5 0 は、ソース領域 4 0 とドリフト層 2 0 とに挟まれるウェル領域 3 0 に接触して設けられる。

【0033】

ゲート絶縁膜 5 0 の上面のうち、平面視でソース領域 4 0 およびウェル領域 3 0 と重なる範囲には、ゲート電極 6 0 が形成されている。ゲート電極 6 0 が形成されている箇所の下方で、ゲート絶縁膜 5 0 を介して対向するウェル領域 3 0 の表層部を、チャンネル領域と呼ぶ。

【0034】

ソース領域 4 0 の上面の一部およびコンタクト領域 3 5 の上面の一部には、オーミック電極 7 0 が形成されている。そして、オーミック電極 7 0 およびショットキー電極 7 1 を覆って、ソース電極 8 0 が形成されている。

【0035】

ソース領域 4 0 は、オーミック電極 7 0 を介して電子の授受を容易に行うことができる。ウェル領域 3 0 は、低抵抗のコンタクト領域 3 5 およびオーミック電極 7 0 を介して、正孔の授受を容易に行うことができる。

【0036】

ただし、オーミック電極 7 0 は、離間領域 2 1 とは接触していない。これは、離間領域 2 1 とソース電極 8 0 との間に形成されるショットキー接合を、オーミック接触でバイパスさせないためである。具体的には、離間領域 2 1 とオーミック電極 7 0 とは、コンタクト領域 3 5 とウェル領域 3 0 とで電氣的に隔てられている。

【0037】

層間絶縁膜 5 5 は、ゲート電極 6 0 を覆って形成される。そして、層間絶縁膜 5 5 およびゲート絶縁膜 5 0 を貫通して形成されたコンタクトホール 9 0 を介して、オーミック電極 7 0 の上面、ショットキー電極 7 1 の上面、および、コンタクト領域 3 5 の上面に、ソース電極 8 0 が接触している。

【0038】

一方で、半導体基板 1 0 の下面には、ドレイン電極 8 4 が形成されている。

【0039】

図 1 に示されるように、ウェル領域 3 0、コンタクト領域 3 5 および離間領域 2 2 は、方向 X に沿って延びてストライプ形状に形成される。また、図 2 におけるゲート電極 6 0 も、方向 X に沿って延びて形成される。

【0040】

離間領域 2 1 は、方向 X と、方向 X とは異なる方向である方向 Y とに沿って延び、ウェル領域 3 0 の間を繰り返し折り返ししながら配置される（当該折り返しは、折り返し領域 2 2 1 において生じる）。これを蛇行状（ジグザグ形状）に配置されると定義する。

10

20

30

40

50

【0041】

離間領域21を蛇行状に配置する際、離間領域21の幅は離間領域22の幅と同じ幅か、または、離間領域22の幅よりも狭い幅となるようにする。

【0042】

図1では、方向Xは、ウェル領域30、コンタクト領域35および離間領域22が延びる方向と平行な方向であり、方向Yは、方向Xと直交する方向である。

【0043】

＜半導体装置の動作について＞

次に、本実施の形態に関する半導体装置であるSBD内蔵MOSFETの動作について説明する。以下、半導体材料が4H型の炭化珪素である炭化珪素半導体装置を例として説明する。この場合、pn接合の拡散電位はおおよそ2Vである。

【0044】

まず、還流動作の場合について説明する。

【0045】

還流動作では、ソース電極80からドレイン電極84に電流が流れようとする。特にゲート電極60にオフ電圧が印加されている場合、チャネルを通る電流経路が存在しない。

【0046】

このとき、ウェル領域30とドリフト層20とからなるボディダイオードよりも低電圧でオンする、離間領域21とショットキー電極71との間のSBDが形成されているので、電流密度が低い場合には還流電流がすべてSBDに流れ、ボディダイオードには流れない。

【0047】

しかしながら、電流密度が高まると、ショットキー界面および離間領域21で生じる電圧降下として、約2Vを超える電圧が発生し、それが並列するPN接合に印加され、ボディダイオードの通流が開始する。

【0048】

このときの電流密度、すなわち、最大ユニポーラ電流密度を高めるには、離間領域21の抵抗を下げるために、離間領域21のn型濃度を高めるか、離間領域21の幅を広げることが有効である。しかしながら、いずれの方法においても、トランジスタのオフ状態においてショットキー界面またはPN接合部に印加される電界強度が増大してしまう。

【0049】

ここで、本実施の形態のように離間領域21を蛇行して配置すると、離間領域21のn型濃度を高めずに、また、離間領域21の幅を広げずに、SBDを介して流通する電子の量を増大させることができ、最大ユニポーラ電流密度を高めることができる。

【0050】

また、離間領域21の蛇行の周期を小さくするほど、SBDを介して流通する電子の量を増大させることができるため、最大ユニポーラ電流密度をさらに高めることができる。

【0051】

次に、トランジスタがオフの場合について説明する。

【0052】

トランジスタがオフの状態では、離間領域21とウェル領域30とで形成されるPN接合部と、離間領域22とウェル領域30とで形成されるPN接合部とに電界が集中しやすい。

【0053】

離間領域21とウェル領域30とで形成されるPN接合部と、離間領域22とウェル領域30とで形成されるPN接合部とにおける電界集中を緩和する方法として、離間領域21の幅と離間領域22の幅とをそれぞれ狭くすることが考えられる。離間領域21の幅と離間領域22の幅とを狭くすると、トランジスタのオフ状態における離間領域21と離間領域22とにおける電位変動がそれぞれ小さくなる。そのため、離間領域21とウェル領域30とで形成されるPN接合部と、離間領域22とウェル領域30とで形成されるPN

10

20

30

40

50

接合部への電界集中を、それぞれ緩和することができる。

【0054】

図2に示されるように離間領域22の上面にはゲート絶縁膜50が形成されており、トランジスタのオフ状態における逆方向電圧の印加によって、デバイス全体にかかる電圧をゲート絶縁膜50が分担する。そうすることで、離間領域22とウェル領域30とで形成されるPN接合部にかかる電界が軽減される。このため、上面に電界を分担する層が存在しない、離間領域21とウェル領域30とで形成されるPN接合部では、強い電界が集中しやすい。

【0055】

そこで、離間領域21の幅を離間領域22の幅よりも狭くすると、離間領域21とウェル領域30とで形成されるPN接合部にかかる電界を軽減することができる。そのため、トランジスタのオフ状態時における素子の破壊を抑制することができる。

【0056】

以上の理由によって、離間領域21を蛇行して配置する際に、離間領域21の幅を離間領域22の幅と同じかそれよりも狭くなるようにすることで、トランジスタがオフの状態における離間領域21とウェル領域30とで形成されるボディダイオードへの電界集中を抑制して、素子の破壊を防ぐことができる。

【0057】

以上のように、本実施の形態に関する半導体装置によれば、還流動作時のボディダイオードの動作を抑制することで、最大ユニポーラ電流密度を高めるとともに、トランジスタのオフ状態時における素子の破壊を抑制することができ、両者のトレードオフ関係を改善することができる。

【0058】

<半導体装置の製造方法について>

次に、本実施の形態に関する半導体装置であるSBD内蔵MOSFETの製造方法について説明する。以下では、半導体材料が4H型の炭化珪素の炭化珪素半導体装置を例として説明する。

【0059】

まず、第1の主面の面方位がオフ角を有する(0001)面であり、4Hのポリタイプを有する、n型で低抵抗の炭化珪素からなる半導体基板10の上面に、化学気相堆積法(chemical vapor deposition: CVD法)によって、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の不純物濃度で、たとえば、 $5 \mu\text{m}$ 以上、かつ、 $50 \mu\text{m}$ 以下の厚さの炭化珪素からなるn型のドリフト層20をエピタキシャル成長させる。

【0060】

次に、ドリフト層20の上面の所定の領域にフォトリソなどによって注入マスクを形成し、さらに、p型の不純物であるAl(アルミニウム)をイオン注入する。このとき、Alのイオン注入の深さはドリフト層20の厚さを超えない、たとえば、 $0.5 \mu\text{m}$ 以上、かつ、 $3 \mu\text{m}$ 以下とする。また、イオン注入されたAlの不純物濃度は、ドリフト層20の上面から離れた深さで最大値を有し、その濃度が、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であり、ドリフト層20の不純物濃度よりも高くする。これに対し、ドリフト層20の上面では、注入されたAlの不純物濃度が薄くなっており、その濃度が、たとえば $1 \times 10^{15} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。その後、注入マスクを除去する。本工程においてAlイオン注入された領域が、ウェル領域30となる。

【0061】

次に、ドリフト層20の上面にフォトリソなどによって注入マスクを形成し、p型の不純物濃度であるAlをイオン注入する。このとき、Alのイオン注入の深さは、ドリフト層20の厚さを超えない、たとえば $0.5 \mu\text{m}$ 以上、かつ、 $3 \mu\text{m}$ 以下とする。望ましくは、高濃度な注入欠陥がウェル領域30の内側にとどまるよう、Alのイオン注入の

10

20

30

40

50

注入深さはウェル領域 30 よりも浅くする。また、イオン注入された A1 の不純物濃度は、たとえば $1 \times 10^{19} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、ドリフト層 20 の不純物濃度よりも高く、かつ、ウェル領域 30 の不純物濃度よりも低いものとする。その後、注入マスクを除去する。本工程によって A1 がイオン注入された領域が、コンタクト領域 35 となる。

【0062】

次に、ドリフト層 20 の上面のうち、平面視でウェル領域 30 の内側の所定の箇所が開口するようにフォトリソグرافイーなどによって注入マスクを形成する。そして、n 型の不純物である N（窒素）をイオン注入する。N のイオン注入深さは、ウェル領域 30 の厚さよりも浅いものとする。また、イオン注入される N の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、ウェル領域 30 の p 型の不純物濃度を超えるものとする。シート抵抗またはオーミック電極 70 との接触抵抗を減らすために、N の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ を超える濃度であることが好ましい。本工程で N が注入された領域のうち、n 型の導電型を示す領域がソース領域 40 となる。

【0063】

次に、熱処理装置（ここでは図示せず）によって、アルゴン（Ar）ガスなどの不活性ガス雰囲気中で、たとえば 1300°C 以上、かつ、 1900°C 以下の温度で、たとえば 30 秒以上、かつ、1 時間以下の時間でアニール処理を行う。このアニール処理によって、イオン注入された N および A1 を電氣的に活性化させる。

【0064】

次に、CVD 法またはフォトリソグرافイー技術などを用いて、活性領域（すなわち、ウェル領域 30 が形成された領域にほぼ対応する領域）以外の領域のドリフト層 20 の上面に、膜厚がゲート酸化膜の膜厚よりも厚い、たとえば $0.5 \mu\text{m}$ 以上、かつ、 $2 \mu\text{m}$ 以下である、酸化珪素からなるフィールド絶縁膜（ここでは図示しない）を形成する。

【0065】

次に、フィールド絶縁膜に覆われていないドリフト層 20 の上面を熱酸化して、所望の厚みのゲート絶縁膜 50 である酸化珪素膜を形成する。続いて、ゲート絶縁膜 50 の上面およびフィールド絶縁膜の上面に、導電性を有する多結晶シリコン膜を減圧 CVD 法によって形成し、さらに、これをパターニングすることによってゲート電極 60 を形成する。

【0066】

次に、酸化珪素からなる層間絶縁膜 55 を減圧 CVD 法によって形成する。続いて、層間絶縁膜 55 とゲート絶縁膜 50 とを貫き、活性領域内のコンタクト領域 35 とソース領域 40 とに到達するコンタクトホール 90 を形成する。

【0067】

次に、スパッタ法などによって Ni を主成分とする金属膜を形成した後、たとえば 600°C 以上、かつ、 1100°C 以下の温度で熱処理を行い、Ni を主成分とする金属膜とコンタクトホール 90 内の炭化珪素層とを反応させて、炭化珪素層と金属膜との間にシリサイドを形成する。

【0068】

続いて、上記の反応で形成されたシリサイド以外の残留している金属膜をウェットエッチングによって除去する。これによって、オーミック電極 70 が形成される。

【0069】

続いて、半導体基板 10 の下面（第 2 の主面）に Ni を主成分とする金属膜を形成し、さらに熱処理することによって、半導体基板 10 の下面側に裏面オーミック電極（ここでは、図示しない）を形成する。

【0070】

次に、フォトリソグرافイーなどによるパターニングを用いて、離間領域 21 の上面における層間絶縁膜 55 とゲート絶縁膜 50 とを除去する。除去する方法としては、ショットキー界面となる炭化珪素層の表面にダメージを与えないウェットエッチングとする。ウェットエッチングの後、フォトリソグرافイーを用いた場合にはそれを除去する。

10

20

30

40

50

【0071】

続いて、スパッタ法などによって、ショットキー電極となる金属膜を堆積し、フォトレジストなどによるパターニングを用いて、コンタクトホール90内の離間領域21の上面にショットキー電極71を形成する。ショットキー電極71の材料は、たとえばTi、Moなどであればよい。

【0072】

次に、上記のショットキー電極71までが形成されたドリフト層20の上面に、スパッタ法または蒸着法によってAlなどの配線金属を形成する。そして、フォトリソグラフィ技術によって所定の形状に加工することで、ソース側のオーミック電極70と、ショットキー電極71に接触するソース電極80と、ゲート電極60に接触するゲートパッド（ここでは図示しない）およびゲート配線（ここでは図示しない）とを形成する。

【0073】

さらに、半導体基板10の下面に形成された裏面オーミック電極（ここでは図示しない）の下面に金属膜であるドレイン電極84を形成すれば、図1および図2に示された半導体装置が完成する。

【0074】

なお、本実施の形態においては、それぞれのイオン注入を所定の順序で行う例が示されたが、イオン注入の順序は、適宜変更されてもよい。また、半導体基板10の下面における裏面オーミック電極、半導体基板10の上面におけるオーミック電極70およびショットキー電極71の形成順序は、適宜変更されてもよい。

【0075】

また、本実施の形態においては、ショットキー電極71は、離間領域21の上面およびウェル領域30の上面のみに形成される例が示されたが、ショットキー電極71は、オーミック電極70の上面または層間絶縁膜55の上面に形成されていてもよい。

【0076】

また、本実施の形態では、チャネルまたはショットキー電極71が半導体基板10の主面と平行に形成されるプレーナ型が想定されたが、チャネルまたはショットキー電極71が半導体基板10の主面と斜めまたは垂直に形成されるトレンチ型であってもよい。つまり、ウェル領域30を貫通してドリフト層20まで達するトレンチを設け、トレンチの内側に、ゲート絶縁膜50およびゲート電極60が形成される、トレンチゲートを有していてもよい。

【0077】

図12は、本実施の形態に関する半導体装置であるトレンチ型SBD内蔵SiC-MOSFETの活性領域の構成の例を示す平面図である。また、図13は、図12中の断面A-A'における断面模式図である。

【0078】

図12および図13において、n型で低抵抗の炭化珪素で構成される半導体基板10の上面に、n型の炭化珪素で構成されるドリフト層20が形成されている。ドリフト層20の表層部には、p型の炭化珪素で構成されるウェル領域30が形成されている。

【0079】

ウェル領域30の一部の表層部には、n型の炭化珪素で構成されるソース領域40が形成されている。ウェル領域30の表層部におけるソース領域40と隣接する領域には、低抵抗のp型のコンタクト領域35が形成されている。

【0080】

また、活性領域において、ソース領域40とウェル領域30とを貫通してドリフト層20に達する、ゲートトレンチ302が形成されている。

【0081】

また、ゲートトレンチ302が形成される箇所とは異なる箇所において、ソース領域40とウェル領域30とを貫通してドリフト層20に達する、ショットキートレンチ303が形成されている。

【0082】

ゲートトレンチ302とショットキートレンチ303とは、交互に、かつ、互いに平行に延びて配置されている。また、ゲートトレンチ302とショットキートレンチ303とは、同じ幅で形成されていてもよいし、両者の幅が異なってもよい。

【0083】

ゲートトレンチ302内には、酸化珪素からなるゲート絶縁膜50Aに周囲を囲まれてゲート電極60Aが形成されている。ゲート電極60Aは、不純物濃度が高い低抵抗の多結晶珪素で構成されている。ゲート電極60Aの上面には、酸化珪素からなる層間絶縁膜55が形成されている。

【0084】

ショットキートレンチ303内には、ショットキー電極71Aに周囲を囲まれてソース電極80が形成されている。ショットキー電極71Aは、ドリフト層20に接触して形成され、ドリフト層20とショットキー接続する。また、ゲートトレンチ302の底面と接触するドリフト層20内には、p型の保護領域32が形成されている。また、ショットキートレンチ303の底面と接触するドリフト層20内には、p型の保護領域33が形成されている。保護領域32と保護領域33との深さは同じであっても異なってもよい。また、保護領域32と保護領域33との不純物濃度は同じであっても異なってもよい。

【0085】

ソース領域40の上面の一部およびコンタクト領域35の上面の一部には、オーミック電極70が形成されている。そして、オーミック電極70およびショットキー電極71Aを覆って、ソース電極80が形成されている。

【0086】

一方で、半導体基板10の下面には、ドレイン電極84が形成されている。

【0087】

本実施の形態に関する半導体装置であるトレンチ型SBD内蔵SiC-MOSFETの動作について、以下説明する。

【0088】

まず、還流動作の場合について説明する。

【0089】

還流動作は、プレーナ型SBD内蔵SiC-MOSFETの場合と同様に、電流密度が低い場合には、還流電流はすべてSBDに流れ、ボディ電流には流れない。一方で、電流密度が高い場合には、ショットキー界面およびショットキートレンチ303とゲートトレンチ302とで挟まれた領域である離間領域34で生じる電圧降下として、約2Vを超える電圧が発生し、それが並列するPN接合に印加され、ボディダイオードの通流が開始される。

【0090】

この場合の電流密度、すなわち、最大ユニポーラ電流密度を高めるには、離間領域34の抵抗を下げるために、離間領域34のn型濃度を高めるか、離間領域34の深さを深くする（すなわち、ゲートトレンチ302およびショットキートレンチ303の深さを深くする）ことが有効である。

【0091】

しかしながら、いずれの方法においても、トランジスタのオフ状態においてショットキー界面またはPN接合部に印加される電界強度が増大してしまう。

【0092】

ここで、本実施の形態におけるようにショットキートレンチ303を蛇行して配置するとそれに伴って離間領域34も蛇行して配置される。ここで、ジグザグ形状に蛇行するショットキートレンチ303が方向Yにおいて折り返す領域を折り返し領域304とする。図12においては、折り返し領域304は一定の間隔で複数設けられるが、折り返し領域304が設けられる間隔は一定でなくてもよい。

【0093】

このような場合には、離間領域 3 4 の n 型濃度を高めずに、また、離間領域 3 4 の深さを深くせずに（すなわち、ゲートトレンチ 3 0 2 およびショットキートレンチ 3 0 3 の深さを深くせずに）、S B D を介して流通する電子の量を増大させることができ、最大ユニポーラ電流密度を高めることができる。

【0094】

次に、トランジスタがオフの場合について説明する。

【0095】

トランジスタがオフの状態では、保護領域 3 2 とドリフト層 2 0 とで形成される P N 接合部と、保護領域 3 3 とドリフト層 2 0 とで形成される P N 接合部とに電界が集中しやすい。

【0096】

保護領域 3 2 とドリフト層 2 0 とで形成される P N 接合部と、保護領域 3 3 とドリフト層 2 0 とで形成される P N 接合部とにおける電界集中を緩和する方法として、離間領域 3 4 の深さを浅くする（すなわち、ゲートトレンチ 3 0 2 およびショットキートレンチ 3 0 3 の深さをそれぞれ浅くする）ことが考えられる。ゲートトレンチ 3 0 2 およびショットキートレンチ 3 0 3 の深さを浅くすると、トランジスタのオフ状態における離間領域 3 4 における電位変動が小さくなる。そのため、保護領域 3 2 とドリフト層 2 0 とで形成される P N 接合部と、保護領域 3 3 とドリフト層 2 0 とで形成される P N 接合部への電界集中を、それぞれ緩和することができる。

【0097】

図 1 3 に示されるように保護領域 3 2 の上部にはゲート絶縁膜 5 0 A が形成されており、トランジスタのオフ状態における逆方向電圧の印加によって、デバイス全体にかかる電圧をゲート絶縁膜 5 0 A が分担する。そうすることで、保護領域 3 2 とドリフト層 2 0 とで形成される P N 接合部にかかる電界が軽減される。このため、上部に電界を分担する層が存在しない、保護領域 3 3 とドリフト層 2 0 とで形成される P N 接合部では、強い電界が集中しやすい。

【0098】

そこで、ショットキートレンチ 3 0 3 の深さをゲートトレンチ 3 0 2 の深さと同じかそれよりも浅くすることで、保護領域 3 3 とドリフト層 2 0 とで形成される P N 接合部にかかる電界を軽減することができる。そのため、トランジスタのオフ状態の場合における素子の破壊を抑制することができる。

【0099】

加えて、ショットキートレンチ 3 0 3 の深さをゲートトレンチ 3 0 2 の深さと同じかそれよりも浅くすると、ショットキー電極 7 1 にかかる電界も軽減することができる。そのため、トランジスタのオフ状態の場合におけるリーク電流を低減することができる。

【0100】

以上の理由によって、ショットキートレンチ 3 0 3 を蛇行して配置する際に、ショットキートレンチ 3 0 3 の深さをゲートトレンチ 3 0 2 の深さと同じかそれよりも浅くなるように形成することで、トランジスタのオフ状態における保護領域 3 3 とドリフト層 2 0 とで形成されるボディダイオードへの電界集中を抑制して、素子の破壊を防ぐことができる。加えて、ショットキー電極 7 1 にかかる電界を低減してリーク電流を抑制することができる。

【0101】

以上のように、本実施の形態に関する半導体装置によれば、還流動作時のボディダイオードの動作を抑制することで、最大ユニポーラ電流密度を高めるとともに、トランジスタのオフ状態時における素子の破壊を抑制することができる。さらに、リーク電流を低減することもでき、両者のトレードオフ関係を改善することができる。

【0102】

なお、A l イオンを注入してウェル領域 3 0 を形成する際に、離間領域 2 1 の部分はフォトレジストなどで覆ってイオン注入が行われるが、この際に当該フォトレジストが倒れ

10

20

30

40

50

てしまうことがある。離間領域 21 の幅が狭くなるほど、用いられるフォトレジストの寸法も細くなるため、フォトレジストが倒れやすくなる。

【0103】

一方で本実施の形態では、離間領域 21 が蛇行して配置されているため、A イオン注入の際に用いられるフォトレジストも蛇行して形成することとなる。この場合、直線状にフォトレジストを形成する場合よりもフォトレジストが倒れにくくなり、パターン欠陥の発生を抑制することができる。

【0104】

図 3 は、図 1 に示された平面図を方向 X および方向 Y に繰り返し連続して配置した場合の構造を示す概略図である。図 3 においては、便宜上、離間領域 21、ウェル領域 30 および離間領域 22 のみが示されている。なお、以下においては主にプレーナ型の SBD 内蔵 SiC-MOSFET の構造が想定されるが、上記の図 12 および図 13 に示されたトレンチ型の SBD 内蔵 SiC-MOSFET に置き換えて適宜適用可能である。その場合には、蛇行する離間領域 21 がショットキートレンチ 303 に適宜読み替えられる。

【0105】

図 3 では、平面視で SBD にほぼ対応する n 型の離間領域 21 を方向 Y において挟んで、平面視で MOSFET にほぼ対応する p 型のウェル領域 30 が形成されている。そして、離間領域 21 を挟むウェル領域 30 の方向 X に延びる帯が、方向 Y においてストライプ状に繰り返し配置されている。このような配置を「ストライプ型」と呼ぶ。

【0106】

上記のストライプ型において、半導体基板 10 の上面（第 1 の主面）の面方位が $\langle 11-20 \rangle$ 方向にオフ角を有する（0001）面である場合、方向 X に延びるストライプ状のウェル領域 30 を $\langle 11-20 \rangle$ 方向（すなわち、オフ方向）に平行に形成してもよいし、オフ方向の直交方向に平行に形成してもよい。

【0107】

また、図 3 に例が示されるような SBD 内蔵 MOSFET が形成された領域を活性領域と呼ぶと、離間領域 21 が方向 X および方向 Y に向かって延びる周期が一定である場合、すなわち、蛇行の周期が一定である場合、半導体チップ内の活性領域における最大ユニポーラ電流密度が一様となり、素子の性能を高めることができる。ただし、半導体チップ内の活性領域の形成位置によって、蛇行の周期は適宜変更されてもよい。

【0108】

図 4 は、本実施の形態に関する半導体装置であるショットキーダイオード（SBD）内蔵 MOSFET の、活性領域の終端部の平面図である。図 4 においては、離間領域 21 が蛇行する周期が一定の領域である活性領域 C と、離間領域 21 が蛇行する周期が一定ではない領域である活性領域端の近傍領域 D と、活性領域の終端部 B（活性領域端）とが示されている。活性領域端の近傍領域 D は、活性領域 C を囲むように配置されている。また、活性領域の終端部 B は、活性領域端の近傍領域 D を囲むように配置されている。

【0109】

活性領域の終端部 B では、SBD の電流密度が小さくなる傾向がある。このため、図 4 に例が示されるように、活性領域 C では離間領域 21 が蛇行する周期は一定であるが、活性領域端の近傍領域 D では離間領域 21 の蛇行回数を増やす（すなわち、蛇行する周期を短くする）ことで、活性領域端の近傍領域 D における SBD の電流密度を高めることができる。そのため、還流動作時に活性領域の終端部 B で発生しうる最大ユニポーラ電流の低下を抑制し、素子の性能を高めることができる。

【0110】

なお、図 1 では、離間領域 21 は、方向 X に沿って延びる部分とそれとは直交して方向 Y に沿って延びる部分とを有する折り返し領域 221 を備えることで、蛇行する例が示されている。しかしながら、離間領域 21 は、方向 X に沿って延びる成分と、方向 Y に沿って延びる成分とをそれぞれ有していればよい。

【0111】

つまり、図 5 に例が示されるように、離間領域 2 1 A が、方向 X と傾斜する 2 方向に向かって伸びる部分を有する折り返し領域 2 2 1 A を備えることで、繰り返し折れ曲がりながら配置されてもよい。また、離間領域が伸びる方向に制限はなく、3 方向以上に伸びてもよい。なお、図 5 は、本実施の形態に関する半導体装置である S B D 内蔵 M O S F E T の変形例を示す平面図である。

【0 1 1 2】

＜変形例について＞

図 6 は、本実施の形態に関する半導体装置である S B D 内蔵 M O S F E T の変形例を示す平面図である。離間領域 2 1 B が折れ曲がる際、図 6 に例が示されるように折り返し領域 2 2 1 B において曲線的に曲がってもよい。離間領域 2 1 B が平面視で曲線的に曲がる場合、曲がる際の離間領域 2 1 B の幅の変化（すなわち、方向 Y における幅、方向 X と方向 Y とに傾斜する方向における幅、および、方向 X における幅における変化）が小さくなる。そのため、トランジスタがオフの状態での離間領域 2 1 B とウェル領域 3 0 とで形成される P N 接合部への電界集中が緩和されやすくなる。

10

【0 1 1 3】

また、離間領域 2 1 B が曲線的に曲がる場合、その曲率に制限はなく、その幅が離間領域 2 2 の幅以下であれば、その幅は一定である必要はない。離間領域 2 1 B の幅が一定である場合には、トランジスタがオフの状態における局所的な電界集中が発生しにくくなるので、素子が破壊されにくくなる。

【0 1 1 4】

また、離間領域 2 1 B が曲がる領域が曲線状に形成されると、角部が曲線部になり、当該領域における電界集中が緩和される。

20

【0 1 1 5】

＜第 2 の実施の形態＞

本実施の形態に関する半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

【0 1 1 6】

＜半導体装置の構成について＞

図 7 は、本実施の形態に関する半導体装置であるショットキーダイオード（S B D）内蔵 M O S F E T の平面図である。

30

【0 1 1 7】

離間領域 2 1 C は、方向 X と傾斜する 2 方向（方向 Y と傾斜する方向）に向かって伸びる部分を有する折り返し領域 2 2 1 C を備えることで、ウェル領域 3 0 の間を繰り返しジグザグに折れ曲がりながら配置される。なお、離間領域 2 1 C では、離間領域 2 1 A とは異なり、方向 Y のみの成分となる部分（すなわち、折り返し領域 2 2 1 A 同士の間部分）が存在しない。

【0 1 1 8】

本実施の形態における離間領域 2 1 C のパターンは単純であるため、レジストによってパターンを形成する際にパターン崩れが発生しにくい。

40

【0 1 1 9】

また、離間領域 2 1 C がジグザグに折れ曲がる周期が小さくなるほど S B D の面積が増加するので、S B D の通電能力は向上し、最大ユニポーラ電流密度は高くなる。

【0 1 2 0】

また、離間領域 2 1 C がジグザグに折れ曲がる周期、または、離間領域 2 1 の幅は一定である必要はなく、ストライプ型にも格子型（離間領域 2 2 が平面視で格子状に配置される配置）にも適用することができる。

【0 1 2 1】

なお、離間領域 2 1 C が折れ曲がる際、曲線的に折れ曲がってもよい。また、離間領域 2 1 C が折れ曲がる回数にも制限はない。

50

【0122】

<変形例について>

図8は、本実施の形態に関する半導体装置であるショットキーダイオード（SBD）内蔵MOSFETの変形例の平面図である。

【0123】

図8では、離間領域22Cが、離間領域21Cがジグザグに折れ曲がる周期（すなわち、折り返し領域221Cが設けられる周期）と同じ周期で、方向Xと傾斜する2方向に向かって延びる部分を有する折り返し領域222Cを備えることで、繰り返し折れ曲がりながら配置される。これらに合わせて、ウェル領域30C、コンタクト領域35C、ソース領域40Cの平面視での形状も変更される。

10

【0124】

離間領域22Cの折れ曲がる周期（すなわち、折り返し領域222Cが設けられる周期）が離間領域21Cの折れ曲がる周期（すなわち、折り返し領域221Cが設けられる周期）と一致するように、離間領域22Cをジグザグに折り曲げて配置することで、離間領域21Cと離間領域22Cとが並行して方向Xに延び、図8における方向Yにおけるセルのピッチを狭くすることができる。よって、半導体チップの小型化が可能となる。

【0125】

なお、離間領域22Cがジグザグに折れ曲がる周期またはその幅は一定である必要はない。また、離間領域21Cおよび離間領域22Cが折れ曲がる際、曲線的に折れ曲がってもよい。また、離間領域21Cが折れ曲がる回数に制限はない。

20

【0126】

<第3の実施の形態>

本実施の形態に関する半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

【0127】

<半導体装置の構成について>

セル構造は、ストライプ型に限定されるものではなく、たとえば、格子型であってもよい。図9は、本実施の形態に関する半導体装置であるショットキーダイオード（SBD）内蔵MOSFETの平面図である。第1の実施の形態および第2の実施の形態においては、折れ曲がるように配置された離間領域21が平面視で一方向（方向Y）に繰り返して並んで設けられるが、本実施の形態においては、離間領域21を含む格子状のセルが、方向Xおよび方向Yのそれぞれにおいて互いに離間して繰り返し配置される。このような構造を「格子型」と呼ぶ。

30

【0128】

図9において、方向Xに沿って延びる部分とそれとは直交して方向Yに沿って延びる部分とを有する折り返し領域221Dを備えることで折れ曲がるように配置された離間領域21Dが、方向Xおよび方向Yにおいて互いに離間しつつ繰り返し配置されている。そして、ウェル領域30Dが、離間領域21Dを挟みつつ、方向Xおよび方向Yにおいて互いに離間しつつ繰り返し配置されている。さらに、コンタクト領域35Dが、ウェル領域30Dを囲みつつ、方向Xおよび方向Yにおいて互いに離間しつつ繰り返し配置されている。さらに、ウェル領域30Dが、ソース領域40Dを囲みつつ、方向Xおよび方向Yにおいて互いに離間しつつ繰り返し配置されている。さらに、離間領域22Dが、ウェル領域30Dを格子状に区切りつつ、方向Xおよび方向Yに延びて配置されている。

40

【0129】

図10は、格子型におけるセルの配置の例を示す概略図である。図10においては、離間領域21D、ウェル領域30Dおよび離間領域22Dのみを示す。

【0130】

50

格子型では、S B D にほぼ対応する n 型の離間領域 2 1 D と、M O S F E T にほぼ対応する p 型のウェル領域 3 0 D とからなる単位セル領域が、離間領域 2 2 D に区切られて、平面視で方向 X および方向 Y に繰り返し配置される。

【0131】

離間領域 2 1 D は、第 1 の実施の形態および第 2 の実施の形態のように繰り返し折り曲げて配置されている。そして、ウェル領域 3 0 D が、離間領域 2 1 D を取り囲むように配置されている。単位セル領域における離間領域 2 1 D の折れ曲がりの回数に制限はなく、何回折れ曲がってもよい。また、半導体チップ内の形成位置によって、それぞれの単位セル領域における離間領域 2 1 D の折れ曲がる周期または回数は適宜変更されてもよい。

【0132】

＜第 4 の実施の形態＞

本実施の形態に関する電力変換装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

【0133】

＜電力変換装置の構成について＞

本実施の形態は、第 1 の実施の形態、第 2 の実施の形態および第 3 の実施の形態に関する半導体装置を電力変換装置に適用したものである。本技術は特定の電力変換装置に限定されるものではないが、以下、第 4 の実施の形態として、三相のインバータに本技術を適用した場合について説明する。

【0134】

図 1 1 は、本実施の形態に関する電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0135】

図 1 1 に例が示される電力変換システムは、電源 1 0 0 と、電力変換装置 2 0 0 と、負荷 3 0 0 とを備える。電源 1 0 0 は、直流電源であり、電力変換装置 2 0 0 に直流電力を供給する。電源 1 0 0 は種々のもので構成することが可能であり、たとえば、直流系統、太陽電池または蓄電池で構成することができるし、交流系統に接続された整流回路または A C / D C コンバータで構成することとしてもよい。また、電源 1 0 0 を、直流系統から出力される直流電力を所定の電力に変換する D C / D C コンバータによって構成することとしてもよい。

【0136】

電力変換装置 2 0 0 は、電源 1 0 0 と負荷 3 0 0 との間に接続された三相のインバータであり、電源 1 0 0 から供給された直流電力を交流電力に変換し、負荷 3 0 0 に交流電力を供給する。電力変換装置 2 0 0 は、図 1 1 に例が示されるように、直流電力を交流電力に変換して出力する主変換回路 2 0 1 と、主変換回路 2 0 1 のそれぞれのスイッチング素子を駆動する駆動信号を出力する駆動回路 2 0 2 と、駆動回路 2 0 2 を制御する制御信号を駆動回路 2 0 2 に出力する制御回路 2 0 3 とを備えている。

【0137】

負荷 3 0 0 は、電力変換装置 2 0 0 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 3 0 0 は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、たとえば、ハイブリッド自動車、電気自動車、鉄道車両、エレベータ、または、空調機器向けの電動機などとして用いられる。

【0138】

以下、電力変換装置 2 0 0 の詳細を説明する。主変換回路 2 0 1 は、スイッチング素子と還流ダイオードを備えており（ここでは、図示しない）、スイッチング素子がスイッチングすることによって、電源 1 0 0 から供給される直流電力を交流電力に変換し、負荷 3 0 0 に供給する。主変換回路 2 0 1 の具体的な回路構成は種々のものがあるが、本実施の形態に関する主変換回路 2 0 1 は 2 レベルの三相フルブリッジ回路であり、6 つのスイッチング素子とそれぞれのスイッチング素子に逆並列された 6 つの還流ダイオードから構成

10

20

30

40

50

することができる。主変換回路201のそれぞれのスイッチング素子には、第1の実施の形態、第2の実施の形態および第3の実施の形態のいずれかにかかる半導体装置を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、それぞれの上下アームはフルブリッジ回路のそれぞれの相（U相、V相、W相）を構成する。そして、それぞれの上下アームの出力端子、すなわち、主変換回路201の3つの出力端子は、負荷300に接続される。

【0139】

駆動回路202は、主変換回路201のスイッチング素子を駆動する駆動信号を生成し、主変換回路201のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路203からの制御信号にしたがい、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とをそれぞれのスイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子のしきい値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子のしきい値電圧以下の電圧信号（オフ信号）となる。

【0140】

制御回路203は、負荷300に所望の電力が供給されるよう主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201のそれぞれのスイッチング素子がオン状態となるべき時間（オン時間）を算出する。たとえば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路201を制御することができる。そして、それぞれの時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路202に制御指令（制御信号）を出力する。駆動回路202は、この制御信号にしたがい、それぞれのスイッチング素子の制御電極にオン信号またはオフ信号を駆動信号として出力する。

【0141】

本実施の形態に関する電力変換装置200では、主変換回路201のスイッチング素子として第1の実施の形態、第2の実施の形態および第3の実施の形態に関する半導体装置を適用することによって、低損失、かつ、高速スイッチングの信頼性を高めた電力変換装置200を実現することができる。

【0142】

本実施の形態では、2レベルの三相インバータに本技術を適用する例が説明されたが、本技術は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置200としたが3レベルまたはマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本技術を適用しても構わない。また、直流負荷などに電力を供給する場合にはDC/DCコンバータまたはAC/DCコンバータに本技術を適用することも可能である。

【0143】

また、本技術を適用した電力変換装置は、上記の負荷が電動機である場合に限定されるものではなく、たとえば、放電加工機、レーザー加工機、誘導加熱調理器または非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システムまたは蓄電システムなどのパワーコンディショナーとして用いることも可能である。

【0144】

<以上に記載された複数の実施の形態によって生じる効果について>

次に、以上に記載された複数の実施の形態によって生じる効果の例を示す。なお、以下の説明においては、以上に記載された複数の実施の形態に例が示された具体的な構成に基づいて当該効果が記載されるが、同様の効果が生じる範囲で、本願明細書に例が示される他の具体的な構成と置き換えられてもよい。すなわち、以下では便宜上、対応づけられる具体的な構成のうちのいずれか1つのみが代表して記載される場合があるが、代表して記載された具体的な構成が対応づけられる他の具体的な構成に置き換えられてもよい。

【0145】

また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例が示されたそれぞれの構成が組み合わされて、同様の効果が生じる場合であってもよい。

【0146】

以上に記載された実施の形態によれば、半導体装置は、第1の導電型（n型）のドリフト層20と、複数の第2の導電型（p型）のウェル領域30（または、ウェル領域30C、ウェル領域30D）と、n型のソース領域40（または、ソース領域40、ソース領域40D）と、n型の第1の離間領域と、n型の第2の離間領域と、ゲート絶縁膜50と、ゲート電極60と、ショットキー電極71と、オーミック電極70と、ソース電極80とを備える。ここで、第1の離間領域は、たとえば、離間領域21、離間領域21A、離間領域21B、離間領域21C、離間領域21Dなどのうちの少なくとも1つに対応するものである。また、第2の離間領域は、たとえば、離間領域22、離間領域22C、離間領域22Dなどのうちの少なくとも1つに対応するものである。ドリフト層20は、n型の半導体基板10の上面に設けられる。ウェル領域30は、ドリフト層20の表層に互いに隔離して設けられる。ソース領域40は、ウェル領域30の表層に設けられる。離間領域21は、ドリフト層20の表層における、複数のウェル領域の間の領域である。離間領域22は、ドリフト層20の表層における複数のウェル領域の間の領域であり、かつ、離間領域21とは異なる領域である。ゲート絶縁膜50は、ソース領域40とドリフト層20とに挟まれるウェル領域30に接触して設けられる。ゲート電極60は、ゲート絶縁膜50に接触して設けられる。ショットキー電極71は、離間領域21の上面に設けられ、離間領域21とショットキー接合する。オーミック電極70は、ソース領域40の上面に設けられる。ソース電極80は、ショットキー電極71とオーミック電極70とに接触して設けられる。そして、離間領域21は、平面視で第1の方向および第1の方向とは異なる方向である第2の方向に向かって延びる。ここで、第1の方向は、たとえば、方向Xなどに対応するものである。また、第2の方向は、たとえば、方向Yなどに対応するものである。また、離間領域21は、方向Yにおいて折り返す少なくとも1つの第1の折り返し領域を有する。ここで、第1の折り返し領域は、たとえば、折り返し領域221、折り返し領域221A、折り返し領域221B、折り返し領域221C、折り返し領域221Dなどのうちの少なくとも1つに対応するものである。また、離間領域22は、平面視で少なくとも方向Xに延びる。また、離間領域22の方向Yにおける幅は、離間領域21の方向Xまたは方向Yにおける幅以上である。

【0147】

このような構成によれば、離間領域21に折り返し領域221を設けることによって、離間領域21のn型濃度を高めずに、また、離間領域21の幅を広げずに、SBDを介して流通する電子の量を増大させることができ、最大ユニポーラ電流密度を高めることができる。一方で、離間領域21の幅を離間領域22の幅よりも狭くすることで、離間領域21とウェル領域30とで形成されるPN接合部にかかる電界を軽減することができる。よって、トランジスタのオフ状態においてボディダイオードにかかる電界を緩和しつつ、最大ユニポーラ電流密度を高めることができる。

【0148】

なお、上記の構成に本願明細書に例が示された他の構成を適宜追加した場合、すなわち、上記の構成としては言及されなかった本願明細書中の他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

【0149】

また、以上に記載された実施の形態によれば、離間領域21の折り返し領域221は、複数設けられる。このような構成によれば、折り返し領域221が繰り返して設けられることで離間領域21を蛇行形状とすることができる。よって、離間領域21のn型濃度を高めずに、また、離間領域21の幅を広げずに、SBDを介して流通する電子の量を増大させることができ、最大ユニポーラ電流密度を高めることができる。

【0150】

また、以上に記載された実施の形態によれば、離間領域21の折り返し領域221は、一定の距離間隔で設けられる。このような構成によれば、離間領域21が蛇行する際の周期（距離の間隔）を一定とすることで、半導体チップ内の活性領域における最大ユニポーラ電流密度が一様となり、素子の性能を高めることができる。また、種々計算によって、当該構造によって、最大ユニポーラ電流密度が向上する効果が確かめられた。

【0151】

また、以上に記載された実施の形態によれば、離間領域21は、平面視でジグザグ形状である。このような構成によれば、繰返し設けられる折り返し領域221によって、離間領域21をジグザグ形状とすることができる。よって、離間領域21のn型濃度を高めずに、また、離間領域21の幅を広げずに、SBDを介して流通する電子の量を増大させることができ、最大ユニポーラ電流密度を高めることができる。また、離間領域21がジグザグ形状に蛇行して配置されているため、Aレイオン注入の際に用いられるフォトレジストも蛇行して形成することとなる。この場合、直線状にフォトレジストを形成する場合よりもフォトレジストが倒れにくくなり、パターン欠陥の発生を抑制することができる。

【0152】

また、以上に記載された実施の形態によれば、離間領域22Cが、平面視で方向Yに延びる。そして、離間領域22Cは、方向Yにおいて折り返す少なくとも1つの第2の折り返し領域を有する。ここで、第2の折り返し領域は、たとえば、折り返し領域222Cなどに対応するものである。折り返し領域221Cと折り返し領域222Cとが対応して設けられることによって、離間領域21Cと離間領域22Cとが並行して方向Xに延びる。このような構成によれば、離間領域21Cと離間領域22Cとが並行して方向Xに延び、図8における方向Yにおけるセルのピッチを狭くすることができる。よって、半導体チップの小型化が可能となる。

【0153】

また、以上に記載された実施の形態によれば、方向Xが、方向Yと直交する。そして、ウェル領域30（または、ウェル領域30C）およびゲート電極60が、平面視で方向Xに延びるストライプ形状である。このような構成によれば、蛇行する離間領域21を方向Xにおいて連続して配置することができるため、方向Xにおいて間欠的に配置する場合に比べて、半導体チップ内のSBD電流密度を均一化しやすい。また、このような構成によれば、蛇行形状が互いに直交する方向に延びるものであるため、レイアウトがしやすい。

【0154】

また、以上に記載された実施の形態によれば、折り返し領域221Bが、平面視で曲線形状である。このような構成によれば、離間領域21Bが曲がる際の離間領域21Bの幅の変化が小さくなる。そのため、トランジスタがオフの状態での離間領域21Bとウェル領域30とで形成されるPN接合部への電界集中が緩和されやすくなる。

【0155】

また、以上に記載された実施の形態によれば、半導体装置は、ウェル領域30を貫通してドリフト層20まで達するトレンチを備える。そして、ゲート絶縁膜50は、トレンチ内において、ソース領域40とドリフト層20とに挟まれるウェル領域30の側面を覆って形成される。また、ゲート電極60は、トレンチ内において、ゲート絶縁膜50に囲まれて形成される。このような構成によれば、プレーナゲート型だけでなく、トレンチゲート型のMOSFETにも上記の実施の形態に記載された技術を適用することができる。

【0156】

また、以上に記載された実施の形態によれば、電力変換装置は、上記の半導体装置を有し、かつ、入力される電力を変換して出力する主変換回路201と、半導体装置を駆動するための駆動信号を半導体装置に出力する駆動回路202と、駆動回路202を制御するための制御信号を駆動回路202に出力する制御回路203とを備える。このような構成によれば、上記の半導体装置を用いるため、トランジスタのオフ状態においてボディダイオードにかかる電界を緩和しつつ、最大ユニポーラ電流密度を高めることができる。

【0157】

＜以上に記載された複数の実施の形態の変形例について＞

以上に記載された複数の実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面においてひとつの例であって、限定的なものではない。

【0158】

したがって、例が示されていない無数の変形例と均等物とが、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施の形態における少なくとも1つの構成要素を抽出し、他の実施の形態における構成要素と組み合わせる場合が含まれるものとする。

10

【0159】

また、以上に記載された少なくとも1つの実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

【0160】

また、矛盾が生じない限り、以上に記載された実施の形態において「1つ」の構成要素が備えられる、と記載された場合に、当該構成要素が「1つ以上」備えられていてもよい。

【0161】

さらに、以上に記載された実施の形態におけるそれぞれの構成要素は概念的な単位であって、本願明細書に開示される技術の範囲内には、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含むものとする。

20

【0162】

また、以上に記載された実施の形態におけるそれぞれの構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれるものとする。

【0163】

また、本願明細書における説明は、本技術に関連するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

【符号の説明】

30

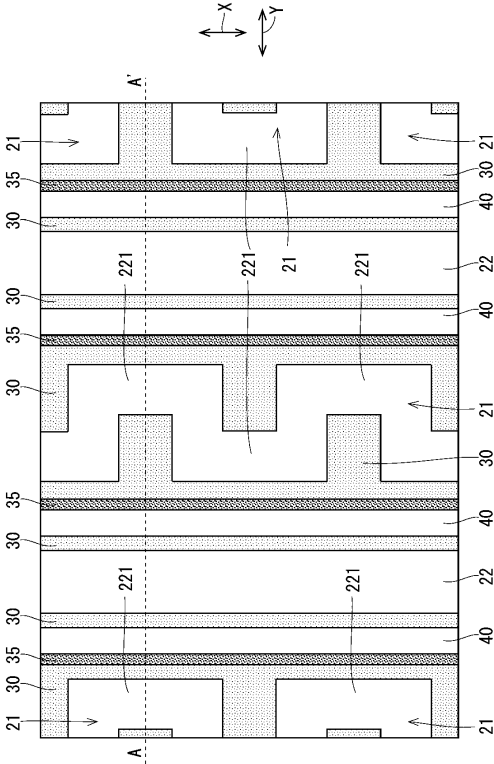
【0164】

10 半導体基板、20 ドリフト層、21 離間領域、21A 離間領域、21B 離間領域、21C 離間領域、21D 離間領域、22 離間領域、22C 離間領域、22D 離間領域、30 ウェル領域、30C ウェル領域、30D ウェル領域、32 保護領域、33 保護領域、34 離間領域、40 ソース領域、40C ソース領域、40D ソース領域、50 ゲート絶縁膜、50A ゲート絶縁膜、60 ゲート電極、60A ゲート電極、70 オーミック電極、71 ショットキー電極、71A ショットキー電極、80 ソース電極、200 電力変換装置、201 主変換回路、202 駆動回路、203 制御回路、221 折り返し領域、221A 折り返し領域、221B 折り返し領域、221C 折り返し領域、221D 折り返し領域、222C 折り返し領域、302 ゲートトレンチ、303 ショットキートレンチ、304 折り返し領域。

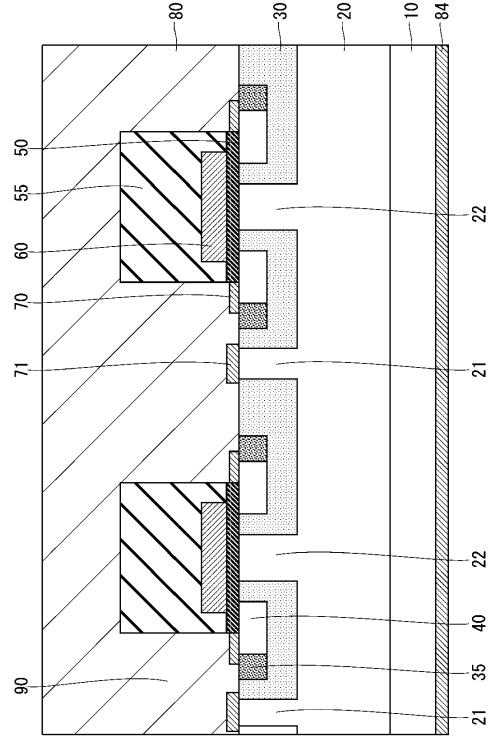
40

【図面】

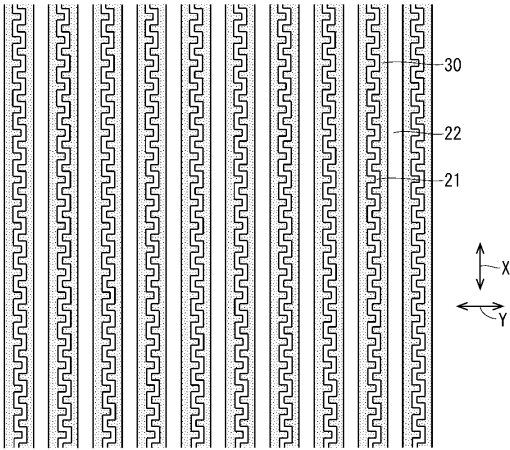
【図 1】



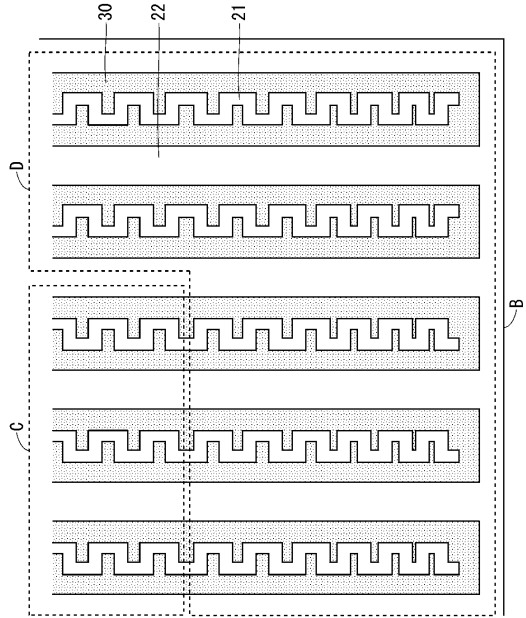
【図 2】



【図 3】



【図 4】



10

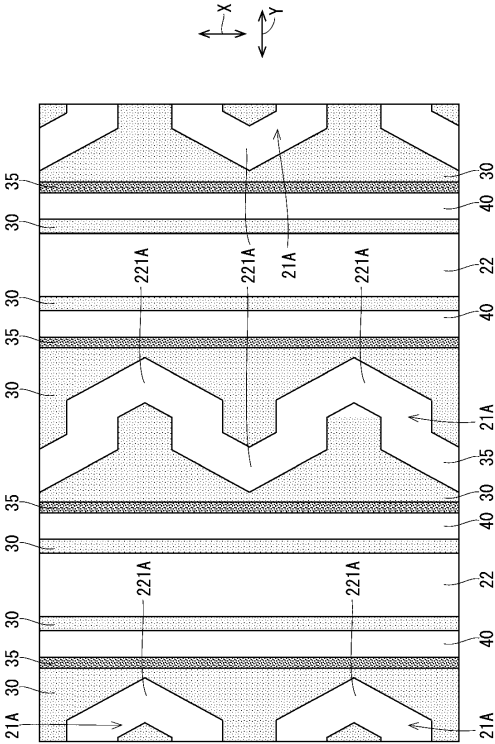
20

30

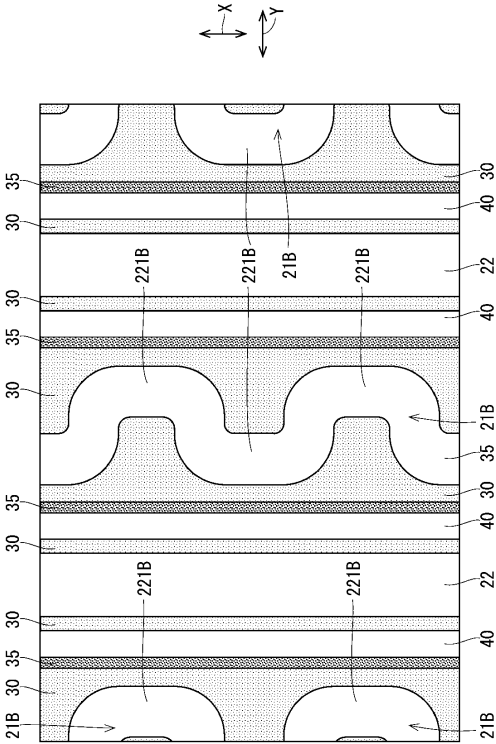
40

50

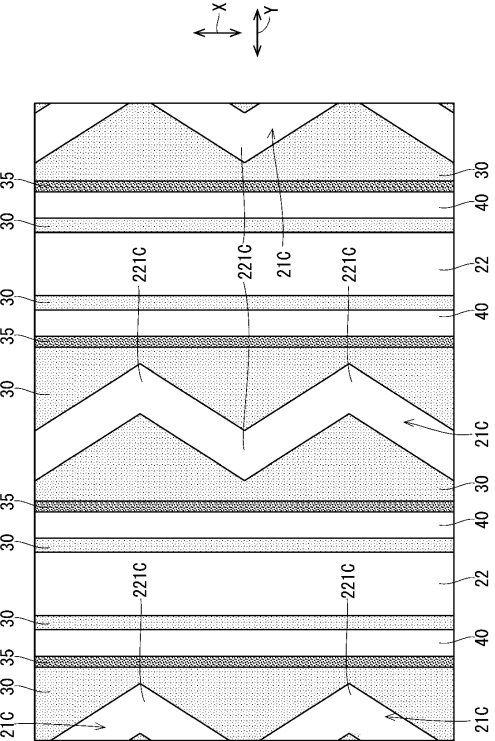
【図 5】



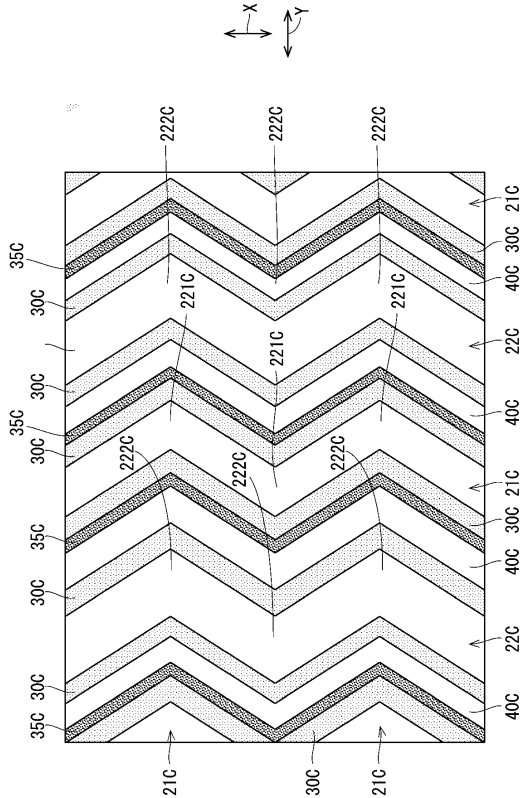
【図 6】



【図 7】



【図 8】



10

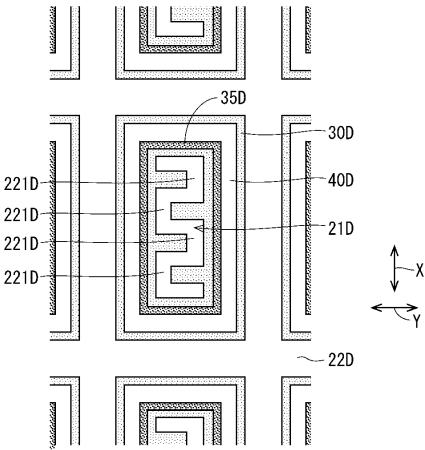
20

30

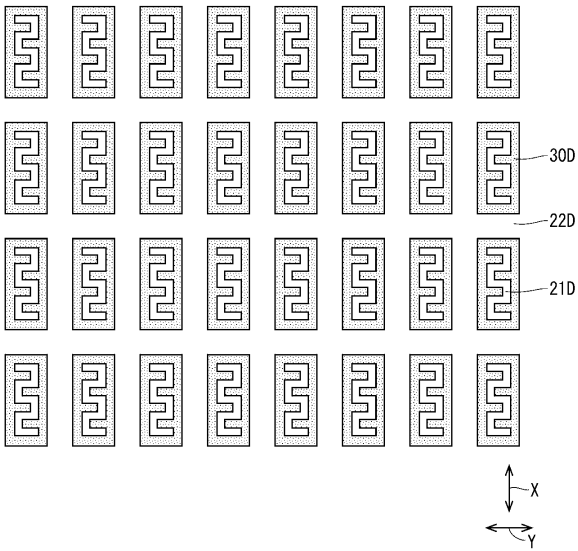
40

50

【図 9】

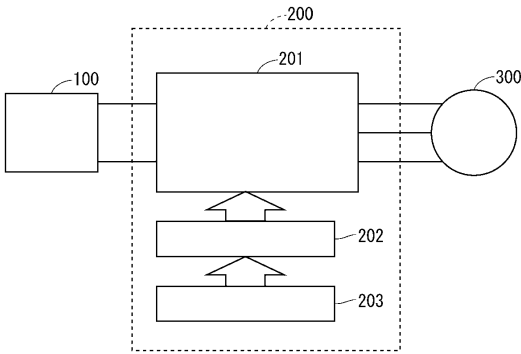


【図 10】

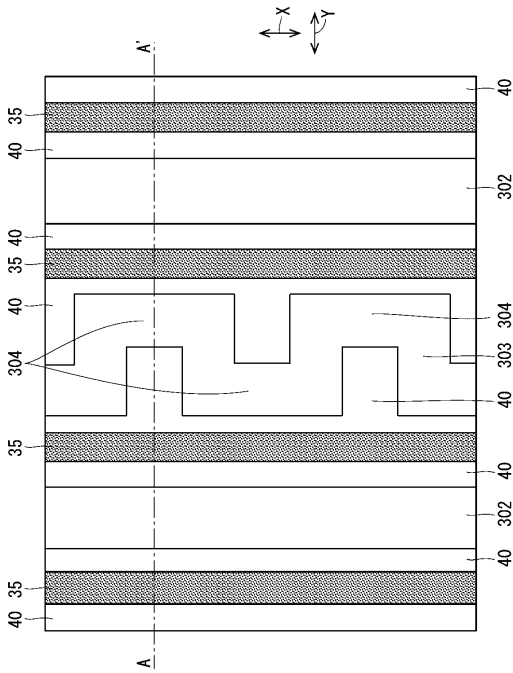


10

【図 11】



【図 12】



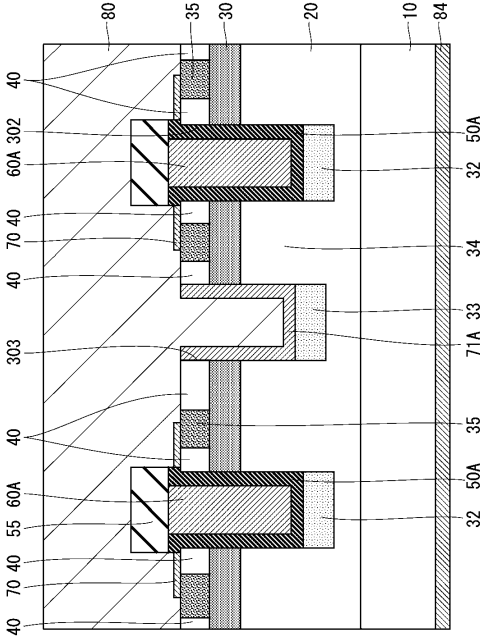
20

30

40

50

【図 13】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 1 0 D	64/64	B
	H 1 0 D	30/66	2 0 1 A
	H 1 0 D	30/66	1 0 2 S
	H 1 0 D	62/10	1 0 1 R
	H 1 0 D	62/10	1 0 1 V
	H 1 0 D	84/80	1 0 1 A

三菱電機株式会社内

(72)発明者 日野 史郎
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 杉山 芳弘

(56)参考文献 国際公開第2018/155553 (WO, A1)
特開2014-127555 (JP, A)
特開2020-141113 (JP, A)
国際公開第2011/013500 (WO, A1)

(58)調査した分野 (Int.Cl., DB名)
H 1 0 D 84/80
H 1 0 D 30/66
H 1 0 D 8/60
H 1 0 D 64/64
H 1 0 D 62/10