

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507887  
(P2004-507887A)

(43) 公表日 平成16年3月11日(2004.3.11)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 27/10 4 3 4	5 F O 8 3
HO 1 L 27/115	HO 1 L 29/78 3 7 1	5 F 1 O 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 予備審査請求 有 (全 64 頁)

(21) 出願番号 特願2002-520232 (P2002-520232)  
 (86) (22) 出願日 平成13年8月1日 (2001.8.1)  
 (85) 翻訳文提出日 平成15年2月17日 (2003.2.17)  
 (86) 国際出願番号 PCT/US2001/024063  
 (87) 国際公開番号 W02002/015190  
 (87) 国際公開日 平成14年2月21日 (2002.2.21)  
 (31) 優先権主張番号 09/639,195  
 (32) 優先日 平成12年8月15日 (2000.8.15)  
 (33) 優先権主張国 米国 (US)

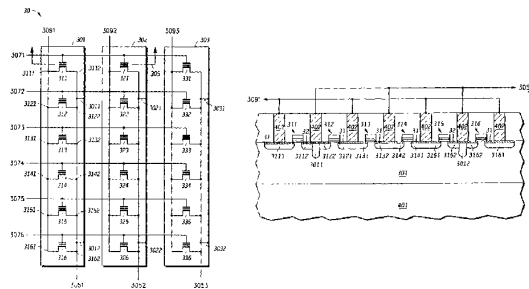
(71) 出願人 390009597  
 モトローラ・インコーポレイテッド  
 MOTOROLA INCORPORATED  
 アメリカ合衆国イリノイ州シャンバーグ、  
 イースト・アルゴンクイン・ロード1303  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 フー、チューンユー  
 アメリカ合衆国 78731 テキサス州  
 オースティン グレイストーン ドライ  
 ブ 3543 ナンバー1101

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ、製造およびプログラミングの方法

(57) 【要約】

不揮発性メモリは行と列(311-316; 331-336)に並んだセルのレイ(30)を含み、各列のセル(311-316; 331-336)は各々の分離型pウェル領域(301, 302, 303)に配置される。レイの行の中の一連のメモリセル(311, 321, 331; 316, 326, 336)の制御ゲートは共通のワード線(3071, 3072; 3076)で電氣的に連結される。ビット線(3091, 3092, 3093)は、各々の列(311-316; 331-336)の各メモリセルのドレイン領域またはソース領域に電氣的に連結する。ソース線(3051, 3052, 3053)およびレイの各列(311-316; 331-336)の少なくとも1つのメモリセルは、該ソース線およびセルの列のpウェル領域(301, 302, 303)に電氣的に連結される。従ってレイ(30)の各列は分離されたウェルの中に配置される。



## 【特許請求の範囲】

## 【請求項 1】

メモリセルの行と列を備えた電氣的消去・プログラム可能型読取専用メモリ（EEPROM）アレイを有する半導体デバイスであって：

空間的に離れ、かつ電氣的に分離された、半導体基板内の第 1 の p ウェル領域および第 2 の p ウェル領域；

第 1 の p ウェル領域内に配置された第 1 のメモリセル列；

第 2 の p ウェル領域内に配置された第 2 のメモリセル列；

同じ行にあり、共通のワード線によって電氣的に連結された、第 1 のメモリセル列の第 1 のメモリセルの第 1 の制御ゲートおよび第 2 のメモリセル列の第 2 のメモリセルの第 2 の制御ゲート；

第 1 のメモリセル列の各メモリセルのドレイン領域に電氣的に連結された第 1 のビット線；

第 2 のメモリセル列の各メモリセルのドレイン領域に電氣的に連結された第 2 のビット線；

第 1 のメモリセル列の各メモリセルのソース領域に電氣的に連結された第 1 のソース線であって、該第 1 のソース線と第 1 のメモリセル列の少なくとも 1 つのメモリセルのソース領域が、第 1 の p ウェル領域に電氣的に連結された第 1 のソース線；および

第 2 のメモリセル列の各メモリセルのソース領域に電氣的に連結された第 2 のソース線であって、該第 2 のソース線と第 2 のメモリセル列の少なくとも 1 つのメモリセルのソース領域が、第 2 の p ウェル領域に電氣的に連結された第 2 のソース線；を備えた半導体デバイス。

## 【請求項 2】

第 1 の p ウェル領域および第 2 の p ウェル領域がトレンチ分離機構によって空間的に離れ、かつ電氣的に分離される、請求項 1 に記載の半導体デバイス。

## 【請求項 3】

メモリセルの行と列を備えた電氣的消去・プログラム可能型読取専用メモリ（EEPROM）アレイを有する半導体デバイスであって：

半導体基板内に形成された p ウェル領域；

各メモリセルが p ウェル領域内に配置されたソース領域およびドレイン領域を有し、各ソース領域が p ウェル領域に電氣的に連結された、複数のメモリセルの列；

各々がメモリセル列内のメモリセルの制御ゲートに電氣的に連結された複数のワード線；および

メモリセル列内の各メモリセルのドレイン領域に電氣的に連結されたビット線；を備えた半導体デバイス。

## 【請求項 4】

電氣的消去・プログラム可能型読取専用メモリ（EEPROM）アレイを形成する方法であって、

シャロートレンチ分離機構によって空間的に離れた第 1 の p ウェル領域および第 2 の p ウェル領域を半導体基板に形成する工程と；

第 1 の p ウェル領域内に配置される第 1 のメモリセル列を形成する工程と；

第 2 の p ウェル領域内に配置される第 2 のメモリセル列を形成する工程と、第 1 のメモリセル列の第 1 のメモリセルの第 1 の制御ゲートおよび第 2 のメモリセル列の第 2 のメモリセルの第 2 の制御ゲートが共通のワード線によって電氣的に連結されることと；

第 1 のメモリセル列の各メモリセルのドレイン領域に電氣的に連結される第 1 のビット線を形成する工程と；

第 2 のメモリセル列の各メモリセルのドレイン領域に電氣的に連結される第 2 のビット線を形成する工程と；

第 1 のメモリセル列の各メモリセルのソース領域に電氣的に連結される第 1 のソース線であって、該第 1 のソース線と第 1 のメモリセル列の少なくとも 1 つのメモリセルのソース

10

20

30

40

50

領域が第1のpウェル領域に電氣的に連結される、第1のソース線を形成する工程と；  
第2のメモリセル列の各メモリセルのソース領域に電氣的に連結される第2のソース線であって、該第2のソース線と第2のメモリセル列の少なくとも1つのメモリセルのソース領域が第2のpウェル領域に電氣的に連結される、第2のソース線を形成する工程；を含む方法。

【請求項5】

メモリセルの行と列を備えた電氣的消去・プログラム可能型読取専用メモリ（EEPROM）をプログラミングする方法であって、

各メモリセル行がワード線を備え；

各メモリセル列がソース線およびビット線を備え、かつ各メモリセル列は、隣接する別個のpウェルが互いに電氣的に分離される別個のpウェル内に配置され；

各メモリセル列のソース線が、各列の少なくとも1つのメモリセルのソース領域に隣接して配置されるp型領域によって、それぞれのpウェルに電氣的に接続し；上記プログラミング方法は、

第1の列の少なくとも第1のビットおよび第2の列の少なくとも第2のビットを、

第1の列の少なくとも第1のビットおよび第2の列の少なくとも第2のビットに選択されたワード線電位をかけること；

第1の選択されたビット線電位および第1の選択されたソース線電位を第1の列の少なくとも第1のビットにかけること；

第2の選択されたビット線電位および第2の選択されたソース線電位を第2の列の少なくとも第2のビットにかけること；によって選択する工程；

第1の選択されたビット線電位および第1の選択されたソース線電位の少なくとも1つを、少なくとも第1のビットの第1の閾値電圧を第1の閾値電圧の電位から目標の閾値電圧の電位へ移行させるべくパルスする工程；

第2の選択されたビット線電位および第2の選択されたソース線電位の少なくとも1つを、少なくとも第2のビットの第2の閾値電圧を第2の閾値電圧の電位から目標の閾値電圧の電位へ移行させるべくパルスする工程；

第2の選択されたビット線電位および第2の選択されたソース線電位の少なくとも1つを第2の閾値電圧の電位から目標の閾値電圧の電位へ移行させることを継続するためにパルスすることを継続しながら、少なくとも第1のビットを第1の閾値電圧から目標の閾値電圧の電位へ移行した後に非選択状態にする工程；および

第2の列の少なくとも第2のビットを、第2の閾値電圧から目標の閾値電圧の電位へ移行した後に非選択状態にする工程；

を含む；プログラミング方法。

【発明の詳細な説明】

【0001】

（発明の分野）

本発明は一般に半導体デバイス、より詳細には不揮発性メモリおよび分離型チャネルプログラミングおよびアレイ操作に関する。

【0002】

（関連技術）

電氣的消去・プログラム可能型読取専用メモリ（EEPROM）アレイのような従来のメモリアレイは、個別のメモリセルを多数備えている。メモリセルは所望の論理状態または記憶状態にプログラムされうる。アレイをプログラムする際、各セルは高電圧または低電圧（すなわちオンまたはオフ）のどちらかの状態でなければならない。望ましい高電圧の状態は、電力消費の点ならびに物理的制約および材料上の制約から限定されている。望ましい低電圧の状態も、高電圧の状態とは区別されなければならないが、緊密なメモリアレイセルの配置中で近隣のセル間に交差漏電が生じる結果になってはならないため、同様に限定されている。低電圧の状態にアクセスするのに必要な電圧が高いほど、メモリセルによって消費される電力は大きくなる。

10

20

30

40

50

## 【0003】

従来、メモリセルは1つのアレイに配置されている。そのようなアレイの単純化した例を図1に示す。図1の例示アレイはわずか9つの個別メモリを備えているだけであるが、通常のメモリアレイはもっと多くのセルを備えている。従って図1の例示アレイ中のセル数が少ないのは、本明細書中で図を用いて説明および議論するための単なる例証的なものとして理解されるべきものである。実際、本明細書に記載されているのと同じの原理は、より多くのメモリセルのアレイを含む、非常に様々な大きさのメモリアレイに適用されうる。

## 【0004】

図1のアレイは個別のメモリセル、例えばメモリセル101 - 109を備えている。例えばセル101のような、アレイの各セルは、ゲートでセル101に接続されるワード線( $W_1$ )121のようなワード線に、ゲートで接続される。例えば別のセル102および103もワード線121に接続される。図1で参照するために、セル101, 102, 103はアレイ内の共通の「行(row)」に配置されている。ワード線( $W_1$ )121, ( $W_2$ )122および( $W_3$ )123のような共通のワード線は、それぞれセル101, 102, 103および104, 105, 106および107, 108, 109のような共通の行にあるセルを接続する。

## 【0005】

行の各セルのドレインは別々のビット線に接続され、例えばセル101のドレインはビット線( $B_1$ )131に接続される。同一のビット線131が、例えばアレイの別のセル104および107に接続する。参照のために、セル101, 104, 107はアレイ内の共通の「列(column)」に配置されている。ビット線131, 132および133のような共通のビット線は、それぞれセル101, 104, 107および102, 105, 108および103, 106, 109のような共通の列にあるセルを接続する。

## 【0006】

セル101のソースはソース線125に接続される。このソース線125はアレイ全体の他の全てのセル101 - 109のソースにも接続する。よって、図1でもわかるように、平行するワード線121 - 123の各線が、アレイの共通の行に配置された各セル101 - 103, 104 - 106または107 - 109のゲートをそれぞれ接続し、平行するビット線131 - 133の各線が、アレイの共通の列に配置された各セル101, 104, 107または102, 105, 108または103, 106, 109のドレインをそれぞれ接続する。アレイの全セル101 - 109は共通のウェル、例えば図1のpウェル100に配置される。上記の構成において、ソース線125とpウェル100の各々は、アレイのセル101 - 109の各々に対して共通である。

## 【0007】

セル101 - 109の前述のアレイをプログラムするには、選択メモリセルのワード線および選択メモリセルのビット線に正の電圧がかけられる。選択メモリセルは、ホットキャリア注入(HCI)により引き続きプログラムされ、その結果、選択メモリセルの閾値電圧は変化する(すなわち浮遊ゲートに蓄積される電荷量は変化する)。閾値電圧の変化は、アレイ中の全ての選択メモリセルについて目標の閾値電圧が達成されたかどうかを検出するために、プログラミング事象中定期的に感知される。

## 【0008】

セル101 - 109の前述のアレイを消却するには、各ワード線に負の電圧を、ソース線125または共通のpウェル100のいずれかに正の電圧をかけることによりアレイ全体が消却される。このようにして、アレイ中の全てのメモリセルの浮遊ゲートが、それに応じて低い閾値電圧の状態に同時に荷電される。

## 【0009】

図2では、高い閾値電圧の状態および低い閾値電圧の状態、すなわち「オフ」または「オン」の状態に相当する状態における、アレイのメモリセル101 - 109によって表されるビット間の閾値電圧が、プロットにより図示されている。注目すべきことに、各々の高

電圧の状態および低電圧の状態は、実際にはそれぞれ特定の目標の高電圧および目標の低電圧の付近の、ある範囲の電圧レベルである。図2に示された電圧の範囲は、全てのセルがpウェル100のような共通のウェルを共有している従来のアレイのプログラミングの際に示される分布のタイプの例である。図2の分布では、高い閾値電圧は例えば5～6ボルトの間の比較的狭い分布に集中している。しかし、閾値電圧の分布は低い閾値電圧の状態では0.5ボルト～2.5ボルトのように非常に広がる。このような、低い側の閾値電圧の状態におけるより広い閾値電圧の分布が生じるのは、主として、全てのビットセルが配置されている共通のpウェルが原因で全てのメモリセルが同時に消却されるためである。工程の変化、材料の欠陥、および材料の特性の劣化は全て、高い閾値の状態に比べ低い閾値の状態でそのようにより広い $V_t$ 分布となる主な原因である。より広い $V_t$ 分布は、低い $V_t$ 状態のビットセルの読み取りアクセスの成功を確実にするための、読み取り操作の際の高いワード線電圧の必要性につながる。

10

20

30

40

50

**【0010】**

提示された問題点には、低い閾値の状態の読み取りアクセスの成功を確実にするため、より高いワード線電圧を必要とすることにより、かなりの電力が消費されることが含まれる。さらに、より高いワード線電圧を達成するために、所望のワード線電圧を達成する目的で低電圧の電源からのブーストが必要とされる可能性がある。低電圧の電源からのブーストまで用いて所望のワード線の電圧に達することは、低い電力だけを用いる場合にはゆっくりブーストするため、通常は非常に多くの時間を要する可能性がある。読み取りアクセスに必要なワード線の電圧を低減するために、低い側の閾値電圧レベルにおけるセルアレイ間の電圧の範囲分布を制御することは利点となるであろう。しかしながら、低い側の電圧の範囲分布を制御することは、アレイの全てのセルが共通のpウェルに配置されている場合に、隣接するセル間の交差漏電という問題を招く可能性がある。

**【0011】**

本発明は、低い側の閾値電圧の分布をより狭い範囲へ限定することを提供し、より低いワード線電圧を用いてより速いアクセスをさらに実現するので、当業界における大きな進歩および利点である。

**【0012】**

本発明は添付図面に限定ではなく例として示される。添付図面では、同様な参照番号は類似の構成要素を示す。

当業者には、図中の構成要素が簡潔さおよび明瞭さのために示されたものであり、必ずしも正しい縮尺で描かれたものではないことが理解されるであろう。例えば、図中のある構成要素の寸法は、本発明の実施形態の理解向上のために他の要素に比べて強調されることもある。

**【0013】**

(詳細な説明)

本発明の1つの実施形態によれば、電氣的消却・プログラム可能型読取専用メモリ(EEPROM)アレイのような不揮発性メモリ(NVM)アレイは、アレイの選択メモリセルのプログラム化した閾値電圧の分布幅を小さくするために別々のpウェルの領域に作られたメモリセルの列を備えている。例えば、共通のビット線を共有する複数のメモリセルがpウェル領域のようなウェル領域内に形成される。1つの実施形態では、各分離型pウェルがアレイ中でメモリセルの列を形成する。pウェルはシャロートレンチ分離(STI)構造を用いて互いに電氣的に分離される。別々のpウェル領域内に作られたメモリセルは共通のビット線と共通のソース線を共有する。メモリアレイを別々のpウェルに分けることは、アレイ中のメモリセルをより狭められた閾値電圧の分布にプログラム化することにより、改良されたプログラミング制御を提供する。

**【0014】**

図3では、メモリセルアレイ30はメモリセル311-316, 321-326および331-336を備えている。メモリセルアレイ30は、アレイが図示されたものより多くのあるいは少ない個別メモリセルを備えることができ、またセルが共通の行、共通の列、

またはその他の相対位置の、非常に様々な任意の構成に配置されうる点で、典型として表されるものである。アレイでは、メモリセル 3 1 1 - 3 1 6 が第 1 列を形成し、メモリセル 3 2 1 - 3 2 6 が第 2 列を形成し、メモリセル 3 3 1 - 3 3 6 が第 3 列を形成する。

#### 【0015】

各列のメモリセルはそれぞれのドレイン（またはドレイン領域）において共通のビット線によって接続され、例えばメモリセル 3 1 1 - 3 1 6 はビット線 3 0 9 1 によって接続され、メモリセル 3 2 1 - 3 2 6 はビット線 3 0 9 2 によって接続され、メモリセル 3 3 1 - 3 3 6 はビット線 3 0 9 3 によって接続される。メモリセル 3 1 1, 3 2 1, 3 3 1 のような隣接する列の対応するセルは、その制御ゲートにおいて共通のワード線によって各々接続され、例えばワード線 3 0 7 1 はメモリセル 3 1 1, 3 2 1, 3 3 1 の各々の制御ゲートを接続し、ワード線 3 0 7 2 はメモリセル 3 1 2, 3 2 2, 3 3 2 の各々の制御ゲートを接続し、ワード線 3 0 7 3 はメモリセル 3 1 3, 3 2 3, 3 3 3 の各々の制御ゲートを接続し、ワード線 3 0 7 4 はメモリセル 3 1 4, 3 2 4, 3 3 4 の各々の制御ゲートを接続し、ワード線 3 0 7 5 はメモリセル 3 1 5, 3 2 5, 3 3 5 の各々の制御ゲートを接続し、ワード線 3 0 7 6 はメモリセル 3 1 6, 3 2 6, 3 3 6 の各々の制御ゲートを接続する。1つの実施形態によれば、メモリセルの各列、例えばメモリセル 3 1 1 - 3 1 6 は、p ウェル 3 0 1 のような共通のウェル内に配置される。メモリセル 3 2 1 - 3 2 6 は p ウェル 3 0 2 に配置され、メモリセル 3 3 1 - 3 3 6 は p ウェル 3 0 3 に配置される。メモリセルの各列はシャロートレンチ分離構造によって隣接するメモリセルの列から電気的に分離される（図 3 には示されていない）。

10

20

#### 【0016】

ソース線は、第 1 列のセル 3 1 1 - 3 1 6 がソース線 3 0 5 1 に接続されているように、それぞれの列の各メモリセルのソース領域に電気的に連結する。1つの実施形態によれば、ソース線 3 0 5 1 および p ウェル領域 3 0 1 は、帯状結合部材である電気的タイすなわちストラップ 3 0 1 1 および 3 0 1 2 によって図示されるように、等電圧を有するように電気的に連結される。アレイ 3 0 の他の分離型 p ウェル 3 0 2, 3 0 3 はそれぞれセル 3 2 1 - 3 2 6 または 3 3 1 - 3 3 6 の列を備え、該メモリセル 3 2 1 - 3 2 6 または 3 3 1 - 3 3 6 のソース領域はソース線 3 0 5 2 または 3 0 5 3 に電気的に連結される。接続 3 0 2 1, 3 0 2 2 および 3 0 3 1, 3 0 3 2 はそれぞれ電気的連結を示し、従って一方ではソース線 3 0 5 2 と p ウェル 3 0 2 が、もう一方ではソース線 3 0 5 3 と p ウェル 3 0 3 が等電圧であることを示す。ソース線 3 0 5 1 と p ウェル 3 0 1 の接続は 4 つのセルごと、すなわちメモリセル 3 1 2 - 3 1 5 の配列の両側の接続 3 0 1 1, 3 0 1 2 に存在するものとして図 3 に示されているが、接続の間のこのメモリセルの配列および数は単に典型例にすぎず、非常に様々な任意のメモリセルの配列が接続 3 0 1 1 と 3 0 1 2、3 0 2 1 と 3 0 2 2、3 0 3 1 と 3 0 3 2 のそれぞれの間に入ることができる。例えば、接続は 1 6 セルごと、3 2 セルごと、6 4 セルごと、または他にはアレイ、アレイの構造、所望の構成に基づいて、望み通りに存在しうる。

30

#### 【0017】

3 0 1 1 や 3 0 1 2 のようなストラップによって形成される接続は、p ウェルの電位を読み取り操作および書き込み操作の間安定に保つことを確実にするのに役立つ。通常、p ウェルの深さはシャロートレンチ分離構造の深さをこえない。従って、p ウェル領域のシート抵抗は通常シャロートレンチ分離構造の深さが減少するにつれて増加する。このことは、p ウェルに漏れ電流がある場合に p ウェルの電位を不安定にする可能性がある。不安定な p ウェルの電位はそれに付随して望ましくない閾値電圧の不安定さを引き起こす可能性がある。従って、3 0 1 1 や 3 0 1 2 のようなストラップは、ソース線（および p ウェル）にかけられた電位が p ウェル領域全体に均等に分布し、それによって p ウェル内のメモリセルの閾値電圧の安定性を向上させることを確実にする助けとなる。

40

#### 【0018】

図 4 については、図 3 のアレイを備え、深い n ウェル 4 0 1 内に形成された p ウェル 3 0 1 を含む半導体デバイスの断面図である。メモリセルのソース領域とドレイン領域は、導

50

電性プラグ402によってそれぞれソース線3051およびビット線3091と接続される。ソース領域は拡散領域3112, 3122および3132, 3142および3152, 3162を含んでいる。ドレイン領域は拡散領域3111および3121, 3131および3141, 3151および3161を含んでいる。ソースからpウェルへのストラップはpドープ領域3011および3012を含んでいる。1つの実施形態によれば、選択ソース領域は、ケイ化領域32として図示されるように、選択ソース領域3112, 3122, 3152, 3162およびpウェルストラップ3011および3012の上に横たわる半導体基板の一部をケイ化することによって、pウェルストラップに電氣的に短絡される。別の実施形態では、pウェル領域301は、選択ソース領域を直接p領域に短絡する程度までケイ化することにより、また別の方法では選択ソース領域の導電性プラグの接触開口部を、導電性プラグが選択ソース領域およびpウェル領域に電氣的に短絡する程度にオーバーエッチングすることにより、選択ソース領域と電氣的につながれうる。

10

#### 【0019】

図4に示すように、各ソース領域およびドレイン領域はメモリセル311, 312, 313, 314, 315および316のチャンネル領域により分離される。1つの実施形態によれば、メモリセルは、チャンネル領域の上のトンネル酸化物、トンネル酸化物の上の浮遊ゲート電極、浮遊ゲート電極の上の制御ゲート誘電体、および制御ゲート誘電体の上の制御ゲート電極を備える。導電性プラグ402および相互接続(図示せず)が、ドレイン領域の場合はビット線3091またはソース領域の場合はソース線3051のどちらか一方からの電氣的信号で各ソース領域およびドレイン領域に接続する。ビット線3091およびソース線3051は電線として図4に図式的に示されてはいるが、各ビット線3091およびソース線3051を形成するために適当な半導体の相互接続が該デバイスと同じまたは異なったレベルで作られることは当然であり、電線を用いた説明図は単に接続と構成の導電性上の効果を説明し理解するためのものにすぎない。

20

#### 【0020】

図5では、図3のレイ30の電氣的構造を有する図4の半導体デバイスが、実質的には切断線305に沿った、隣接するpウェル301, 302を横切る断面図として図示されている。1つの実施形態によれば、深いnウェル領域401が半導体デバイス基板の中に形成され、メモリセルのレイを形成するのに用いられるpウェルの列が深いnウェル領域に配置されている。図5の断面図に示すように、シャロートレンチ分離構造501と深いnウェル領域401がpウェル領域301と302を電氣的に分離している。メモリセル311および321がそれぞれpウェル領域301および302の上に位置する。メモリセル311および321は、トンネル酸化物502、浮遊ゲート電極503および504、制御ゲート誘電層505および図3のワード線3071の一部から形成される制御ゲートを備えている。さらに、ワード線3071はメモリセル311および321を相互接続する。

30

#### 【0021】

図5の断面図から明らかなように、pウェル301はpウェル302から分離されている。分離されているので、pウェル301に関するメモリセルのバイアス電位はpウェル302に関するメモリセルのバイアス電位と必ずしも同じではなく、独立でありうるということが理解できる。言い換えれば、各々の別個のpウェルの列はレイ30の他のpウェルの列から電氣的に分離されている。以下においてより完全に理解されるように、上記の分離型pウェルは、低い閾値電圧レベルと高い閾値電圧レベルの両方について、閾値電圧のより狭い分布を達成するような方法におけるレイプログラミングを可能とする。分離型pウェルは、隣接するセル間の交差漏電の機会を減少させることを含むその他の利点をさらに提供するが、そのような利点も以下においてより完全に理解されるであろう。

40

#### 【0022】

図6~9では、図5のデバイスの形成に関するステップがより完全に記載される。図6に示されているのは半導体デバイス基板601である。半導体デバイス基板601は、単結晶性半導体ウェーハ、絶縁物上の半導体(SOI)基板、または半導体デバイスを形成す

50

るための使用に適したその他の任意の基板でありうる。1つの特定の実施形態では、半導体デバイス基板はシリコン基板である。半導体デバイス基板601に分離構造501が形成される。1つの特定の実施形態では、分離構造501はシャロートレンチ分離構造である。代替形態では、分離構造501はシリコン局所酸化(L O C O S)構造またはその他の当業者に周知の分離構造を含みうる。シャロートレンチ分離構造501は基板601の中にその後形成されるpウェル領域を分離する役目を果たす。1つの実施形態では、シャロートレンチ分離構造は約0.35~0.65マイクロメートルの範囲の深さを有するか、またはその代わりに、用途に適したその他の深さおよびパラメータを有する。

#### 【0023】

図7では、シャロートレンチ分離構造501の形成後に、基板601の中にドーブ領域701および702を形成するためにpウェルの注入が実施される。1つの実施形態によれば、基板601はpドーブ領域701および702を形成するべくホウ素またはその他のp型ドーパントを用いて注入される。pドーブ領域701および702の形成後、基板601は深いnドーブ領域703を形成するべくリンまたはその他のn型ドーパントを用いて再度注入される。当業者は、深いドーブ領域703を形成するために使用される注入エネルギーがドーブ領域701および702を形成するために使用される注入エネルギーに比べて高いことを認識している。

#### 【0024】

p型ドーブ領域701および702並びに深いn型ドーブ領域703の形成後、図8に示すようにトンネル酸化物502が基板表面の上に形成される。(本明細書の文脈で用いられるとき、「基板表面」には半導体デバイス基板だけでなく、議論中のプロセスに至るまでに半導体デバイス基板上に加工される全ての層が含まれることに注意のこと。従って、基板表面は、基板上に形成される全ての構造を含む、現時点で最上部の基板の表面をいう)。1つの実施形態によれば、トンネル酸化物は熱によって成長させた二酸化シリコンの層である。代替実施形態では、トンネル酸化物には高誘電率材料または熱によって成長させた二酸化シリコンと高誘電率材料との組み合わせが含まれうる(本明細書の目的としては高誘電率(h i g h - k)材料は二酸化シリコンの誘電率より高い誘電率を有する材料である)。

#### 【0025】

1つの実施形態によれば、次に半導体基板は、基板601(すなわちp型領域701および702ならびに深いn型領域703)の中のドーパントを拡散させ活性化するために従来のアニール方法を用いてアニールされ、それによって図8に示すpウェル領域301および302ならびに深いnウェル領域401が形成される。次いで第1の導電層801が基板表面を覆って形成される。1つの実施形態では第1の導電層801は多結晶シリコンの層である。その後、図8に示すように第1の導電層801を覆ってレジスト層が堆積され、パターン形成される。次に第1の導電層801およびその下のトンネル酸化物の層502は、図9に示す浮遊ゲート503および504を形成するためにエッチングされる。

#### 【0026】

さて図9を参照すると、浮遊ゲート電極503および504を形成した後、制御ゲート誘電層505が浮遊ゲート電極503および504を覆って形成される。1つの実施形態によれば、制御ゲート誘電層505は約10-15ナノメートルの酸化膜換算膜厚(E O T)を有する酸化膜-窒化膜-酸化膜(O N O)層である。その後、第2の導電層が堆積され、パターン形成され、ワード線3071を形成するために要望どおりにエッチングされ、このステップはメモリセル311および321の制御ゲートも形成する。1つの実施形態によれば、第2の導電層は多結晶シリコンの層である。ワード線3071は(図3にも示すように)普通にメモリセル311および321に接続する。ワード線3071および他のワード線(図示せず)が形成された後、原料ガスとしてテトラエトキシシラン(T E O S)またはその他の類似の材料を用いて形成される化学気相成長(C V D)シリコン酸化物のような中間誘電(I L D)層901が基板表面に堆積される。図9には示されていないが、その後の半導体デバイス作製のステップにはアレイの他の構成要素への接点およ

10

20

30

40

50

び相互接続の形成が含まれる。

【0027】

別の実施形態では、技術が機能を拡張し続けるにつれて、メモリセルの大きさ、図5-9に開示される深いnウェル構成の領域が大きすぎて高電圧の書き込み操作および消去操作のための充電/放電時間が遅くなるかもしれない。これを克服するため、本発明者はpウェルおよびnウェルの両方について各列が完全に分離されているディープトレンチ構造が、シャロートレンチ分離の代わりになりうると判断した。この構造は各個別のビット線についてp型基板に対するnウェルの接合静電容量を有利に減少させることができ、その結果書き込み/消去操作にかかる充電/放電時間を減少させる。さらに、pウェルの深さはトレンチ分離構造の深さを増すことにより増大されうる。pウェルの深さを増すことにはいくつかの利点がありうる。第1に、(すでに述べたように)pウェルのシート抵抗を減少させ、pウェルの電位の不安定さを減少させる助けとなる。第2に、より深いトレンチ分離構造は隣接するビット線間の漏電経路を減少させるため、pウェル中のホウ素のドーピングプロファイルを制御する必要を減じることにより半導体デバイスの製造しやすさを向上させる。第3に、より深いpウェル/トレンチ分離構造はn+(ソースおよびドレイン)/pウェル/nウェル寄生トランジスタの双極性の動作をさらに減少させる。図9の点線902はそのような深いトレンチの例を示す。図9に示すように、ディープトレンチ分離構造の深さは深いnウェル領域401の深さ以上に及ぶ。ディープトレンチ分離構造は、約0.6-1.1マイクロメートルの範囲の深さを有することが好ましい。ディープトレンチ分離構造は、約0.8-1.0マイクロメートルの範囲の深さを有することがさらに好ましい。

【0028】

図10A-Eでは、分離型のpウェル構造を有するメモリセルアレイのプログラミングの実施形態が開示される。各図10A-Eには、左側に図3の3つのメモリセル311, 321, 331を含むアレイ30のメモリセルについての閾値電圧( $V_T$ )に対するビット数を示すX-Yプロットと、右側に該メモリセルをプログラムするのに使用される代表的なバイアス電位を示す図3のメモリアレイ30の簡略図とが含まれる。全体として図10A-Eは、本発明の実施形態(すなわちメモリアレイ中に列を形成するために分離型pウェルを用いること)が、どのようにしてアレイ中のメモリセルを従来技術のメモリアレイに比べてより狭められた $V_T$ 分布を有する低い閾値電圧の状態にプログラムするのに用いられうるかを示す。3つのメモリセル311, 321, 331とアレイ30の残りのメモリセルについてのプログラミングおよび特定のバイアス電位は限定的なものではなく単に例示のためのものである。当業者はアレイ中の任意の数のメモリセルがプログラムされうること、および他のバイアス電位がメモリセルをプログラムするのに使用されうることを認識する。

【0029】

1つの実施形態によれば、高い閾値電圧の状態から低い閾値電圧の状態へメモリセルの閾値電圧を変えることがメモリセルをプログラムする。高い閾値電圧および低い閾値電圧の状態はそれぞれ個別の閾値電圧の目標値を構成する範囲を有している。例えば、本明細書に記載の実施形態では、高い閾値電圧の目標値は約4.0ボルト~約5.0ボルトの範囲にあり;低い閾値電圧の目標値は約1.0ボルト~約1.5ボルトの範囲にあり、そして読み取り電圧レベルは約3.3ボルトである。本明細書に記載の実施形態を用いる低い閾値電圧の目標値は、従来のメモリアレイで以前に得られた目標値より狭められている。分離型pウェルは各々のpウェル中のメモリセルに別々にバイアスがかかることを可能にする。メモリセルに別々にバイアスがかかる能力は、特定のpウェルのメモリセルを該メモリセルに所望の閾値電圧が得られた後に非選択状態にする能力を提供することにより、メモリセルを所望の閾値電圧の範囲に正確にプログラムする能力を向上させる。

【0030】

図10Aでは、X-Yプロットは高い閾値電圧の状態に消去されたときの図3のメモリセルの閾値電圧の分布を図示する。さらに、図3のメモリアレイ30の簡略図がX-Yプロ

ットの隣に示されている。該簡略図はビット線 3091, 3092, 3093、ソース線 3051, 3052, 3053 およびワード線 3071 - 3076 にかけて各電圧を示す。分離型 p ウェル 301, 302 および 303 (図 3 に示す) は、接続 3011, 3012 および接続 3021, 3022 および接続 3031, 3032 の結果、各ソース線 3051, 3052, 3053 と同じ電位にバイアスされている。1つの実施形態によれば、図 10A に示すように、アレイ中のメモリセルをプログラムするに先立って、該メモリセルは例えばアレイのビット線 3091, 3092, 3093 およびソース線 3051, 3052, 3053 のそれぞれに -8 ボルト、ワード線 3071, 3072, 3073, 3074, 3075, 3076 のそれぞれに 10 ボルトの電圧をかけることによってファウラー・ノルドハイム・トンネル現象で消去される。このバイアス操作の結果、アレイのメモリセルは消去され約 4.0 - 5.0 ボルトの間の電圧の高い閾値電圧の状態になる。閾値電圧の分布は曲線 1001 で与えられる。図 10A に示すように、メモリセル 311, 321, 331 の消去された閾値電圧は曲線 1001 で示される範囲に収まる。

10

#### 【0031】

図 10B - E では、メモリセルを高い閾値電圧の状態へ消去した後、1つの特定の実施形態に従って、メモリセル 311 および 321 が段階的に低い閾値電圧の状態へプログラムされる。当業者は、以下に説明するようなメモリセル 311 および 321 のための特定のプログラム配列が、所望の特定の閾値電圧の状態次第でアレイのメモリセルによって変わりうることを認識する。図 10A - E の例では、アレイ中のメモリセルの目標閾値電圧の状態は、それぞれオンすなわちプログラムされた (つまり低電圧の閾値状態) およびオフすなわち消去された (つまり高電圧の閾値状態) 状態である。

20

#### 【0032】

さて図 10B に示した簡略図を参照すると、図 10A に示すようにアレイのメモリセルを消去した後、ワード線 3071 を約 -10 V にバイアスし、ビット線 3091 と 3092 およびソース線 3051 と 3052 を約 +4 ボルトから約 +8 ボルトに、例えばメモリセル 311 および 321 の浮遊ゲートから電荷を除くために +4 ボルトから +5 ボルトに 0.2 ボルトずつ、増分的にバイアスし、それによってメモリセル 311 および 321 の閾値電圧を減少させる。ワード線 3072 - 3076、ビット線 3093、およびソース線 3053 をすべて約 0 ボルトにバイアスし、アレイ中の他の全てのメモリセル (メモリセル 331 を含む) を高い閾値電圧の状態に消去されたままとする。図 10B の X - Y プロットに示すように、メモリセル 311 および 321 の閾値電圧は分布 1001 の範囲内から目標のプログラムされる  $V_T$  の範囲に向かって移行し、メモリセル 331 の閾値電圧は変化せず、分布 1001 の範囲内にとどまる。

30

#### 【0033】

図 10C では、ビット線 3091, 3092 およびソース線 3051, 3052 のバイアス電圧は、ワード線 3071 の -10 ボルトのバイアス電位を維持しながら、例えば約 +5 ボルトから +6 ボルトに 0.2 ボルトの増分で再び増加される。これによりメモリセル 311 および 321 の閾値電圧は、図 10B と 10C 間の X - Y プロット上の位置の相対的な変化で示されるように、減少しつづける。ワード線 3072 - 3076、ビット線 3093、およびソース線 3053 を全て約 0 ボルトにバイアスし続け、次にメモリセル 331 を含むアレイ中の他のメモリセルの浮遊ゲートを高い閾値電圧の状態に維持する (つまり消去する)。例えば図 10C の X - Y プロットに示すように、このバイアス操作の結果、メモリセル 311 の閾値電圧は目標のプログラムされる  $V_T$  の範囲まで減少し、メモリセル 321 の閾値電圧は目標のプログラムされる  $V_T$  の範囲に近いが範囲内ではない値まで減少する。

40

#### 【0034】

図 10D では、メモリセル 311 の閾値電圧が目標のプログラムされる  $V_T$  の範囲内まで減少した後、ビット線 3091 およびソース線 3051 (ソース線から p ウェルへのストラップ 3011, 3012 の結果としてソース線 3051 に関連する、図 3 の分離型の各 p ウェル 301) のバイアス電圧は 0 ボルトまで減じられる。このことはセル 311 の  $V$

50

$V_T$  状態をさらに変化させることなく所望の低い  $V_T$  の範囲に維持する。メモリセル 311 に関連する p ウェル 301 がアレイ中の他の p ウェル (例えば図 3 に示す 302 および 303) から分離されているため、ビット線 3091、ソース線 3051、p ウェル 301 へのバイアス電圧の変化 (すなわち 0 ボルトにすること) はメモリセル 311 の閾値電圧の移行を効果的に停止させ、メモリセル 311 の閾値電圧を目標のプログラムされる  $V_T$  の範囲内に維持する。上記のことは、この例では隣接する p ウェル (図 3 に示す p ウェル 302) 中のメモリセル 321 のような、アレイ中の他の p ウェルに関連する他のメモリセルをプログラムする能力に影響を与えずに実施される。

#### 【0035】

図 10E では、ビット線 3092 およびソース線 3052 にかけられたバイアス電圧を、メモリセル 321 の閾値電圧が図 10E に示すように目標のプログラムされる  $V_T$  の範囲内に減少するまで、ワード線 3071 のバイアス電位を -10 ボルトに維持しながら、例えば約 +6 ボルトから +7 ボルトへ 0.2 ボルトずつ増分的に増加し続ける。本明細書に記載の実施形態における各セル 311, 321, 331 の分離型ウェルによって、それぞれの分離型ウェル内のセルが他の周辺の分離型ウェル内のセルの閾値電圧の状態に影響を与えることなく適当な閾値電圧の状態にプログラムされることが理解できる。図 10E に示す X-Y プロットは目標のプログラムされる  $V_T$  の範囲内にあるメモリセル 311, 321 の閾値電圧、およびアレイ中の他のメモリセルと同様に高い閾値電圧の分布の範囲内にあるメモリセル 331 の閾値電圧を示す。これはセル 311, 321, 331 (およびメモリアレイ中の残りのセル) について所望されるプログラムされた状態である。図 3 のアレイのメモリセルをプログラムする前述の例を特に述べたが、当業者は他のプログラミングのステップ、バイアス電圧の範囲、プロセスなどが、種々のセルまたはアレイの配置またはその他のデバイスのための分離型ウェル領域の概念に全く合致する、該アレイまたは他のアレイおよびデバイスに対して用いられうることを認識し理解する。

#### 【0036】

本発明は先行技術に対していくつかの利点を有している。本発明は、チャネルのファウラー・ノルドハイム・トンネル現象により低電圧/低電力かつ高性能な用途のための狭められた  $V_T$  分布を達成するべく、各列のチャネル電圧を独立にバイアスすることによってメモリアレイを操作するためのアレイの基本設計概念に使用可能である。ビットセルのチャネル領域を介してプログラムおよび/または消去するためにファウラー・ノルドハイム・トンネル現象を用いることにより、先行技術で使用される高駆動電流 (すなわちホットエレクトロン注入) およびバンド間トンネル電流 (すなわちソース/ドレイン端のプログラム/消去) を回避可能である。チャネル長は高い  $V_d$  状態および深い接合を伴わずに短くされうる。加えて、高い閾値電圧の状態に消去し低い閾値電圧の状態に確実にプログラムし、低い  $V_T$  状態への過剰消去による空乏ビット (すなわちゼロボルトより小さいかまたはほぼゼロボルトの  $V_T$ ) を回避可能である。さらに、本発明の実施形態は読み取り操作の際にワード線電圧をブーストするための  $V_{dd}$  ブーストまたはチャージポンプの使用の必要性を小さくするという利点を有する。加えて、本発明の実施形態は既存の材料を用いて、新規または複雑な工程を開発する必要を伴わずに、現行の工程に簡単に組み込まれうる。

#### 【0037】

図 11 では、分離型 p ウェル中の各メモリセルのソース領域が各ソース領域と分離型 p ウェル領域との間の電氣的ストラップによって分離型 p ウェルにつながれた、別の実施形態の断面図が開示される。この実施形態は、各メモリセルのソース領域へ電氣的に連結するソースの相互接続および接点を形成する必要を有利に解消し、これによりメモリセルの大きさは著しく縮小されうる。メモリセルのソース領域のバイアスは、電氣的相互接続 117、電氣的接点 118、p ドープ領域 119 を用いて分離型 p ウェル 1101 に電位をかけることによって実施される。分離型 p ウェルが所望の電位にバイアスされると、各メモリセルのソース領域はそれに応じて電氣的タイ (p ドープ領域 1120, 1121, 1122 およびケイ化領域 1123, 1124, 1125 を含む) を用いて同様の電位のバイ

アスがかけられる。1つの実施形態では、n型ソース領域1126と1127、1128と1129、1130と1131がそれぞれpドープ領域1120、1121、1122を用いて分離型pウェル領域1101に電氣的に連結する。1つの特定の実施形態では、n型ソース領域1126と1127、1128と1129、1130と1131が、図11に示すようにn型ソース領域1126と1127、1128と1129、1130と1131およびpドープ領域1120、1121、1122を覆う基板1123、1124、1125のケイ化部分によってpドープ領域1120、1121、1122へ電氣的に短絡される。

#### 【0038】

1つの実施形態では、ビット線1132がメモリセル111、112、113、114、115、116のドレイン領域1133、1134、1135、1136に電氣的に接続され、深いnウェル領域1102が分離型pウェル領域1101の下方に形成される。当業者は、(ケイ化に代わる)他の方法が、分離型pウェル領域1101をソース領域1126、1127、1128、1129、1130、1131と電氣的につなぐために使用されうることを認識する。このように、先に考察された分離型pウェルの概念はメモリアレイプログラミングに使用されうる。デバイスは図10A-10Eについてすでに説明した方法にほぼ同様な方法でプログラムされ消去される。

#### 【0039】

本発明を特定の導電型または電位の極性について説明してきたが、当業者は導電型および電位の極性が逆でも良いことを認識する。前記の記述では、本発明を特定の実施形態に関して説明してきた。しかしながら、当業者は請求項に記載された本発明の範囲から逸脱することなく種々の修正および変更をなし得ることを認識する。したがって、明細書および図面は限定的ではなくて例示のためとみなされるべきであり、そのような修正の全ては本発明の範囲内に含まれるものとする。

#### 【0040】

利益、その他の利点、および問題の解決策を特定の実施形態について上述した。しかしながらそのような利益、その他の利点、問題の解決策、および何らかの利益、その他の利点、解決策を生じさせるかまたはより顕著にする任意の要素は、任意もしくは全ての請求項の決定的な、必須の、または本質的な特徴もしくは要素とみなされるべきではない。本明細書では、用語「備える、有する、含む (comprises)」、「備えている、有している、含んでいる (comprising)」またはその他任意のその変化形は、非限定的な包含を網羅することを意味し、要素の一覧を含むプロセス、方法、物品、または装置は、そのような要素を含むだけでなく、明示的に列挙されていないかまたはそのようなプロセス、方法、物品、または装置に固有の他の要素も含みうる。

#### 【図面の簡単な説明】

【図1】共通のpウェル中に構成された従来のメモリセルアレイの説明図。

【図2】低電圧の閾値レベルおよび高電圧の閾値レベルにおけるアレイのメモリセルのゲート電極の電圧分布の説明図。

【図3】本発明の実施形態による、個々のビット線のための分離型pウェルおよびアレイのメモリセルの説明図。

【図4】図3のアレイの分離型pウェルの長さに沿った、半導体デバイスの断面図。

【図5】図3の個別の隣接する分離型pウェルの、隣接するセルを横断する、半導体デバイスの断面図。

【図6】隣接する分離型pウェルのためのトレンチ形成を示す、図5の向きの半導体デバイス工作物の断面図。

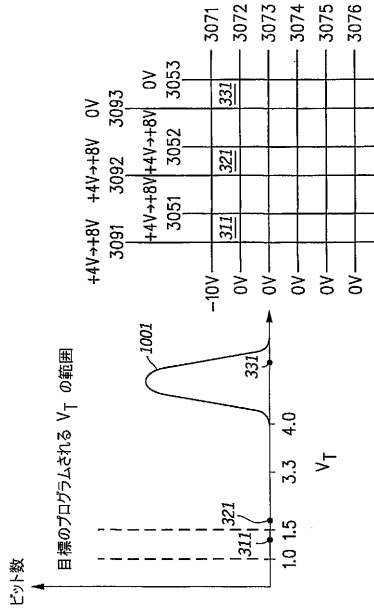
【図7】図6のデバイスの、pウェルおよび深いnウェル分離の注入の説明図。

【図8】図7のデバイスの、深いnウェル分離およびnウェルにおけるpウェルの拡散と、その後のゲート酸化物形成およびポリ堆積およびパターン形成の説明図。

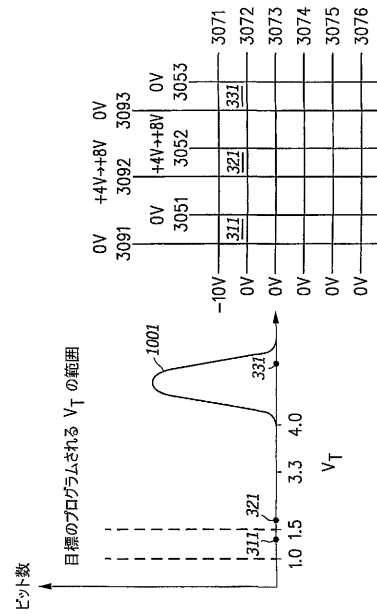
【図9】図8のデバイスの、エッチング後に残ったポリ1と、その後の酸化膜-窒化膜-酸化膜(ONO)層およびポリ2堆積の説明図。



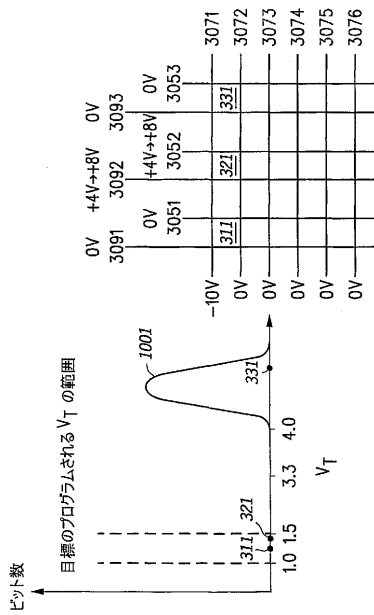
【 図 1 0 C 】



【 図 1 0 D 】



【 図 1 0 E 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
21 February 2002 (21.02.2002)

PCT

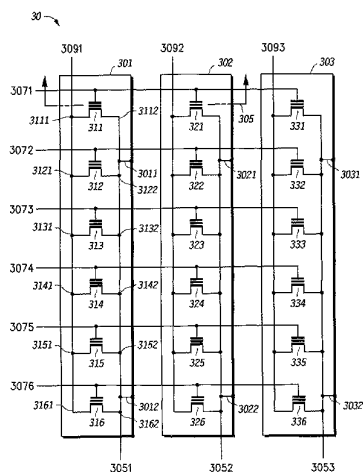
(10) International Publication Number  
WO 02/15190 A2

- (51) International Patent Classification: **G11C** 11219 Tracton Lane, Austin, TX 78739 (US), **LIU, Wei-Hua**, 10500 Coreopsis Drive, Austin, TX 78733 (US), **BURNETT, David**, 3804 Laurelledge Lane, Austin, TX 78731 (AU).
- (21) International Application Number: PCT/US01/24063
- (22) International Filing Date: 1 August 2001 (01.08.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/639,195 15 August 2000 (15.08.2000) US
- (71) Applicant: **MOTOROLA, INC., A CORPORATION OF THE STATE OF DELAWARE** [US/US]; 1303 East Algonquin Road, Schaumburg, IL 60196 (US).
- (72) Inventors: **HU, Chung-You**; 3543 Greystone Drive, N° 1101, Austin, TX 78731 (US). **CHANG, Kuo-Tung**.
- (74) Agents: **WUAMETT, Jennifer, B.**, Motorola, Inc., P.O. Box 10219, Scottsdale, AZ 85271-0219 et al. (US).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE,

[Continued on next page]

(54) Title: NON-VOLATILE MEMORY, METHOD OF MANUFACTURE AND PROGRAMMING

WO 02/15190 A2



(57) Abstract: A non-volatile memory includes an array (30) of cells in rows and columns (311-316; 331-336), where the cells of each column (311-316; 331-336) are positioned within a respective isolated p-well region (301, 302, 303). Control gates of sequential memory cells in rows of the array (311, 321, 331; 316, 316, 336) are electrically coupled by common wordlines (3071, 3072, 3076). Bitlines (3091, 3092, 3093) electrically couple drain or source regions of each memory cell in the respective columns (311-316; 331-336). The source lines (3051, 3052, 3053) and at least one memory cell in each column of the array (311-316; 331-336) are electrically coupled to the p-well region (301, 302, 303) corresponding to the column of the source line and cell. Each column of the array (30) is therefore located within an isolated well.

---

**WO 02/15190 A2** 

IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

**Published:**

— *without international search report and to be republished upon receipt of that report*

NON-VOLATILE MEMORY, METHOD OF MANUFACTURE  
AND PROGRAMMING

Field of the Invention

5

The present invention relates generally to semiconductor devices and, more particularly, to non-volatile memories and isolated channel programming and array operation.

10

Related Art

Conventional memory arrays, such as an electrically erasable programmable read only memory (EEPROM) array, comprise pluralities of individual memory cells. The memory cells can be programmed for desired logic or memory states. In programming the array, each cell must have either a high or low voltage (i.e., on or off) state. The high voltage state that is desirable is limited by power consumption considerations and physical and materials constraints. The low voltage state that is desirable is likewise limited because it must be differentiated from the high voltage state and, yet, it must not result in cross leakage among neighboring cells in tight memory array cell distributions. The higher the voltage required for accessing the low states, the greater the power consumed by the memory cells.

25

Conventionally, memory cells are distributed in an array. A simplified example of such an array is shown in FIG. 1. The

example array in FIG. 1 includes only nine individual memory cells, whereas typical memory arrays include many more cells. The small number of cells in the example array of FIG. 1 is, therefore, to be understood as merely exemplary for purposes of  
5 illustration and discussion herein. In practice, the same principles described herein are applicable to memory arrays of widely varying size, including much larger arrays of memory cells.

The array of FIG. 1 includes individual memory cells, for  
10 example, memory cells 101-109. Each cell of the array, such as, for example, cell 101, is connected with a wordline at its gate, such as wordline ( $W_1$ ) 121 connected to cell 101 at its gate. Other cells 102 and 103, for example, are also connected to the wordline 121. For reference purposes in FIG. 1, the cells  
15 101, 102, 103 are distributed within the array in a common "row". Common wordlines, such as wordlines ( $W_1$ ) 121, ( $W_2$ ) 122, and ( $W_3$ ) 123, connect cells in common rows, such as cells 101, 102, 103, and 104, 105, 106, and 107, 108, 109, respectively.

A drain of each cell of the row is connected to a separate  
20 bitline, for example, the drain of cell 101 is connected to bitline ( $B_1$ ) 131. The same bitline 131 connects with other cells 104 and 107, for example, of the array. For reference purposes, the cells 101, 104, 107 are distributed in a common "column" of the array. Common bitlines, such as bitlines 131, 132, and 133,  
25 connect cells 101, 104, 107 and 102, 105, 108 and 103, 106, 109, respectively, in common columns.

A source of the cell 101 is connected to a source line 125. This source line 125 also connects the source of all other cells 101-109 of the entire array. Thus, it can be understood in FIG. 1, that respective ones of the parallel wordlines 121-123 connect the gate of each of the cells 101-103, 104-106, or 107-109, respectively, distributed in common rows of the array, and whereas respective ones of the parallel bitlines 131-133 connect the drain of each of the cells 101, 104, 107, or 102, 105, 108, or 103, 106, 109, respectively, distributed in common columns of the array. All cells 101-109 of the array are situated in a common well, for instance, a p-well 100 of FIG. 1. In this arrangement, each of the source line 125 and the p-well 100 are common to each of the cells 101-109 of the array.

In programming the foregoing array of cells 101-109, a positive voltage is applied to selected memory cell wordlines and to the selected memory cells bitlines. The selected memory cells are subsequently programmed via hot carrier injection (HCI) thereby altering the threshold voltage of selected memory cells (i.e. altering the amount of charge stored in their floating gates). The change in threshold voltage is periodically sensed during the programming event to detect whether or not a targeted threshold voltage has been achieved for all selected memory cells in the array.

In erasing the foregoing array of cells 101-109, the entire array is erased by applying a negative voltage to each wordline and a positive voltage to either the source line 125 or to the common p-well 100. In this manner, the floating gates for all memory

cells in the array will correspondingly be charged the low threshold voltage state, simultaneously.

Referring to FIG. 2, a plot illustrates threshold voltage among bits represented by memory cells 101-109 of the array under a high threshold voltage state and low threshold voltage state, i.e., corresponding to "off" or "on" states. It is notable that each of the high voltage state and the low voltage state is actually a range of voltage levels in the vicinity of a particular target high voltage and target low voltage, respectively. The ranges of voltage exhibited in FIG. 2 are illustrative of the type of distribution which is exhibited on programming of the conventional array in which all cells share a common well, such as p-well 100. In the distribution of FIG. 2, high threshold voltages are concentrated in a relatively narrow distribution between, for example, 5 to 6 volts. However, the threshold voltage distribution will be much broader for the low threshold voltage state, such as 0.5 volts to 2.5 volts. This broader threshold voltage distribution at the lower threshold voltage state results mainly because all memory cells are erased at the same time as a result of the common p-well in which all the bit cells are located. The process variation, materials defects, and degradation of material properties are all major causes of this broader  $V_t$  distribution at the lower threshold state in comparison with the higher threshold state. The wider  $V_t$  distribution leads to the requirement of high wordline voltage during read operations, to ensure success of read access of the low  $V_t$  state bit cells.

The problems presented include that substantial power is consumed by the requirement of higher wordline voltage to assure achievement of the read access of the low threshold state. Furthermore, to achieve higher wordline voltage, a boost  
5 from a low voltage power supply can be required in order to achieve the desired wordline voltage. To reach the desired wordline voltage, even with the boost from the low voltage power supply, can typically require significant amounts of time because of slow boosting if only low power is employed. It would be an  
10 advantage to control the voltage range distributions among cell arrays at the lower threshold voltage levels, in order to reduce the required wordline voltage for read access. Controlling the lower voltage range distributions, however, can lead to problems of cross leakage among neighboring cells when all cells of the  
15 array are located in a common p-well.

The present invention is a significant improvement and advantage in the art and technology because it provides for limiting lower threshold voltage distributions to a narrower range and further enables faster access by using lower wordline  
20 voltage.

#### Brief Description of the Drawings

The present invention is illustrated by way of example and not limitation in the accompanying figures, in which like  
25 references indicate similar elements, and in which:

FIG. 1 includes an illustration of a conventional memory cell array configured in a common p-well;

FIG. 2 includes an illustration of voltage distributions of gate electrodes of memory cells of an array at a low voltage threshold level and a high voltage threshold level;

FIG. 3 includes an illustration of isolated p-wells for individual bitlines and memory cells of an array, according to embodiments of the present invention;

FIG. 4 includes an illustration of a cross sectional view of a semiconductor device, along a length of an isolated p-well of the array of FIG. 3;

FIG. 5 includes an illustration of a cross sectional view of a semiconductor device across adjacent cells of respective neighboring isolated p-wells of FIG. 3;

FIG. 6 includes an illustration of a cross section of a semiconductor device work piece having the orientation of FIG. 5, showing trench formation for the neighboring isolated p-wells;

FIG. 7 includes an illustration of p-well and deep n-well isolation implantation of the device of FIG. 6;

FIG. 8 includes an illustration of deep n-well isolation and diffusion of p-well in the n-well, followed with gate oxide formation and poly deposition and patterning, of the device of FIG. 7;

FIG. 9 includes an illustration of remaining poly 1 after etch, followed by an oxide nitride oxide (ONO) layer and poly2 deposition, of the device of FIG. 8;

FIGs. 10A-E include illustrations of exemplary voltage stepping with respect to isolated p-wells of an array in erasing

and programming the array, with representative gate voltage distributions for memory cells at various step voltages; and

FIG. 11 includes an illustration of a cross-section of an alternative embodiment of a semiconductor device having the  
5 isolated p-well arrangement, and including a contactless source.

Skilled artisans will appreciate that elements in the figures are illustrated for simplicity and clarity and have not necessarily been drawn to scale. For example, the dimensions of some of the elements in the figures may be exaggerated relative to other  
10 elements to help improve the understanding of the embodiments of the present invention.

Detailed Description

In accordance with one embodiment of the present invention, a non-volatile memory (NVM) array, such as an electrically-erasable-programmable-read-only-memory (EEPROM) array, includes columns of memory cells formed in separate p-well regions to reduce the programmed threshold voltage distribution width for selected memory cells in the array. For example, a plurality of memory cells sharing a common bitline are formed within a well region, such as a p-well region. In one embodiment, each isolated p-well forms a column of memory cells in the array. The p-wells are electrically isolated from each other using shallow trench isolation (STI) structures. The memory cells formed within the separate p-well regions share a common bitline and a common source line. Isolating the memory array into separate p-wells provides improved programming control by allowing the memory cells in the array to be programmed to within a tighter threshold voltage distribution.

Referring to FIG. 3, a memory cell array 30 includes memory cells 311-316, 321-326, and 331-336. The memory cell array 30 is intended as exemplary in that the array can include more or less individual memory cells than those shown, and the cells can be distributed in any of a wide variety of arrangements of common rows, common columns, or other relative location. In the array, memory cells 311-316 form a first column, memory cells 321-326 form a second column, and memory cells 331-336 form a third column.

The memory cells of each column are connected at their respective drains (or drain regions) by a common bitline, for example, memory cells 311-316 are connected by bitline 3091, memory cells 321-326 are connected by bitline 3092, and  
5 memory cells 331-336 are connected by bitline 3093. Corresponding cells in adjacent columns, such as memory cells 311, 321, 331, are each connected at a control gate thereof by a common wordline, for example, wordline 3071 connects the control gate of each of the memory cells 311, 321, 331, wordline  
10 3072 connects the control gate of each of the memory cells 312, 322, 332, wordline 3073 connects the control gate of each of the memory cells 313, 323, 333, wordline 3074 connects the control gate of each of the memory cells 314, 324, 334, wordline 3075 connects the control gate of each of the memory cells 315, 325,  
15 335, and wordline 3076 connects the control gate of each of the memory cells 316, 326, 336. In accordance with one embodiment, each column of memory cells, for example, memory cells 311-316, is situated within a common well, such as, p-well 301. Memory cells 321-326 are situated in p-well 302,  
20 and memory cells 331-336 are situated in p-well 303. Each column of memory cells is electrically isolated from neighboring columns of memory cells via a shallow trench isolation structure (not shown in FIG. 3).

A source line electrically couples to source regions of each  
25 of the memory cells of the respective column, such as cells 311-316 of the first column are connected to the source line 3051. In accordance with one embodiment, the source line 3051 and the

p-well region 301 are electrically coupled so as to have an equivalent voltage, as indicated by electrical ties (or straps) 3011 and 3012. Other isolated p-wells 302, 303 of the array 30 include columns of cells 321-326 or 331-336, respectively, and  
5 the source regions for the memory cells 321-326 or 331-336 are electrically coupled to the source lines 3052 or 3053. The connections 3021, 3022 and 3031, 3032 respectively indicate electrical coupling, and therefore equivalent voltages, of source line 3052 and p-well 302, on the one hand, and source line 3053  
10 and p-well 303, on the other hand. Although the connection of the source line 3051 and p-well 301 are indicated in FIG. 3 as occurring every four cells, i.e., at connections 3011, 3012 on either side of the sequence of memory cells 312-315, this sequence and number of memory cells between the connections  
15 is merely exemplary and any of a wide variety of memory cell sequences can intercede between connections 3011 and 3012, 3021 and 3022, and 3031 and 3032, respectively. For example, the connections can occur as desired between every 16 cells, 32 cells, 64 cells, or otherwise depending on the array, its makeup,  
20 and the desired arrangement.

The connections provided by the straps, such as 3011 and 3012, help to ensure that the p-well potential remains stable during the read and write operations. Typically, the depth of the p-well does not exceed the depth of the shallow trench isolation structures. Therefore, the sheet resistance of the p-well regions  
25 will typically increase as the depth of the shallow trench isolation structures decrease. This can result in instability of the p-well's

potential if there is any leakage current in the p-well. An unstable p-well potential can correspondingly produce undesirable threshold voltage instability. Therefore, the straps, such as 3011 and 3012, help to ensure the potential applied to the source line (and p-well) is equally distributed throughout the p-well region, thereby improving the threshold voltage stability of the memory cells in the p-well.

Referring to FIG. 4, a semiconductor device cross-section comprising the array of FIG. 3 and includes the p-well 301 formed within a deep n-well 401. Memory cell source regions and drain regions are connected, via conductive plugs 402, with the source line 3051 and the bitline 3091, respectively. The source regions include the diffusion regions 3112, 3122 and 3132, 3142 and 3152, 3162. The drain regions include the diffusion regions 3111 and 3121, 3131 and 3141, 3151 and 3161. The source to p-well straps include the p-doped regions 3011 and 3012. In accordance with one embodiment, the selected source regions are electrically shorted to the p-well straps by siliciding portions of the semiconductor substrate overlying the selected source regions 3112, 3122, 3152, and 3162 and the p-well straps 3011 and 3012 as shown by silicided regions 32. In alternative embodiments the p-well region 301 can be electrically tied to the selected source regions by siliciding the selected source regions to the extent that they directly short to the p-well region, or alternatively by overetching the contact opening for the selected source region conductive

plugs to the extent that the conductive plug electrically shorts the selective source region and the p-well region.

As shown in FIG. 4, The respective source and drain regions are separated by the channel regions of the memory cell's 311, 312, 313, 314, 315, and 316. In accordance with one embodiment, the memory cells comprise a tunnel oxide over the channel region, a floating gate electrode over the tunnel oxide, a control gate dielectric over the floating gate electrode, and a control gate electrode over the control gate dielectric.

Conductive plugs 402 and interconnects (not shown) connect the respective source and drain regions with electrical signals from, either the bitline 3091 in the case of the drain regions or the source line 3051 in the case of the source regions. Although the bitline 3091 and the source line 3051 are indicated schematically in FIG. 4 as electrical wires, it should be understood that appropriate semiconductor interconnections are made at a same or different levels of the device to form the respective bitline 3091 and source line 3051, and the illustration with electrical wires is merely intended for explanation and understanding of the electrical conductive effect of the connections and arrangement.

Referring to FIG. 5, the semiconductor device of FIG. 4, having the electrical configuration of the array 30 of FIG. 3, is shown in cross-section taken across adjacent p-wells 301 and 302 substantially along sectioning line 305. In accordance with one embodiment, a deep n-well region 401 is formed within a semiconductor device substrate and the columns of p-wells used

to form the array of memory cells is disposed within the deep n-well region. As shown in the cross section of FIG. 5, shallow trench isolation structures 501 and deep n-well region 401 electrically isolate p-well regions 301 and 302. Memory cells 5 311 and 321 overlie the p-well regions 301 and 302, respectively. The memory cells 311 and 321 comprise a tunnel oxide 502, floating gate electrodes 503 and 504, a control gate dielectric layer 505 and control gates formed from portions of the wordline 3071 of FIG. 3. In addition, the wordline 3071 10 interconnects the memory cells 311 and 321.

As is apparent from the cross-section of FIG. 5, the p-well 301 is isolated from the p-well 302. It is understandable that, because of the isolation, biasing potentials of memory cells associated with p-well 301 are not necessarily the same as, and 15 can be independent of, biasing potentials of memory cells associated with the p-well 302. In other words, each separate p-well column is electrically isolated from other p-well columns in the array 30. As will be hereinafter more fully understood, these isolated p-wells enable array programming in such manner as to 20 achieve narrower distribution of threshold voltages, both at the low and the high threshold voltage levels. The isolated p-wells furthermore provide certain other advantages, including reducing chances of cross-over leakage among neighboring cells, that will also hereinafter be more fully understood.

25 Referring to FIGs. 6-9, steps associated with the formation of the device of FIG. 5 are more fully described. Shown in FIG. 6 is a semiconductor device substrate 601. The semiconductor

device substrate 601 can be a monocrystalline semiconductor wafer, a semiconductor on insulator (SOI) substrate, or any other substrate suitable for use to form semiconductor devices.

In one specific embodiment, the semiconductor device substrate  
5 is a silicon substrate. Isolation structures 501 are formed within the semiconductor device substrate 601. In one specific embodiment, the isolation structures 501 are shallow trench isolation structures. Alternatively, the isolation structures 501 can include local oxidation of silicon (LOCOS) structures or  
10 other isolation structures as known to one of ordinary skill. The shallow trench isolation structures 501 serve to isolate p-well regions subsequently formed within the substrate 601. In one embodiment, the shallow trench isolation structures have a  
15 depth that is in a range of approximately 0.35 to 0.65 microns deep or alternatively, such other depth and parameters as are appropriate for the application.

Referring to FIG. 7, after formation of the shallow trench isolation structures 501, a p-well implant is performed to form doped regions 701 and 702 within the substrate 601. In  
20 accordance with one embodiment, the substrate 601 is implanted using boron or other p-type dopants to form the p-doped regions 701 and 702. After forming the p-doped regions 701 and 702 the substrate 601 is again implanted with  
25 phosphorus or other n-type dopants to form the deep n-doped region 703. One of ordinary skill in the art recognizes that the implant energy used to form the deep doped region 703 is

higher as compared to the implant energy used to form the doped regions 701 and 702.

After forming the p-type doped regions 701 and 702 and the deep n-type doped region 703, a tunnel oxide 502 is formed  
5 over the substrate surface as shown in FIG 8. (Note, when used in this context "substrate surface" includes the semiconductor device substrate as well as all layers fabricated on the semiconductor device substrate up to the point of processing under discussion. Therefore, substrate surface refers to the  
10 present uppermost surface of the substrate, including all structures formed thereon). In accordance with one embodiment, the tunnel oxide is a thermally grown silicon dioxide layer. Alternatively the tunnel oxide can include a high dielectric constant material or a combination of thermally grown  
15 silicon dioxide and high dielectric constant materials (for the purposes of this specification a high dielectric constant (high-k) material is a material having a dielectric constant greater than that of silicon dioxide.

In accordance with one embodiment, the semiconductor  
20 substrate is then annealed using conventional annealing processes to diffuse and activate the dopants in the substrate 601 (i.e. the p-type regions 701 and 702 and the deep n-type region 703) thereby forming the p-well regions 301 and 302 and the deep n-well region 401 as shown in FIG 8. A first conductive  
25 layer 801 is then formed overlying the substrate surface. In accordance with one embodiment the first conductive layer 801 a layer of polysilicon. Thereafter, a resist layer is deposited and

patterned overlying the first conductive layer 801 as shown in FIG. 8. The first conductive layer 801 and underlying tunnel oxide layer 502 is then etched to form floating gates 503 and 504 as shown in FIG. 9.

5 Turning now to FIG. 9, after forming the floating gate electrodes 503 and 504, a control gate dielectric layer 505 is formed overlying the floating gate electrodes 503 and 504. In accordance with one embodiment, the control gate dielectric layer 505 is a oxide-nitride-oxide (ONO) layer having an  
10 equivalent oxide thickness (EOT) of approximately 10-15 nanometers. Thereafter, a second conductive layer is deposited, patterned and etched as desired to form the wordline 3071, which also forms the control gates for the memory cells 311 and 321. In accordance with one embodiment, the second  
15 conductive layer is a layer of polysilicon. The wordline 3071 commonly connects the memory cells 311 and 321 (as also shown in FIG. 3). After the wordline 3071 and other wordlines (not shown) are formed, an interlevel dielectric (ILD) layer 901, such a chemically vapor deposition (CVD) silicon oxide formed  
20 using tetraethoxysilane (TEOS) as a source gas, or other similar material, is deposited over the substrate surface. Although not shown in FIG. 9, subsequent steps in formation of the semiconductor device include formation of contacts and interconnects to other elements of the array.

25 In an alternative embodiment, as technology continues to scale the features sizes of the memory cells, the area of the deep n-well arrangement disclosed with respect to FIGs. 5-9,

might be too large and result in a slow down of the charge/discharge time for high voltage write and erase operations. To overcome this, the present inventors have recognized that a deep trench structure can be substituted for the shallow trench isolation, such that the each column is fully isolated with respect to both the p-wells and n-wells. This can advantageously reduce the junction capacitance of the n-well to p-type substrate for each individual bitline, which in turn reduces the charge/discharge time for the write/erase operations. In addition, the p-well depth can be increased by increasing the depth of the trench isolation structures. Increasing the p-well depth can have several advantages. First, it reduces the p-well sheet resistance, which helps to reduce instability of the p-well's potential (as discussed previously). Second, it improves manufacturability of the semiconductor device by reducing the requirement of controlling the boron doping profile in the p-well because the deeper trench isolation structures can reduce the leakage path between adjacent bitlines. Third, the deeper p-wells/trench isolation structures additionally reduce the bipolar action of the n+(source and drain)/p-well/n-well parasitic transistors. The dashed lines 902 of FIG. 9 indicate an example of this deep trench. As shown in FIG. 9, the depth of the deep trench isolation structure extends beyond the depth of the deep n-well region 401. Preferably, the deep trench isolation structure has a depth that is in a range of approximately 0.6-1.1 microns. More preferably, the deep trench isolation structure has a depth that is in a range of approximately 0.8-1.0 microns.

Referring now to FIGs. 10A-E, an embodiment of programming the memory cell array having isolated p-well arrangements is disclosed. Each of the FIGs. 10A-E include an X-Y plot on the left showing threshold voltage ( $V_T$ ) vs. Number of

5 Bits for the memory cells in the array 30 including the three memory cells 311, 321, and 331 of FIG. 3 and a simplified schematic of the memory array 30 of FIG. 3, on the right, showing representative biasing potentials used to program the memory cells. Collectively the FIGs. 10A-E illustrate how

10 embodiments of the present invention (i.e. using isolated p-wells to form columns in the memory array) can be used to program the memory cells in the array to a low threshold voltage state having a tighter  $V_T$  distribution as compared to prior art memory arrays. The programming with respect to the three memory cells

15 311, 321, 331, and the remaining memory cells in the array 30 and the specific biasing potentials are intended to be non-limiting and only for illustrative purposes. One of ordinary skill in the art recognizes that any number of memory cells in the array can be programmed and that other biasing potentials can be

20 used to program the memory cells.

In accordance with one embodiment, changing the threshold voltage of the memory cell from a high threshold voltage state to a low threshold voltage state programs the memory cells. The high and low threshold voltage state each

25 have a range that constitutes their respective threshold voltage target. For example, in the embodiments described herein, the high threshold voltage target is in the range of from about 4.0

volts to about 5.0 volts; the low threshold voltage target is in the range of from about 1.0 volts to about 1.5 volts and a read voltage level is approximately 3.3 volts. It is notable that the low threshold voltage target using embodiments described herein is  
5 tighter than previously obtainable with prior art memory arrays. The isolated p-wells allow for separate biasing of memory cells in each of the p-wells. The ability to separately bias the memory cells improves the ability to accurately program the memory cells to within the desired threshold voltage range by providing an  
10 ability to deselect memory cells in specific p-wells after a desired threshold voltage for that memory cell is obtained.

Referring to FIG. 10A, the X-Y plot illustrates the threshold voltage distribution for the memory cells in FIG. 3 when erased to a high threshold voltage state. Additionally, a simplified  
15 schematic of the memory array 30 of FIG. 3 is provided adjacent the X-Y plot. The simplified schematic indicates the respective voltages applied to the bitlines 3091, 3092, 3093, the source lines 3051, 3052, 3053, and the wordlines 3071-3076. The isolated p-wells 301, 302, and 303 (shown in FIG. 3) are biased  
20 at the same potential as the respective source line 3051, 3052, and 3053 as a result of connections 3011, 3012 and 3021, 3022 and 3031, 3032. In accordance with one embodiment, as shown in FIG. 10A, prior to programming the memory cells in the array, they are erased via Fowler-Nordheim tunneling by applying a  
25 voltage of, for example, -8 volts, to each of the bitlines 3091, 3092, 3093 and source lines 3051, 3052, 3053 and 10 volts to each of the wordlines 3071, 3072, 3073, 3074, 3075, 3076 of the

array. The result of this biasing operation erases the memory cells in the array to a high threshold voltage state to a voltage between approximately 4.0-5.0 volts. The threshold voltage distribution is given by the curve 1001. As shown in FIG. 10A, 5 the erased threshold voltages of the memory cells 311, 321, and 331 fall within the distribution of the curve 1001.

Referring to FIGs. 10B-E, after erasing the memory cells to the high threshold voltage state, in accordance with one specific embodiment, the memory cells 311 and 321 are programmed in 10 stepped manner to a low threshold voltage state. One of ordinary skill in the art recognizes that the particular programming sequence for the memory cells 311 and 321 as hereafter described can vary for the memory cells of the array according to the particular threshold voltage state desired. In 15 the example of FIGs. 10A-E, the targeted threshold voltage states for the memory cells in the array are on or programmed (i.e., low voltage threshold state) and off or erased (i.e., high voltage threshold state), respectively.

Referring now to the simplified schematic shown in FIG. 20 10B, after erasing the memory cells in the array as shown in FIG. 10A, the wordline 3071 is biased at approximately -10V and the bitlines 3091 and 3092 and the source lines 3051 and 3052 are incrementally biased from approximately +4 volts toward approximately +8 volts, for example from +4 volts to +5 volts in 25 0.2 volt increments to remove electron charge from the floating gate of memory cells 311 and 321, thereby reducing the threshold voltage of the memory cells 311 and 321. The

wordlines 3072-3076, the bitline 3093, and the source line 3053 are all biased at approximately 0 volts, such that all other memory cells in the array (including memory cell 331) remain erased at a high threshold voltage state. As shown in the X-Y plot of FIG. 10B, the threshold voltage of the memory cells 311 and 321 shifts from within the distribution 1001 toward the Target Programmed  $V_T$  Range and the threshold voltage of memory cell 331 remains unchanged, within the distribution 1001.

Referring to FIG. 10C, the bias voltages of the bitlines 3091, 3092 and the source lines 3051, 3052 are again increased, for example, from approximately +5 volts to +6 volts, in increments of 0.2 volts, while maintaining the -10 volt bias potential on the wordline 3071. This continues reducing the threshold voltage of the memory cells 311 and 321 as indicated by the relative change in their positions on the X-Y plots between FIG. 10B and 10C. The wordlines 3072-3076, the bitline 3093, and the source line 3053 all continue to be biased at approximately 0 volts, and consequently, the floating gates of the other memory cells in the array including memory cell 331 remain at a high threshold voltage state (i.e. erased). As shown, for example, in the X-Y plot of FIG. 10C, as a result of the biasing operation, the threshold voltage of the memory cell 311 decreases to within the Target Programmed  $V_T$  Range and the threshold voltage of the memory cell 321 decreases to a value that is close to but not within the Target Programmed  $V_T$  Range.

Referring to FIG. 10D, after the threshold voltage of the memory cell 311 decreases to within the Target Programmed  $V_T$  Range, bias voltages of bitline 3091 and source line 3051 (and the isolated respective p-well 301 shown in FIG. 3 associated with the source line 3051 as a result of the source line to p-well straps 3011 and 3012) are reduced to 0 volts. This maintains the  $V_T$  state of the cell 311 within the desired low  $V_T$  range without further change. Because the P-well 301 associated with memory cell 311 is isolated from other p-wells (302 and 303 shown in FIG. 3, for example) in the array, the change in bias voltage (i.e. applying 0 volts) to bitline 3091, source line 3051, and p-well 301 effectively stops the threshold voltage shift for memory cell 311 and maintains the threshold voltage of memory cell 311 within the Target Programmed  $V_T$  Range. This is accomplished without affecting the ability to program other memory cells associated with other p-wells in the array, such as in this example memory cell 321 in adjacent the adjacent p-well (p-well 302 shown in FIG. 3).

Referring now to FIG. 10E, the bias voltage applied to the bitline 3092 and the source line 3052 continue to be incrementally increased, for example, from approximately +6 volts to +7 volts, in increments of 0.2 volts while maintaining the -10 volt bias potential on the wordline 3071 until the threshold voltage of memory cells 321 is reduced to within the Target Programmed  $V_T$  Range as shown in FIG 10E. It is understandable that, because of the isolated wells of the respective cells 311, 321, 331 in accordance with the

embodiments described herein, the cells in each respective isolated well can be programmed to the appropriate threshold voltage state without affecting the threshold voltage state of cells in other neighboring isolated wells. The X-Y plot shown in FIG. 5 10E shows the threshold voltages of memory cells 311, 321, within the Target Programmed  $V_T$  Range and the threshold voltage of memory cell 331 within the range of the high threshold voltage distribution along with the other memory cells in the array. This is the programmed state that is desired for the cells 10 311, 321, and 331 (and remaining cells in the memory array). Although the foregoing example of programming memory cells of the array of FIG. 3 is specifically described, those skilled in the art will know and understand that other programming steps, bias voltage ranges, processes, etc. can be employed with the 15 array and other arrays and devices, all consistent with the concepts of isolated well regions for the various cells or locations of the array or other device.

The present invention has several advantages over the prior art. The present invention can be used for array 20 architectures to operate the memory array by independently biasing each column channel voltage for channel Fowler-Nordheim tunneling to achieve tight  $V_T$  distribution for low voltage/low power and high performance applications. By using Fowler-Nordheim tunneling to program and/or erase through the 25 channel region of the bitcells, high drive current (i.e. hot electron injection) and band-to-band tunneling current (i.e. source/drain edge program/erase) used by the prior art can be avoided. The

channel length can be scaled down without high  $V_{ds}$  conditions and deep junctions. In addition, erasing to a high threshold voltage state and programming with verify to a low threshold voltage state, depletion bits (i.e.  $V_T$  less than or approximately equal to zero volts) due to over-erase to a low  $V_T$  state can be avoided. Furthermore, embodiments of the present invention have the advantage of reducing the need to use  $V_{dd}$  boosting or charge pumps to boost the wordline voltage during read operation. In addition, embodiments of the present invention can easily be incorporated into current process flows using existing materials and without a need to develop new or elaborate processes.

Referring to FIG. 11, a cross section of an alternate embodiment is disclosed in which the source regions of each of the memory cells in the isolated p-well are tied to an isolated p-well region via an electrical strap between each of the source regions and the isolated p-well region. This embodiment advantageously eliminates a need to form a source interconnect and contacts that electrically couples to the source regions of each of the memory cells, which can significantly reduce the memory cell size. Biasing of the memory cell source regions is accomplished by applying a potential to the isolated p-well region 1101 by way of an electrical interconnect 117, an electrical contact 118, and p-doped region 119. When the isolated p-well is biased at a desired potential, the source regions of each of the memory cells are correspondingly biased at a similar potential by way of the electrical ties (which include

p-doped regions 1120, 1121, 1122 and silicided regions 1123, 1124, and 1125). In one embodiment, the n-type source regions 1126 and 1127, 1128 and 1129, 1130 and 1131 electrically couple to the isolated p-well region 1101 by way of the p-doped regions 1120, 1121, 1122, respectively. In accordance with one specific embodiment, the n-type source regions 1126 and 1127, 1128 and 1129, 1130 and 1131 are electrically shorted to the p-doped regions 1120, 1121, and 1122 by siliciding portions of the substrate 1123, 1124, and 1125 overlying the n-type source regions 1126 and 1127, 1128 and 1129, 1130 and 1131 and the p-doped regions 1120, 1121, and 1122 as shown in FIG. 11.

In accordance with one embodiment, a bitline 1132 is electrically connected to the drain regions 1133, 1134, 1135, 1136 of memory cells 111, 112, 113, 114, 115 and 116 and a deep n-well region 1102 is formed below the isolated p-well region 1101. One of ordinary skill in the art recognizes that other methods (instead of silicidation) can be used to electrically tie the isolated p-well region 1101 with the source regions 1126, 1127, 1128, 1129, 1130, and 1131. In this manner, the isolated p-well concepts discussed previously can be used for memory array programming. The device is programmed and erased in substantially a similar manner to that previously described with respect to FIGs. 10A-10E.

Although the invention has been described with respect to specific conductivity types or polarity of potentials, skilled artisans appreciate that conductivity types and polarities of

potentials may be reversed. In the foregoing specification, the invention has been described with reference to specific embodiments. However, one of ordinary skill in the art appreciates that various modifications and changes can be made without departing from the scope of the present invention as set forth in the claims below. Accordingly, the specification and figures are to be regarded in an illustrative rather than a restrictive sense, and all such modifications are intended to be included within the scope of present invention.

10 Benefits, other advantages, and solutions to problems have been described above with regard to specific embodiments. However, the benefits, advantages, solutions to problems, and any element(s) that may cause any benefit, advantage, or solution to occur or become more pronounced are  
15 not to be construed as a critical, required, or essential feature or element of any or all the claims. As used herein, the terms "comprises," "comprising," or any other variation thereof, are intended to cover a non-exclusive inclusion, such that a process, method, article, or apparatus that comprises a list of elements  
20 does not include only those elements but may include other elements not expressly listed or inherent to such process, method, article, or apparatus.

CLAIMSWhat is Claimed is:

- 5 1. A semiconductor device having an electrically erasable  
programmable read only memory (EEPROM) array  
including rows and columns of memory cells comprising:  
a first p-well region and a second p-well region within a  
semiconductor substrate, wherein the first p-well  
10 region and the second p-well region are spaced apart  
and electrically isolated;  
a first column of memory cells positioned within the first p-  
well region;  
a second column of memory cells positioned within the  
15 second p-well region;  
a first control gate of a first memory cell in the first column  
of memory cells and a second control gate of a  
second memory cell in the second column of memory  
cells, wherein the first control gate and the second  
20 control gate are in a same row and electrically coupled  
via a common wordline;  
a first bitline electrically coupled to drain regions of each  
memory cell in the first column of memory cells,  
a second bitline electrically coupled to drain regions of  
25 each memory cell in the second column of memory  
cells;

- a first source line electrically coupled to source regions of each memory cell in the first column of memory cells, wherein the first source line and a source region of at least one memory cell in the first column of memory cells is electrically coupled to the first p-well region; and
- 5 a second source line electrically coupled to source regions of each memory cell in the second column of memory cells, wherein the second source line, and a source region of at least one memory cell in the second
- 10 column of memory cells is electrically coupled to the second p-well region.
2. The semiconductor device of claim 1, wherein the source regions are further characterized as silicided n-type doped source regions and wherein the first source line is electrically coupled to the first p-well region of the at least one memory cell in the first column of memory cells by way of a silicided p-type doped region positioned adjacent a
- 15 source region associated with the at least one memory cell in the first column of memory cells .
- 20
3. The semiconductor device of claim 1, wherein the first p-well region and the second p-well region are spaced apart and electrically isolated by a trench isolation feature.
- 25

4. The semiconductor device of claim 3, further comprising an n-well region below the shallow trench isolation feature that electrically isolates the first p-well region from the second p-well region.
- 5
5. A semiconductor device having an electrically erasable programmable read only memory (EEPROM) array including rows and columns of memory cells comprising:
- 10 a p-well region formed within a semiconductor substrate;  
a column of memory cells, wherein each memory cell has a source region and a drain region positioned within the p-well region, wherein each source region is electrically coupled to the p-well region;  
wordlines, wherein each wordline is electrically coupled to a control gate of a memory cell in the column of memory cells; and
- 15 a bitline electrically coupled to drain regions of each memory cell in column of memory cells.
- 20 6. The semiconductor device of claim 5, wherein the source region of each memory cell is silicided and electrically coupled to the p-well region by way of a silicided p-type doped region.
- 25 7. A method for forming an electrically erasable programmable read only memory (EEPROM) array comprising:

- forming a first p-well region and a second p-well region in a semiconductor substrate, wherein the first p-well region and the second p-well region are spaced apart by a shallow trench isolation feature;
- 5 forming a first column of memory cells positioned within the first p-well region;
- forming a second column of memory cells positioned within the second p-well region, wherein a first control gate of a first memory cell in the first column of
- 10 memory cells and a second control gate of a second memory cell in the second column of memory cells are electrically coupled via a common wordline;
- forming a first bitline, wherein the first bitline is electrically coupled to drain regions of each memory cell in the
- 15 first column of memory cells,
- forming a second bitline, wherein the second bitline is electrically coupled to drain regions of each memory cell in the second column of memory cells;
- forming a first source line, wherein the first source line is electrically coupled to source regions of each memory
- 20 cell in the first column of memory cells, and wherein the first source line and a source region of at least one memory cell in the first column of memory cells are electrically coupled to the first p-well region; and
- 25 forming a second source line, wherein the second source line is electrically coupled to source regions of each memory cell in the second column of memory cells,

and wherein the second source line and a source region of at least one memory cell in the second column of memory cells are electrically coupled to the second p-well region.

5

8. The method of claim 7, wherein source regions are n-type doped source regions and wherein the first source line is electrically coupled to the first p-well region by way of a p-type doped region and silicide formed within the source region of the at least one memory cell in the first column of memory cells.

10

9. The method of claim 7 further comprising forming an n-type isolation region below the first p-well region and the second p-well region and the shallow trench isolation region.

15

10. A method of programming an electrically erasable programmable read only memory (EEPROM) array including row and columns of memory cells wherein:
- each row of memory cells includes a wordline;
  - 5 each column of memory cells includes a source line and a bitline and each column of memory cells is disposed within a separate p-well; wherein adjacent separate p-wells are electrically isolated from each other,
  - the source line for each column of memory cells
  - 10 electrically connects to its respective p-well via a p-type region disposed adjacent a source region of at least one memory cell in each column;
- comprising:
- 15 selecting at least a first bit in a first column and at least a second bit in a second column by:
    - applying a selected wordline potential to the at least a first bit in a first column and the at least a second bit in a second column;
    - 20 applying a first selected bitline potential and a first selected source line potential to the at least a first bit in the first column;
    - applying a second selected bitline potential and a second selected source line potential to the at least a second bit in the
    - 25 second column;
  - pulsing at least one of the first selected bitline potential and the first selected source line

potential to shift a first threshold voltage of the at least a first bit from a first threshold voltage potential toward a target threshold voltage potential;

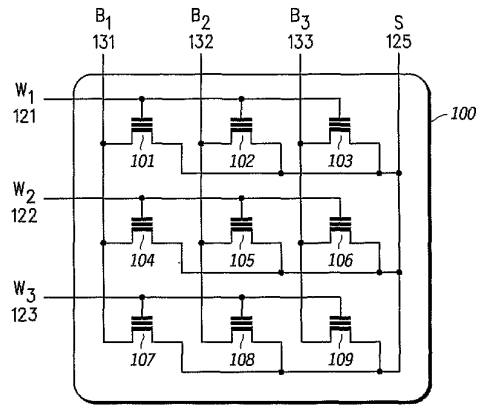
5 pulsing at least one of the second selected bitline potential and the second selected source line potential to shift a second threshold voltage of the at least a second bit from a second threshold voltage potential toward the target threshold voltage potential;

10 deselecting the at least a first bit after shifting from the first threshold voltage to the target threshold voltage potential while continuing pulsing the at least one of the second selected bitline potential and the second selected source line potential to continue shifting from the second threshold voltage potential to the target threshold voltage potential; and

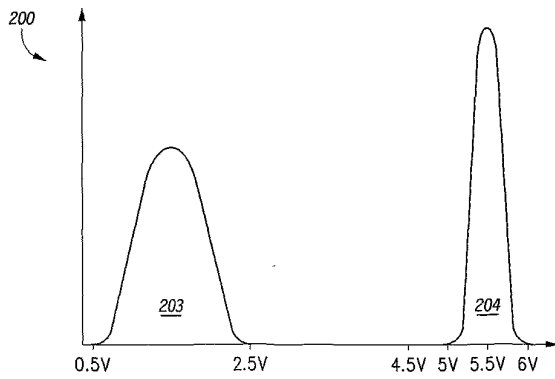
15

20 deselecting the at least a second bit in the second column after shifting from the second threshold voltage to the target threshold voltage potential.

1/9



**FIG.1**  
-PRIOR ART-



**FIG.2**  
-PRIOR ART-

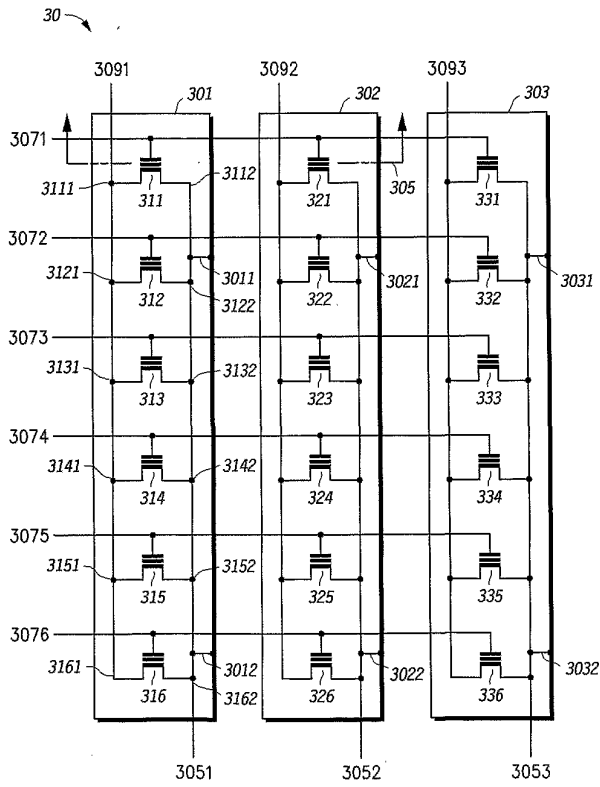


FIG. 3

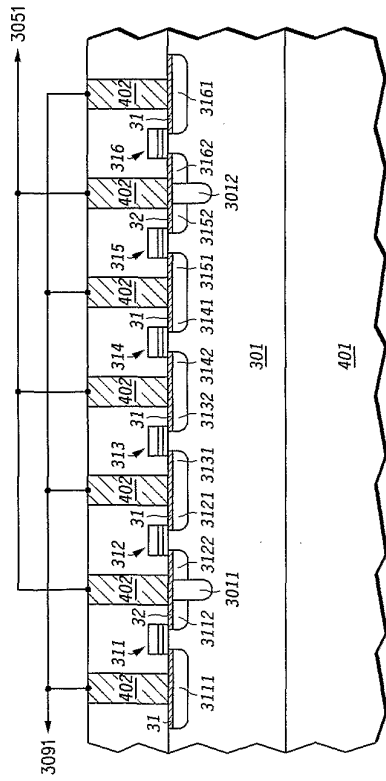
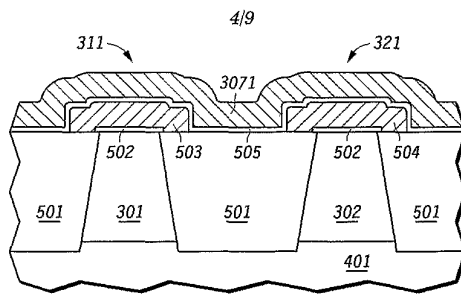


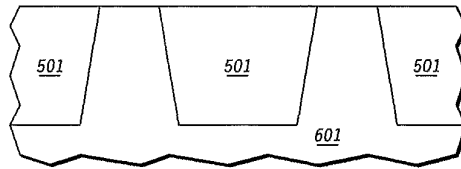
FIG. 4

WO 02/15190

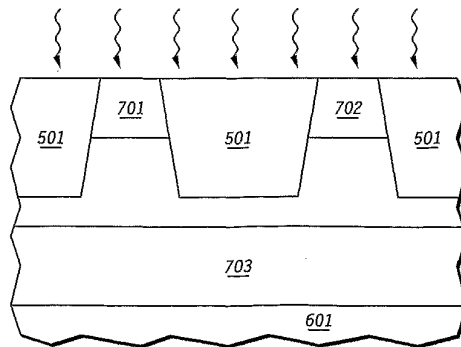
PCT/US01/24063



**FIG. 5**



**FIG. 6**



**FIG. 7**

5/9

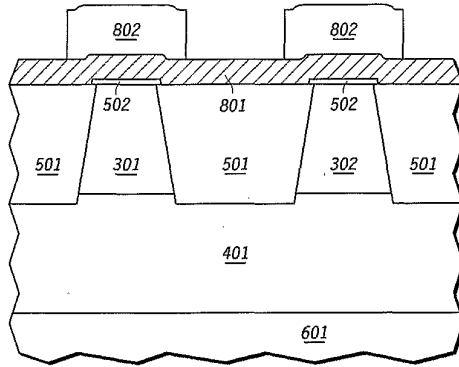


FIG. 8

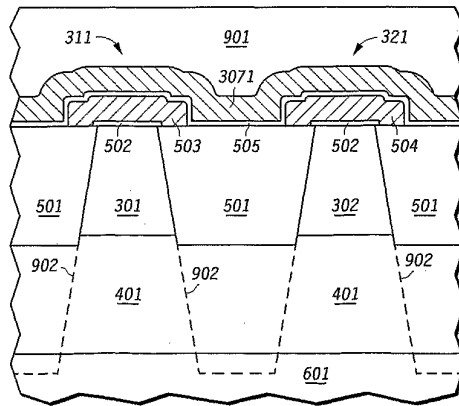


FIG. 9



WO 02/15190

PCT/US01/24063

7/9

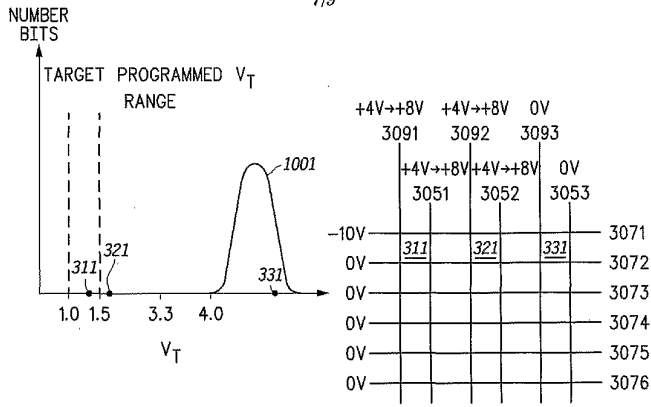


FIG. 10C

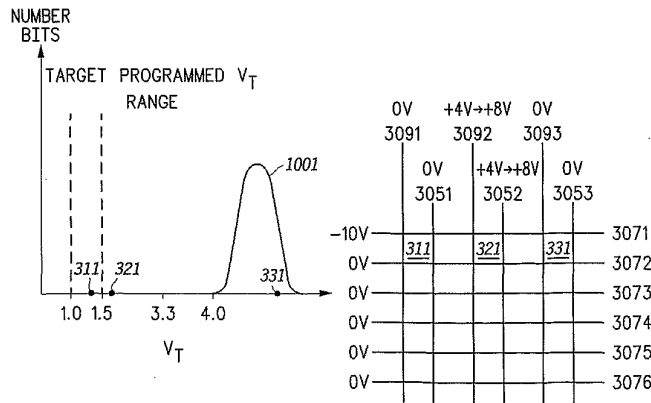


FIG. 10D

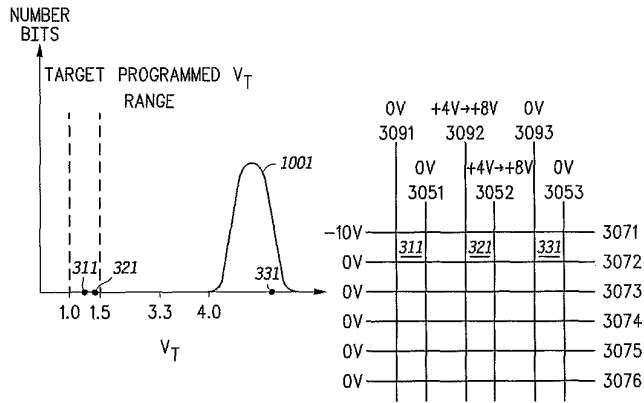


FIG.10E

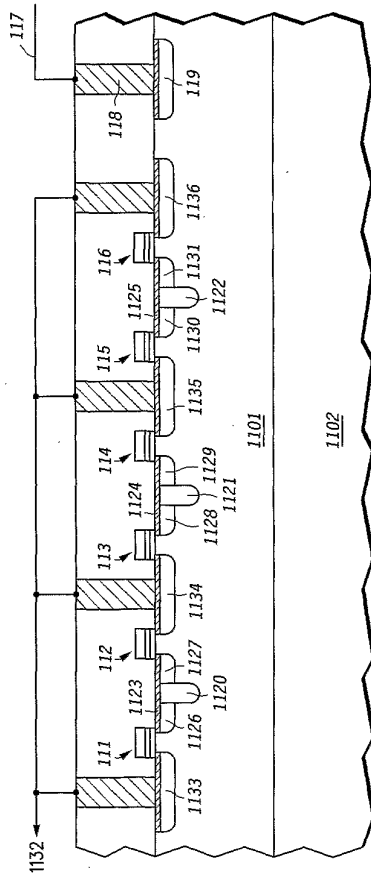


FIG. 11

【国際公開パンフレット(コレクション)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
21 February 2002 (21.02.2002)

PCT

(10) International Publication Number  
WO 02/015190 A3

(51) International Patent Classification: H01L 27/115, 21.8247, G11C 16/04, 16/10 (74) Agents: WUAMETT, Jennifer, B., Motorola, Inc., P.O. Box 10219, Scottsdale, AZ 85271-0219 et al. (US).

(21) International Application Number: PCT/US01/24063 (81) Designated States (national): AI, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, HD, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NI, NO, NZ, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(22) International Filing Date: 1 August 2001 (01.08.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/639,195 15 August 2000 (15.08.2000) US

(71) Applicant: MOTOROLA, INC., A CORPORATION OF THE STATE OF DELAWARE [US/US]; 1303 East Algonquin Road, Schaumburg, IL 60196 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

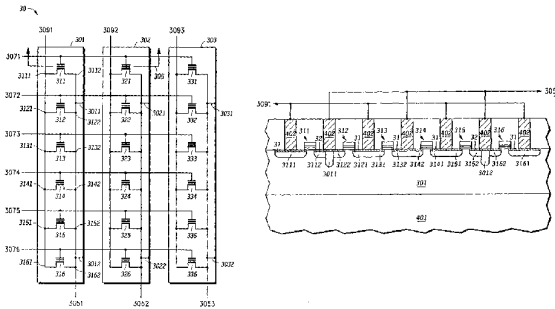
(72) Inventors: HU, Chung-You; 3543 Greystone Drive, N° 1101, Austin, TX 78731 (US); CHANG, Kuo-Tung; 11219 Tractor Lane, Austin, TX 78739 (US); LIU, Wei-Hua; 10500 Corcoran Drive, Austin, TX 78733 (US); BURNETT, David; 3804 Laurelledge Lane, Austin, TX 78731 (AU).

Published: with international search report (88) Date of publication of the international search report: 6 February 2003

[Continued on next page]

(54) Title: NON-VOLATILE MEMORY, METHOD OF MANUFACTURE AND PROGRAMMING

WO 02/015190 A3



(57) Abstract: A non-volatile memory includes an array (30) of cells in rows and columns (311-316; 331-336), where the cells of each column (311-316; 331-336) are positioned within a respective isolated p-well region (301, 302, 303). Control gates of sequential memory cells in rows of the array (311, 321, 331; 316, 326, 336) are electrically coupled by common wordlines (3071, 3072, 3076). Bitlines (3091, 3092, 3093) electrically couple drain or source regions of each memory cell in the respective columns (311-316; 331-336). The source lines (3051, 3052, 3053) and at least one memory cell in each column of the array (311-316; 331-336) are electrically coupled to the p-well region (301, 302, 303) corresponding to the column of the source line and cell. Each column of the array (30) is therefore located within an isolated well.

**WO 02/015190 A3**



---

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/JP 01/24063
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/115 H01L21/8247 G11C16/04 G11C16/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the lists searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	DE 198 23 733 A (SIEMENS AG) 2 December 1999 (1999-12-02) the whole document	1-9 10
A	---	
Y	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 09, 30 September 1996 (1996-09-30) & JP 08 130263 A (SONY CORP), 21 May 1996 (1996-05-21) abstract	1-9 10
A	---	
A	EP D 459 164 A (TEXAS INSTRUMENTS INC) 4 December 1991 (1991-12-04) the whole document	1-10
	---	
	--- /---	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *F* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 7 October 2002		Date of mailing of the international search report 14/10/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nt, Fax: (+31-70) 340-3018		Authorized officer Albrecht, C

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/24063
C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 017, no. 672 (E-1474), 10 December 1993 (1993-12-10) & JP 05 226665 A (FUJITSU LTD), 3 September 1993 (1993-09-03) abstract	1,5,7,10
A	US 5 994 732 A (AJIKA NATSUO ET AL) 30 November 1999 (1999-11-30) the whole document	1,5,7,10

INTERNATIONAL SEARCH REPORT				International Application No. PC17US 01/24063	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date		
DE 19823733	A	02-12-1999	DE WO	19823733 A1 9962128 A1	02-12-1999 02-12-1999
JP 08130263	A	21-05-1996	NONE		
EP 0459164	A	04-12-1991	DE DE EP JP JP US	69121775 D1 69121775 T2 0459164 A2 3288399 B2 4230078 A 5394002 A	10-10-1996 30-01-1997 04-12-1991 04-06-2002 19-08-1992 28-02-1995
JP 05226665	A	03-09-1993	NONE		
US 5994732	A	30-11-1999	JP KR	9307005 A 244406 B1	28-11-1997 01-02-2000

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 チャン、クオ - トウン

アメリカ合衆国 7 8 7 3 9 テキサス州 オースティン トラクトン レーン 1 1 2 1 9

(72)発明者 リュー、ウェイ - ファ

アメリカ合衆国 7 8 7 3 3 テキサス州 オースティン コレオブシス ドライブ 1 0 5 0 0

(72)発明者 バーネット、デビッド

アメリカ合衆国 7 8 7 3 1 テキサス州 オースティン ローレルエッジ レーン 3 8 0 4

Fターム(参考) 5F083 EP23 EP44 EP49 ER03 ER09 ER30 GA01 GA05 GA30 HA02

JA04 JA32 JA35 JA56 NA01 PR21 PR36

5F101 BA07 BA29 BB05 BC02 BC11 BD30 BD35 BD36 BD37 BE07

BH02 BH30