

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6719692号
(P6719692)

(45) 発行日 令和2年7月8日(2020.7.8)

(24) 登録日 令和2年6月18日(2020.6.18)

(51) Int. Cl.		F I			
HO2M	7/12	(2006.01)	HO2M	7/12	M
HO2M	7/49	(2007.01)	HO2M	7/49	
HO2M	7/483	(2007.01)	HO2M	7/483	

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2020-512896 (P2020-512896)	(73) 特許権者	000006013
(86) (22) 出願日	令和1年12月3日(2019.12.3)		三菱電機株式会社
(86) 国際出願番号	PCT/JP2019/047263		東京都千代田区丸の内二丁目7番3号
審査請求日	令和2年3月3日(2020.3.3)	(74) 代理人	110001195
早期審査対象出願			特許業務法人深見特許事務所
		(72) 発明者	太田 勝也
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	林 成男
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		審査官	高野 誠治
			最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

直流回路と交流回路との間で電力変換を行なう電力変換装置であって、
直列接続された複数のサブモジュールを含むレグ回路を備え、
前記複数のサブモジュールのうちの少なくとも1つは第1サブモジュールであり、
前記第1サブモジュールは、第1エネルギー蓄積要素と、直列接続された2つのスイッチング素子を有する第1半導体回路と、第2半導体回路とを含み、
前記第1エネルギー蓄積要素、前記第1半導体回路、および前記第2半導体回路は、互いに並列接続されており、
前記第2半導体回路は、
直列接続されたスイッチング素子と半導体素子とを含む直列回路と、
前記直列回路に並列接続された第2エネルギー蓄積要素と、
前記直列回路および前記第2エネルギー蓄積要素を含む並列回路に直列接続された抵抗成分を有する素子とを含む、電力変換装置。

【請求項2】

前記半導体素子は、ダイオードである、請求項1に記載の電力変換装置。

【請求項3】

前記抵抗成分を有する素子は、抵抗素子、ダイオード、またはリアクトルである、請求項1または請求項2に記載の電力変換装置。

【請求項4】

前記第 1 サブモジュールの数は、前記交流回路の電圧の最大値を前記第 2 エネルギー蓄積要素の電圧で除算した数よりも多い、請求項 1 ~ 請求項 3 のいずれか 1 項に記載の電力変換装置。

【請求項 5】

前記複数のサブモジュールのうち、前記第 1 サブモジュール以外の第 2 サブモジュールは、エネルギー蓄積要素と、直列接続された 2 つのスイッチング素子を有する半導体回路とが並列接続されたハーフブリッジ構成を有する、請求項 1 ~ 請求項 4 のいずれか 1 項に記載の電力変換装置。

【請求項 6】

前記レグ回路は、前記交流回路に接続された交流接続部と前記直流回路に接続された正極直流端子との間に設けられた第 1 アームと、前記交流接続部と前記直流回路に接続された負極直流端子との間に設けられた第 2 アームとを含み、

前記第 1 アームおよび前記第 2 アームの各々は、1 以上のサブモジュール群を含み、

前記 1 以上のサブモジュール群の各々は、バイパス回路と並列接続されており、

前記 1 以上のサブモジュール群の各々は、1 以上の前記第 1 サブモジュールと、1 以上の第 2 サブモジュールとを含み、

前記第 2 サブモジュールは、エネルギー蓄積要素と、2 つの半導体スイッチング素子を直列接続した半導体回路とが並列接続されたハーフブリッジ構成を有する、請求項 1 ~ 請求項 4 のいずれか 1 項に記載の電力変換装置。

【請求項 7】

前記バイパス回路は、前記負極直流端子から前記正極直流端子の方向が順方向となるように配置された少なくとも 1 つのダイオードを含む、請求項 6 に記載の電力変換装置。

【請求項 8】

前記サブモジュールに流れる電流を検出する電流検出器と、

前記複数のサブモジュールの各々を制御する制御装置とをさらに備え、

前記制御装置は、

前記電流検出器により検出された電流に基づいて、前記直流回路の短絡事故が発生したか否かを判定し、

前記直流回路の短絡事故が発生した場合に、前記レグ回路の前記複数のサブモジュールに含まれるすべてのスイッチング素子をオフにする、請求項 1 ~ 請求項 7 のいずれか 1 項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置に関する。

【背景技術】

【0002】

直流送電システムにおいて用いられる自励式の電力変換装置としてモジュラーマルチレベル変換器 (MMC: Modular Multilevel Converter) が知られている。モジュラーマルチレベル変換器は、交流の各相について、正極直流端子に接続された上アームと低電位側直流端子に接続された下アームとを有する。各アームは、複数のサブモジュールがカスケードに接続されることによって構成されている。なお、「サブモジュール」は、「変換器セル」とも称される。

【0003】

米国特許 9716425 号明細書 (特許文献 1) には、サブモジュールを半導体スイッチング素子のフルブリッジ構成とすることなく、直流短絡事故時の短絡電流を抑制するための電力変換装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

10

20

30

40

50

【特許文献1】米国特許9716425号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1では、2つのスイッチング素子を直列接続した第1ユニットと、エネルギー蓄積要素と、ダイオードと1つのスイッチング素子とを直列接続した第2ユニットとから構成されるサブモジュールを開示している。このサブモジュールでは、第2ユニットにダイオードを用いることで、フルブリッジ型のサブモジュールよりも部品を削減しつつ直流短絡事故時の短絡電流を抑制し、サブモジュールの素子を保護することを検討している。

【0006】

しかしながら、特許文献1では、電力変換用のエネルギー蓄積要素が短絡電流の抑制の役割も兼ねている。そのため、電力変換および短絡電流抑制の両方を充足するエネルギー蓄積要素を選定する必要があり、エネルギー蓄積要素の設計自由度が制限されるという問題がある。

【0007】

本開示のある局面における目的は、直流回路の短絡時において、サブモジュールに含まれる素子の破損をより容易に防止することが可能な電力変換装置を提供することである。

【課題を解決するための手段】

【0008】

ある実施の形態に従う電力変換装置は、直流回路と交流回路との間で電力変換を行なう。電力変換装置は、直列接続された複数のサブモジュールを含むレグ回路を備える。複数のサブモジュールのうちの少なくとも1つは第1サブモジュールである。第1サブモジュールは、第1エネルギー蓄積要素と、直列接続された2つのスイッチング素子を有する第1半導体回路と、第2半導体回路とを含む。第1エネルギー蓄積要素、第1半導体回路、および第2半導体回路は、互いに並列接続されている。第2半導体回路は、直列接続されたスイッチング素子と半導体素子とを含む直列回路と、直列回路に並列接続された第2エネルギー蓄積要素と、直列回路および第2エネルギー蓄積要素を含む並列回路に直列接続された抵抗成分を有する素子とを含む。

【発明の効果】

【0009】

本開示によると、直流回路の短絡時において、サブモジュールに含まれる素子の破損をより容易に防止することができる。

【図面の簡単な説明】

【0010】

【図1】電力変換装置の概略構成図である。

【図2】図1の各レグ回路を構成するサブモジュールの一例を示す回路図である。

【図3】比較例における短絡電流経路を示す図である。

【図4】実施の形態1に従うサブモジュール内の短絡電流経路を示す図である。

【図5】実施の形態1に従うレグ回路の構成を示す図である。

【図6】実施の形態1に従う制御装置の処理手順を示すフローチャートである。

【図7】実施の形態2に従うレグ回路の構成を示す図である。

【図8】実施の形態2に従うバイパス回路の構成例を示す回路図である。

【図9】実施の形態2の変形例に従うバイパス回路の構成例を示す図である。

【図10】その他の実施の形態に従うサブモジュールの回路構成例(その1)を示す図である。

【図11】その他の実施の形態に従うサブモジュールの回路構成例(その2)を示す図である。

【図12】その他の実施の形態に従うサブモジュールの回路構成例(その3)を示す図である。

【図13】短絡事故電流を抑制する機能を有するサブモジュールの回路構成の他の例を示

10

20

30

40

50

す図である。

【発明を実施するための形態】

【0011】

以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一の部品には同一の符号を付してある。それらの名称および機能も同じである。したがって、それらについての詳細な説明は繰り返さない。

【0012】

実施の形態 1 .

< 電力変換装置の全体構成 >

図 1 は、電力変換装置 1 の概略構成図である。図 1 を参照して、電力変換装置 1 は、互いに直列接続された複数のサブモジュール（図 1 中の「SM」に対応）7 を含むモジュラーマルチレベル変換器によって構成されている。電力変換装置 1 は、直流回路 14 と交流回路 12 との間で電力変換を行なう。電力変換装置 1 は、電力変換器 2 と、制御装置 3 とを含む。

10

【0013】

電力変換器 2 は、正極直流端子（すなわち、高電位側直流端子） N_p と、負極直流端子（すなわち、低電位側直流端子） N_n との間に互いに並列に接続された複数のレグ回路 4_u , 4_v , 4_w （以下、総称する場合または任意のものを示す場合、「レグ回路 4」と記載する）を含む。

【0014】

レグ回路 4 は、交流を構成する複数相の各々に設けられる。レグ回路 4 は、交流回路 12 と直流回路 14 との間に接続され、両回路間で電力変換を行なう。図 1 には、交流回路 12 が 3 相交流系統の場合が示され、U 相、V 相、W 相にそれぞれ対応して 3 個のレグ回路 4_u , 4_v , 4_w が設けられている。

20

【0015】

レグ回路 4_u , 4_v , 4_w にそれぞれ設けられた交流端子 N_u , N_v , N_w は、変圧器 13 を介して交流回路 12 に接続される。交流回路 12 は、例えば、交流電源などを含む交流系統である。図 1 では、図解を容易にするために、交流端子 N_v , N_w と変圧器 13 との接続は図示していない。

【0016】

各レグ回路 4 に共通に接続された正極直流端子 N_p および負極直流端子 N_n は、直流回路 14 に接続される。直流回路 14 は、例えば、直流送電網などを含む直流電力系統または他の電力変換装置の直流端子である。

30

【0017】

図 1 の変圧器 13 を用いる代わりに、連系リアクトルを介して交流回路 12 に接続する構成としてもよい。さらに、交流端子 N_u , N_v , N_w に代えてレグ回路 4_u , 4_v , 4_w にそれぞれ一次巻線を設け、この一次巻線と磁気結合する二次巻線を介してレグ回路 4_u , 4_v , 4_w が変圧器 13 または連系リアクトルに交流的に接続するようにしてもよい。この場合、一次巻線を下記のリアクトル 8A , 8B としてもよい。すなわち、レグ回路 4 は、交流端子 N_u , N_v , N_w または上記の一次巻線など、各レグ回路 4_u , 4_v , 4_w に設けられた交流接続部を介して電氣的に（すなわち、直流的または交流的に）交流回路 12 と接続される。

40

【0018】

レグ回路 4_u は、交流回路 12 に接続された交流接続部（例えば、交流端子 N_u ）と直流回路 14 に接続された正極直流端子 N_p との間に設けられる上アーム 5 と、交流接続部と直流回路 14 に接続された負極直流端子 N_n との間に設けられた下アーム 6 とを含む。上アーム 5 と下アーム 6 との接続点である交流端子 N_u が変圧器 13 と接続される。正極直流端子 N_p および負極直流端子 N_n が直流回路 14 に接続される。レグ回路 4_v , 4_w についても同様の構成を有するので、以下、レグ回路 4_u を代表として説明する。また、上アーム 5 と下アーム 6 とを区別しない場合には、単に「アーム」とも称する。

50

【 0 0 1 9 】

上アーム 5 は、カスケード接続された複数のサブモジュール 7 と、リアクトル 8 A とを含む。上アーム 5 において、複数のサブモジュール 7 およびリアクトル 8 A は直列に接続されている。同様に、下アーム 6 は、カスケード接続された複数のサブモジュール 7 と、リアクトル 8 B とを含む。下アーム 6 において、複数のサブモジュール 7 およびリアクトル 8 B は直列に接続されている。

【 0 0 2 0 】

リアクトル 8 A が挿入される位置は、レグ回路 4 u の上アーム 5 のいずれの位置であってもよく、リアクトル 8 B が挿入される位置は、レグ回路 4 u の下アーム 6 のいずれの位置であってもよい。リアクトル 8 A , 8 B はそれぞれ複数個あってもよい。各リアクトルのインダクタンス値は互いに異なっていてもよい。上アーム 5 のリアクトル 8 A のみ、もしくは、下アーム 6 のリアクトル 8 B のみを設けてもよい。リアクトル 8 A , 8 B は、循環電流を抑制するため、および交流回路 1 2 または直流回路 1 4 などの事故時に事故電流が急激に増大しないようにするために設けられている。

【 0 0 2 1 】

電力変換装置 1 は、制御に使用される電気量（例えば、電流、電圧など）を計測する各検出器として、交流電圧検出器 1 0 と、交流電流検出器 1 6 と、直流電圧検出器 1 1 A , 1 1 B と、各レグ回路 4 に設けられたアーム電流検出器 9 A , 9 B とを含む。これらの検出器によって検出された信号は、制御装置 3 に入力される。

【 0 0 2 2 】

制御装置 3 は、これらの検出信号に基づいて各サブモジュール 7 の運転状態を制御するための運転指令を出力する。運転指令は、U 相上アーム、U 相下アーム、V 相上アーム、V 相下アーム、W 相上アーム、および W 相下アームにそれぞれ対応して生成される。また、制御装置 3 は、各サブモジュール 7 から各種情報を受信する。各種情報は、サブモジュール 7 の内部情報であり、サブモジュール 7 のキャパシタの電圧値、サブモジュール 7 の状態を示す状態情報等を含む。

【 0 0 2 3 】

制御装置 3 は、典型的には、ハードウェア構成として、補助変成器、A D (Analog to Digital) 変換部、演算部等を含む。演算部は、C P U (Central Processing Unit) 、R A M (Random Access Memory) および R O M (Read Only Memory) を含む。A D 変換部は、アナログフィルタ、サンプルホールド回路、マルチプレクサ等を含む。制御装置 3 は、例えば、デジタル保護制御装置で構成されていてもよい。

【 0 0 2 4 】

図 1 では図解を容易にするために、各検出器から制御装置 3 に入力される信号の信号線と、制御装置 3 および各サブモジュール 7 間で入出力される信号の信号線とは、一部まとめて記載されているが、実際には検出器ごとおよびサブモジュール 7 ごとに設けられている。各サブモジュール 7 と制御装置 3 との間の信号線は、送信用と受信とが別個に設けられていてもよい。信号線は、たとえば光ファイバによって構成される。

【 0 0 2 5 】

以下、各検出器について具体的に説明する。

交流電圧検出器 1 0 は、交流回路 1 2 の U 相の交流電圧 V_{acu} 、V 相の交流電圧 V_{acv} 、および W 相の交流電圧 V_{acw} を検出する。交流電流検出器 1 6 は、交流回路 1 2 の U 相の交流電流 I_{acu} 、V 相の交流電流 I_{acv} 、および W 相の交流電流 I_{acw} を検出する。直流電圧検出器 1 1 A は、直流回路 1 4 に接続された正極直流端子 N_p の直流電圧 V_{dcp} を検出する。直流電圧検出器 1 1 B は、直流回路 1 4 に接続された負極直流端子 N_n の直流電圧 V_{dcn} を検出する。

【 0 0 2 6 】

U 相用のレグ回路 4 u に設けられたアーム電流検出器 9 A および 9 B は、上アーム 5 に流れる上アーム電流 I_{pu} 、および下アーム 6 に流れる下アーム電流 I_{nu} をそれぞれ検出する。V 相用のレグ回路 4 v に設けられたアーム電流検出器 9 A および 9 B は、上アーム

10

20

30

40

50

ム電流 I_{pv} および下アーム電流 I_{nv} をそれぞれ検出する。W相用のレグ回路 $4w$ に設けられたアーム電流検出器 $9A$ および $9B$ は、上アーム電流 I_{pw} および下アーム電流 I_{nw} をそれぞれ検出する。以下の説明では、上アーム電流 I_{pu} 、 I_{pv} 、 I_{pw} を総称して上アーム電流 $I_{arm p}$ と記載し、下アーム電流 I_{nu} 、 I_{nv} 、 I_{nw} を総称して下アーム電流 $I_{arm n}$ と記載し、上アーム電流 $I_{arm p}$ と下アーム電流 $I_{arm n}$ とを総称してアーム電流 I_{arm} と記載する。

【0027】

<サブモジュールの構成>

図2は、図1の各レグ回路を構成するサブモジュールの一例を示す回路図である。具体的には、図2(a)に示すサブモジュール7は、ハーフブリッジ構成と呼ばれる回路構成を有する。以下では、図2(a)の回路構成を有する「サブモジュール7」を「サブモジュール7HB」とも称する。

10

【0028】

サブモジュール7HBは、半導体回路35と、エネルギー蓄積要素であるキャパシタ C_{hb} とを含む。半導体回路35は、直列接続された2つのスイッチング素子 $22A$ 、 $22B$ と、ダイオード $23A$ 、 $23B$ とを含む。ダイオード $23A$ 、 $23B$ は、スイッチング素子 $22A$ 、 $22B$ とそれぞれ逆並列（すなわち、並列かつ逆バイアス方向）に接続されるダイオードである。キャパシタ C_{hb} は、半導体回路35と並列に接続され、直流電圧を保持する。

【0029】

20

スイッチング素子 $22B$ の両端子を入出力端子 $26P$ 、 $26N$ とする。具体的には、スイッチング素子 $22A$ 、 $22B$ の接続ノードは高電位側の入出力端子 $26P$ と接続される。スイッチング素子 $22B$ とキャパシタ C_{hb} との接続ノードは低電位側の入出力端子 $26N$ と接続される。典型的には、入出力端子 $26P$ は、正極側に隣接するサブモジュール7の入出力端子 $26N$ と接続される。入出力端子 $26N$ は、負極側に隣接するサブモジュール7の入出力端子 $26P$ と接続される。

【0030】

スイッチング素子 $22A$ 、 $22B$ のスイッチング動作により、サブモジュール7HBの入出力端子間にはキャパシタ C_{hb} の両端電圧、および零電圧が出力される。例えば、スイッチング素子 $22A$ がオン、かつスイッチング素子 $22B$ がオフとなったときに、キャパシタ C_{hb} の両端電圧が出力される。スイッチング素子 $22A$ がオフ、かつスイッチング素子 $22B$ がオンとなったときに、零電圧が出力される。

30

【0031】

図2(b)に示すサブモジュール7は、図2(a)に示す回路にさらに他の回路を追加した回路構成を有する。以下では、図2(b)に示す回路構成を有する「サブモジュール7」を「サブモジュール7SU」とも称する。

【0032】

サブモジュール7SUは、半導体回路31と、キャパシタ C_{hb} と、半導体回路32とを含む。半導体回路31、キャパシタ C_{hb} 、および半導体回路32は、互いに並列接続されている。半導体回路31は、図2(a)の半導体回路35と同一である。そのため、サブモジュール7SUは、概ねサブモジュール7HBに半導体回路32を追加した回路構成を有する。

40

【0033】

半導体回路32は、直列回路41と、キャパシタ C_{su} と、抵抗素子 51 とを含む。直列回路41は、直列接続された、スイッチング素子 $22D$ と、直流回路14の短絡事故時における短絡電流を流す半導体素子であるダイオード $23C$ とを含む。キャパシタ C_{su} は、直列回路41に並列接続されたエネルギー蓄積要素である。抵抗素子 51 は、直列回路41とキャパシタ C_{su} とを有する並列回路45に直列接続されている。また、ダイオード $23D$ は、スイッチング素子 $22D$ と逆並列に接続されるダイオードである。詳細は後述するが、半導体回路32は、直流回路14での短絡事故発生時に流れる事故電流を抑

50

制する機能を有する。

【0034】

スイッチング素子22Aおよび22Bの接続ノードは高電位側の入出力端子26Pと接続され、スイッチング素子22Dとダイオード23Cとの接続ノードは低電位側の入出力端子26Nと接続される。

【0035】

正常な電力変換運転時は、スイッチング素子22Dは常時オンであり、スイッチング素子22A、22Bのスイッチング動作により、サブモジュール7SUの入出力端子間にはキャパシタChbの両端電圧、および零電圧が出力される。例えば、スイッチング素子22Aがオン、かつスイッチング素子22Bがオフとなったときに、キャパシタChbの両端電圧が出力される。スイッチング素子22Aがオフ、かつスイッチング素子22Bがオンとなったときに、零電圧が出力される。

10

【0036】

図2(a)および図2(b)における各スイッチング素子22A、22B、22Dには、オン動作とオフ動作の両方を制御可能な自己消弧型のスイッチング素子が用いられる。スイッチング素子22A、22B、22Dは、例えば、IGBT(Insulated Gate Bipolar Transistor)またはGCT(Gate Commutated Turn-off)サイリスタ、MOSFET(Metal Oxide Semiconductor Field-Effect Transistor)などの自己消弧型の半導体スイッチング素子である。

20

【0037】

図2(a)および図2(b)において、キャパシタChb、Csuには、金属蒸着フィルムコンデンサなどのキャパシタが主に用いられる。以下の説明では、キャパシタChbの両端電圧は電圧Vhbとも称され、キャパシタCsuの両端電圧は電圧Vsuとも称される。

【0038】

< 直流回路の短絡事故時の電流経路 >

実施の形態1では、複数のサブモジュール7のうちの規定数のサブモジュール7を、短絡事故電流を抑制する機能を有するサブモジュール7SUとして構成し、残りのサブモジュール7をサブモジュール7HBとして構成する。これにより、直流回路14の短絡事故時における短絡電流を抑制する。実施の形態1との比較のため、まず、複数のサブモジュール7のすべてがサブモジュール7HBで構成される比較例における短絡電流経路について説明する。

30

【0039】

図3は、比較例における短絡電流経路を示す図である。図3を参照して、直流回路14の内部を高電位側から低電位側に流れる短絡電流は、電力変換装置の内部を負極直流端子Nnから正極直流端子Npの方向に流れる。ここで、各LEG回路4u、4v、4wにおける上アーム5および下アーム6のうちどのアームを短絡電流が流れるかは、交流回路12と電力変換装置との間を流れる交流電流の位相によって異なる。図3の場合には、負極直流端子NnからV相の下アーム6を通過して交流回路12に短絡電流が流れるとともに、交流回路12からU相の上アーム5を通過して正極直流端子Npの方向に短絡電流が流れる。

40

【0040】

電力変換装置の制御装置は、各スイッチング素子に流れる電流を直接、あるいは間接的に検出する。典型的には、制御装置は、検出したアーム電流に基づいて、短絡が発生したと判定した場合、電力変換装置内の各スイッチング素子をオフにする。しかし、サブモジュール7HBのようなハーフブリッジ構成である場合、図2(a)に示すように、各スイッチング素子をオフにしても逆並列接続ダイオード(すなわち、ダイオード23B)が存在するため、入出力端子26Nから入出力端子26Pへの方向の短絡電流経路が維持され、過大な短絡電流が流れてしまう。

【0041】

次に、サブモジュール7SUを用いる構成について説明する。

50

図4は、実施の形態1に従うサブモジュール7SU内の短絡電流経路を示す図である。ここでは、キャパシタChbの電圧Vhbと、キャパシタCsuの電圧Vsuとはほぼ同一となっているものとする。

【0042】

図4を参照して、例えば、制御装置3は、検出されたアーム電流Iarmに基づいて、直流回路14に短絡事故が発生したと判定した場合、各スイッチング素子22A, 22B, 22Dをオフにする。これにより、図4に示すように、短絡電流は、入出力端子26N、ダイオード23C、キャパシタCsu、ダイオード23B、入出力端子26Pの経路で流れる。

【0043】

この場合、サブモジュール7SUの入出力端子26P, 26N間の電圧が電圧Vsuよりも大きくなければ、ダイオード23B, 23Cは導通しないため、短絡電流は流れない。すなわち、入出力端子26P, 26N間の電圧が電圧Vsu以下であれば、短絡電流を抑制できる。入出力端子26P, 26Nは直列に接続されているため、全体で考えると、交流回路12の電圧(例えば、交流系統電圧)の方が短絡電流経路上に存在するキャパシタCsuの電圧Vsuの総和以下であれば短絡電流を抑制できる。仮に、一時的に短絡電流が流れたとしてもキャパシタCsuを充電して電圧Vsuがさらに上昇するので短絡電流を減少させるように働き、最終的には抑制できる。

【0044】

なお、上記において、ダイオード23Cは、通常制御時(すなわち、入出力端子26P, 26N間に零電圧または電圧Vhbを出力する場合)に抵抗素子51を介して電流が流れるのを防止するとともに、図4に示す短絡電流をキャパシタCsu側に流す機能を有している。そのため、ダイオード23Cの代わりに、それと同様の機能を有する他の半導体素子を用いてもよい。

【0045】

また、抵抗素子51は、キャパシタChbの正極性側と、短い時間領域においてキャパシタCsuの正極性側とが同電位にならないようにして、キャパシタChbとキャパシタCsuとを分離する役割を有している。そのため、抵抗素子51の代わりに、それと同様の役割を担う、抵抗成分を有する他の素子を用いてもよい。例えば、抵抗素子51は、リアクトルまたはダイオードと代替することができる。この場合、ダイオードのアノードはキャパシタChbの正極側に設けられ、ダイオードのカソードはダイオード23C側に設けられる。

【0046】

図5は、実施の形態1に従うレグ回路の構成を示す図である。図5を参照して、各レグ回路4の上アーム5に含まれる各サブモジュール7をサブモジュール7SUとして構成し、下アーム6に含まれる各サブモジュール7をサブモジュール7HBとして構成する。

【0047】

上述したように、交流回路12の最大電圧が電圧Vsuの総和以下であれば入出力端子26Nから入出力端子26Pの方向に流れる短絡電流を抑制できる。なお、入出力端子26Pから入出力端子26Nの方向に短絡電流を流そうとする交流電圧は、電圧Vhbによりブロックされる。ここで、レグ回路4に含まれるすべてのサブモジュール7の台数をN台とすると、交流回路12の電圧の最大値は、概ねN/2台分のサブモジュール7の電圧Vhbの総和に対応する。ここで、電圧Vhbと電圧Vsuとは同一である。したがって、電圧Vsuを出力するサブモジュール7SUをN/2台以上用意すれば、交流回路12の電圧が電圧Vsuの総和以下となるため、短絡電流を抑制することができる。

【0048】

典型的には、上アーム5内のサブモジュール数と下アーム5内のサブモジュール数とは同数である。そのため、例えば、図5に示すように上アーム5内のすべてのサブモジュール7をサブモジュール7SUとすることで短絡電流を抑制できる。

【0049】

10

20

30

40

50

より具体的には、短絡電流を抑制するためには、交流回路12の電圧の最大値をキャパシタ C_{su} の電圧 V_{su} で除算した数(すなわち、「交流回路の電圧の最大値」÷「電圧 V_{su} 」で求められるサブモジュール数)よりも多くのサブモジュール $7SU$ を短絡電流経路内に有していればよい。以下、この除算した数を「算出数 K 」とも称する。レグ回路4は、算出数 K のサブモジュール $7SU$ を有していればよく、上アーム5および下アーム6に含まれるサブモジュール $7SU$ の数の比率は任意である。

【0050】

実施の形態1では、直流回路14の短絡事故の保護に必要な台数のサブモジュール $7SU$ を使用し、これ以外はハーフブリッジ構成のサブモジュール $7HB$ を使用する構成とすることで、直流回路14の短絡によって生じる過電流を抑制できる。また、サブモジュール $7SU$ では、電力変換用のキャパシタ C_{hb} と、短絡電流の抑制用のキャパシタ C_{su} とを独自に有している。そのため、電力変換に適したキャパシタ C_{hb} と、短絡電流の抑制に適したキャパシタ C_{su} とを個別に設計することができ、設計自由度が向上する。したがって、直流回路14の短絡電流をより容易に抑制できる。

10

【0051】

また、実施の形態1では、算出数 K を求めることによって、サブモジュール $7SU$ の台数を必要最小限に抑えることができるため、構成の簡素化を図ることもできる。また、より小容量(例えば、キャパシタ C_{hb} よりも小容量)のキャパシタ C_{su} を用いれば、電圧 V_{su} を大きくすることができる。そのため、この場合、直流回路14の短絡事故の保護に必要なサブモジュール $7SU$ の台数を減らすことができる。ただし、短絡電流の抑制という観点では、例えば、レグ回路4内のすべてのサブモジュール 7 を、サブモジュール $7SU$ で構成してもよい。

20

【0052】

< 処理手順 >

図6は、実施の形態1に従う制御装置3の処理手順を示すフローチャートである。典型的には、以下の各ステップは、制御装置3の演算部によって実行される。

【0053】

制御装置3は、電力変換器2の初期充電(すなわち、各キャパシタ C_{hb} 、 C_{su} の初期充電)が完了すると、運転開始指令を出力して通常制御を行なう(ステップ $S10$)。具体的には、制御装置3は、各レグ回路4に含まれる各サブモジュール7の出力電圧を制御する。この場合、サブモジュール $7SU$ においては、スイッチング素子 $22D$ を常時オンとし、スイッチング素子 $22A$ 、 $22B$ をオンオフすることで出力電圧が制御される。

30

【0054】

次に、制御装置3は、サブモジュール7に流れる電流に基づいて、直流回路14の短絡事故が発生したか否かを判定する(ステップ $S12$)。例えば、制御装置3は、アーム電流検出器 $9A$ 、 $9B$ により検出された各アーム電流 I_{pu} 、 I_{pv} 、 I_{pw} 、 I_{nu} 、 I_{nv} 、 I_{nw} の絶対値の少なくとも1つが閾値を超えている場合、あるいは、アーム電流の各相合計値が閾値を超えている場合に、直流回路14の短絡事故が発生したと判定する。なお、サブモジュール7に流れる電流を検出するために、直流回路14の正極端子側に電流検出器を設ける場合には、制御装置3は、当該電流検出器により検出された直流電流を用いて短絡事故の発生の有無を判定してもよい。例えば、制御装置3は、検出された直流電流が閾値を超えた場合に、短絡事故が発生したと判定する。

40

【0055】

短絡事故が発生していない場合(ステップ $S12$ において NO)、制御装置3はステップ $S10$ の処理を実行する。短絡事故が発生した場合(ステップ $S12$ において YES)、制御装置3は、電力変換器2の各レグ回路4に含まれるすべてのサブモジュール7のスイッチング素子(例えば、スイッチング素子 $22A$ 、 $22B$ 、 $22D$)をオフにする(ステップ $S14$)。この場合、上述したように、各レグ回路4は、算出数 K 以上のサブモジュール $7SU$ を有しているため、直流回路14の短絡電流が抑制される。

【0056】

50

< 利点 >

実施の形態 1 によると、電力変換用のキャパシタと、短絡電流の抑制用のキャパシタとを独自に有している。したがって、電力変換に適したキャパシタと、短絡電流の抑制に適したキャパシタとを個別に設計できるため、直流回路の短絡事故によって生じる事故電流を容易に抑制できる。結果として、サブモジュール内の素子の破損を防ぐことができる。

【 0 0 5 7 】

実施の形態 2 .

実施の形態 1 では、各サブモジュール 7 に流れる短絡電流を抑制することにより、サブモジュール内の素子の破損を防ぐ構成について説明した。実施の形態 2 では、サブモジュール 7 S U を用いて、バイパス回路に短絡電流を転流する構成について説明する。

10

【 0 0 5 8 】

図 7 は、実施の形態 2 に従うレグ回路 4 の構成を示す図である。図 7 を参照して、各レグ回路 4 において、上アーム 5 に含まれる複数のサブモジュール 7 のうちの 1 つはサブモジュール 7 S U で構成されており、それ以外のサブモジュール 7 はサブモジュール 7 H B で構成されている。上アーム 5 は、バイパス回路 8 0 と電氣的に並列に（すなわち、上アーム 5 の外部接続ノード 4 0 p と 4 0 n との間に）接続されている。下アーム 6 においても、複数のサブモジュール 7 のうちの 1 つはサブモジュール 7 S U で構成されており、それ以外のサブモジュール 7 はサブモジュール 7 H B で構成されている。下アーム 6 は、バイパス回路 8 0 と電氣的に並列に接続されている。

【 0 0 5 9 】

20

各バイパス回路 8 0 は、直流回路 1 4 の短絡事故時に、各アームを流れる短絡電流を転流するために設けられている。短絡電流は、各アームの低電位側端子から高電位側端子の方向（すなわち、各アームの低電位側の外部接続ノード 4 0 n から高電位側の外部接続ノード 4 0 p の方向）に流れるため、バイパス回路 8 0 はこの方向に直流電流を流すように構成される。

【 0 0 6 0 】

直流回路 1 4 の正常時には、高電位側端子が低電位側端子よりも高電位となるように（すなわち、各アームの外部接続ノード 4 0 p が高電位側となり、外部接続ノード 4 0 n が低電位側となるように）直流電圧がかかる。したがって、各バイパス回路 8 0 は、高電位側端子から低電位側端子の方向の電流を阻止するように構成される。これによって、直流回路 1 4 の正常時の各アームの動作が妨げられないようにする。典型的には、バイパス回路 8 0 は、負極直流端子 N n から正極直流端子 N p の方向が順方向となるように配置された少なくとも 1 つのダイオードを含む。

30

【 0 0 6 1 】

実施の形態 1 で説明したように、直流回路 1 4 の短絡事故時には、各サブモジュール 7 のスイッチング素子 2 2 A , 2 2 B , 2 2 D はオフにされる。また、サブモジュール 7 S U は、短絡電流を抑制する電圧を発生させるキャパシタ C s u を有している。そのため、各アームに含まれる複数のサブモジュール 7 のうちの少なくとも 1 つをサブモジュール 7 S U で構成することにより、直流回路 1 4 の短絡事故時において当該アームの両端（すなわち、外部接続ノード 4 0 p と 4 0 n との間）には短絡電流を抑制する電圧が発生する。したがって、図 7 に示すように短絡電流はアーム内のサブモジュール 7 を流れることなく、バイパス回路 8 0 側に転流される。したがって、各アームに短絡電流が流れることはない。この結果、各サブモジュール 7 を構成する素子が保護される。

40

【 0 0 6 2 】

図 8 は、実施の形態 2 に従うバイパス回路の構成例を示す回路図である。図 8 (a) を参照して、バイパス回路 8 0 は、互いに直列接続された複数のダイオード 8 2 を含む。各ダイオード 8 2 のカソードは高電位側に設けられ、各ダイオード 8 2 のアノードは低電位側に設けられる。すなわち、低電位側の外部接続ノード 4 0 n から高電位側の外部接続ノード 4 0 p の方向（すなわち、負極直流端子 N n から正極直流端子 N p の方向）が、各ダイオード 8 2 の順方向となる。

50

【 0 0 6 3 】

直流回路 1 4 の短絡事故時には、低電位側の外部接続ノード 4 0 n から高電位側の外部接続ノード 4 0 p の方向に短絡電流が流れるので、短絡電流を各バイパス回路 8 0 の複数のダイオード 8 2 を介して流すことができる。これによって、各サブモジュール 7 を保護する。一方、直流回路 1 4 の正常時において、外部接続ノード 4 0 p が高電位側となり外部接続ノード 4 0 n が低電位側となるように直流電圧が印加される場合には、各ダイオード 8 2 に対して逆方向となるのでバイパス回路 8 0 に電流が流れることはない。

【 0 0 6 4 】

バイパス回路 8 0 を構成する各ダイオード 8 2 に特性のばらつきがある場合には、ダイオード 8 2 ごとの電圧の分担に違いが生じるために、他よりも大きな電圧がかかっているダイオード 8 2 が過電圧により破損する場合がある。この問題を回避するために、各ダイオード 8 2 としてアバランシェダイオードを用いるのが望ましい。アバランシェダイオードは、規定レベル以上の電圧がアノード - カソード間に印加されると破損する前に漏れ電流が増加する。これによって、自己の電圧上昇を抑え、他のダイオード 8 2 に電圧を分担させることができる。

【 0 0 6 5 】

図 8 (b) には、図 8 (a) の変形例が示されている。図 8 (b) のバイパス回路 8 0 は、複数のダイオード 8 2 とそれぞれ並列に接続された抵抗素子 8 3 を含む点で、図 8 (a) のバイパス回路 8 0 と異なる。各抵抗素子 8 3 の抵抗値は互いにほぼ等しい値に設定される。さらに、抵抗素子 8 3 の抵抗値は、電力系統の正常時に高電位側の外部接続ノード 4 0 p から低電位側の外部接続ノード 4 0 n の方向に各抵抗素子 8 3 を介して電流がほとんど流れないように、比較的高い値に設定される。各抵抗素子 8 3 の抵抗値をほぼ等しい値にすることによって、ダイオード 8 2 ごとに分担される電圧をほぼ等しくすることができ、これによって、ダイオード 8 2 の破損を防止することができる。

【 0 0 6 6 】

上記の図 7 の例では、各アームに 1 つのバイパス回路 8 0 を並列接続する構成について説明したが、当該構成に限られない。各アーム内の一定数のサブモジュール 7 (以下、「サブモジュール群」とも称する。) に対して、バイパス回路 8 0 を並列接続する構成であってもよい。

【 0 0 6 7 】

図 9 は、実施の形態 2 の変形例に従うバイパス回路の構成例を示す図である。図 9 では、上アーム 5 および下アーム 6 にそれぞれ接続されるリアクトル 8 A , 8 B は図示していない。上アーム 5 の場合、高電位側端子 1 5 p は図 1 の正極直流端子 N p に対応し、低電位側端子 1 5 n は交流端子 N u または N v または N w に対応する。下アーム 6 の場合、高電位側端子 1 5 p は図 1 の交流端子 N u または N v または N w に対応し、低電位側端子 1 5 n は負極直流端子 N n に対応する。

【 0 0 6 8 】

図 9 を参照して、各アームは、高電位側のサブモジュール群 2 0 _ 1 から低電位側のサブモジュール群 2 0 _ m までのカスケード接続された m 個 (m は 1 以上の整数) のサブモジュール群 2 0 _ 1 ~ 2 0 _ m を含む。サブモジュール群 2 0 _ 1 ~ 2 0 _ m について、総称する場合、サブモジュール群 2 0 と記載する。各アームを構成するサブモジュール群 2 0 が 1 個の場合の例が、図 7 の例に対応する。

【 0 0 6 9 】

第 i 番目のサブモジュール群 2 0 _ i (i は、 1 i m を満たす任意の整数) は、他のサブモジュール群 2 0 と接続するための高電位側の外部接続ノード 4 0 p _ i および低電位側の外部接続ノード 4 0 n _ i と、外部接続ノード 4 0 p _ i と 4 0 n _ i との間にかスケード接続された複数個のサブモジュール 7 (7 S U , 7 H B) とを含む。外部接続ノード 4 0 p _ i , 4 0 n _ i について総称する場合、それぞれ外部接続ノード 4 0 p , 4 0 n と記載する。

【 0 0 7 0 】

各サブモジュール群 20 は、サブモジュール 7 として、1 以上のサブモジュール 7 S U と、1 以上のサブモジュール 7 H B とを含む。図 9 では、1 個のサブモジュール 7 S U および複数のサブモジュール 7 H B によって各サブモジュール群 20 が構成される例が示されている。各サブモジュール群 20 に含まれるサブモジュール 7 の数は、サブモジュール群 20 ごとに異なってもよい。各サブモジュール群 20 に含まれるサブモジュール 7 S U とサブモジュール 7 H B との配列順は、サブモジュール群 20 ごとに異なってもよい。

【0071】

各アームは、さらに、m 個のサブモジュール群 20 __ 1 ~ 20 __ m にそれぞれ対応する m 個のバイパス回路 80 __ 1 ~ 80 __ m を含む（総称する場合、バイパス回路 80 と記載する）。m 個のバイパス回路 80 __ は、高電位側のバイパス回路 80 __ 1 から低電位側のバイパス回路 80 __ m までによって構成される。各バイパス回路 80 は対応するサブモジュール群 20 と電氣的に並列に（すなわち、対応するサブモジュール群 20 の外部接続ノード 40 p と 40 n との間に）接続されている。

10

【0072】

直流回路 14 の短絡事故時には、各サブモジュール 7 のスイッチング素子 22 A , 22 B , 22 D はオフにされる。また、図 9 のサブモジュール群 20 には、少なくとも 1 つのサブモジュール 7 S U が含まれる。そのため、直流回路 14 の短絡事故時における短絡電流は、サブモジュール群 20 に流れることなく、バイパス回路 80 側に転流される。この結果、各サブモジュール 7 を構成する素子が保護される。

20

【0073】

< 利点 >

実施の形態 2 によると、直流回路の短絡事故によって生じる事故電流をバイパス回路に転流することができる。結果として、サブモジュール内の半導体素子の破損を防ぐことができる。また、実施の形態 1 の構成例よりも、サブモジュール 7 S U の個数を全体として削減することができる。

【0074】

その他の実施の形態 .

(1) 上述した実施の形態において、サブモジュール 7 H B と半導体回路 32 とを組み合わせることで、サブモジュール 7 S U に相当する回路を設けてもよい。

30

【0075】

図 10 は、その他の実施の形態に従うサブモジュール 7 の回路構成例（その 1）を示す図である。図 10 を参照して、サブモジュール 7 H B に半導体回路 32 が接続されている。具体的には、サブモジュール 7 H B の正極端子 P a と、半導体回路 32 の正極端子 P b とが接続され、サブモジュール 7 H B の負極端子 N a と、半導体回路 32 の負極端子 N b とが接続される。サブモジュール 7 H B の端子 A a が図 2 のサブモジュール 7 S U の高電位側の入出力端子 26 P に対応し、半導体回路 32 の端子 A b が図 2 のサブモジュール 7 S U の低電位側の入出力端子 26 N に対応する。このように、サブモジュール 7 H B と半導体回路 32 とを組み合わせることによりサブモジュール 7 S U を構成できる。この場合、既存のサブモジュール 7 H B に半導体回路 32 を追加接続するだけでサブモジュール 7 S U を構成することができる。

40

【0076】

図 11 は、その他の実施の形態に従うサブモジュール 7 の回路構成例（その 2）を示す図である。図 11 を参照して、ハーフブリッジ構成の 2 つのサブモジュール 7 H B __ 1 および 7 H B __ 2 と、1 つの半導体モジュール 32 A とが接続されている。半導体モジュール 32 A は、2 つの半導体回路 32 を組み合わせた構成を有している。

【0077】

具体的には、サブモジュール 7 H B __ 1 の正極端子 P a と、半導体モジュール 32 A の正極端子 P b とが接続され、サブモジュール 7 H B __ 1 の負極端子 N a と、半導体モジュール 32 A の負極端子 N b とが接続される。サブモジュール 7 H B __ 2 の正極端子 P a と

50

、半導体モジュール32Aの正極端子Pcとが接続され、サブモジュール7HB__2の負極端子Naと、半導体モジュール32Aの負極端子Ncとが接続される。

【0078】

図11の構成例では、サブモジュール7HB__1と、半導体モジュール32Aのうちの上側の半導体回路32とで構成される回路が、サブモジュール7SUの回路に対応する(図中のサブモジュール7SU__1に対応)。また、サブモジュール7HB__2と、半導体モジュール32Aのうちの下側の半導体回路32とで構成される回路が、サブモジュール7SUの回路に対応する(図中のサブモジュール7SU__2に対応)。サブモジュール7HB__1の端子Aaが高電位側の入出力端子に対応し、サブモジュール7HB__2の端子Aaが低電位側の入出力端子に対応する。

10

【0079】

キャパシタCsuとして小容量のコンデンサを選択することにより、半導体回路32の体積を小さくできる。この場合、図11の構成例のように、半導体回路32がサブモジュール7HBに比べて体積を小さくできるという利点を利用し、2つの半導体回路32を1つのモジュール(すなわち、半導体モジュール32A)に収納できる。

【0080】

図12は、その他の実施の形態に従うサブモジュール7の回路構成例(その3)を示す図である。図12の構成例は、図11の構成例と基本的には同様であり、上側のサブモジュール7HB__1の回路構成と、下側のサブモジュール7HB__2の回路構成を同一にしたものである。ハーフブリッジ構成の2つのサブモジュール7HB__1および7HB__2と、1つの半導体モジュール32Bとが接続されている。半導体モジュール32Bは、2つの半導体回路32を組み合わせた構成を有している。

20

【0081】

図12の構成例では、サブモジュール7HB__1と、半導体モジュール32Bのうちの上側の半導体回路32とで構成される回路が、サブモジュール7SUの回路に対応(図中のサブモジュール7SU__1に対応)する。また、サブモジュール7HB__2と、半導体モジュール32Bのうちの下側の半導体回路32とで構成される回路が、サブモジュール7SUの回路に対応(図中のサブモジュール7SU__2に対応)する。サブモジュール7HB__1の端子Aaが高電位側の入出力端子に対応し、半導体モジュール32Bの端子Acが低電位側の入出力端子に対応する。

30

【0082】

(2) 上述した実施の形態において、短絡電流の抑制用のサブモジュール7は、図2(b)のような回路構成である場合について説明したが、当該回路構成に限られず、例えば、図13に示すような回路構成であってもよい。

【0083】

図13は、短絡事故電流を抑制する機能を有するサブモジュールの回路構成の他の例を示す図である。ここでは、図13に示す回路構成を有する「サブモジュール7」を「サブモジュール7SUx」とも称する。

【0084】

図13(a)を参照して、サブモジュール7SUxは、図2(b)に示すサブモジュール7SUと同様に、直流回路14の短絡事故時における短絡電流を抑制する機能を有する。具体的には、サブモジュール7SUxは、半導体回路31xと、キャパシタChbと、半導体回路32xとを含む。半導体回路31x、キャパシタChb、および半導体回路32xは、互いに並列接続されている。

40

【0085】

半導体回路31xは、直列接続された2つのスイッチング素子22A、22Bと、ダイオード23A、23Bとを含む。ダイオード23A、23Bは、スイッチング素子22A、22Bとそれぞれ逆並列に接続される。

【0086】

半導体回路32xは、直列回路41xと、キャパシタCsuと、抵抗素子51とを含む

50

。直列回路 4 1 x は、直列接続された、スイッチング素子 2 2 D と、短絡電流を流す半導体素子であるダイオード 2 3 C とを含む。キャパシタ C s u は、直列回路 4 1 x に並列接続されたエネルギー蓄積要素である。抵抗素子 5 1 は、直列回路 4 1 x とキャパシタ C s u とを有する並列回路 4 5 x に直列接続されている。また、ダイオード 2 3 D は、スイッチング素子 2 2 D と逆並列に接続されるダイオードである。半導体回路 3 2 x は、図 2 (b) の半導体回路 3 2 と同様に、直流回路 1 4 での短絡事故発生時に流れる事故電流を抑制する機能を有する。

【 0 0 8 7 】

スイッチング素子 2 2 A および 2 2 B の接続ノードは低電位側の入出力端子 2 6 N と接続され、スイッチング素子 2 2 D とダイオード 2 3 C との接続ノードは高電位側の入出力端子 2 6 P と接続される。正常な電力変換運転時は、スイッチング素子 2 2 D は常時オンである。この場合、スイッチング素子 2 2 A がオンかつスイッチング素子 2 2 B がオフとなったときにキャパシタ C h b の両端電圧が出力され、スイッチング素子 2 2 A がオフかつスイッチング素子 2 2 B がオンとなったときに零電圧が出力される。

【 0 0 8 8 】

図 1 3 (b) は、サブモジュール 7 S U x 内の短絡電流経路を示している。ここでは、キャパシタ C h b の電圧 V h b と、キャパシタ C s u の電圧 V s u とはほぼ同一となっているものとする。例えば、制御装置 3 は、検出されたアーム電流 I a r m に基づいて、直流回路 1 4 に短絡事故が発生したと判定した場合、各スイッチング素子 2 2 A , 2 2 B , 2 2 D をオフにする。これにより、図 1 3 (b) に示すように、短絡電流は、入出力端子 2 6 N 、ダイオード 2 3 B 、キャパシタ C s u 、ダイオード 2 3 C 、入出力端子 2 6 P の経路で流れる。

【 0 0 8 9 】

サブモジュール 7 S U x の短絡電流抑制機能は、サブモジュール 7 S U のそれと同様である。具体的には、入出力端子 2 6 P , 2 6 N 間の電圧が電圧 V s u 以下であれば、短絡電流を抑制できる。入出力端子 2 6 P , 2 6 N は直列に接続されているため、全体で考えると、交流回路 1 2 の電圧 (例えば、交流系統電圧) の方が短絡電流経路上に存在するキャパシタ C s u の電圧 V s u の総和以下であれば短絡電流を抑制できる。

【 0 0 9 0 】

(3) 上述の実施の形態として例示した構成は、本発明の構成の一例であり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸脱しない範囲で、一部を省略する等、変更して構成することも可能である。また、上述した実施の形態において、他の実施の形態で説明した処理および構成を適宜採用して実施する場合であってもよい。

【 0 0 9 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

【 0 0 9 2 】

1 電力変換装置、2 電力変換器、3 制御装置、4 u , 4 v , 4 w レグ回路、5 上アーム、6 下アーム、7 , 7 H B , 7 S U , 7 S U x サブモジュール、8 A , 8 B リアクトル、9 A , 9 B アーム電流検出器、1 0 交流電圧検出器、1 1 A , 1 1 B 直流電圧検出器、1 2 交流回路、1 3 変圧器、1 4 直流回路、1 5 n 低電位側端子、1 5 p 高電位側端子、1 6 交流電流検出器、2 0 サブモジュール群、2 2 A , 2 2 B , 2 2 D スwitching素子、2 3 A , 2 3 B , 2 3 C , 2 3 D , 8 2 ダイオード、2 6 N , 2 6 P 入出力端子、3 1 , 3 1 x , 3 2 , 3 2 x , 3 5 半導体回路、3 2 A , 3 2 B 半導体モジュール、4 0 n , 4 0 p 外部接続ノード、4 1 , 4 1 x 直列回路、4 5 , 4 5 x 並列回路、5 1 , 8 3 抵抗素子、8 0 バイパス回路、N n 負極直流端子、N p 正極直流端子、N u , N v , N w 交流端子。

【 要約 】

10

20

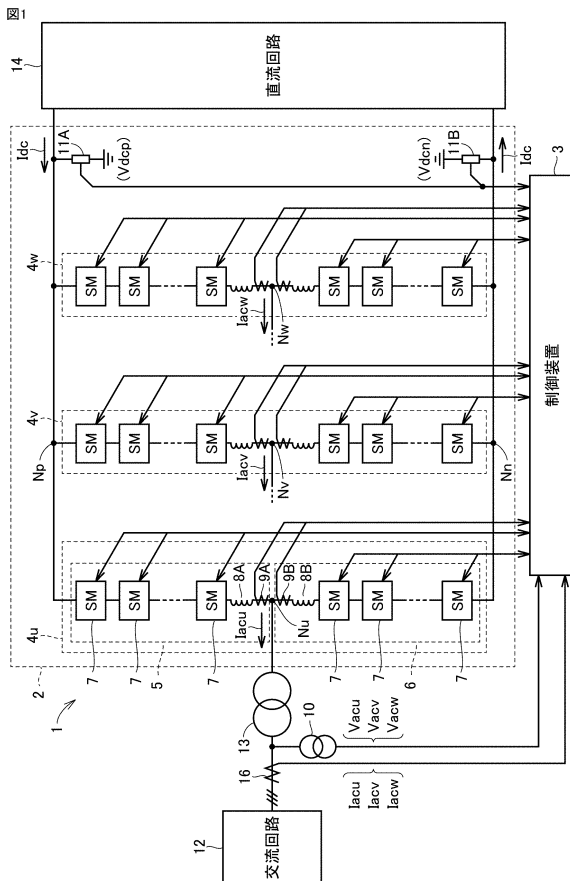
30

40

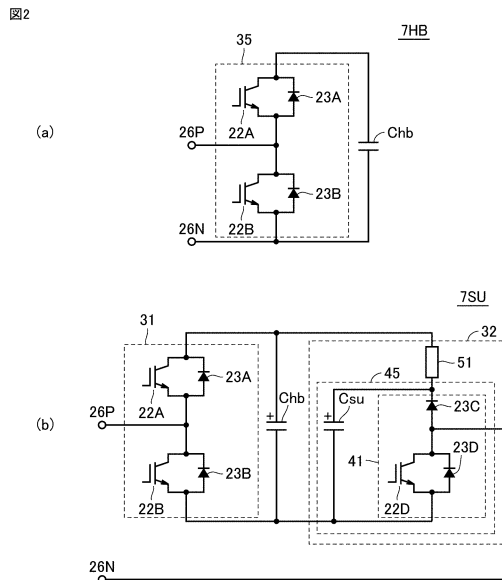
50

直流回路(14)と交流回路(12)との間で電力変換を行なう電力変換装置(1)は、直列接続された複数のサブモジュール(7)を含むレグ回路(4)を備える。複数のサブモジュールのうちの第1サブモジュールは、第1エネルギー蓄積要素(Chb)と、直列接続された2つのスイッチング素子(22A, 22B)を有する第1半導体回路(31)と、第2半導体回路(32)とを含む。第2半導体回路(32)は、直列接続されたスイッチング素子(22D)と半導体素子(23C)とを含む直列回路(41)と、直列回路(41)に並列接続された第2エネルギー蓄積要素(Csu)と、直列回路(41)および第2エネルギー蓄積要素(Csu)を含む並列回路(45)に直列接続された抵抗成分を有する素子(51)とを含む。

【図1】

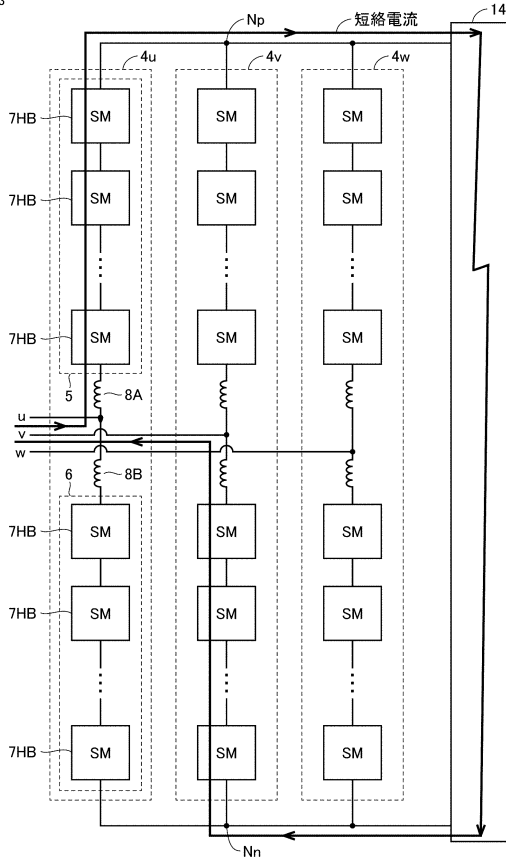


【図2】



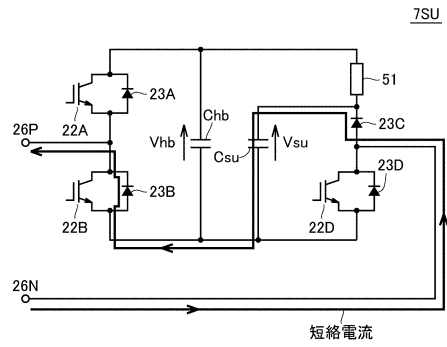
【図3】

図3



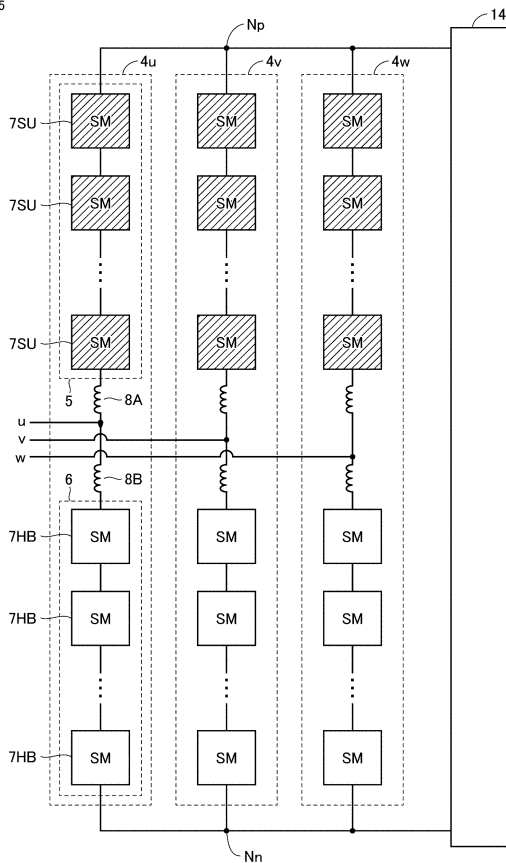
【図4】

図4



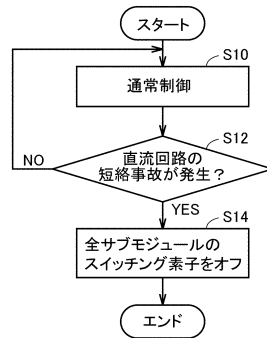
【図5】

図5

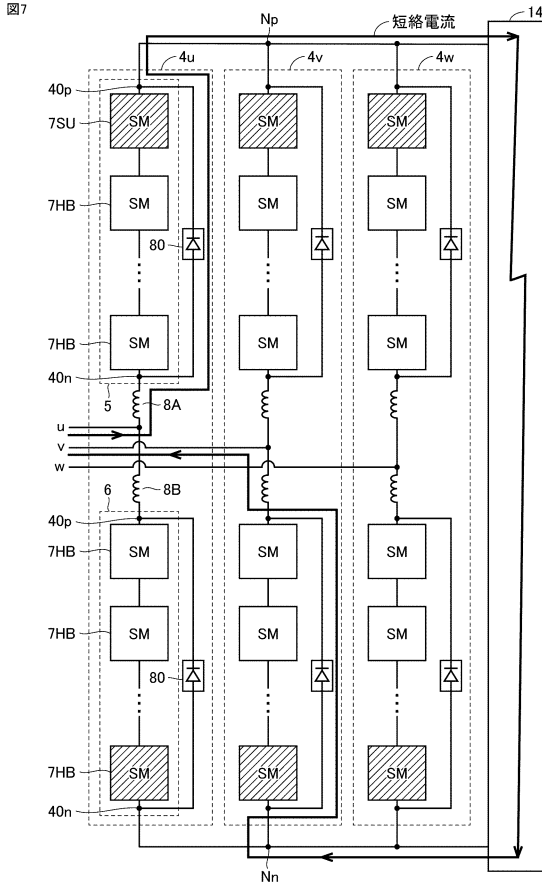


【図6】

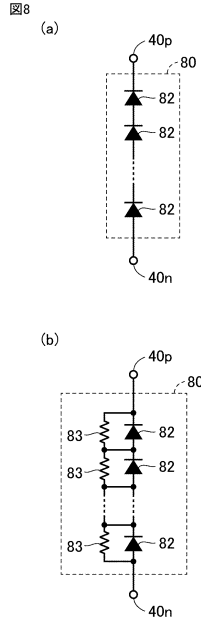
図6



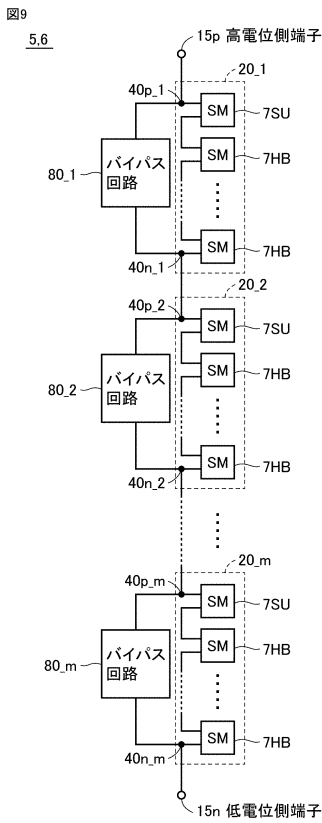
【図7】



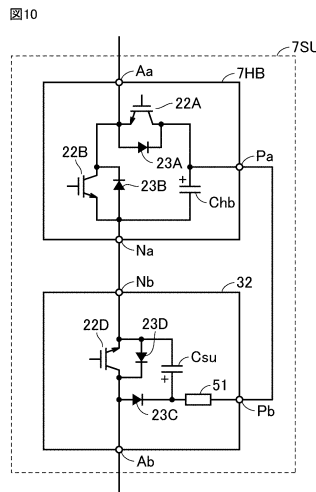
【図8】



【図9】

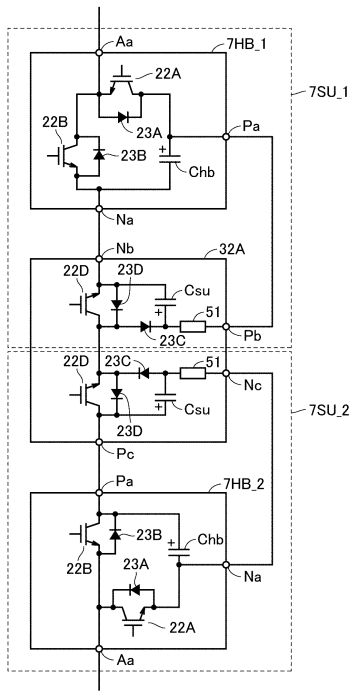


【図10】



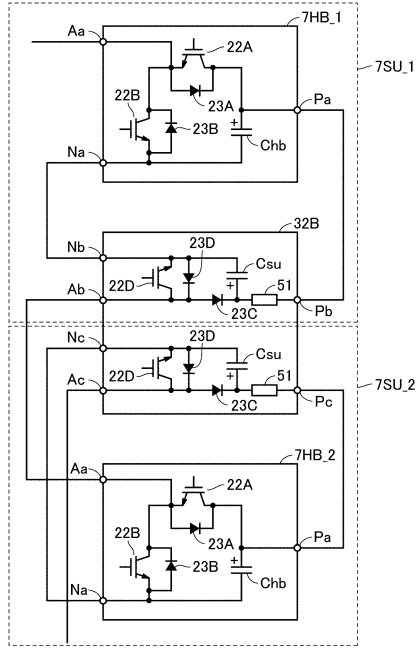
【 図 1 1 】

図11



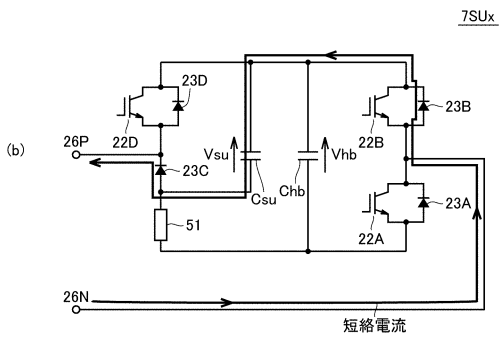
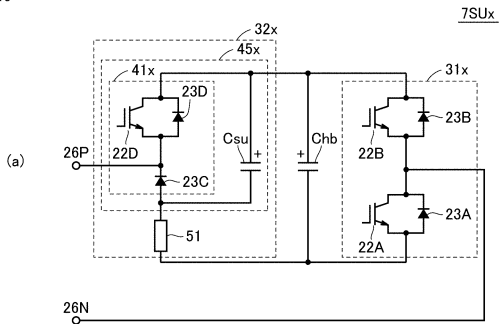
【 図 1 2 】

図12



【 図 1 3 】

図13



フロントページの続き

- (56)参考文献 国際公開第2019/064705(WO, A1)
特許第6345379(JP, B1)
国際公開第2017/168519(WO, A1)
特開2019-22313(JP, A)
特開2013-121223(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/00 - 7/40
H02M 7/42 - 7/98