



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I690085 B

(45)公告日：中華民國 109 (2020) 年 04 月 01 日

(21)申請案號：108119812

(22)申請日：中華民國 103 (2014) 年 05 月 06 日

(51)Int. Cl. : *H01L29/78 (2006.01)**H01L21/28 (2006.01)*

(30)優先權：2013/05/16 日本

2013-103708

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 三宅博之 MIYAKE, HIROYUKI (JP) ; 岡
崎健一 OKAZAKI, KENICHI (JP) ; 早川昌彥 HAYAKAWA, MASAHIKO (JP) ; 松
田慎平 MATSUDA, SHINPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201108417A1

TW 201342622A

US 20130009209A1

WO 2011/096263A1

審查人員：王安邦

申請專利範圍項數：14 項 圖式數：19 共 119 頁

(54)名稱

半導體裝置

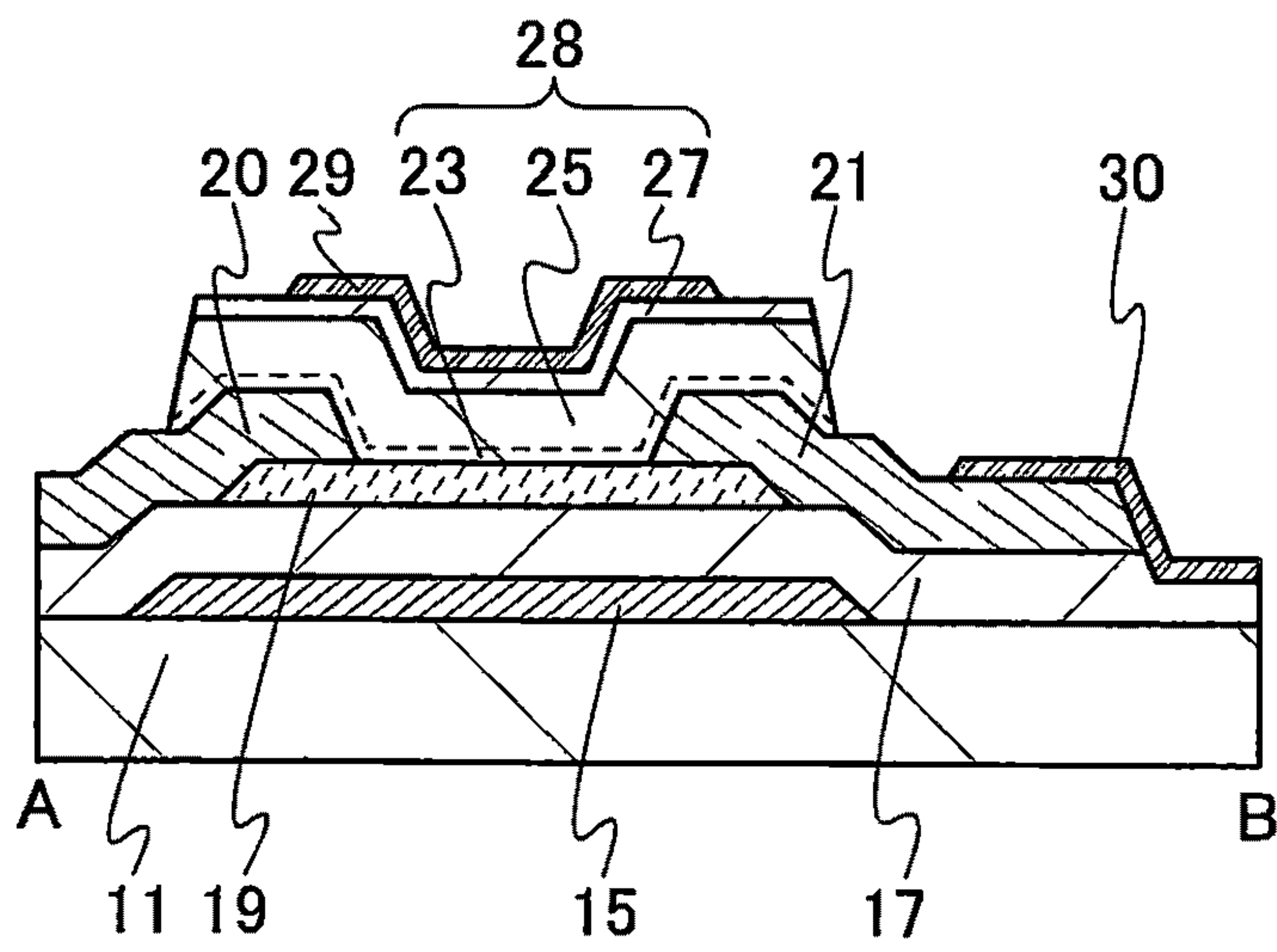
(57)摘要

本發明的一個方式提供一種使用氧化物半導體的半導體裝置，其中抑制閘極 BT 應力所導致的寄生通道的形成，或者一種包括電特性優良的電晶體的半導體裝置。本發明的一個方式是一種半導體裝置，包括：具有在第一閘極電極和第二閘極電極之間設置氧化物半導體膜的雙閘極結構的電晶體，其中，在第一閘極電極或第二閘極電極和氧化物半導體膜之間設置閘極絕緣膜，並且，在電晶體的通道寬度方向上，第一閘極電極或第二閘極電極與氧化物半導體膜的側面隔著閘極絕緣膜相對。

A semiconductor device which includes an oxide semiconductor and in which formation of a parasitic channel due to a gate BT stress is suppressed is provided. Further, a semiconductor device including a transistor having excellent electrical characteristics is provided. The semiconductor device includes a transistor having a dual-gate structure in which an oxide semiconductor film is provided between a first gate electrode and a second gate electrode; gate insulating films are provided between the oxide semiconductor film and the first gate electrode and between the oxide semiconductor film and the second gate electrode; and in the channel width direction of the transistor, the first or second gate electrode faces a side surface of the oxide semiconductor film with the gate insulating film between the oxide semiconductor film and the first or second gate electrode.

指定代表圖：

50



50 · · · 電晶體

50 · · · 電晶體

I690085

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的一個方式提供一種使用氧化物半導體的半導體裝置，其中抑制閘極 BT 應力所導致的寄生通道的形成，或者一種包括電特性優良的電晶體的半導體裝置。本發明的一個方式是一種半導體裝置，包括：具有在第一閘極電極和第二閘極電極之間設置氧化物半導體膜的雙閘極結構的電晶體，其中，在第一閘極電極或第二閘極電極和氧化物半導體膜之間設置閘極絕緣膜，並且，在電晶體的通道寬度方向上，第一閘極電極或第二閘極電極與氧化物半導體膜的側面隔著閘極絕緣膜相對。

【 英文 】

A semiconductor device which includes an oxide semiconductor and in which formation of a parasitic channel due to a gate BT stress is suppressed is provided. Further, a semiconductor device including a transistor having excellent electrical characteristics is provided. The semiconductor device includes a transistor having a dual-gate structure in which an oxide semiconductor film is provided between a first gate electrode and a second gate electrode; gate insulating films are provided between the oxide semiconductor film and the first gate electrode and between the oxide semiconductor film and the second gate electrode; and in the channel width direction of the transistor, the first or second gate electrode faces a side surface of the oxide semiconductor film with the gate insulating film between the oxide semiconductor film and the first or second gate electrode.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

11：基板

15：閘極電極

17：閘極絕緣膜

19：氧化物半導體膜

20：電極

21：電極

23：氧化物絕緣膜

27：氮化物絕緣膜

28：閘極絕緣膜

29：閘極電極

30：電極

50：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明的一個方式係關於一種包括具有氧化物半導體膜的電晶體的半導體裝置以及其製造方法。

【先前技術】

[0002] 使用形成在基板上的半導體薄膜構成電晶體（也稱為薄膜電晶體（TFT））的技術引人注目。該電晶體被廣泛地應用於電子裝置諸如積體電路（IC）或影像顯示裝置（顯示裝置）。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

[0003] 例如，已公開有作為電晶體的活性層使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物半導體的電晶體（參照專利文獻 1）。

[0004] 此外，已公開有藉由使氧化物半導體層具有疊層結構提高載子的移動率的技術（參照專利文獻 2、專利文獻 3）。

[0005]

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]日本專利申請公開第 2011-138934 號公報

[專利文獻 3]日本專利申請公開第 2011-124360 號公報

[0006] 在包括氧化物半導體膜的電晶體中，當氧化物半導體膜中所含的缺損量較多時，不僅導致電晶體的電特性不良，而且由此因經過時間或進行應力測試（例如，BT（Bias-Temperature：偏壓溫度）應力測試）而臨界電壓的變動量增大。

[0007] 例如，使用氧化物半導體的電晶體產生如下不良，即在施加閘極 BT 應力（特別是，正偏壓）之後的電晶體特性（汲極電流-閘極電壓曲線（ I_d-V_g 曲線））中，臨界電壓中的汲極電流分階段地上升。這認為是由於氧化物半導體的側面的 n 型化所導致的與閘極電極重疊的氧化物半導體膜的側面上的寄生通道而產生的。在氧化物半導體膜的側面上因用於元件分離的加工所導致的損傷而形成缺陷且因雜質的附著等而產生污染。因此，在該區域被施加電場等的應力時，氧化物半導體膜的端部容易活化而成為 n 型（低電阻），所以形成寄生通道。

[0008] 此外，作為包括在氧化物半導體膜中的缺陷有氧缺損。例如，在使用包含氧缺損的氧化物半導體膜形成的電晶體中，臨界電壓容易向負方向變動，而容易具有常開啟（normally-on）特性。這是因為由於氧化物半導體膜所包含的氧缺損而產生電荷，這導致低電阻化。當電晶體具有常開啟特性時產生各種問題諸如在半導體裝置的工

作時容易產生工作故障或者在非工作時耗電量增大等。另外，存在以下問題：即因經過時間或進行應力測試而導致電晶體的電特性，典型的是臨界電壓的變動量的增大。

【發明內容】

[0009] 鑒於上述問題，本發明的一個方式的目的之一是提供一種抑制閘極 BT 應力所導致的寄生通道的形成的使用氧化物半導體的半導體裝置。或者，本發明的一個方式的目的之一是提供一種包括電特性優良的電晶體的半導體裝置。

[0010] 本發明的一個方式是一種半導體裝置，包括：具有在第一閘極電極和第二閘極電極之間設置有氧化物半導體膜的雙閘極結構的電晶體，其中，閘極絕緣膜設置在第一閘極電極和氧化物半導體膜之間及第二閘極電極和氧化物半導體膜之間，並且，在電晶體的通道寬度方向上第一閘極電極或第二閘極電極與氧化物半導體膜的側面隔著閘極絕緣膜相對。

[0011] 此外，本發明的一個方式是一種包括電晶體的半導體裝置，該電晶體包括：與氧化物半導體膜的一個表面相對的第一閘極電極；與氧化物半導體膜的另一個表面相對的第二閘極電極；設置在氧化物半導體膜和第一閘極電極之間的第一閘極絕緣膜；設置在氧化物半導體膜和第二閘極電極之間的第二閘極絕緣膜；以及與氧化物半導體膜接觸的一對電極，其中，在電晶體的通道寬度方向

上，第一閘極電極或第二閘極電極與氧化物半導體膜的側面隔著第一閘極絕緣膜或第二閘極絕緣膜相對。

[0012] 閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜也可以與形成在相鄰的電晶體的閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜分離。

[0013] 閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜也可以包括多個開口部，在從垂直於第一閘極絕緣膜或第二閘極絕緣膜的表面的方向看時，氧化物半導體膜位於該多個開口部之間。

[0014] 第一閘極電極和第二閘極電極也可以相接。

[0015] 也可以包括與一對電極的一個連接的導電膜。該導電膜用作像素電極。

[0016] 閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜也可以包括包含超過化學計量組成的氧的氧化物絕緣膜。另外，當進行熱脫附譜分析（Thermal Desorption Spectroscopy: TDS）時，包含超過化學計量組成的氧的氧化物絕緣膜的換算為氧原子的氧脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

[0017] 當在電晶體的通道寬度方向上，第一閘極電極或第二閘極電極與氧化物半導體膜的側面隔著閘極絕緣膜相對時，因第一閘極電極或第二閘極電極的電場的影響而氧化物半導體膜的側面或其附近的寄生通道的產生得到抑制。其結果是，得到臨界電壓時的汲極電流急劇上升且電特性優良的電晶體。此外，在電晶體的通道寬度方向

上，氧化物半導體膜的側面和第二閘極電極之間的最短間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。其結果是，可以防止氧化物半導體膜和第二閘極電極之間的短路，從而可以提高良率。

[0018] 此外，閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜具有包含超過化學計量組成的氧的氧化物絕緣膜，從而閘極絕緣膜、第一閘極絕緣膜或第二閘極絕緣膜所包含的氧移動到氧化物半導體膜中而可以減少氧化物半導體膜的氧缺損。其結果是，得到具有常關閉特性的電晶體。此外，可以減少因經過時間或進行應力測試而導致的電晶體的電特性，典型的是臨界電壓的變動。

[0019] 根據本發明的一個方式，可以提供一種抑制閘極 BT 應力所導致的寄生通道的形成的使用氧化物半導體的半導體裝置。此外，根據本發明的一個方式，可以提供一種包括電特性優良的電晶體的半導體裝置。

【圖式簡單說明】

[0020]

在圖式中：

圖 1A 至 1C 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 2A 至 2J 是說明電晶體的製造方法的一個方式的剖面圖；

圖 3A 至 3C 是說明電晶體的一個方式的俯視圖及剖面圖；

面圖；

圖 4A 至 4C 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 5A 至 5C 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 6A 至 6D 是說明電晶體的製造方法的一個方式的剖面圖；

圖 7A 和 7B 是說明電晶體的結構的剖面圖；

圖 8A 和 8B 是說明對電流電壓曲線進行計算而得到的結果的圖；

圖 9A 和 9B 是說明對電晶體的勢進行計算而得到的結果的圖；

圖 10A 和 10B 是說明模型的圖；

圖 11A 至 11C 是說明模型的圖；

圖 12A 至 12C 是說明對電流電壓曲線進行計算而得到的結果的圖；

圖 13A 至 13C 是說明電晶體的一個方式的剖面圖；

圖 14 是說明電晶體的一個方式的剖面圖；

圖 15A 至 15D 是說明電晶體的一個方式的俯視圖及剖面圖；

圖 16A 至 16C 是說明電晶體的帶結構的圖；

圖 17 是示出氧化物半導體的奈米束電子繞射圖案的圖；

圖 18A 至 18C 是說明半導體裝置的一個方式的俯視

圖；

圖 19A 和 19B 是說明半導體裝置的一個方式的剖面圖。

【實施方式】

[0021] 下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施方式及實施例所記載的內容中。另外，在下面所說明的實施方式及實施例中，在不同的圖式中使用相同的元件符號或相同的陰影線來表示相同部分或具有相同功能的部分，而省略反復說明。

[0022] 注意，在本說明書所說明的每一個圖式中，有時為了明確起見，誇大地表示各構成要素的大小、膜厚度或區域。因此，本發明並不侷限於圖式中的尺寸。

[0023] 另外，在本說明書中使用的“第一”、“第二”、“第三”等的用語是為了避免構成要素的混同而附加的，而不是為了在數目方面上進行限定。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。

[0024] 另外，“源極”及“汲極”的功能在電路工作中的電流方向變化等時，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0025] 另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷所具有的靜電能(電位能量)。但是，一般來說，將某一點的電位與標準的電位(例如接地電位)之間的電位差簡單地稱為電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱為“電壓”，又可將“電壓”稱為“電位”。

[0026] 在本說明書中，當在進行光微影製程之後進行蝕刻製程時，去除在光微影製程中所形成的遮罩。

[0027]

實施方式 1

在本實施方式中參照圖式說明本發明的一個方式的半導體裝置及其製造方法。

[0028] 圖 1A 至 1C 示出半導體裝置所包括的電晶體 50 的俯視圖及剖面圖。圖 1A 至 1C 所示的電晶體 50 是通道蝕刻型電晶體。圖 1A 是電晶體 50 的俯視圖，圖 1B 是沿著圖 1A 的點劃線 A-B 的剖面圖，圖 1C 是沿著圖 1A 的點劃線 C-D 的剖面圖。注意，在圖 1A 中，為了明確起見而省略基板 11、閘極絕緣膜 17、氧化物絕緣膜 23、氧化物絕緣膜 25、氮化物絕緣膜 27 等。

[0029] 圖 1B 及 1C 所示的電晶體 50 包括：設置在基板 11 上的閘極電極 15；形成在基板 11 及閘極電極 15 上的閘極絕緣膜 17；隔著閘極絕緣膜 17 與閘極電極 15 重疊的氧化物半導體膜 19；與氧化物半導體膜 19 接觸的一

對電極 20、21；閘極絕緣膜 17、氧化物半導體膜 19 及一對電極 20、21 上的閘極絕緣膜 28；以及閘極絕緣膜 28 及閘極絕緣膜 17 上的閘極電極 29。此外，閘極絕緣膜 28 包括氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 27。此外，一對電極 20、21 的一個，即在此的與電極 21 連接的電極 30 形成在閘極絕緣膜 17 上。另外，電極 30 用作像素電極。

[0030] 在本實施方式所示的電晶體 50 中，在閘極電極 15 和閘極電極 29 之間設置有氧化物半導體膜 19。此外，與相鄰的電晶體的閘極絕緣膜分離的閘極絕緣膜 28 與氧化物半導體膜 19 重疊。明確而言，如圖 1B 所示，在通道長度方向上閘極絕緣膜 28 的端部位於一對電極 20、21 上，並且如圖 1C 所示，在通道寬度方向上閘極絕緣膜 28 的端部位於氧化物半導體膜 19 的外側。此外，在圖 1C 所示的通道寬度方向上，閘極電極 29 與氧化物半導體膜 19 的側面隔著閘極絕緣膜 28 相對。另外，如圖 1C 所示，在通道寬度方向上氧化物半導體膜 19 和閘極絕緣膜 28 的介面與閘極絕緣膜 28 和閘極電極 29 的介面之間的最短間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。也就是說，氧化物半導體膜 19 的側面與閘極電極 29 之間的最短間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。由此，可以防止閘極電極 29 和氧化物半導體膜 19 之間的短路，從而可以提高良率。

[0031] 氧化物半導體膜 19 典型地由 In-Ga 氧化物

膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd）等形成。

[0032] 在藉由蝕刻等被加工的氧化物半導體膜的端部中，加工時的損傷導致缺陷的產生且雜質的附著等導致污染的產生。因此，由於被施加電場等的應力，氧化物半導體膜的端部容易活化而成為 n 型（低電阻），所以在本實施方式中與閘極電極 15 重疊的氧化物半導體膜 19 的端部容易 n 型化。當該 n 型化的端部如圖 1A 的虛線 19c、19d 那樣設置在一對電極 20、21 時，n 型化的區域成為載子路徑而形成寄生通道。但是，如圖 1C 所示，當在通道寬度方向上閘極電極 29 隔著閘極絕緣膜 28 與氧化物半導體膜 19 的側面相對時，因閘極電極 29 的電場的影響而抑制氧化物半導體膜 19 的側面或其附近的寄生通道的產生。其結果是，得到臨界電壓時的汲極電流急劇上升且電特性優良的電晶體。

[0033] 此外，因為藉由設置閘極電極 15 及閘極電極 29 可以遮罩來自外部的電場，所以形成在基板 11 和閘極電極 15 之間、閘極電極 29 上的帶電粒子等電荷不影響到氧化物半導體膜 19。其結果是，可以抑制應力測試（例如，-GBT（Gate Bias-Temperature：閘極偏壓溫度）應力測試）所導致的劣化以及汲極電壓不同時的通態電流（on-state current）的上升電壓的變動。注意，在閘極電極 15 及閘極電極 29 具有相同的電位時或不同的電位時得到這效果。

[0034] 另外，BT 應力測試是一種加速測試，其可以在短時間內對長期間的使用所引起的電晶體的特性變化（即，隨時間變化）進行評價。特別是，BT 應力測試前後的電晶體的臨界電壓的變動量成為用於檢查可靠性的重要的指標。可以說是，BT 應力測試前後的臨界電壓的變動量越少，電晶體的可靠性越高。

[0035] 接著，說明具體的 BT 應力測試方法。首先，測量電晶體的初始特性。接著，使形成有電晶體的基板的溫度（基板溫度）為固定，使用作電晶體的源極及汲極的一對電極具有相同的電位，在一定時間對閘極電極施加與用作源極及汲極的一對電極不同的電位。也可以根據測試的目的適當地設定基板溫度。接著，在將基板溫度設定為與測量初始特性時相同的溫度的條件下測量電晶體的電特性。由此得到初始特性的臨界電壓和 BT 應力測試之後的電特性的臨界電壓之間的差異作為臨界電壓的變動量。

[0036] 注意，施加到閘極電極的電位比源極及汲極的電位高的測試被稱為正 GBT（+GBT）應力測試，而施加到閘極電極的電位比源極及汲極的電位低的測試被稱為負 GBT（-GBT）應力測試。另外，在照射光的同時進行 GBT 應力測試的測試被稱為光 GBT 應力測試。照射光且施加到閘極電極的電位比源極及汲極的電位高的測試被稱為光正 GBT 應力測試，而照射光且施加到閘極電極的電位比源極及汲極的電位低的測試被稱為光負 GBT 應力測試。

[0037] 此外，藉由設置閘極電極 15 及閘極電極 29 且使閘極電極 15 及閘極電極 29 具有相同的電位，減少臨界電壓的變動量。因此，在同時還減少多個電晶體中的電特性的偏差。另外，因為在膜厚度方向上氧化物半導體膜 19 中的載子流過的區域進一步增大，所以載子的移動量增加。其結果是，在電晶體 50 的通態電流增大的同時，場效移動率也增高，場效移動率典型的是 $20\text{cm}^2/\text{Vs}$ 以上。

[0038] 此外，設置在氧化物半導體膜 19 上的閘極絕緣膜 28 包括包含超過化學計量組成的氧的氧化物絕緣膜。藉由加熱，氧的一部分從包含超過化學計量組成的氧的氧化物絕緣膜脫離。在進行 TDS 分析時，包含超過化學計量組成的氧的氧化物絕緣膜的換算為氧原子的氧脫離量為 $1.0 \times 10^{18} \text{atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{atoms/cm}^3$ 以上。

[0039] 在閘極絕緣膜 28 包括包含超過化學計量組成的氧的氧化物絕緣膜時，可以使閘極絕緣膜 28 所包含的氧的一部分移動到氧化物半導體膜 19 中來減少氧化物半導體膜 19 所包含的氧缺損。

[0040] 在使用包含氧缺損的氧化物半導體膜形成的電晶體中，臨界電壓容易向負方向變動，而容易具有常開啟特性。這是因為由於氧化物半導體膜所包含的氧缺損而產生電荷，這導致低電阻化。當電晶體具有常開啟特性時產生各種問題諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，存在以下問題：即因經過時間

或進行應力測試而導致電晶體的電特性，典型的是臨界電壓的變動量的增大。

[0041] 然而，在本實施方式所示的電晶體 50 中，設置在氧化物半導體膜 19 上的閘極絕緣膜 28 包括包含超過化學計量組成的氧的氧化物絕緣膜。由此，閘極絕緣膜 28 所包括的氧移動到氧化物半導體膜 19 中，從而可以減少氧化物半導體膜 19 的氧缺損。其結果是，得到具有常關閉特性的電晶體。此外，還可以減少因經過時間或進行應力測試而導致的電晶體的電特性，典型的是臨界電壓的變動。

[0042] 下面，說明電晶體 50 的詳細結構。

[0043] 雖然對基板 11 的材料等沒有特別的限制，但是至少需要具有能夠承受後面的加熱處理的耐熱性。例如，作為基板 11 也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以利用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI (Silicon-on-Insulator: 絕緣體上矽) 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 11。另外，當作為基板 11 使用玻璃基板時，藉由使用第 6 代 (1500mm×1850mm)、第 7 代 (1870mm×2200mm)、第 8 代 (2200mm×2400mm)、第 9 代 (2400mm×2800mm)、第 10 代 (2950mm×3400mm) 等的大面積基板，可以製造大型顯示裝置。

[0044] 另外，作為基板 11 也可以使用撓性基板，並

且在撓性基板上直接形成電晶體 50。或者，也可以在基板 11 與電晶體 50 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板 11 分離並轉置到其他基板上的情況。此時，也可以將電晶體 50 轉置到耐熱性低的基板或撓性基板上。

[0045] 閘極電極 15 可以使用選自鋁、鉻、銅、鈮、鈦、鉬、鎢中的金屬元素或者以上述金屬元素為成分的合金或組合上述金屬元素的合金等來形成。另外，也可以使用選自錳和鎳中的一種或多種的金屬元素。此外，閘極電極 15 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鈮膜或氮化鎢膜上層疊鎢膜的兩層結構、在鈦膜上層疊銅膜的兩層結構以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鈮、鎢、鉬、鉻、鈷、鎳中的元素的膜或組合多種元素形成的合金膜或氮化膜。

[0046] 另外，閘極電極 15 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料。此外，也可以採用上述透光導電材料與上述金屬元素的疊層結構。

[0047] 閘極絕緣膜 17 例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵或者 Ga-Zn 類金屬氧化物、氮化矽等即可，並且以疊層結構或單層結構來設置。

[0048] 此外，藉由使用矽酸鉛(HfSiO_x)、添加有氮的矽酸鉛($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的鋁酸鉛($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化釷等 high-k 材料來形成閘極絕緣膜 17，可以減少電晶體的閘極漏電流。

[0049] 較佳為將閘極絕緣膜 17 的厚度設定為 5nm 以上且 400nm 以下、10nm 以上且 300nm 以下或 50nm 以上且 250nm 以下。

[0050] 氧化物半導體膜 19 的典型為 In-Ga 氧化物膜、In-Zn 氧化物膜或 In-M-Zn 氧化物膜(M 為 Al、Ga、Y、Zr、La、Ce 或 Nd)。

[0051] 另外，在氧化物半導體膜 19 為 In-M-Zn 氧化物的情況下，當 In 與 M 之和為 100atomic%時，In 與 M 的原子百分比如下：In 為 25atomic%以上且 M 低於 75atomic%或者 In 為 34atomic%以上且 M 低於 66atomic%。

[0052] 氧化物半導體膜 19 的能隙為 2eV 以上、2.5eV 以上或 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，能夠降低電晶體 50 的關態電流 (off-state current)。

[0053] 氧化物半導體膜 19 的厚度為 3nm 以上且 200nm 以下、3nm 以上且 100nm 以下或 3nm 以上且 50nm

以下。

[0054] 當氧化物半導體膜 19 為 In-M-Zn 氧化物 (M 為 Al、Ga、Y、Zr、La、Ce 或 Nd) 時，用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比較佳為滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1.2$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 。另外，在所形成的氧化物半導體膜 19 的原子數比中分別包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內的誤差。

[0055] 作為氧化物半導體膜 19 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 19 使用載子密度為 1×10^{17} 個/cm³ 以下、 1×10^{15} 個/cm³ 以下、 1×10^{13} 個/cm³ 以下或 1×10^{11} 個/cm³ 以下的氧化物半導體膜。

[0056] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性(場效移動率、臨界電壓等)來使用具有適當的組成的材料。另外，較佳為適當地設定氧化物半導體膜 19 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0057] 此外，藉由作為氧化物半導體膜 19 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體，所以是較佳的。這裡，將雜質濃度低且缺陷態密度低(氧缺損少)的狀態稱為“高純度本質”或“實質上高純度本質”。因為在高純度本質或實質

上高純度本質的氧化物半導體中載子發生源較少，所以有時可以降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓（也稱為常開啟特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜的缺陷態密度較低，因此有時該氧化物半導體膜的陷阱態密度也較低。此外，高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著小，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓(汲極電壓)在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下。因此，有時在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小且可靠性高。此外，被氧化物半導體膜的陷阱態俘獲的電荷到消失需要長時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體膜中形成有通道區域的電晶體的電特性不穩定。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0058] 氧化物半導體膜中的氫與鍵合於金屬原子的氧發生反應生成水，且與此同時在發生氧脫離的晶格（或發生氧脫離的部分）中形成氧缺損。當氫進入該氧缺損中時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含氫的氧化物半導體的電晶體容易具有常開啟特性。

[0059] 由此，較佳為盡可能減少氧化物半導體膜 19

中的氧缺損及氫。明確而言，在氧化物半導體膜 19 中，利用二次離子質譜分析法（SIMS: Secondary Ion Mass Spectrometry）測量出的氫濃度為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下、 $5 \times 10^{19} \text{atoms/cm}^3$ 以下、 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、 $5 \times 10^{17} \text{atoms/cm}^3$ 以下或 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0060] 當氧化物半導體膜 19 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 19 中氧缺損增加，會導致氧化物半導體膜 19 的 n 型化。因此，氧化物半導體膜 19 中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下或 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0061] 另外，將藉由二次離子質譜分析法得到的氧化物半導體膜 19 的鹼金屬或鹼土金屬的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下或 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。有時鹼金屬及鹼土金屬在與氧化物半導體鍵合時生成載子而增大電晶體的關態電流。由此，較佳為降低氧化物半導體膜 19 中的鹼金屬或鹼土金屬的濃度。

[0062] 另外，當在氧化物半導體膜 19 中含有氮時生成作為載子的電子，載子密度增加而容易導致氧化物半導體膜 19 的 n 型化。其結果是，使用含有氮的氧化物半導體的電晶體容易具有常開啟特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮。例如，藉由二次離子質譜分析法得到的氮濃度較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

[0063] 另外，氧化物半導體膜 19 例如可以具有非單

晶結構。非單晶結構例如包括下述 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0064] 氧化物半導體膜 19 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如具有完全的非晶結構且不具有結晶部。

[0065] 此外，氧化物半導體膜 19 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0066] 一對電極 20、21 使用選自鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉕和鎢中的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜

或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0067] 閘極絕緣膜 28 包括與氧化物半導體膜 19 接觸的氧化物絕緣膜 23、與氧化物絕緣膜 23 接觸的氧化物絕緣膜 25 以及與氧化物絕緣膜 25 接觸的氮化物絕緣膜 27。閘極絕緣膜 28 較佳為至少包括包含超過化學計量組成的氧的氧化物絕緣膜。在此，作為氧化物絕緣膜 23 形成使氧透過的氧化物絕緣膜，作為氧化物絕緣膜 25 形成包含超過化學計量組成的氧的氧化物絕緣膜，並且作為氮化物絕緣膜 27 形成阻擋氫及氧的氮化物絕緣膜。

[0068] 氧化物絕緣膜 23 為使氧透過的氧化物絕緣膜。因此，可以使從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧藉由氧化物絕緣膜 23 移動到氧化物半導體膜 19 中。此外，氧化物絕緣膜 23 還用作緩和在後面形成氧化物絕緣膜 25 時氧化物半導體膜 19 所受到的損傷的膜。

[0069] 作為氧化物絕緣膜 23，可以使用厚度為 5nm 以上且 150nm 以下或 5nm 以上且 50nm 以下的氧化矽膜、氧氮化矽膜等。注意，在本說明書中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

[0070] 此外，較佳為氧化物絕緣膜 23 中的缺陷量較

少，典型的是，藉由 ESR 測量出的在起因於矽的懸空鍵的 $g=2.001$ 處呈現的信號的自旋密度較佳為 3×10^{17} spins/cm³ 以下。這是因為若氧化物絕緣膜 23 中所含的缺陷密度較高，則氧與該缺陷鍵合，氧化物絕緣膜 23 中的氧透過量有可能減少。

[0071] 此外，較佳為氧化物絕緣膜 23 與氧化物半導體膜 19 之間的介面的缺陷量較少，典型的是，藉由自旋共振（ESR）測量出的在起因於氧化物半導體膜 19 中的缺陷的 $g=1.93$ 處呈現的信號的自旋密度較佳為 1×10^{17} spins/cm³ 以下，更佳為檢測下限以下。

[0072] 此外，在氧化物絕緣膜 23 中，有時從外部進入氧化物絕緣膜 23 中的氧都移動到氧化物絕緣膜 23 的外部。或者，有時從外部進入氧化物絕緣膜 23 中的氧的一部分殘留在氧化物絕緣膜 23 中。此外，在氧從外部進入氧化物絕緣膜 23 中的同時，氧化物絕緣膜 23 中所含的氧移動到氧化物絕緣膜 23 的外部，由此有時會在氧化物絕緣膜 23 中發生氧的移動。

[0073] 氧化物絕緣膜 25 以與氧化物絕緣膜 23 接觸的方式形成。氧化物絕緣膜 25 使用包含超過化學計量組成的氧的氧化物絕緣膜形成。在包含超過化學計量組成的氧的氧化物絕緣膜中，藉由加熱，氧的一部分脫離。在進行 TDS 分析時，包含超過化學計量組成的氧的氧化物絕緣膜的換算為氧原子的氧的脫離量為 1.0×10^{18} atoms/cm³ 以上或 3.0×10^{20} atoms/cm³ 以上。

[0074] 作為氧化物絕緣膜 25 可以使用厚度為 30nm 以上且 500nm 以下或 50nm 以上且 400nm 以下的氧化矽膜、氮化矽膜等。

[0075] 此外，較佳為氧化物絕緣膜 25 中的缺陷量較少，典型的是，藉由 ESR 測量出的在起因於矽的懸空鍵的 $g=2.001$ 處呈現的信號的自旋密度低於 1.5×10^{18} spins/cm³，更佳為 1×10^{18} spins/cm³ 以下。另外，由於氧化物絕緣膜 25 與氧化物絕緣膜 23 相比離氧化物半導體膜 19 更遠，因此，氧化物絕緣膜 25 的缺陷密度可以高於氧化物絕緣膜 23。

[0076] 氮化物絕緣膜 27 至少對氫及氧具有阻擋效果或對氧、氫、水、鹼金屬、鹼土金屬等具有阻擋效果。

[0077] 作為氮化物絕緣膜 27，有厚度為 50nm 以上且 300nm 以下或 100nm 以上且 200nm 以下的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。

[0078] 另外，也可以設置對氧、氫、水等具有阻擋效果的氧化物絕緣膜代替氮化物絕緣膜 27。作為對氧、氫、水等具有阻擋效果的氧化物絕緣膜，有氧化鋁膜、氮化鋁膜、氧化鎂膜、氮化鎂膜、氧化鈮膜、氮化鈮膜、氧化鈣膜、氮化鈣膜等。

[0079] 閘極電極 29 及電極 30 使用透光導電膜。作為透光導電膜，有包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（下面稱為 ITO）、銦鋅氧化物、添

加有氧化矽的銻錫氧化物等。

[0080] 接著，參照圖 2A 至 2J 說明圖 1A 至 1C 所示的電晶體 50 的製造方法。注意，圖 2A、2C、2E、2G、2I 是表示圖 1B 所示的電晶體 50 的製程的通道長度方向上的剖面圖。圖 2B、2D、2F、2H、2J 是表示圖 1C 所示的電晶體 50 的製程的通道寬度方向上的剖面圖。

[0081] 如圖 2A 及 2B 所示，在基板 11 上形成閘極電極 15，並且在閘極電極 15 上形成在後面成為閘極絕緣膜 17 的絕緣膜 16。接著，在絕緣膜 16 上形成氧化物半導體膜 19。

[0082] 在此，作為基板 11 使用玻璃基板。

[0083] 以下示出閘極電極 15 的形成方法。首先，藉由濺射法、CVD 法、蒸鍍法等形成導電膜，並且藉由使用第一光罩的光微影製程在導電膜上形成遮罩。接著，使用該遮罩對導電膜的一部分進行蝕刻來形成閘極電極 15。然後，去除遮罩。

[0084] 另外，對於閘極電極 15，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0085] 在此，藉由濺射法形成厚度為 100nm 的鎢膜。接著，藉由光微影製程形成遮罩，用該遮罩對鎢膜進行乾蝕刻來形成閘極電極 15。

[0086] 絕緣膜 16 藉由濺射法、CVD 法、蒸鍍法等形成。

[0087] 當作為絕緣膜 16 形成氧化矽膜、氧氮化矽膜

或氮氧化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0088] 當作為絕緣膜 16 形成氧化鋁膜時，可以利用 MOCVD(Metal Organic Chemical Vapor Deposition：有機金屬氣相沉積)法來形成。

[0089] 下面，說明氧化物半導體膜 19 的形成方法。在絕緣膜 16 上形成成為氧化物半導體膜 19 的氧化物半導體膜。接著，藉由使用第二光罩的光微影製程在氧化物半導體膜上形成遮罩，然後使用該遮罩對氧化物半導體膜進行部分蝕刻，如圖 2A 及 2B 所示，形成與元件分離的氧化物半導體膜 19。此後去除遮罩。

[0090] 在後面成為氧化物半導體膜 19 的氧化物半導體膜可以利用濺射法、塗佈法、脈衝雷射沉積法、雷射燒蝕法等來形成。

[0091] 在利用濺射法形成氧化物半導體膜的情況下，作為用來生成電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0092] 作為濺射氣體，適當地使用稀有氣體(典型的是氬)、氧氣體或稀有氣體和氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳為增高相對於稀有氣體的氧氣體比例。

[0093] 另外，根據所形成的氧化物半導體膜的組成

而適當地選擇靶材即可。

[0094] 為了獲得高純度本質或實質上高純度本質的氧化物半導體膜，不僅需要對處理室內進行高真空排氣，而且需要使濺射氣體高度純化。作為用作濺射氣體的氧氣體或氬氣體，使用露點為 -40°C 以下、 -80°C 以下、 -100°C 以下或 -120°C 以下的高純度氣體，從而能夠盡可能地防止水分等混入氧化物半導體膜中。

[0095] 在此，作為氧化物半導體膜，利用使用 In-Ga-Zn 氧化物靶材（In：Ga：Zn=3：1：2）的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜。接著，在氧化物半導體膜上形成遮罩，對氧化物半導體膜的一部分選擇性地進行蝕刻，從而形成氧化物半導體膜 19。

[0096] 接著，如圖 2C、2D 所示，形成一對電極 20、21。

[0097] 以下示出一對電極 20、21 的形成方法。首先，藉由濺射法、CVD 法、蒸鍍法等來形成導電膜。接著，藉由使用第三光罩的光微影製程在該導電膜上形成遮罩。接著，使用該遮罩對導電膜進行蝕刻以形成一對電極 20、21。然後，去除遮罩。

[0098] 在此，依次藉由濺射法層疊 50nm 厚的鎢膜和 300nm 厚的銅膜。接著，藉由光微影製程在銅膜上形成遮罩。接著，藉由使用該遮罩的濕蝕刻法對銅膜進行蝕刻。接著，藉由使用 SF_6 的乾蝕刻法對鎢膜進行蝕刻，從而當蝕刻時在銅膜的表面形成氟化物。由該氟化物減少來自銅

膜的銅元素的擴散，從而可以減少氧化物半導體膜 19 的銅濃度。

[0099] 接著，如圖 2E、2F 所示，在氧化物半導體膜 19 及一對電極 20、21 上形成在後面成為氧化物絕緣膜 23 的氧化物絕緣膜 22 及在後面成為氧化物絕緣膜 25 的氧化物絕緣膜 24。

[0100] 另外，較佳為在形成氧化物絕緣膜 22 之後，以不暴露於大氣的方式連續地形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻功率和基板溫度中的一個以上以連續地形成氧化物絕緣膜 24，由此能夠在減少來源於氧化物絕緣膜 22 與氧化物絕緣膜 24 之間的界面的大氣成分的雜質濃度的同時，能夠使包含於氧化物絕緣膜 24 中的氧移動到氧化物半導體膜 19 中，由此能夠減少氧化物半導體膜 19 的氧缺損量。

[0101] 作為氧化物絕緣膜 22，可以利用以下述條件形成氧化矽膜或氧氮化矽膜：在 280℃ 以上且 400℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室中，將處理室內的壓力設定為 20Pa 以上且 250Pa 以下或 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻功率。

[0102] 作為氧化物絕緣膜 22 的源氣體，較佳為使用含有矽的沉積氣體及氧化氣體。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化氣體的

例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0103] 藉由採用上述條件，作為氧化物絕緣膜 22 可以形成使氧透過的氧化物絕緣膜。另外，藉由設置氧化物絕緣膜 22，在後面形成氧化物絕緣膜 25 的製程中，能夠降低氧化物半導體膜 19 所受到的損傷。

[0104] 此外，可以利用以下述條件形成氧化矽膜或氮化矽膜以作為氧化物絕緣膜 22：在 280℃ 以上且 400℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室中，將處理室中的壓力設定為 100Pa 以上且 250Pa 以下，並且對設置在處理室中的電極供應高頻功率。

[0105] 在該成膜條件下，藉由將基板溫度設定為上述溫度，矽及氧的鍵合力變強。其結果是，作為氧化物絕緣膜 22 可以形成氧透過，緻密且硬的氧化物絕緣膜，典型的是，在 25℃ 下對 0.5wt% 的氟酸的蝕刻速度為 10nm/分鐘以下或 8nm/分鐘以下的氧化矽膜或氮化矽膜。

[0106] 此外，由於在進行加熱的同時形成氧化物絕緣膜 22，所以在該製程中可以使包含在氧化物半導體膜 19 中的氫、水等脫離。包含在氧化物半導體膜 19 中的氫與在電漿中產生的氧自由基鍵合，而成為水。由於在氧化物絕緣膜 22 的形成製程中基板被加熱，所以因氧與氫的鍵合產生的水從氧化物半導體膜脫離。即，藉由電漿 CVD 法形成氧化物絕緣膜 22，可以減少包含在氧化物半

導體膜 19 中的水及氫。

[0107] 此外，由於在形成氧化物絕緣膜 22 的製程中進行加熱，所以氧化物半導體膜 19 被露出的狀態下的加熱時間短，由此可以減少因加熱處理從氧化物半導體膜脫離的氧量。即，可以減少包含在氧化物半導體膜中的氧缺損量。

[0108] 再者，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下，氧化物絕緣膜 23 中的含水量下降，因此能夠在降低電晶體 50 的電特性偏差的同時抑制臨界電壓的變動。

[0109] 另外，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下，當形成氧化物絕緣膜 22 時，能夠降低氧化物半導體膜 19 所受到的損傷，因此能夠降低氧化物半導體膜 19 中的氧缺損量。尤其是，當提高氧化物絕緣膜 22 或者在後面形成的氧化物絕緣膜 24 的成膜溫度，典型的為高於 220℃ 的溫度，氧化物半導體膜 19 所包含的氧的一部分脫離，容易形成氧缺損。另外，當為了提高電晶體的可靠性而採用用來降低在後面形成的氧化物絕緣膜 24 中的缺陷量的成膜條件時，氧的脫離量容易降低。其結果是，有時難以減少氧化物半導體膜 19 中的氧缺損。然而，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下，並降低在形成氧化物絕緣膜 22 時氧化物半導體膜 19 所受到的損傷，即使從氧化物絕緣膜 24 脫離的氧量較低，也能夠減少氧化物半導體膜 19 中的氧缺損。

[0110] 另外，藉由將氧化氣體量設定為包含矽的沉積氣體量的 100 倍以上，能夠減少氧化物絕緣膜 22 中的含氫量。其結果是，能夠減少混入氧化物半導體膜 19 中的氫量，因此能夠抑制電晶體的臨界電壓的負向漂移。

[0111] 在此，作為氧化物絕緣膜 22，藉由採用如下條件的電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜：將流量為 30sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將 150W 的高頻功率供應到平行平板電極。藉由採用上述條件，能夠形成使氧透過的氧氮化矽膜。

[0112] 作為氧化物絕緣膜 24 藉由以下述條件形成氧化矽膜或氧氮化矽膜：在 180℃ 以上且 280℃ 以下或 200℃ 以上且 240℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下或 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下或 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻功率。

[0113] 作為氧化物絕緣膜 24 的源氣體，較佳為使用包含矽的沉積氣體及氧化氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0114] 作為氧化物絕緣膜 24 的形成條件，在上述壓

力的處理室中供應具有上述功率密度的高頻功率，由此在電漿中源氣體的分解效率得到提高，氧自由基增加，且源氣體的氧化進展，所以氧化物絕緣膜 25 中的含氧量超過化學計量組成。另一方面，在上述基板溫度下形成的膜中，由於矽與氧的鍵合力較弱，因此，因後面製程的加熱處理而使膜中的氧的一部分脫離。其結果是，能夠形成包含超過化學計量組成的氧且因加熱而使氧的一部分脫離的氧化物絕緣膜。此外，在氧化物半導體膜 19 上設置有氧化物絕緣膜 22。由此，在氧化物絕緣膜 24 的形成製程中，氧化物絕緣膜 22 用作氧化物半導體膜 19 的保護膜。其結果是，能夠在減少氧化物半導體膜 19 所受到的損傷的同時，使用功率密度高的高頻功率來形成氧化物絕緣膜 24。

[0115] 在此，作為氧化物絕緣膜 24，在利用如下條件的電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜：將流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將 1500W 的高頻功率供應到平行平板電極。另外，電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的功率的換算為每單位面積的功率（功率密度）為 0.25 W/cm²。

[0116] 接著，進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下、300℃ 以上且

400°C 以下或 320°C 以上且 370°C 以下。

[0117] 該加熱處理可以使用電爐、RTA (Rapid Thermal Anneal: 快速熱退火) 裝置等來進行。藉由使用 RTA 裝置，可以只在短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0118] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下、1ppm 以下或 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。另外，上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0119] 藉由該加熱處理，能夠將氧化物絕緣膜 24 中所含的氧的一部分移動到氧化物半導體膜 19 中以減少氧化物半導體膜 19 中的氧缺損。由此，可以進一步減少氧化物半導體膜 19 所包含的氧缺損量。

[0120] 另外，當氧化物絕緣膜 22 及氧化物絕緣膜 24 包含水、氫等時，若在後面形成具有阻擋水、氫等的功能的氮化物絕緣膜 26 並進行加熱處理，則氧化物絕緣膜 22 及氧化物絕緣膜 24 所包含的水、氫等會移動到氧化物半導體膜 19 中，因此，在氧化物半導體膜 19 中產生缺陷。然而，藉由進行上述加熱處理，能夠使氧化物絕緣膜 22 及氧化物絕緣膜 24 中所包含的水、氫等脫離，由此在能夠降低電晶體 50 的電特性偏差的同時，能夠抑制臨界電壓的變動。

[0121] 另外，當在進行加熱的同時，在氧化物絕緣膜 22 上形成氧化物絕緣膜 24 時，可以將氧移動到氧化物

半導體膜 19 中以減少氧化物半導體膜 19 中的氧缺損，因此，不需要進行上述加熱處理。

[0122] 在此，在氮及氧氛圍下，以 350℃ 進行 1 小時的加熱處理。

[0123] 另外，當形成一對電極 20、21 時，由於導電膜的蝕刻，氧化物半導體膜 19 會受到損傷而在氧化物半導體膜 19 的背通道(在氧化物半導體膜 19 中與對置於閘極電極 15 的表面相反一側的表面)一側產生氧缺損。然而，在氧化物絕緣膜 24 中使用包含超過化學計量組成的氧的氧化物絕緣膜，從而能夠藉由加熱處理修復產生在該背通道一側的氧缺損。由此，能夠減少氧化物半導體膜 19 中的缺陷，因此能夠提高電晶體 50 的可靠性。

[0124] 接著，利用濺射法、CVD 法等來形成氮化物絕緣膜 26。

[0125] 另外，當利用電漿 CVD 法形成氮化物絕緣膜 26 時，藉由在 300℃ 以上且 400℃ 以下或 320℃ 以上且 370℃ 以下的溫度下來保持設置在電漿 CVD 設備的抽成真空的處理室中的基板，能夠形成緻密的氮化物絕緣膜，所以是較佳的。

[0126] 當作為氮化物絕緣膜 26 利用電漿 CVD 法來形成氮化矽膜時，較佳為使用包含矽的沉積氣體、氮及氫作為源氣體。藉由作為源氣體使用與氮相比少量的氮，在電漿中氮發生解離而產生活性種。該活性種切斷包含矽的沉積氣體中所含的矽與氫之間的鍵合及氮之間的三鍵。其

結果是，能夠促進矽與氮的鍵合，能夠形成矽與氮的鍵合較少，缺陷較少且緻密的氮化矽膜。另一方面，藉由在源氣體中使用與氮相比多量的氮，包含矽的沉積氣體及氮各自的分解不進展，矽與氮的鍵合殘留，導致形成缺陷較多且不緻密的氮化矽膜。由此，在源氣體中，較佳為將氮對氮的流量比設定為 5 以上且 50 以下或 10 以上且 50 以下。

[0127] 在此，在電漿 CVD 設備的處理室中，在利用如下條件的電漿 CVD 法來形成厚度為 50nm 的氮化矽膜作為氮化物絕緣膜 26：將流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氮用作源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，用 27.12MHz 的高頻電源對平行平板電極供應 1000W 的高頻功率。另外，電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的功率的換算為每單位面積的功率(功率密度)為 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0128] 藉由上述製程，能夠形成氧化物絕緣膜 22、氧化物絕緣膜 24 及氮化物絕緣膜 26。

[0129] 接著，也可以進行加熱處理。將該加熱處理的溫度典型地為 150℃ 以上且 400℃ 以下、300℃ 以上且 400℃ 以下或 320℃ 以上且 370℃ 以下。

[0130] 接著，在氮化物絕緣膜 26 上藉由使用第四光罩的光微影製程形成遮罩，然後使用該遮罩分別對氧化物絕緣膜 22、氧化物絕緣膜 24 及氮化物絕緣膜 26 部分地

進行蝕刻來形成包括氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 27 的閘極絕緣膜 28。

[0131] 另外，如圖 2G 所示，以在通道長度方向上閘極絕緣膜 28 的端部位於一對電極 20、21 上，且如圖 2H 所示那樣在通道寬度方向上閘極絕緣膜 28 的端部位於氧化物半導體膜 19 的外側的方式分別對氧化物絕緣膜 22、氧化物絕緣膜 24 及氮化物絕緣膜 26 進行蝕刻。其結果是，可以形成被分離的閘極絕緣膜 28。另外，在絕緣膜 16 的一部分，至少表面區域由氧化物絕緣膜 23 形成的情況下，在氧化物絕緣膜 23 被蝕刻的同時絕緣膜 16 的一部分也被蝕刻。由此形成具有步階的閘極絕緣膜 17。

[0132] 另外，在該蝕刻製程中，如圖 2H 所示，通道寬度方向上的氧化物半導體膜 19 的側面和閘極絕緣膜 28 的側面之間的最短間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。其結果是，可以防止在後面形成的閘極電極 29 和氧化物半導體膜 19 之間的短路，從而可以提高良率。

[0133] 接著，如圖 2I 及 2J 所示，形成閘極電極 29 及電極 30。下面示出閘極電極 29 及電極 30。首先，藉由濺射法、CVD 法、蒸鍍法等形成導電膜。在導電膜上藉由使用第五光罩的光微影製程形成遮罩。接著，使用該遮罩對導電膜的一部分進行蝕刻來形成閘極電極 29 及電極 30。然後，去除遮罩。

[0134] 另外，如圖 2I 所示，以在通道長度方向上閘極電極 29 的端部位於閘極絕緣膜 28 上的方式形成閘極電

極 29 及電極 30。此外，如圖 2J 所示，以在通道寬度方向上使閘極電極 29 隔著閘極絕緣膜 28 與氧化物半導體膜 19 的側面相對的方式，即以閘極電極 29 的端部位於氧化物半導體膜 19 的端部的外側的方式形成閘極電極 29 及電極 30。

[0135] 可以藉由上述製程製造電晶體 50。

[0136] 另外，在圖 2G 及 2H 中，在形成閘極絕緣膜 28 之後藉由光微影製程形成遮罩，對閘極絕緣膜 17 的一部分進行蝕刻，從而形成使閘極電極 15 的一部分露出的開口部 28c。接著，也可以以在開口部 28c 中與閘極電極 15 連接的方式形成閘極電極 29a。其結果是，可以製造閘極電極 15 和閘極電極 29a 連接的電晶體 51（參照圖 3A 至 3C）。也就是說，可以使閘極電極 15 和閘極電極 29a 具有相同的電位。

[0137] 此外，如圖 4A 至 4C 所示的電晶體 52，也可以採用在通道寬度方向上閘極電極 29b 的端部位於閘極電極 15 的外側的形狀。典型的是，如圖 4C 所示，在通道寬度方向上閘極電極 29b 的端部位於閘極電極 15 的端部的外側。

[0138] 在本實施方式所示的電晶體中，當在通道寬度方向上閘極電極 29、29a、29b 隔著閘極絕緣膜 28 與氧化物半導體膜 19 的側面相對時，因閘極電極 29、29a、29b 的電場的影響而抑制氧化物半導體膜 19 的側面或其附近的寄生通道的產生。其結果是，可以得到臨界電壓時

的汲極電流急劇上升且電特性優良的電晶體。

[0139] 此外，藉由以與用作通道區域的氧化物半導體膜重疊的方式形成包含超過化學計量組成的氧的氧化物絕緣膜，能夠使該氧化物絕緣膜中的氧移動到氧化物半導體膜中。由此，能夠減少氧化物半導體膜中的氧缺損量。

[0140] 另外，在本實施方式中，由於利用以 280°C 以上且 400°C 以下的溫度進行加熱的電漿 CVD 法形成成為閘極絕緣膜 28 的絕緣膜，所以可以使氧化物半導體膜 19 中的氫、水等脫離。此外，在該製程中，氧化物半導體膜被露出的狀態下的加熱時間短，即使將藉由加熱處理的氧化物半導體膜的溫度設定為 400°C 以下，也可以製造其臨界電壓的變動量與在高溫下進行加熱處理而成的電晶體相等的電晶體。由此，可以縮減半導體裝置的成本。

[0141] 根據上述記載，可以得到一種使用氧化物半導體的半導體裝置，其中抑制閘極 BT 應力所引起的寄生通道的形成。此外，可以得到一種電特性得到提高的使用氧化物半導體膜的半導體裝置。

[0142] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0143]

實施方式 2

在本實施方式中，參照圖式說明與實施方式 1 不同的半導體裝置及其製造方法。本實施方式與實施方式 1 的不同之處在於每個電晶體的保護膜都彼此不分離。

[0144] 圖 5A 至 5C 示出半導體裝置所具有的電晶體 60 的俯視圖及剖面圖。圖 5A 至 5C 所示的電晶體 60 是通道蝕刻型電晶體。圖 5A 是電晶體 60 的俯視圖，圖 5B 是沿著圖 5A 的點劃線 A-B 的剖面圖，圖 5C 是沿著圖 5A 的點劃線 C-D 的剖面圖。另外，在圖 5A 中，為了明確起見而省略基板 11、閘極絕緣膜 31、氧化物絕緣膜 33、氧化物絕緣膜 35、氮化物絕緣膜 37 等。

[0145] 圖 5B 及 5C 所示的電晶體 60 包括：設置在基板 11 上的閘極電極 15；形成在基板 11 及閘極電極 15 上的閘極絕緣膜 31；隔著閘極絕緣膜 31 與閘極電極 15 重疊的氧化物半導體膜 19；與氧化物半導體膜 19 接觸的一對電極 20、21；閘極絕緣膜 31、氧化物半導體膜 19 及一對電極 20、21 上的閘極絕緣膜 38；以及閘極絕緣膜 38 上的閘極電極 39。閘極絕緣膜 38 包括氧化物絕緣膜 33、氧化物絕緣膜 35 及氮化物絕緣膜 37。一對電極 20、21 的一個，在此與電極 21 連接的電極 40 形成在氮化物絕緣膜 37 上。另外，電極 40 用作像素電極。

[0146] 在本實施方式所示的電晶體 60 中，在閘極電極 15 和閘極電極 39 之間設置有氧化物半導體膜 19。此外，閘極絕緣膜 38 包括多個開口部。典型的是，閘極絕緣膜 38 包括在通道寬度方向上夾著氧化物半導體膜 19 的開口部 38a、38b。開口部 38a、38b 還在閘極絕緣膜 31 中形成開口部。閘極絕緣膜 38 包括使一對電極 20、21 的一個露出的開口部 38c。在圖 5C 所示的通道寬度方向上設

置在閘極絕緣膜 31 及閘極絕緣膜 38 中的開口部 38a、38b 及閘極絕緣膜 38 上形成閘極電極 39。在該開口部 38a、38b 中，閘極電極 15 和閘極電極 39 連接。在該開口部 38a、38b 的側面上，閘極電極 39 與氧化物半導體膜 19 的側面對。如圖 5C 所示，較佳的是，在通道寬度方向上氧化物半導體膜 19 的側面和開口部 38a、38b 的側面之間的最短間隔為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。典型的是，在開口部 38a、38b 中，與氧化物半導體膜 19 的側面最靠近的側面和氧化物半導體膜 19 的側面之間的間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。也就是說，氧化物半導體膜 19 的側面和閘極電極 39 之間的最短間隔較佳為 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。其結果是，可以防止閘極電極 39 和氧化物半導體膜 19 之間的短路，從而可以提高良率。

[0147] 在藉由蝕刻等加工的氧化物半導體膜的端部中，由於加工所引起的損傷而產生缺陷且雜質的附著等導致污染的產生。因此，因為被施加電場等的應力而氧化物半導體膜的端部容易活化而成為 n 型（低電阻）化。因而，在本實施方式中，與閘極電極 15 重疊的氧化物半導體膜 19 的端部容易 n 型化。在該 n 型化的端部設置在一對電極 20 和 21 之間時，n 型化的區域成為載子路徑，因此形成寄生通道。然而，在如圖 5C 所示，當在通道寬度方向上閘極電極 39 與氧化物半導體膜 19 的側面隔著閘極絕緣膜 38 相對時，因閘極電極 39 的電場的影響而抑制氧化物半導體膜 19 的側面或其附近的寄生通道的產生。其

結果是，可以得到臨界電壓時的汲極電流急劇上升且電特性優良的電晶體。

[0148] 此外，因為藉由設置彼此連接的閘極電極 15 和閘極電極 39 可以遮蔽來自外部的電場，所以產生在基板 11 和閘極電極 15 之間、閘極電極 39 上的帶電粒子等電荷不影響到氧化物半導體膜 19。其結果是，可以抑制應力測試（例如，-GBT 應力測試）所帶來的劣化以及汲極電壓不同時的通態電流的上升電壓的變動。

[0149] 此外，藉由包括連接的閘極電極 15 和閘極電極 39，減少臨界電壓的變動量。因此，在同時減少多個電晶體中的電特性的偏差。

[0150] 此外，設置在氧化物半導體膜 19 上的閘極絕緣膜 38 包括包含超過化學計量組成的氧的氧化物絕緣膜。藉由加熱，氧的一部分從包含超過化學計量組成的氧的氧化物絕緣膜脫離。在進行 TDS 分析時，包含超過化學計量組成的氧的氧化物絕緣膜的換算為氧原子的氧脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

[0151] 在閘極絕緣膜 38 包括包含超過化學計量組成的氧的氧化物絕緣膜時，可以使閘極絕緣膜 38 所包含的氧的一部分移動到氧化物半導體膜 19 中，並減少氧化物半導體膜 19 所包含的氧缺損。其結果是，可以進一步減少氧化物半導體膜 19 所包含的氧缺損量。

[0152] 在使用包含氧缺損的氧化物半導體膜形成的電晶體中，臨界電壓容易向負方向變動，而容易具有常開

啟特性。這是因為由於氧化物半導體膜所包含的氧缺損而產生電荷且導致低電阻化。當電晶體具有常開啟特性時產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，存在以下問題：即因經過時間或進行應力測試而導致電晶體的電特性，典型的是臨界電壓的變動量的增大。

[0153] 然而，在本實施方式所示的電晶體 60 中，設置在氧化物半導體膜 19 上的閘極絕緣膜 38 包括包含超過化學計量組成的氧的氧化物絕緣膜。其結果是，可以減少氧化物半導體膜 19 的氧缺損，從而得到具有常關閉特性的電晶體。此外，還可以減少因經過時間或進行應力測試而導致的電晶體的電特性，典型的是臨界電壓的變動。

[0154] 下面，說明電晶體 60 的詳細結構。另外，省略由與實施方式 1 相同的元件符號表示的結構的說明。

[0155] 閘極絕緣膜 31 可以適當地使用與實施方式 1 所示的閘極絕緣膜 17 相同的材料。

[0156] 閘極絕緣膜 38 包括與氧化物半導體膜 19 接觸的氧化物絕緣膜 33、與氧化物絕緣膜 33 接觸的氧化物絕緣膜 35 以及與氧化物絕緣膜 35 接觸的氮化物絕緣膜 37。另外，氧化物絕緣膜 33 可以適當地使用與實施方式 1 所示的氧化物絕緣膜 23 相同的材料。氧化物絕緣膜 35 可以適當地使用與實施方式 1 所示的氧化物絕緣膜 25 相同的材料。氮化物絕緣膜 37 可以適當地使用與實施方式 1 所示的氮化物絕緣膜 27 相同的材料。

[0157] 閘極電極 39 及電極 40 可以適當地使用與實施方式 1 所示的閘極電極 29 及電極 30 相同的材料。

[0158] 接著，圖 2A 至 2F 以及圖 6A 至 6D 說明圖 5A 至 5C 所示的電晶體 60 的製造方法。另外，圖 6A、6C 是表示圖 5B 所示的電晶體 60 的製程的通道長度方向上的剖面圖。圖 6B、6D 是表示圖 5C 所示的電晶體 60 的製程的通道寬度方向上的剖面圖。

[0159] 與實施方式 1 同樣，經過圖 2A 至 2F 的製程在基板 11 上形成閘極電極 15、絕緣膜 16、氧化物半導體膜 19、一對電極 20、21、氧化物絕緣膜 22、氧化物絕緣膜 24、氮化物絕緣膜 26。在該製程中進行使用第一光罩至第三光罩的光微影製程。

[0160] 接著，在氮化物絕緣膜 26 上藉由使用第四光罩的光微影製程形成遮罩，然後使用該遮罩分別對氧化物絕緣膜 22、氧化物絕緣膜 24 及氮化物絕緣膜 26 部分地進行蝕刻，從而形成包括氧化物絕緣膜 33、氧化物絕緣膜 35 及氮化物絕緣膜 37 的閘極絕緣膜 38。

[0161] 另外，在該製程中，如圖 6A 所示，分別對氧化物絕緣膜 33、氧化物絕緣膜 35 及氮化物絕緣膜 37 部分地進行蝕刻來形成在通道長度方向上使一對電極 20、21 的一個電極 21 露出的開口部 38c，且如圖 6B 所示，在通道寬度方向上以夾著氧化物半導體膜 19 的方式形成開口部 38a、38b。在通道寬度方向上氧化物半導體膜 19 的側面和開口部 38a、38b 的側面之間的最短間隔較佳為

0.5 μm 以上且 1.5 μm 以下。其結果是，可以防止在後面形成的閘極電極 39 和氧化物半導體膜 19 之間的短路，從而可以提高良率。此外，包括開口部 38a、38b、38c 的閘極絕緣膜 38。

[0162] 接著，如圖 6C 及 6D 所示，形成閘極電極 39 及電極 40。下面示出閘極電極 39 及電極 40 的形成方法。首先，藉由濺射法、CVD 法、蒸鍍法等形成導電膜，並且在導電膜上藉由使用第五光罩的光微影製程形成遮罩。接著，使用該遮罩對導電膜的一部分進行蝕刻來形成閘極電極 39 及電極 40。然後，去除遮罩。

[0163] 另外，如圖 6D 所示，以在通道寬度方向上使閘極電極 39 在開口部 38a、38b 的側面與氧化物半導體膜 19 的側面相對的方式，即以閘極電極 39 的端部位於氧化物半導體膜 19 的端部的外側的方式形成閘極電極 39 及電極 40。

[0164] 可以藉由上述製程製造電晶體 60。

[0165] 在本實施方式所示的電晶體中，當在通道寬度方向上閘極電極 39 在設置在閘極絕緣膜 38 的開口部 38a、38b 的側面與氧化物半導體膜 19 的側面相對時，因閘極電極 39 的電場的影響而抑制氧化物半導體膜 19 的側面或其附近的寄生通道的產生。其結果是，可以得到臨界電壓時的汲極電流急劇上升且電特性優良的電晶體。

[0166] 此外，藉由以與用作通道區域的氧化物半導體膜重疊的方式形成包含超過化學計量組成的氧的氧化物

絕緣膜，能夠使該氧化物絕緣膜中的氧移動到氧化物半導體膜中。由此，能夠減少氧化物半導體膜中的氧缺損量。

[0167] 另外，在本實施方式中，由於利用在以 280℃ 以上且 400℃ 以下的溫度進行加熱的電漿 CVD 法形成成為閘極絕緣膜 28 的絕緣膜，所以可以使氧化物半導體膜 19 中的氫、水等脫離。此外，在該製程中，氧化物半導體膜被露出的狀態下的加熱時間短，即使將藉由加熱處理的氧化物半導體膜的溫度設定為 400℃ 以下，也可以製造其臨界電壓的變動量與在高溫下進行加熱處理而成的電晶體相等的電晶體。由此，可以縮減半導體裝置的成本。

[0168] 根據上述記載，可以得到一種使用氧化物半導體的半導體裝置，其中抑制閘極 BT 應力所引起的寄生通道的形成。此外，可以得到一種電特性得到提高的使用氧化物半導體膜的半導體裝置。

[0169] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0170]

實施方式 3

在本實施方式中參照圖 1A 至 1C 以及圖 7A 至圖 12C 說明連接不同的閘極電極且使它們具有相同的電位時的實施方式 1 及實施方式 2 所示的雙閘極結構的電晶體的電特性。

[0171] 注意，在此將使圖 1A 所示的閘極電極 15 和閘極電極 29 電短路並施加閘極電壓的驅動方法稱為雙閘

極（dual gate）驅動。換言之，在進行雙閘極驅動時，閘極電極 15 的電壓和閘極電極 29 的電壓總是相等。

[0172] 在此，對電晶體的電特性進行計算。圖 7A 和 7B 示出用於計算的電晶體的結構。另外，在計算時使用元件模擬軟體 Atlas（由 Silvaco 公司製造）。

[0173] 圖 7A 所示的結構 1 的電晶體是雙閘極結構的電晶體。

[0174] 結構 1 的電晶體的結構如下：在閘極電極 201 上形成絕緣膜 203，在絕緣膜 203 上形成氧化物半導體膜 205，在絕緣膜 203 及氧化物半導體膜 205 上形成一對電極 207、208，在氧化物半導體膜 205 及一對電極 207、208 上形成絕緣膜 209，在絕緣膜 209 上形成閘極電極 213，並且閘極電極 201 和閘極電極 213 在形成在絕緣膜 203 及絕緣膜 209 中的開口部（未圖示）中連接。

[0175] 圖 7B 所示的結構 2 的電晶體是單閘極結構的電晶體。

[0176] 結構 2 的電晶體的結構如下：在閘極電極 201 上形成絕緣膜 203，在絕緣膜 203 上形成氧化物半導體膜 205，在絕緣膜 203 及氧化物半導體膜 205 上形成一對電極 207、208，並且在氧化物半導體膜 205 及一對電極 207、208 上形成絕緣膜 209。

[0177] 注意，在計算時採用的條件如下：將閘極電極 201 的功函數 ϕ_M 設定為 5.0eV；將絕緣膜 203 設定為介電常數為 4.1 的 100nm 厚的膜；作為氧化物半導體膜 205

設想 In-Ga-Zn 氧化物膜 (In : Ga : Zn=1 : 1 : 1) 單層；將 In-Ga-Zn 氧化物膜的能帶間隙 E_g 設定為 3.15eV，電子親和力 χ 設定為 4.6eV，相對介電常數設定為 15，電子移動率設定為 $10\text{cm}^2/\text{Vs}$ ，施體密度 N_d 設定為 $3 \times 10^{17} \text{atoms}/\text{cm}^3$ ；將一對電極 207、208 的功函數 ϕ_{sd} 設定為 4.6eV 並使該一對電極 207、208 與氧化物半導體膜 205 形成歐姆接觸；將絕緣膜 209 的相對介電常數設定為 4.1，將其厚度設定為 100nm。注意，不考慮氧化物半導體膜 205 的缺陷能階或表面散射等的模型。此外，分別將電晶體的通道長度及通道寬度設定為 $10\mu\text{m}$ 以及 $100\mu\text{m}$ 。

[0178]

〈初始特性偏差的減少〉

藉由採用具有結構 1 的電晶體那樣的雙閘極驅動，可以減少初始特性的偏差。這是因為藉由採用雙閘極驅動使 I_d - V_g 特性的臨界電壓 V_{th} 的變動量小於具有結構 2 的電晶體。

[0179] 在此，作為一個例子說明半導體膜的 n 型化所導致的 I_d - V_g 特性的臨界電壓的負向漂移。

[0180] 氧化物半導體膜中的施體離子的電荷量的總計為 Q (C)，由閘極電極 201、絕緣膜 203 及氧化物半導體膜 205 形成的電容為 C_{Bottom} ，由氧化物半導體膜 205、絕緣膜 209 及閘極電極 213 形成的電容為 C_{Top} 。算式 1 示出此時的具有結構 1 的電晶體的臨界電壓 V_{th} 的變動量 ΔV 。此外，算式 2 示出具有結構 2 的電晶體的臨界

電壓 V_{th} 的變動量 ΔV 。

[0181]

[算式 1]

$$\Delta V = -\frac{Q}{C_{Bottom} + C_{Top}}$$

[0182]

[算式 2]

$$\Delta V = -\frac{Q}{C_{Bottom}}$$

[0183] 如算式 1 所示，因為在具有結構 1 的電晶體那樣的雙閘極驅動中，氧化物半導體膜中的施體離子和閘極電極之間的電容為 C_{Bottom} 和 C_{Top} 的總和，所以臨界電壓的變動量減小。

[0184] 此外，圖 8A 和 8B 示出分別在結構 1 及結構 2 的電晶體中計算汲極電壓為 0.1V 及 1V 時的電流電壓曲線而得到的結果。注意，圖 8A 是具有結構 1 的電晶體的電流電壓曲線，圖 8B 是具有結構 2 的電晶體的電流電壓曲線。在汲極電壓 V_d 為 0.1V 時，具有結構 1 的電晶體的臨界電壓為 -2.26V，具有結構 2 的電晶體的臨界電壓為 -4.73V。

[0185] 藉由如具有結構 1 的電晶體那樣採用雙閘極驅動，減少臨界電壓的變動量。因此，在同時減少多個電晶體中的電特性的偏差。

[0186] 另外，在此考慮到氧化物半導體膜中的施體離子所引起的臨界電壓的負向漂移，但是同樣地抑制絕緣膜 203 及絕緣膜 209 中的固定電荷、可動電荷或負的電荷（被受體相似的能階俘獲的電子等）所引起的臨界電壓的正向漂移，所以減少偏差。

[0187]

〈-GBT 應力測試所引起的劣化的抑制〉

此外，藉由採用具有結構 1 的電晶體那樣的雙閘極驅動，可以減少 -GBT 應力測試所引起的劣化。下面說明可以減少 -GBT 應力測試所引起的劣化的理由。

[0188] 作為第一理由有藉由採用雙閘極驅動不產生靜電壓力的點。圖 9A 示出標繪出在結構 1 的電晶體中分別對閘極電極 201 及閘極電極 213 施加 -30V 時的勢能等高線的圖。此外，圖 9B 示出沿著圖 9A 的 A-B 剖面的勢能。

[0189] 氧化物半導體膜 205 是本質半導體，其中在對閘極電極 201、213 施加負的電壓而氧化物半導體膜 205 完全空乏化時，在閘極電極 201 和 213 之間完全不存在電荷。當在這種狀態下使閘極電極 201 和閘極電極 213 具有相同的電位時，如圖 9B 所示，閘極電極 201 的電位與閘極電極 213 的電位完全相同。因為電位相同，所以絕緣膜 203、氧化物半導體膜 205 及絕緣膜 209 不受到靜電壓力。其結果是，不產生引起 -GBT 應力測試所引起的劣化的現象諸如可動離子或絕緣膜 203 及絕緣膜 209 中的載

子的俘獲/解俘獲等。

[0190] 作為第二理由有藉由採用雙閘極驅動，遮蔽來自 FET 的外部的電場的點。在此，圖 10A 示出在圖 7A 所示的結構 1 的電晶體中空氣中的帶電離子附著到閘極電極 213 上的模型。圖 10B 示出在圖 7B 所示的結構 2 的電晶體中空氣中的帶電離子附著到絕緣膜 209 的模型。

[0191] 如圖 10B 所示，在具有結構 2 的電晶體中，空氣中的帶正電粒子附著到絕緣膜 209 的表面上。當閘極電極 201 被施加負的電壓時，帶正電粒子附著到絕緣膜 209。其結果是，如圖 10B 的箭頭所示，帶正電粒子的電場影響到氧化物半導體膜 205 與絕緣膜 209 的之間介面而造成實質上被施加正的偏壓的狀態。其結果是，可以認為臨界電壓漂移到負一側。

[0192] 另一方面，如圖 10A 所示，在具有結構 1 的電晶體中即使帶正電粒子附著到閘極電極 213 的表面上，帶正電粒子也不影響到電晶體的電特性，因為如圖 10A 的箭頭所示閘極電極 213 遮蔽帶正電粒子的電場。也就是說，藉由包括閘極電極 213 可以電保護電晶體免受來自外部的電荷的影響，從而 -GBT 應力測試所引起的劣化得到抑制。

[0193] 根據上述兩個理由，在雙閘極驅動的電晶體中抑制 -GBT 應力測試所引起的劣化。

[0194]

〈汲極電壓不同時的通態電流的上升電壓的變動的抑制〉

在此說明採用結構 2 的情況下的汲極電壓不同時的通態電流的上升電壓的變動及其原因。

[0195] 圖 11A 至 11C 所示的電晶體的結構如下：在閘極電極 231 上設置有閘極絕緣膜 233，在閘極絕緣膜 233 上設置有氧化物半導體膜 235，在氧化物半導體膜 235 上設置有一對電極 237、238，並且在閘極絕緣膜 233、氧化物半導體膜 235 及一對電極 237、238 上設置有絕緣膜 239。

[0196] 注意，在計算時採用如下條件：將閘極電極 231 的功函數 ϕ_M 設定為 5.0eV ；將閘極絕緣膜 233 設定為介電常數為 7.5 的 400nm 厚的膜和介電常數為 4.1 的 50nm 厚的膜的疊層結構；作為氧化物半導體膜 235 設想 In-Ga-Zn 氧化物膜（In：Ga：Zn=1：1：1）單層；將 In-Ga-Zn 氧化物膜的能帶間隙 E_g 設定為 3.15eV ，電子親和力 χ 設定為 4.6eV ，相對介電常數設定為 15，電子移動率設定為 $10\text{cm}^2/\text{Vs}$ ，施體密度 N_d 設定為 $1 \times 10^{13}\text{atoms}/\text{cm}^3$ ；將一對電極 237、238 的功函數 ϕ_{sd} 設定為 4.6eV 並使該一對電極 237、238 與氧化物半導體膜 235 形成歐姆接觸；將絕緣膜 239 的相對介電常數設定為 3.9，將其厚度設定為 550nm 。注意，不考慮氧化物半導體膜 235 的缺陷能階或表面散射等的模型。此外，分別將電晶體的通道長度及通道寬度設定為 $3\mu\text{m}$ 以及 $50\mu\text{m}$ 。

[0197] 接著，圖 11B 及 11C 示出在圖 11A 所示的電晶體中帶正電粒子附著到絕緣膜 239 的表面的電晶體的

模型。另外，圖 11B 具有在絕緣膜 239 的表面上均勻地假定固定正電荷的結構，而圖 11C 具有在絕緣膜 239 的表面上部分地假定固定正電荷的結構。

[0198] 圖 12A 至 12C 示出計算圖 11A 至 11C 所示的電晶體的電特性而得到的結果。

[0199] 如圖 12A 所示，當在圖 11A 所示的電晶體的絕緣膜 239 上不假定固定正電荷時，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓大致一致。

[0200] 另一方面，如圖 12B 所示，當在圖 11B 所示的電晶體的絕緣膜 239 上均勻地假定固定正電荷時，臨界電壓負向漂移。此外，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓大致一致。

[0201] 如圖 12C 所示，當在圖 11C 所示的電晶體的絕緣膜 239 上部分地假定正的固定正電荷時，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓互不相同。

[0202] 另一方面，因為在具有結構 1 的電晶體中設置有閘極電極 213，所以如上述〈-GBT 應力測試所引起的劣化的抑制〉中說明那樣閘極電極 213 遮蔽來自外部的帶電粒子的電場，帶電粒子不影響到電晶體的電特性。也就是說，藉由包括閘極電極 213 可以電保護電晶體免受來自外部的電荷的影響，從而可以抑制汲極電壓不同時的通態電流的上升電壓的變動。

[0203] 根據上述記載，藉由採用雙閘極結構並對各閘極電極施加任意電壓，可以抑制 -GBT 應力測試所引起

的劣化及汲極電壓不同時的通態電流的上升電壓的變動。此外，藉由採用雙閘極結構並對各閘極電極施加具有相同電位的電壓，可以減少初始特性的偏差並抑制-GBT 應力測試所引起的劣化及汲極電壓不同時的通態電流的上升電壓的變動。

[0204] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0205]

實施方式 4

在實施方式 1 至實施方式 3 所示的電晶體中，可以根據需要在基板 11 與閘極電極 15 之間設置基底絕緣膜。作為基底絕緣膜的材料，可以舉出氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉛、氧化釷、氧化鋁、氧氮化鋁等。另外，作為基底絕緣膜的材料，藉由使用氮化矽、氧化鎵、氧化鉛、氧化釷、氧化鋁等，可以抑制雜質，典型的為鹼金屬、水、氫等從基板 11 擴散到氧化物半導體膜 19 中。

[0206] 基底絕緣膜可以利用濺射法、CVD 法等來形成。

[0207] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0208]

實施方式 5

在實施方式 1 至實施方式 4 所示的電晶體中，可以根

據需要使閘極絕緣膜 17 採用層疊結構。這裡，參照圖 13A 至 13C 並使用實施方式 1 所示的電晶體 50 說明閘極絕緣膜 17 的結構。

[0209] 如圖 13A 所示，作為閘極絕緣膜 17 的結構可以採用從閘極電極 15 一側依次層疊氮化物絕緣膜 17a 及氧化物絕緣膜 17b 的疊層結構。藉由在閘極電極 15 一側設置氮化物絕緣膜 17a，可以防止來自閘極電極 15 的雜質，典型的是氫、氮、鹼金屬或鹼土金屬等移動到氧化物半導體膜 19 中。

[0210] 此外，藉由在氧化物半導體膜 19 一側設置氧化物絕緣膜 17b，可以降低在閘極絕緣膜 17 與氧化物半導體膜 19 之間的介面的缺陷態密度。其結果是，可以得到電特性的劣化少的電晶體。此外，與氧化物絕緣膜 25 同樣地，藉由使用包含超過化學計量組成的氧的氧化物絕緣膜形成氧化物絕緣膜 17b，可以進一步降低在閘極絕緣膜 17 與氧化物半導體膜 19 之間的介面的缺陷態密度，所以是較佳的。

[0211] 如圖 13B 所示，閘極絕緣膜 17 可以採用從閘極電極 15 一側依次層疊缺陷少的氮化物絕緣膜 17c、氮阻擋性高的氮化物絕緣膜 17d 及氧化物絕緣膜 17b 的疊層結構。藉由作為閘極絕緣膜 17 設置缺陷少的氮化物絕緣膜 17c，可以提高閘極絕緣膜 17 的絕緣耐壓。此外，藉由設置氮阻擋性高的氮化物絕緣膜 17d，可以防止來自閘極電極 15 及氮化物絕緣膜 17c 的氮移動到氧化物半導體

膜 19 中。

[0212] 以下示出圖 13B 所示的氮化物絕緣膜 17c、17d 的製造方法的一個例子。首先，藉由將矽烷、氮和氨的混合氣體用作源氣體的電漿 CVD 法形成缺陷少的氮化矽膜作為氮化物絕緣膜 17c。接著，將源氣體切換為矽烷和氨的混合氣體而形成氮濃度低且能夠阻擋氮的氮化矽膜作為氮化物絕緣膜 17d。藉由採用上述形成方法，可以形成層疊有缺陷少且具有氮阻擋性的氮化物絕緣膜的閘極絕緣膜 17。

[0213] 如圖 13C 所示，閘極絕緣膜 17 可以採用從閘極電極 15 一側依次層疊雜質阻擋性高的氮化物絕緣膜 17e、缺陷少的氮化物絕緣膜 17c、氮阻擋性高的氮化物絕緣膜 17d 及氧化物絕緣膜 17b 的疊層結構。藉由作為閘極絕緣膜 17 設置雜質阻擋性高的氮化物絕緣膜 17e，可以防止來自閘極電極 15 的雜質，典型的是氫、氮、鹼金屬或鹼土金屬等移動到氧化物半導體膜 19 中。

[0214] 以下示出圖 13C 所示的氮化物絕緣膜 17e、17c、17d 的製造方法的一個例子。首先，藉由將矽烷、氮和氨的混合氣體用作源氣體的電漿 CVD 法形成雜質阻擋性高的氮化矽膜作為氮化物絕緣膜 17e。接著，藉由增加氮流量，形成缺陷少的氮化矽膜作為氮化物絕緣膜 17c。接著，將源氣體切換為矽烷和氨的混合氣體而形成氮濃度低且能夠阻擋氮的氮化矽膜作為氮化物絕緣膜 17d。藉由採用上述形成方法，可以形成層疊有缺陷少且

具有雜質阻擋性的氮化物絕緣膜的閘極絕緣膜 17。

[0215] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0216]

實施方式 6

作為設置在實施方式 1 至實施方式 5 所示的電晶體中的一對電極 20、21，可以使用鎢、鈦、鋁、銅、鉬、鉻或鉭或者其合金等容易與氧鍵合的導電材料。其結果是，氧化物半導體膜 19 中所含的氧與一對電極 20、21 中所含的導電材料鍵合，氧缺損區域形成在氧化物半導體膜 19 中。此外，有時形成一對電極 20、21 的導電材料的構成元素的一部分混入氧化物半導體膜 19。其結果是，如圖 14 所示，低電阻區域 19a、19b 形成在氧化物半導體膜 19 中的與一對電極 20、21 接觸的區域附近。低電阻區域 19a、19b 形成在閘極絕緣膜 17 與一對電極 20、21 之間以與一對電極 20、21 接觸。低電阻區域 19a、19b 由於導電性高，所以可以降低氧化物半導體膜 19 與一對電極 20、21 之間的接觸電阻，因此可以增大電晶體的通態電流。

[0217] 另外，一對電極 20、21 也可以具有上述容易與氧鍵合的導電材料和氮化鈦、氮化鉭、鈮等不容易與氧鍵合的導電材料的疊層結構。藉由採用上述疊層結構，能夠防止一對電極 20、21 與氧化物絕緣膜 23 之間的介面處的一對電極 20、21 的氧化，由此能夠抑制一對電極 20、

21 被高電阻化。

[0218] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0219]

實施方式 7

在本實施方式中，參照圖式對包括與實施方式 1 至實施方式 6 相比能夠進一步減少氧化物半導體膜中的缺陷量的電晶體的半導體裝置進行說明。本實施方式所說明的電晶體與實施方式 1 至實施方式 6 之間的不同點在於，本實施方式所示的電晶體包括層疊有氧化物半導體膜的多層膜。在此，參照實施方式 1 說明電晶體的詳細內容。

[0220] 圖 15A 至 15D 示出半導體裝置所具有的電晶體 70 的俯視圖及剖面圖。圖 15A 是電晶體 70 的俯視圖，圖 15B 是沿著圖 15A 的點劃線 A-B 的剖面圖，圖 15C 是沿著圖 15A 的點劃線 C-D 的剖面圖。另外，在圖 15A 中，為了明確起見而省略基板 11、閘極絕緣膜 17、氧化物絕緣膜 23、氧化物絕緣膜 25、氮化物絕緣膜 27 等。

[0221] 圖 15A 至 15C 所示的電晶體 70 包括：設置在基板 11 上的閘極電極 15；閘極絕緣膜 17；隔著閘極絕緣膜 17 與閘極電極 15 重疊的多層膜 47；與多層膜 47 接觸的一對電極 20、21；閘極絕緣膜 17、多層膜 47 及一對電極 20、21 上的閘極絕緣膜 28；以及閘極絕緣膜 28 及閘極絕緣膜 17 上的閘極電極 29。此外，閘極絕緣膜 28 包括氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜

27。此外，一對電極 20、21 的一個，即在此的與電極 21 連接的電極 30 形成在閘極絕緣膜 17 上。另外，電極 30 用作像素電極。

[0222] 在本實施方式所示的電晶體 70 中，多層膜 47 包括氧化物半導體膜 19 及氧化物半導體膜 49a。即，多層膜 47 為兩層結構。另外，將氧化物半導體膜 19 的一部分用作通道區域。此外，以與多層膜 47 接觸的方式形成有氧化物絕緣膜 23。在氧化物半導體膜 19 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 49a。此外，以與氧化物絕緣膜 23 接觸的方式形成有氧化物絕緣膜 25。

[0223] 氧化物半導體膜 49a 是由構成氧化物半導體膜 19 的元素中的一種以上構成的氧化物膜。因此，由於氧化物半導體膜 19 與氧化物半導體膜 49a 之間的介面不容易產生介面散射。由此，由於在該介面中載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0224] 作為氧化物半導體膜 49a 典型是 In-Ga 氧化物膜、In-Zn 氧化物膜或 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd），並且與氧化物半導體膜 19 相比，氧化物半導體膜 49a 的導帶底端的能量較接近於真空能階，典型的是，氧化物半導體膜 49a 的導帶底端的能量和氧化物半導體膜 19 的導帶底端的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。換而言之，氧化物半導體膜 49a 的電子親和力與氧化物半

導體膜 19 的電子親和力之差為 0.05eV 以上、 0.07eV 以上、 0.1eV 以上或者 0.15eV 以上，且 2eV 以下、 1eV 以下、 0.5eV 以下或者 0.4eV 以下。

[0225] 氧化物半導體膜 49a 藉由包含 In 提高載子移動率(電子移動率)，所以是較佳的。

[0226] 藉由使氧化物半導體膜 49a 具有其原子數比高於 In 的原子數比的 Al、Ga、Y、Zr、La、Ce 或 Nd，有時具有如下效果：(1) 增大氧化物半導體膜 49a 的能隙。(2) 減小氧化物半導體膜 49a 的電子親和力。(3) 遮蔽來自外部的雜質。(4) 氧化物半導體膜 49a 的絕緣性比氧化物半導體膜 19 高。(5) 由於 Al、Ga、Y、Zr、La、Ce 或 Nd 是與氧的鍵合力強的金屬元素，所以不容易產生氧缺損。

[0227] 在氧化物半導體膜 49a 為 In-M-Zn 氧化物膜的情況下，當 In 和 M 之總和為 100atomic%時，In 與 M 的原子百分比為如下：In 的原子百分比低於 50atomic%且 M 的原子百分比為 50atomic%以上或者 In 的原子百分比低於 25atomic%且 M 的原子百分比為 75atomic%以上。

[0228] 另外，當氧化物半導體膜 19 及氧化物半導體膜 49a 為 In-M-Zn 氧化物膜 (M 為 Al、Ga、Y、Zr、La、Ce 或 Nd) 時，氧化物半導體膜 49a 中所含的 M (Al、Ga、Y、Zr、La、Ce 或 Nd) 的原子數比大於氧化物半導體膜 19 中所含的 M 的原子數比，典型的是，氧化物半導體膜 49a 中所含的 M 的原子數比為氧化物半導體膜 19 中

所含的 M 的原子數比率的 1.5 倍以上，2 倍以上或 3 倍以上。

[0229] 另外，當氧化物半導體膜 19 及氧化物半導體膜 49a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）時，並且氧化物半導體膜 49a 的原子數比為 In：M：Zn= x_1 ： y_1 ： z_1 ，且氧化物半導體膜 19 的原子數比為 In：M：Zn= x_2 ： y_2 ： z_2 的情況下， y_1/x_1 大於 y_2/x_2 或 y_1/x_1 為 y_2/x_2 的 1.5 倍以上。或者， y_1/x_1 為 y_2/x_2 的 2 倍以上，並且 y_1/x_1 為 y_2/x_2 的 3 倍以上。此時，當在氧化物半導體膜中 y_2 為 x_2 以上時，可以使使用該氧化物半導體膜的電晶體具有穩定的電特性，因此是較佳的。

[0230] 當氧化物半導體膜 19 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd 等）時，在用於形成氧化物半導體膜 19 的靶材中，假設金屬元素的原子數比為 In：M：Zn= x_1 ： y_1 ： z_1 時， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使用作氧化物半導體膜 19 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=3：1：2 等。

[0231] 當氧化物半導體膜 49a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd 等）時，在用於形成氧化物半導體膜 49a 的靶材中，假設金屬元素的原子數

比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ 時， $x_2/y_2 < x_1/y_1$ ， z_2/y_2 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使用作氧化物半導體膜 49a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 8$ 等。

[0232] 另外，氧化物半導體膜 19 及氧化物半導體膜 49a 的原子數比作為誤差包括上述原子數比的 $\pm 40\%$ 的變動。

[0233] 當在後面形成氧化物絕緣膜 25 時，氧化物半導體膜 49a 還用作緩和氧化物半導體膜 19 所受到的損傷的膜。

[0234] 將氧化物半導體膜 49a 的厚度設定為 3nm 以上且 100nm 以下或 3nm 以上且 50nm 以下。

[0235] 另外，氧化物半導體膜 49a 與氧化物半導體膜 19 同樣地例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS、多晶結構、下述微晶結構或非晶結構。

[0236] 氧化物半導體膜 49a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

[0237] 此外，氧化物半導體膜 19 及氧化物半導體膜

49a 也可以是具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0238] 在此，在氧化物半導體膜 19 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 49a。因此，在氧化物半導體膜 49a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成陷阱能階，也在該陷阱能階與氧化物半導體膜 19 之間有間隔。其結果是，在氧化物半導體膜 19 中流過的電子不容易被陷阱能階俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被陷阱能階俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19 與陷阱能階之間有間隔時，能夠抑制電子被陷阱能階俘獲，從而能夠抑制臨界電壓的變動。

[0239] 此外，由於氧化物半導體膜 49a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動到氧化物半導體膜 19 中的雜質量。另外，在氧化物半導體膜 49a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19 中的雜質濃度及氧缺損量。

[0240] 此外，氧化物半導體膜 19 及氧化物半導體膜 49a 不以簡單地層疊各膜的方式來形成，而是以形成連續接合(在此，特指在各膜之間導帶底端的能量產生連續的變化的結構)的方式來形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果雜質混入層疊有的氧化物半導體膜 19 與氧化物半導體膜 49a 之間，能帶則失去連續性，因此，載子在介面被俘獲或者因再結合而消失。

[0241] 為了形成連續接合，需要使用具備負載鎖定室的多室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地進行層疊。在濺射裝置的各室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到 5×10^{-7} Pa 至 1×10^{-4} Pa 左右）以盡可能地去除對氧化物半導體膜來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到處理室內。

[0242] 另外，如圖 15D 所示的電晶體 71 那樣，包括隔著閘極絕緣膜 17 與閘極電極 15 重疊的多層膜 48 及與多層膜 48 接觸的一對電極 20、21。

[0243] 多層膜 48 包括氧化物半導體膜 49b、氧化物半導體膜 19 及氧化物半導體膜 49a。即，多層膜 48 具有三層結構。此外，氧化物半導體膜 19 用作通道區域。

[0244] 此外，閘極絕緣膜 17 與氧化物半導體膜 49b 相接觸。即，在閘極絕緣膜 17 與氧化物半導體膜 19 之間

設置有氧化物半導體膜 49b。

[0245] 此外，多層膜 48 與氧化物絕緣膜 23 相接觸。另外，氧化物半導體膜 49a 與氧化物絕緣膜 23 相接觸。即，在氧化物半導體膜 19 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 49a。

[0246] 氧化物半導體膜 49b 可以適當地使用與氧化物半導體膜 49a 同樣的材料及形成方法。

[0247] 較佳為氧化物半導體膜 49b 的厚度比氧化物半導體膜 19 的厚度薄。藉由將氧化物半導體膜 49b 的厚度設定為 1nm 以上且 5nm 以下或 1nm 以上且 3nm 以下，可以減少電晶體的臨界電壓的變動量。

[0248] 本實施方式所示的電晶體在氧化物半導體膜 19 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 49a。因此，在氧化物半導體膜 49a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成陷阱能階，也在該陷阱能階與氧化物半導體膜 19 之間有間隔。其結果是，在氧化物半導體膜 19 中流過的電子不容易被陷阱能階俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被陷阱能階俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19 與陷阱能階之間有間隔時，能夠抑制電子被陷阱能階俘獲，從而能夠抑制臨界電壓的變動。

[0249] 此外，由於氧化物半導體膜 49a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動氧化物半導體膜

19 的雜質量。此外，在氧化物半導體膜 49a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19 中的雜質濃度及氧缺損量。

[0250] 另外，由於在閘極絕緣膜 17 與氧化物半導體膜 19 之間設置有氧化物半導體膜 49b，並且在氧化物半導體膜 19 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 49a，因此，能夠降低氧化物半導體膜 49b 與氧化物半導體膜 19 之間的介面附近的矽或碳的濃度、氧化物半導體膜 19 中的矽或碳的濃度或者氧化物半導體膜 49a 與氧化物半導體膜 19 之間的介面附近的矽或碳的濃度。其結果是，在多層膜 48 中，利用恆定光電流法導出的吸收係數低於 $1 \times 10^{-3}/\text{cm}$ 或低於 $1 \times 10^{-4}/\text{cm}$ ，即定域能階密度極低。

[0251] 在具有這種結構的電晶體 71 中，因為包括氧化物半導體膜 19 的多層膜 48 中的缺陷極少，因此，能夠提高電晶體的電特性，典型的是能夠實現通態電流的增大及場效移動率的提高。另外，當進行應力測試的一個例子，即 BT 應力測試及光 BT 應力測試時，臨界電壓的變動量少，由此可靠性較高。

[0252]

<電晶體的帶結構>

接著，參照圖 16A 至 16C 說明設置在圖 15B 所示的電晶體 70 中的多層膜 47 以及設置在圖 15C 所示的電晶體 71 的多層膜 48 的帶結構。

[0253] 這裡，作為例子，使用能隙為 3.15eV 的 In-Ga-Zn

氧化物作為氧化物半導體膜 19，使用能隙為 3.5eV 的 In-Ga-Zn 氧化物作為氧化物半導體膜 49a。可以利用光譜橢圓偏光計（HORIBA JOBIN YVON 公司製造的 UT-300）測量能隙。

[0254] 氧化物半導體膜 19 及氧化物半導體膜 49a 的真空能階與價帶頂端之間的能量差（也稱為游離電位）分別為 8eV 及 8.2eV 。另外，真空能階與價帶頂端之間的能量差可以利用紫外線光電子能譜（UPS: Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司製造的 VersaProbe）來測量。

[0255] 因此，氧化物半導體膜 19 及氧化物半導體膜 49a 的真空能階與導帶底端之間的能量差（也稱為電子親和力）分別為 4.85eV 及 4.7eV 。

[0256] 圖 16A 示意性地示出多層膜 47 的帶結構的一部分。這裡，對以與多層膜 47 接觸的方式設置氧化矽膜的情況進行說明。圖 16A 所示的 E_{cI1} 表示氧化矽膜的導帶底端的能量， E_{cS1} 表示氧化物半導體膜 19 的導帶底端的能量， E_{cS2} 表示氧化物半導體膜 49a 的導帶底端的能量， E_{cI2} 表示氧化矽膜的導帶底端的能量。此外， E_{cI1} 在圖 15B 中相當於閘極絕緣膜 17， E_{cI2} 在圖 15B 中相當於氧化物絕緣膜 23。

[0257] 如圖 16A 所示那樣，在氧化物半導體膜 19 及氧化物半導體膜 49a 中，導帶底端的能量沒有障壁而產生平緩的變化。換言之，可以說導帶底端的能量產生連續的

變化。這是由於如下緣故：多層膜 47 含有與氧化物半導體膜 19 相同的元素，氧在氧化物半導體膜 19 與氧化物半導體膜 49a 之間移動而可以形成混合層。

[0258] 從圖 16A 可知，多層膜 47 的氧化物半導體膜 19 成為井（well），在使用多層膜 47 的電晶體中通道區域形成在氧化物半導體膜 19 中。另外，由於多層膜 47 的導帶底端的能量產生連續的變化，所以也可以說氧化物半導體膜 19 與氧化物半導體膜 49a 連續地接合。

[0259] 另外，如圖 16A 所示那樣，雖然在氧化物半導體膜 49a 與氧化物絕緣膜 23 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物半導體膜 49a，可以使氧化物半導體膜 19 與該陷阱能階離開。注意，當 E_{cS1} 與 E_{cS2} 之間的能量差小時，有時氧化物半導體膜 19 的電子越過該能量差到達陷阱能階。因電子在陷阱能階中被俘獲，在氧化物絕緣膜介面產生負的電荷，導致電晶體的臨界電壓漂移到正方向。因此，藉由將 E_{cS1} 與 E_{cS2} 之間的能量差設定為 0.1eV 以上或 0.15eV 以上，電晶體的臨界電壓變動得到降低而使電晶體具有穩定的電特性，所以是較佳的。

[0260] 此外，圖 16B 示意性地示出多層膜 47 的帶結構的一部分，其是圖 16A 所示的帶結構的變形例子。這裡，對以與多層膜 47 接觸的方式設置氧化矽膜的情況進行說明。圖 16B 所示的 E_{cI1} 表示氧化矽膜的導帶底端的能量， E_{cS1} 表示氧化物半導體膜 19 的導帶底端的能量，

E_{cI2} 表示氧化矽膜的導帶底端的能量。此外， E_{cI1} 在圖 15B 中相當於閘極絕緣膜 17， E_{cI2} 在圖 15B 中相當於氧化物絕緣膜 23。

[0261] 在圖 15B 所示的電晶體中，當形成一對電極 20、21 時，有時多層膜 47 的上方，即氧化物半導體膜 49a 被蝕刻。另一方面，在氧化物半導體膜 19 的頂面上，有時在形成氧化物半導體膜 49a 時形成氧化物半導體膜 19 與氧化物半導體膜 49a 的混合層。

[0262] 例如，在如下情況下，氧化物半導體膜 49a 中的 Ga 的含量比氧化物半導體膜 19 中的 Ga 的含量多。該情況是：氧化物半導體膜 19 是將原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 的 In-Ga-Zn 氧化物或者原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 的 In-Ga-Zn 氧化物用作濺射靶材形成的氧化物半導體膜；氧化物半導體膜 49a 是將原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 的 In-Ga-Zn 氧化物、原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 的 In-Ga-Zn 氧化物或者原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 6$ 的 In-Ga-Zn 氧化物用作濺射靶材形成的氧化物半導體膜。因此，在氧化物半導體膜 19 的頂面上有可能形成 GaO_x 層或其 Ga 含量比氧化物半導體膜 19 多的混合層。

[0263] 因此，即使氧化物半導體膜 49a 被蝕刻， E_{cS1} 的位於 E_{cI2} 一側的導帶底端的能量也會變高，有時成為如圖 16B 所示那樣的帶結構。

[0264] 當形成如圖 16B 所示那樣的帶結構時，多層

膜 47 有時在觀察通道區域的剖面時外觀上被觀察到只包括氧化物半導體膜 19。然而，因為實質上在氧化物半導體膜 19 上形成有其 Ga 含量多於氧化物半導體膜 19 中的 Ga 含量的混合層，所以可以將該混合層認為第 1.5 層。另外，例如在藉由 EDX 分析等對多層膜 47 所包含的元素進行測量時，可以對氧化物半導體膜 19 的上方的組成進行分析來確認該混合層。例如，當氧化物半導體膜 19 的上方的組成中的 Ga 含量多於氧化物半導體膜 19 的組成中的 Ga 含量時可以確認該混合層。

[0265] 圖 16C 示意性地示出多層膜 48 的帶結構的一部分。這裡，對以與多層膜 48 接觸的方式設置氧化矽膜的情況進行說明。圖 16C 所示的 EcI1 表示氧化矽膜的導帶底端的能量，EcS1 表示氧化物半導體膜 19 的導帶底端的能量，EcS2 表示氧化物半導體膜 49a 的導帶底端的能量，EcS3 表示氧化物半導體膜 49b 的導帶底端的能量，EcI2 表示氧化矽膜的導帶底端的能量。此外，EcI1 在圖 15D 中相當於閘極絕緣膜 17，EcI2 在圖 15D 中相當於氧化物絕緣膜 23。

[0266] 如圖 16C 所示那樣，在氧化物半導體膜 49b、氧化物半導體膜 19 及氧化物半導體膜 49a 中，導帶底端的能量沒有障壁而產生平緩的變化。換言之，可以說導帶底端的能量產生連續的變化。這是由於如下緣故：多層膜 48 含有與氧化物半導體膜 19 相同的元素，且氧在氧化物半導體膜 19 與氧化物半導體膜 49b 之間以及在氧化

物半導體膜 19 與氧化物半導體膜 49a 之間移動而可以形成混合層。

[0267] 從圖 16C 可知，多層膜 48 的氧化物半導體膜 19 成為井（well），在使用多層膜 48 的電晶體中通道區域形成在氧化物半導體膜 19 中。另外，由於多層膜 48 的導帶底端的能量產生連續的變化，所以也可以說氧化物半導體膜 49b、氧化物半導體膜 19 與氧化物半導體膜 49a 連續地接合。

[0268] 另外，雖然在氧化物半導體膜 19 與氧化物絕緣膜 23 之間的介面附近、氧化物半導體膜 19 與閘極絕緣膜 17 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是如圖 16C 所示，藉由設置氧化物半導體膜 49a、49b，可以使氧化物半導體膜 19 與該陷阱能階離開。注意，當 E_{cS1} 與 E_{cS2} 之間的能量差及 E_{cS1} 與 E_{cS3} 之間的能量差小時，有時氧化物半導體膜 19 的電子越過該能量差到達陷阱能階。因電子在陷阱能階中被俘獲，在氧化物絕緣膜介面產生負的電荷，導致電晶體的臨界電壓漂移到正方向。因此，藉由將 E_{cS1} 與 E_{cS2} 之間的能量差及 E_{cS1} 與 E_{cS3} 之間的能量差設定為 0.1eV 以上或 0.15eV 以上，電晶體的臨界電壓變動得到降低而使電晶體具有穩定的電特性，所以是較佳的。

[0269] 注意，本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0270]

實施方式 8

在本實施方式中，對能夠用於包含在上述實施方式所說明的半導體裝置中的電晶體的氧化物半導體膜的一個方式進行說明。

[0271] 氧化物半導體膜可以由如下氧化物半導體構成：單晶結構的氧化物半導體（以下，稱為單晶氧化物半導體）、多晶結構的氧化物半導體（以下，稱為多晶氧化物半導體）、微晶結構的氧化物半導體（以下，稱為微晶氧化物半導體）及非晶結構的氧化物半導體（以下，稱為非晶氧化物半導體）中的一種以上；CAAC-OS 膜；非晶氧化物半導體及具有晶粒的氧化物半導體。以下對單晶氧化物半導體、CAAC-OS、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體進行說明。

[0272]

〈單晶氧化物半導體〉

單晶氧化物半導體膜是雜質濃度低且缺陷態密度低（氧缺損少）的氧化物半導體膜。由此，可以降低載子密度。因此，使用單晶氧化物半導體膜的電晶體很少具有常開啟電特性。此外，因為單晶氧化物半導體膜的雜質濃度低且缺陷態密度低，所以載子陷阱有時變少。因此，使用單晶氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。

[0273] 注意，氧化物半導體膜的缺陷越少其密度越高。氧化物半導體膜的結晶性越高其密度越高。氧化物半

導體膜的氫等雜質的濃度越低其密度越高。單晶氧化物半導體膜的密度比 CAAC-OS 膜的密度高。CAAC-OS 膜的密度比微晶氧化物半導體膜的密度高。多晶氧化物半導體膜的密度比微晶氧化物半導體膜的密度高。微晶氧化物半導體膜的密度比非晶氧化物半導體膜的密度高。

[0274]

〈CAAC-OS〉

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一。包括在 CAAC-OS 膜中的結晶部具有 c 軸配向性。在平面 TEM 影像中，包括在 CAAC-OS 膜中的結晶部的面積為 2500nm^2 以上、 $5\mu\text{m}^2$ 以上或 $1000\mu\text{m}^2$ 以上；在剖面 TEM 影像中，該結晶部的含量為 50%以上、80%以上或 95%以上，則成為其物理性質類似於單晶的薄膜。

[0275] 在 CAAC-OS 膜的透射電子顯微鏡（TEM: Transmission Electron Microscope）圖像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0276] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。在本說明書中，“平行”是指兩條直線所形

成的角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。“垂直”是指兩條直線所形成的角度為 80° 以上且 100° 以下，因此也包括角度為 85° 以上且 95° 以下的情況。

[0277] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0278] 此外，在對 CAAC-OS 膜進行電子繞射時，觀察到表示配向性的斑點（亮點）。

[0279] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0280] 使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZn 氧化物的 (00x) 面 (x 為整數)，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0281] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZn 氧化物的結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析

(ϕ 掃描)。當該樣本是 InGaZn 氧化物的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0282] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的配向在不同的結晶部之間沒有規律性，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 a-b 面平行的面。

[0283] 結晶是在形成 CAAC-OS 膜時或在進行加熱處理等晶化處理時形成的。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0284] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，還有如下情況：當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以 CAAC-OS 膜中的結晶度根據區域而不同。

[0285] 當利用 out-of-plane 法分析 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近

觀察到峰值。2 θ 為 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶部。較佳的是，在 CAAC-OS 膜中在 2 θ 為 31°附近時出現峰值而在 2 θ 為 36°附近時不出現峰值。

[0286] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比包括在氧化物半導體膜中的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0287] CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱或因俘獲氫而成為載子發生源。

[0288] 將雜質濃度低且缺陷態密度低（氧缺損少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開啟）。此外，在高純度本質或實質上高純度本質的氧化物

半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。被氧化物半導體膜的載子陷阱俘獲的電荷直到被釋放需要的時間長，有時像固定電荷那樣動作。所以，採用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0289] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0290]

〈多晶氧化物半導體〉

在使用 TEM 觀察的多晶氧化物半導體膜的影像中，可以觀察到晶粒。多晶氧化物半導體膜所包括的晶粒例如在使用 TEM 的觀察影像中，在大多數情況下，粒徑為 2nm 以上且 300nm 以下、3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。此外，例如在使用 TEM 觀察的多晶氧化物半導體膜的影像中，有時可以確認到晶界。

[0291] 多晶氧化物半導體膜具有多個晶粒，該多個晶粒有時晶體配向不同。此外，例如在使用 XRD 裝置並採用 out-of-plane 法對多晶氧化物半導體膜進行分析時，有時出現一個或多個峰值。例如，在多晶的 IGZO 膜中，有時出現表示配向的 2θ 為 31° 附近的峰值或表示多種配向的多個峰值。

[0292] 因為多晶氧化物半導體膜具有高結晶性，所以有時具有高電子移動率。因此，使用多晶氧化物半導體

膜的電晶體具有高場效移動率。但是，多晶氧化物半導體膜有時在晶界產生雜質的偏析。多晶氧化物半導體膜的晶界成為缺陷能階。由於多晶氧化物半導體膜的晶界有時成為載子發生源、陷阱能階，因此有時與使用 CAAC-OS 膜的電晶體相比，使用多晶氧化物半導體膜的電晶體的電特性變動大，且可靠性低。

[0293]

〈微晶氧化物半導體〉

在使用 TEM 觀察的微晶氧化物半導體膜的影像中，有時不能明確地觀察到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶體（nc: nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor）膜。例如，在使用 TEM 觀察 nc-OS 膜時，有時不能明確地確認到晶界。

[0294] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰

值。在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（也稱為選區電子繞射）時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小（例如，1nm 以上且 30nm 以下）的電子射線的電子繞射（也稱為奈米束電子繞射）時，觀察到斑點。在對 nc-OS 膜進行奈米束電子繞射時，還有時觀察到如圓圈那樣的（環狀的）亮度高的區域。在對 nc-OS 膜進行奈米束電子繞射時，還有時還觀察到環狀的區域內的多個斑點。

[0295] 圖 17 示出對具有 nc-OS 膜的樣本以改變測量位置的方式進行了奈米束電子繞射的例子。在此，將樣本沿著垂直於 nc-OS 膜的被形成面的方向截斷，使其厚度減薄以使其厚度為 10nm 以下。在此，使電子束徑為 1nm 的電子線從垂直於樣本的截斷面的方向入射。從圖 17 可知，藉由對具有 nc-OS 膜的樣本進行奈米束電子繞射獲得表示晶面的繞射圖案，但是觀察不到特定方向上的晶面的配向性。

[0296] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0297] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0298]

實施方式 9

在實施方式 1 至實施方式 8 所示的電晶體的製造方法中，可以在形成一對電極 20、21 之後，將氧化物半導體膜 19 暴露於產生在氧化氛圍中的電漿，來對氧化物半導體膜 19 供應氧。氧化氛圍的例子為氧、臭氧、一氧化二氮、二氧化氮等的氛圍。而且，在該電漿處理中，較佳為將氧化物半導體膜 19 暴露於在對基板 11 一側不施加偏壓的狀態下產生的電漿中。其結果是，能夠不使氧化物半導體膜 19 受損傷，且能供應氧，可以減少氧化物半導體膜 19 中的氧缺損量。此外，可以去除因蝕刻處理而殘留在氧化物半導體膜 19 的表面上的雜質諸如氟、氯等鹵素等。較佳為在進行 300℃ 以上的加熱的同時進行該電漿處理。電漿中的氧與氧化物半導體膜 19 中的氫鍵合而成為水。由於對基板進行加熱，所以該水從氧化物半導體膜 19 脫離。其結果是，可以減少氧化物半導體膜 19 中的含氫量及含水量。

[0299] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0300]

實施方式 10

雖然上述實施方式所公開的氧化物半導體膜可以利用濺射法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD (Metal

Organic Chemical Vapor Deposition：有機金屬化學氣相沉積）法或 ALD（Atomic Layer Deposition：原子層沉積）法。

[0301] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生電漿損傷所引起的缺陷的優點。

[0302] 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

[0303] 另外，可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室中，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氦等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一源氣體排出來代替引入惰性氣體，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，之後引入的第二源氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按

順序反復引入氣體的次數來進行調節，因此，ALD法可以準確地調節厚度而適合用於形成微型FET。

[0304] 利用MOCVD法或ALD法等熱CVD法可以形成以上所示的實施方式所公開的金屬膜、氧化物半導體膜、無機絕緣膜等各種膜，例如，當形成InGaZnO膜時，使用三甲基銦、三甲基鎵及二甲基鋅。三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。但是，不侷限於上述組合，也可以使用三乙基銦（化學式為 $\text{In}(\text{C}_2\text{H}_5)_3$ ）代替三甲基銦，使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0305] 例如，在使用利用ALD的成膜裝置形成氧化物半導體膜如In-Ga-Zn-O膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成In-O層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成GaO層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 和 O_3 氣體形成ZnO層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如In-Ga-O層、In-Zn-O層、Ga-Zn-O層等。注意，雖然也可以使用利用Ar等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含H的 O_3 氣體。另外，也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Zn}(\text{C}_2\text{H}_5)_2$ 氣體。

[0306] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0307]

實施方式 11

藉由使用在上述實施方式中示出一個例子的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或整個部分形成在與像素部相同的基板上，可以形成系統整合型面板（system-on-panel）。在本實施方式中，參照圖 18A 至圖 19B 來說明使用了在上述實施方式中示出一個例子的電晶體的顯示裝置的例子。注意，圖 19A 和 19B 是示出沿著圖 18B 中的 M-N 的點劃線的剖面結構的剖面圖。

[0308] 在圖 18A 中，以圍繞設置在第一基板 901 上的像素部 902 的方式設置有密封材料 905，並且，使用第二基板 906 進行密封。在圖 18A 中，在第一基板 901 上的與被密封材料 905 圍繞的區域不同的區域中，安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903 和掃描線驅動電路 904。此外，供應給信號線驅動電路 903、掃描線驅動電路 904 或者像素部 902 的各種信號及電位由 FPC（Flexible printed circuit：撓性印刷電路）918 及 918b 供應。

[0309] 在圖 18B 和 18C 中，以圍繞設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 的方式設置有密封材料 905。此外，在像素部 902 和掃描線驅動電路

904 上設置有第二基板 906。因此，像素部 902 和掃描線驅動電路 904 與顯示元件一起被第一基板 901、密封材料 905 以及第二基板 906 密封。在圖 18B 和 18C 中，在第一基板 901 上的與被密封材料 905 圍繞的區域不同的區域中，安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903。在圖 18B 和 18C 中，供應給信號線驅動電路 903、掃描線驅動電路 904 或者像素部 902 的各種信號及電位由 FPC918 供應。

[0310] 此外，圖 18B 和 18C 示出了另行形成信號線驅動電路 903 並將其安裝到第一基板 901 的例子，但是並不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

[0311] 另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass: 晶粒玻璃接合) 法、打線接合法、或者 TAB (Tape Automated Bonding: 捲帶式自動接合) 法等。圖 18A 是利用 COG 法來安裝信號線驅動電路 903 和掃描線驅動電路 904 的例子，圖 18B 是利用 COG 法安裝信號線驅動電路 903 的例子，圖 18C 是利用 TAB 法安裝信號線驅動電路 903 的例子。

[0312] 顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

[0313] 本說明書中的顯示裝置是指影像顯示裝置。

另外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部上設置有印刷佈線板的模組；利用 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0314] 此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，可以應用上述實施方式所示的電晶體。還可以將上述實施方式所示的電晶體應用於掃描線驅動電路所包括的緩衝電路。

[0315] 作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。對於發光元件，將由電流或電壓來控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等因電作用而改變對比度的顯示媒體。圖 19A 示出了使用液晶元件來作為顯示元件的液晶顯示裝置的例子，圖 19B 示出了使用發光元件來作為顯示元件的發光顯示裝置的例子。

[0316] 如圖 19A 和 19B 所示，半導體裝置包括連接端子電極 915 及端子電極 916，並且，連接端子電極 915 及端子電極 916 藉由各向異性導電劑 919 而電連接到 FPC918 所包括的端子。

[0317] 連接端子電極 915 由與第一電極 930 相同的導電膜形成，並且，端子電極 916 由與電晶體 910 及電晶體 911 的一對電極相同的導電膜形成。

[0318] 此外，設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 包括多個電晶體，在圖 19A 和 19B 中示出了像素部 902 所包括的電晶體 910 和掃描線驅動電路 904 所包括的電晶體 911。在圖 19A 中，在電晶體 910 及電晶體 911 上設置有絕緣膜 924，在圖 19B 中，在絕緣膜 924 上還設置有平坦化膜 921。

[0319] 在本實施方式中，作為電晶體 910 及電晶體 911 可以使用上述實施方式所示的電晶體。藉由將上述實施方式所示的電晶體用作電晶體 910 及電晶體 911，可以製造高顯示品質的顯示裝置。

[0320] 此外，圖 19B 示出了在平坦化膜 921 上的與驅動電路用電晶體 911 的氧化物半導體膜 926 的通道區域重疊的位置設置有導電膜 917 的例子。在本實施方式中，由與第一電極 930 相同的導電膜來形成導電膜 917。藉由將導電膜 917 設置在與氧化物半導體膜的通道區域重疊的位置，可以進一步減少 BT 應力測試前後的電晶體 911 的臨界電壓的變動量。此外，導電膜 917 的電位既可以與電晶體 911 的閘極電極的電位相同，也可以不同，並且，還可以將導電膜用作第二閘極電極。此外，導電膜 917 的電位也可以為 GND、0V、浮動狀態或與驅動電路的最低電位（ V_{ss} ，例如以源極電極的電位為標準時的源極電極的電位）相等的電位或與其大致相等的電位。

[0321] 此外，導電膜 917 還具有遮蔽外部的電場的功能。就是說，導電膜 917 還具有不使外部的電場作用到

內部（包括電晶體的電路部）的功能（尤其是遮蔽靜電的靜電遮蔽功能）。利用導電膜 917 的遮蔽功能，可以防止由於靜電等外部電場的影響而使電晶體的電特性發生變動。導電膜 917 可以用於上述實施方式所示的任何電晶體。

[0322] 設置在像素部 902 中的電晶體 910 電連接到顯示元件以構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，可以使用各種各樣的顯示元件。

[0323] 在圖 19A 中，作為顯示元件的液晶元件 913 包括第一電極 930、第二電極 931 以及液晶層 908。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932 及絕緣膜 933。此外，第二電極 931 設置在第二基板 906 一側，並且第一電極 930 與第二電極 931 隔著液晶層 908 重疊。

[0324] 此外，間隔物 935 是藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，且是為了控制第一電極 930 與第二電極 931 之間的間隔（單元間隙）而設置的。另外，也可以使用球狀間隔物。

[0325] 另外，也可以採用不使用配向膜的呈現藍相的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成各向同性相之前呈現為藍相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合手性試劑的液晶組成物用於液晶層。由於包括呈現藍相的液晶和手性試劑的液晶組成物的

回應時間較短，為 1msec 以下，並且因為它具有光學各向同性，所以不需要配向處理且視角依賴性較低。另外，因不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，由此可以降低製程中的液晶顯示裝置的不良和破損。因此，可以提高液晶顯示裝置的生產率。

[0326] 第一基板 901 和第二基板 906 被密封材料 925 固定。作為密封材料 925，可以使用熱固性樹脂、光硬化性樹脂等有機樹脂。

[0327] 另外，上述實施方式中使用的包括氧化物半導體膜的電晶體具有優良的開關特性。另外，由於能夠得到較高的場效移動率，因此能夠進行高速驅動。由此，藉由在具有顯示功能的半導體裝置的像素部中使用上述電晶體，可以提供高品質的影像。另外，因為可以使用上述電晶體在同一基板上分別製造驅動電路和像素部，所以可以縮減半導體裝置的部件數量。

[0328] 考慮到配置在像素部中的電晶體的洩漏電流等，將設置在液晶顯示裝置中的儲存電容器的大小設定為能夠在指定期間中保存電荷。藉由使用包括高純度的氧化物半導體膜的電晶體，由於設置具有各像素中的液晶電容的 $1/3$ 以下或 $1/5$ 以下的電容的儲存電容器就已足夠，所以可以提高像素的孔徑比。

[0329] 此外，在顯示裝置中，適當地設置黑矩陣（遮光膜）、偏振構件、相位差構件、抗反射構件等光學

構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光等。

[0330] 此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種以上的顏色。另外，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，本發明的一個方式不侷限於彩色顯示的顯示裝置，而也可以應用於黑白顯示的顯示裝置。

[0331] 在圖 19B 中，作為顯示元件的發光元件 963 與設置在像素部 902 中的電晶體 910 電連接。發光元件 963 的結構是第一電極 930、發光層 961 以及第二電極 931 的疊層結構，但是，不侷限於所示的結構。根據從發光元件 963 取出光的方向等，可以適當地改變發光元件 963 的結構。

[0332] 隔壁 960 使用有機絕緣材料或無機絕緣材料形成。特別佳為藉由如下方法來形成隔壁 960：即，使用感光樹脂材料並在第一電極 930 上形成開口部，且將該開口部的側壁形成為具有連續曲率的傾斜面。

[0333] 發光層 961 可以由單層構成，也可以由包含

多個層的疊層構成。

[0334] 為了防止氧、氫、水分、二氧化碳等侵入發光元件 963 中，也可以在第二電極 931 及隔壁 960 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、DLC 膜等。此外，在由第一基板 901、第二基板 906 以及密封材料 936 所密封的空間中設置有填充材料 964 並被密封。如此，為了不使發光元件暴露於外部氣體中，較佳為使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線硬化性樹脂薄膜等）、覆蓋材料來進行封裝（封入）。

[0335] 作為密封材料 936，可以使用熱固性樹脂或光硬化性樹脂等有機樹脂或者包括低熔點玻璃的玻璃粉等。上述玻璃粉對水或氧等雜質具有高阻擋性，所以是較佳的。此外，當使用玻璃粉來作為密封材料 936 時，如圖 19B 所示，藉由在絕緣膜 924 上設置玻璃粉，可以提高附著性。

[0336] 作為填充材料 964，除了氮或氫等惰性氣體以外，也可以使用紫外線硬化性樹脂或熱固性樹脂，例如可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，作為填充材料使用氮即可。

[0337] 另外，如果需要，也可以在發光元件的射出面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、濾色片等光學薄

膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光以降低眩光的處理。

[0338] 關於對顯示元件施加電壓的第一電極及第二電極（也稱為像素電極、共用電極、反電極等），根據所取出的光的方向、設置電極的地方以及電極的圖案結構來選擇其透光性、反射性即可。

[0339] 作為第一電極 930、第二電極 931，可以使用包含氧化錫的銦氧化物、包含氧化錫的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。

[0340] 此外，第一電極 930 和第二電極 931 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或者其金屬氮化物中的一種或多種來形成。

[0341] 此外，作為第一電極 930 和第二電極 931，可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者苯胺、吡咯及噻吩中的兩種以上的共聚物或其衍生物等。

[0342] 此外，由於電晶體容易因靜電等而損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件來構成。

[0343] 如上所述，藉由應用上述實施方式所示的電晶體，可以提供具有顯示功能的可靠性高的半導體裝置。

[0344] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

【符號說明】

[0345]

11：基板

15：閘極電極

16：絕緣膜

17：閘極絕緣膜

17a：氮化物絕緣膜

17b：氧化物絕緣膜

17c：氮化物絕緣膜

17d：氮化物絕緣膜

17e：氮化物絕緣膜

19：氧化物半導體膜

19a：低電阻區域

19b：低電阻區域

19c：虛線

19d：虛線

- 20：電極
- 21：電極
- 22：氧化物絕緣膜
- 23：氧化物絕緣膜
- 24：氧化物絕緣膜
- 25：氧化物絕緣膜
- 26：氮化物絕緣膜
- 27：氮化物絕緣膜
- 28：閘極絕緣膜
- 28c：開口部
- 29：閘極電極
- 29a：閘極電極
- 29b：閘極電極
- 30：電極
- 31：閘極絕緣膜
- 32：氧化物半導體膜
- 33：氧化物絕緣膜
- 35：氧化物絕緣膜
- 37：氮化物絕緣膜
- 38：閘極絕緣膜
- 38a：開口部
- 38b：開口部
- 38c：開口部
- 39：閘極電極

- 40：電極
- 47：多層膜
- 48：多層膜
- 49a：氧化物半導體膜
- 49b：氧化物半導體膜
- 50：電晶體
- 51：電晶體
- 52：電晶體
- 60：電晶體
- 65：電晶體
- 70：電晶體
- 71：電晶體
- 102：導電膜
- 201：閘極電極
- 203：絕緣膜
- 205：氧化物半導體膜
- 207：電極
- 208：電極
- 209：絕緣膜
- 211b：氧化物膜
- 213：閘極電極
- 231：閘極電極
- 233：閘極絕緣膜
- 235：氧化物半導體膜

- 237：電極
- 238：電極
- 239：絕緣膜
- 901：第一基板
- 902：像素部
- 903：信號線驅動電路
- 904：掃描線驅動電路
- 905：密封材料
- 906：第二基板
- 908：液晶層
- 910：電晶體
- 911：電晶體
- 913：液晶元件
- 915：連接端子電極
- 916：端子電極
- 917：導電膜
- 918：FPC
- 919：各向異性導電劑
- 921：平坦化膜
- 924：絕緣膜
- 925：密封材料
- 926：氧化物半導體膜
- 930：第一電極
- 931：第二電極

：

932：絕緣膜

933：絕緣膜

935：間隔物

936：密封材料

960：隔壁

961：發光層

963：發光元件

964：填充材料

申請專利範圍

1.一種半導體裝置，包括：

電晶體，包括：

第一閘極電極；

該第一閘極電極上的第一絕緣膜；

該第一絕緣膜之第一區域上的第一氧化物半導體膜；

該第一氧化物半導體膜之第一區域上的源極電極；

該第一氧化物半導體膜之第二區域上的汲極電極；

該第一氧化物半導體膜之第三區域、該源極電極、和該汲極電極上的第二絕緣膜；和

該第二絕緣膜上的第二閘極電極，

其中該第二閘極電極的端部直接接觸該第一絕緣膜之第二區域的頂面，

其中該第一氧化物半導體膜包括銦和鋅，

其中該電晶體連接至第一電極，和

其中該第一氧化物半導體膜位於該第一電極與該第一閘極電極之間。

2.根據申請專利範圍第 1 項之半導體裝置，

其中該第一電極接觸該汲極電極的區域，和

其中該區域和該第一閘極電極重疊。

3.一種半導體裝置，包括：

電晶體，包括：

第一閘極電極；

該第一閘極電極上的第一絕緣膜；

該第一絕緣膜之第一區域上的第一氧化物半導體膜；

該第一氧化物半導體膜之第一區域上的源極電極；

該第一氧化物半導體膜之第二區域上的汲極電極；

該第一氧化物半導體膜之第三區域、該源極電極、和該汲極電極上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；和

該第三絕緣膜上的第二閘極電極，

其中該第二閘極電極的端部直接接觸該第一絕緣膜之第二區域的頂面，和

其中該第一氧化物半導體膜包括銦和鋅。

4.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第二絕緣膜在該電晶體的通道長度方向上從該第二閘極電極突出。

5.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第二絕緣膜接觸該第一絕緣膜。

6.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第一閘極電極接觸該第二閘極電極。

7.根據申請專利範圍第 1 或 3 項之半導體裝置，其中

該第二閘極電極通過該第一絕緣膜中設置的接觸孔電連接至該第一閘極電極。

8.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第二閘極電極之該端部的底面設置成比該第一氧化物半導體膜的底面還低。

9.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第二閘極電極面對該第一氧化物半導體膜的側面，且該第二絕緣膜插置在兩者之間。

10.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第一氧化物半導體膜的輪廓位於該第一閘極電極的輪廓的內側。

11.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該第二絕緣膜包括：

第一氧化物絕緣膜；以及

該第一氧化物絕緣膜上的第二氧化物絕緣膜。

12.根據申請專利範圍第 1 或 3 項之半導體裝置，

其中該電晶體還包括：

該第一絕緣膜上的第二氧化物半導體膜；以及

該第一氧化物半導體膜上的第三氧化物半導體膜，

其中該第一氧化物半導體膜位於該第二氧化物半導體膜與該第三氧化物半導體膜之間，

其中該源極電極及該汲極電極位於該第三氧化物半導體膜上，並且

其中該第一氧化物半導體膜、該第二氧化物半導體膜及該第三氧化物半導體膜的每一個包含銦、鎵、和鋅。

13.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該電晶體設置於基板上。

14.根據申請專利範圍第 1 或 3 項之半導體裝置，其中該半導體裝置是具有像素部的顯示裝置，並且其中該電晶體設置於該像素部中。

圖式

圖 1A

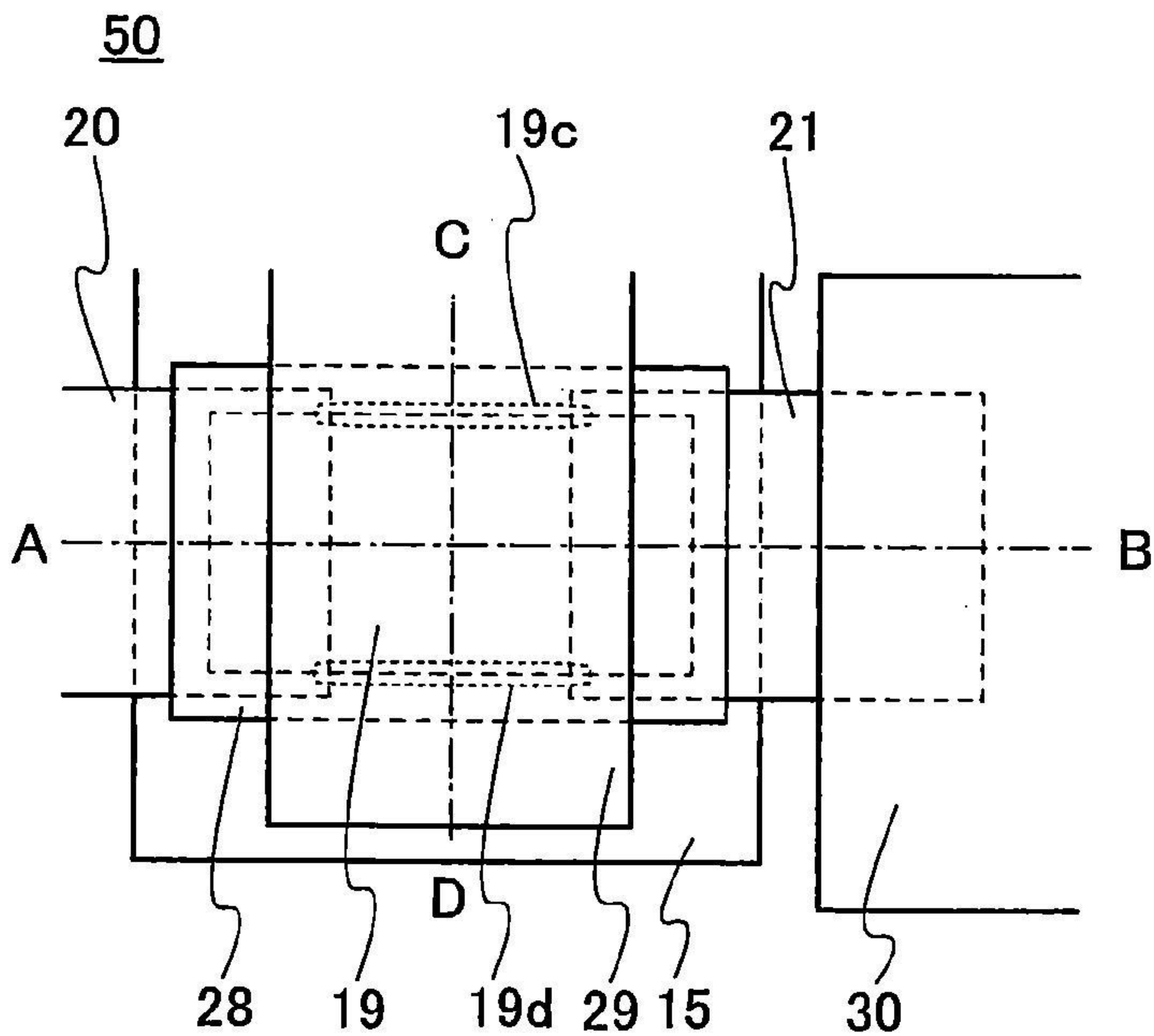


圖 1C

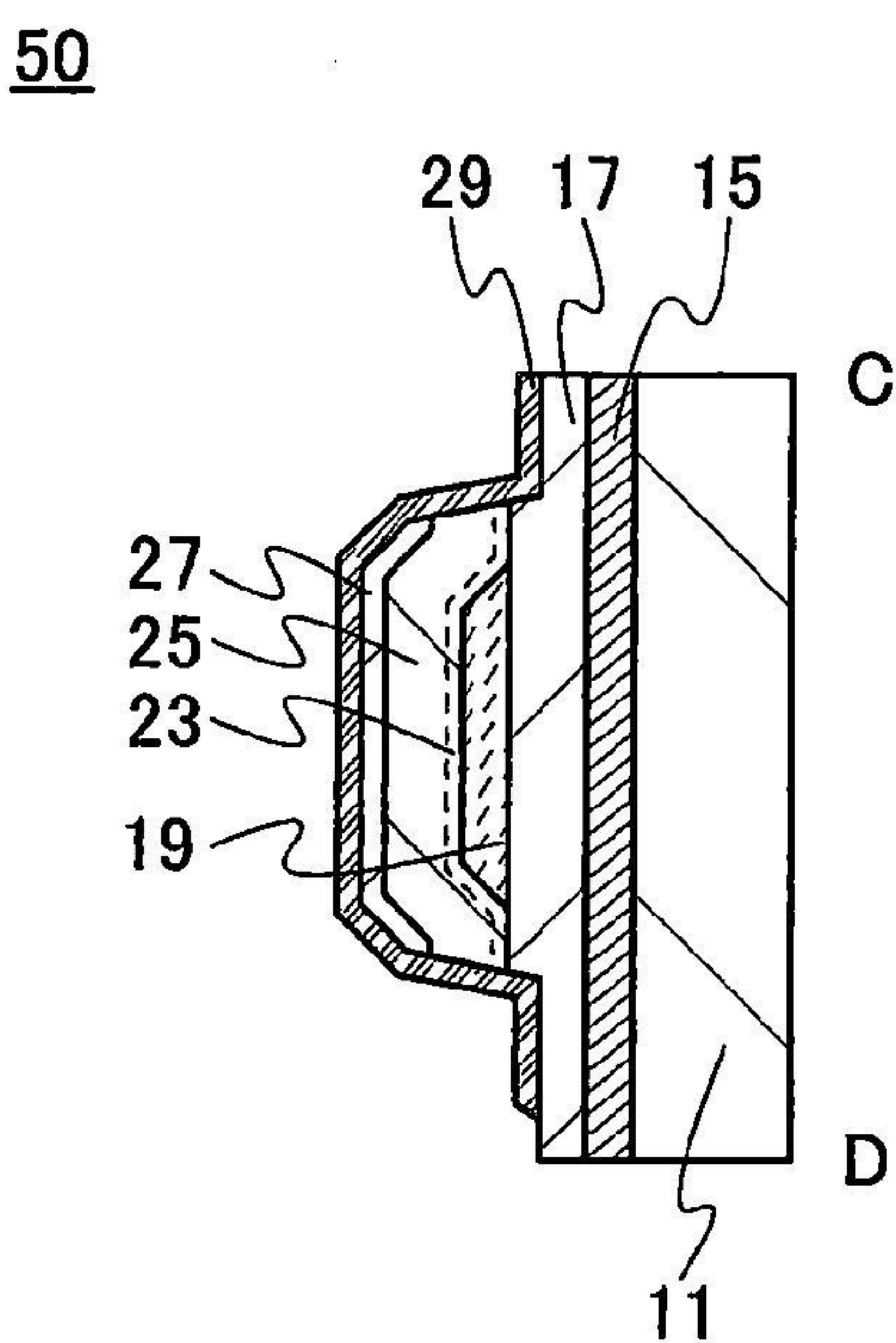


圖 1B

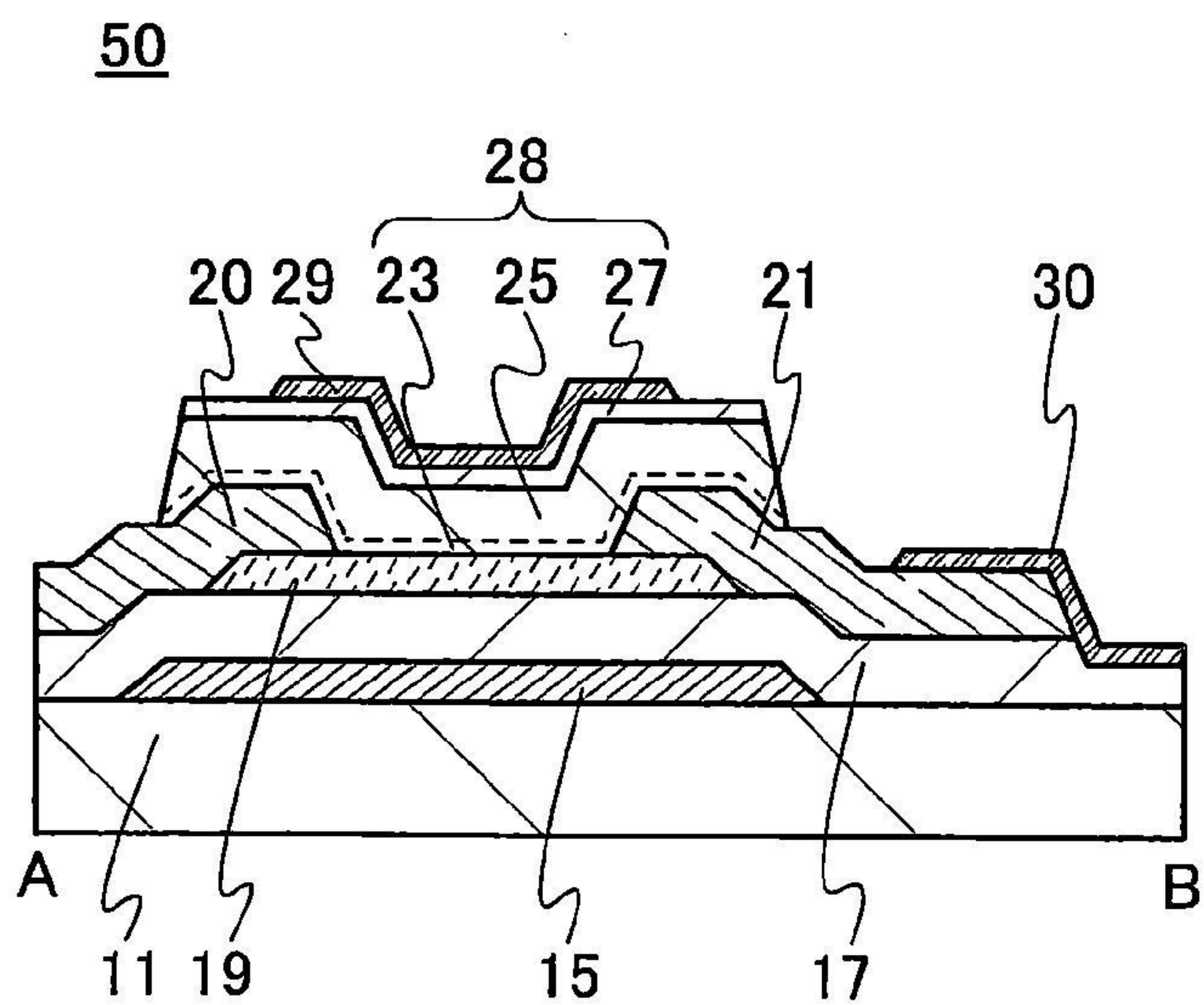


圖 2A

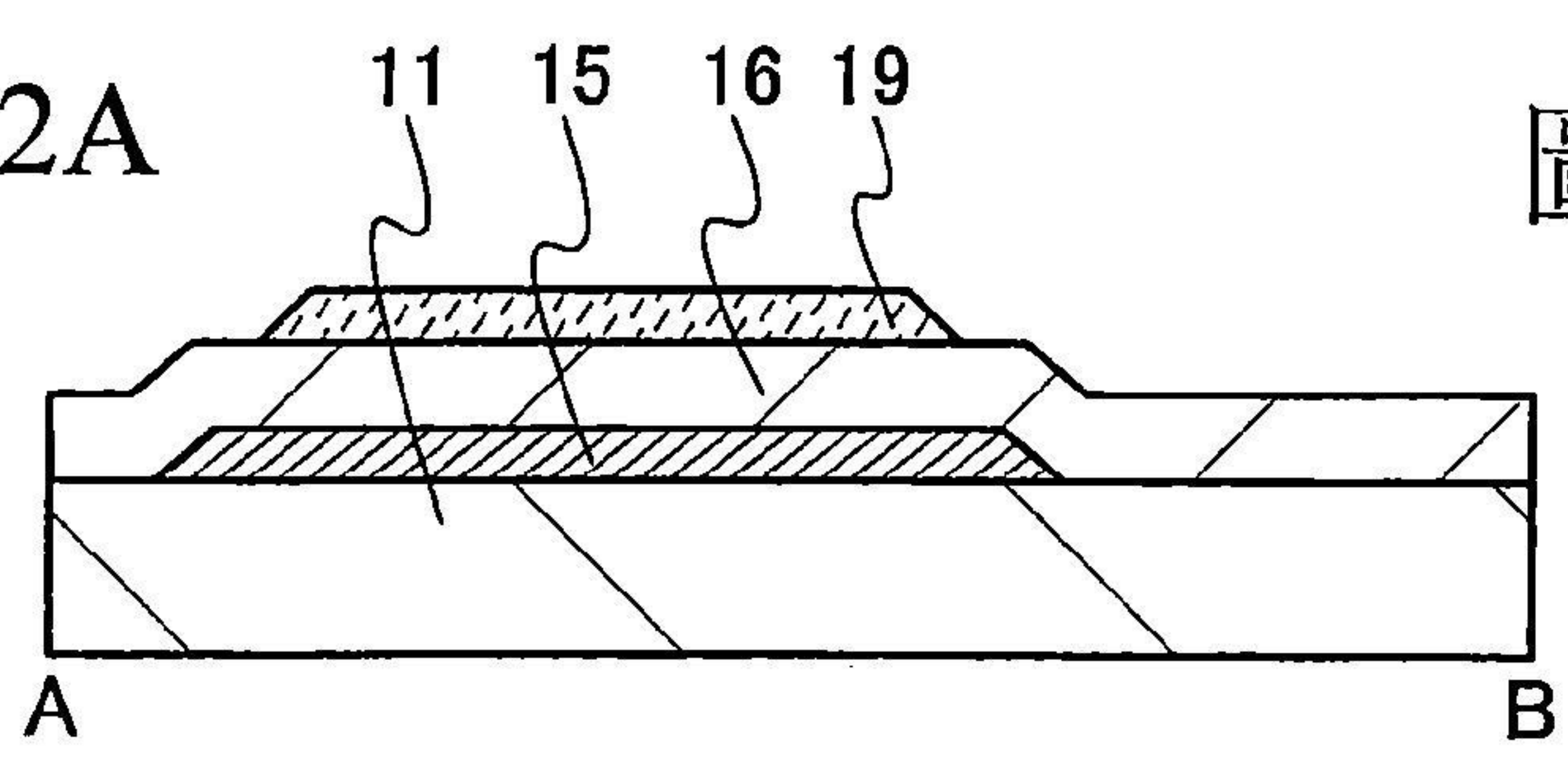


圖 2B

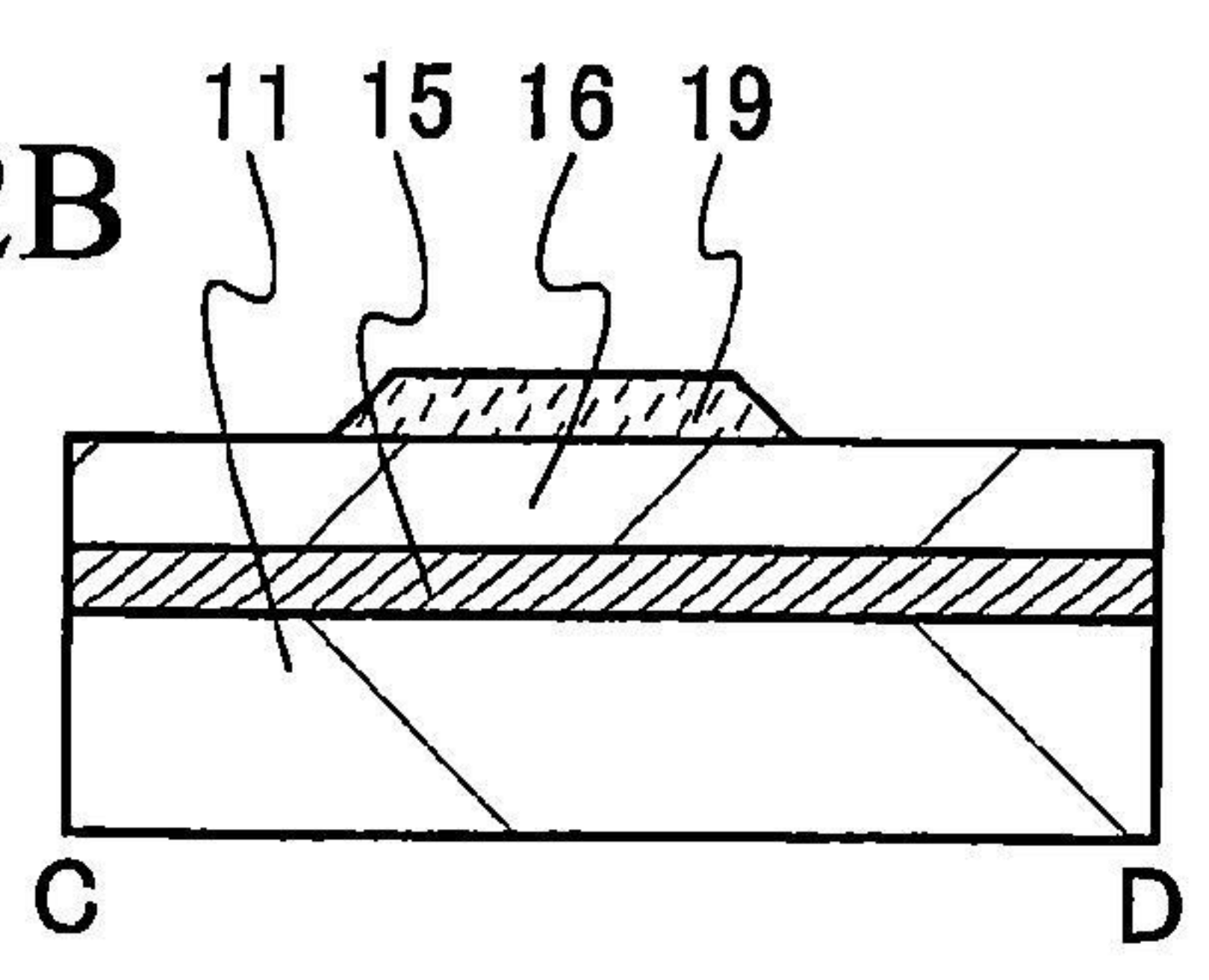


圖 2C

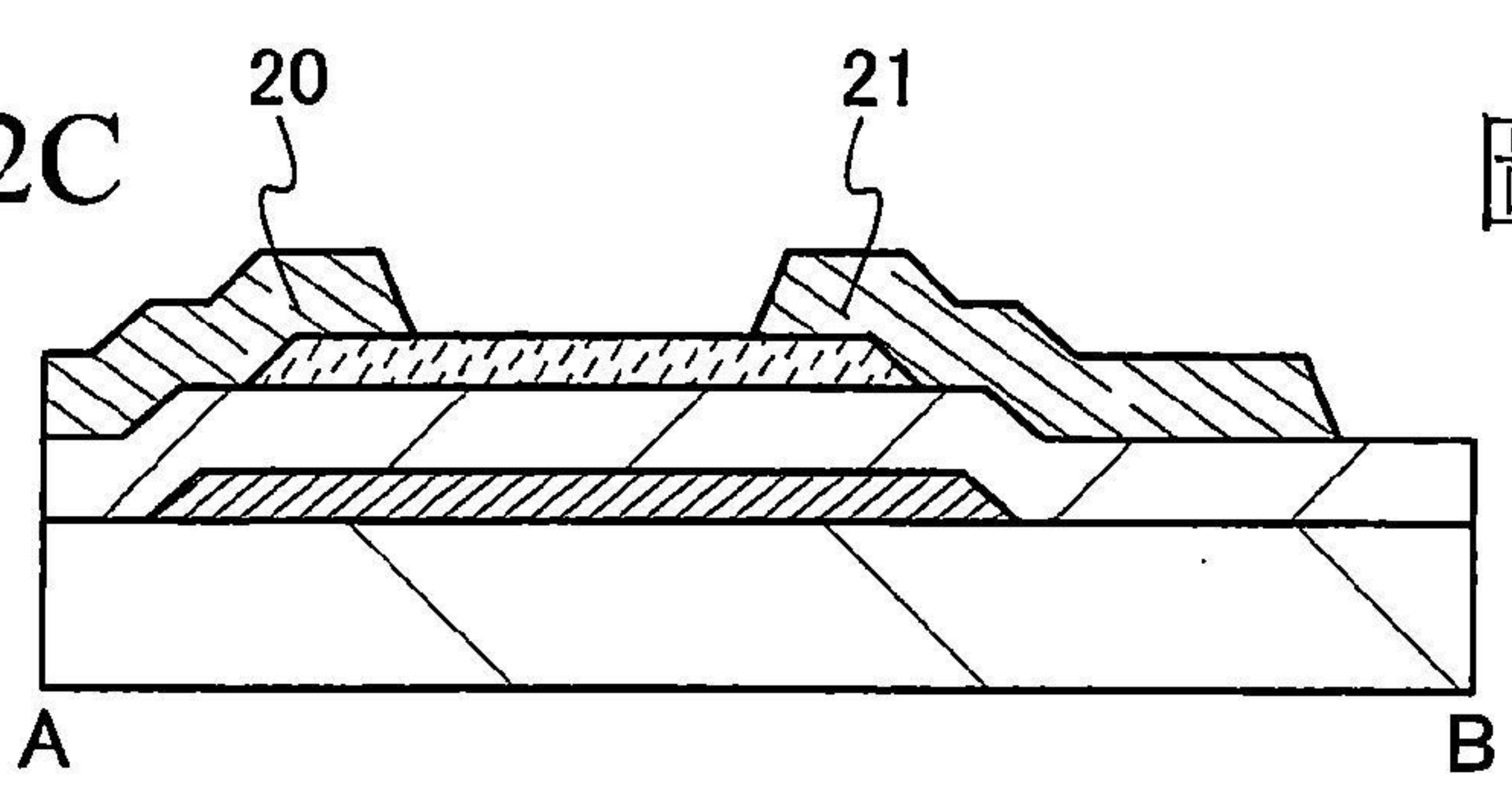


圖 2D

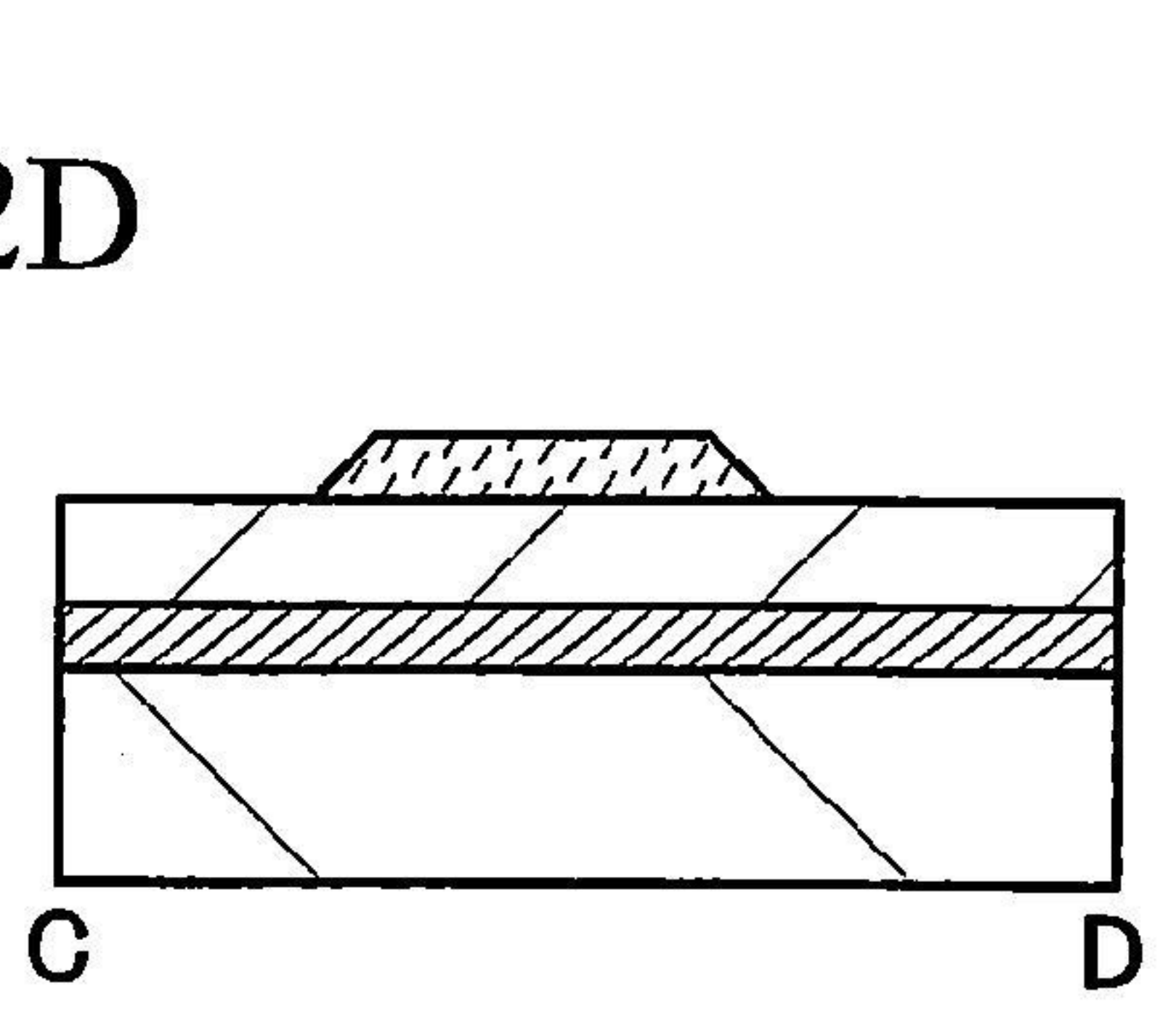


圖 2E

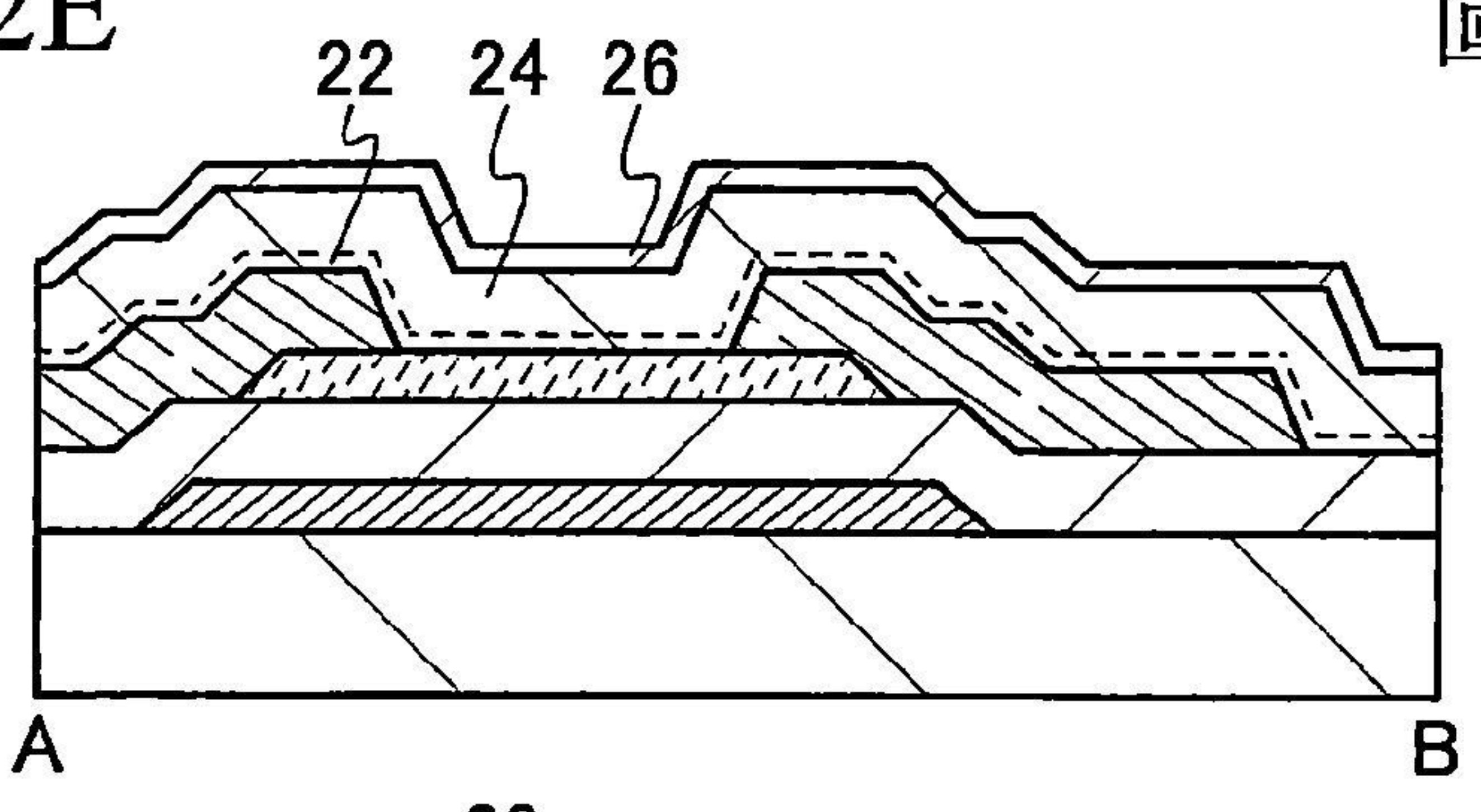


圖 2F

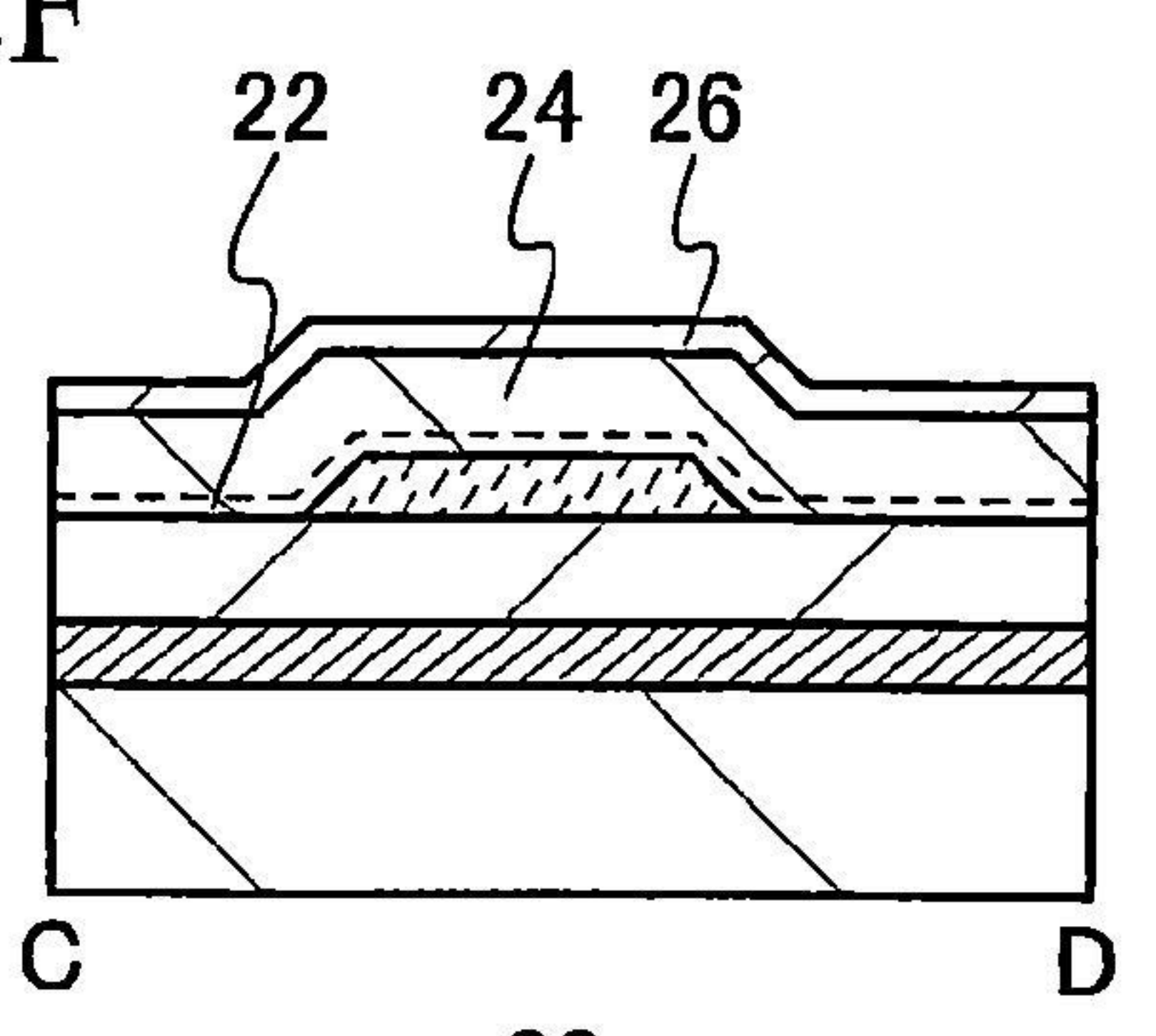


圖 2G

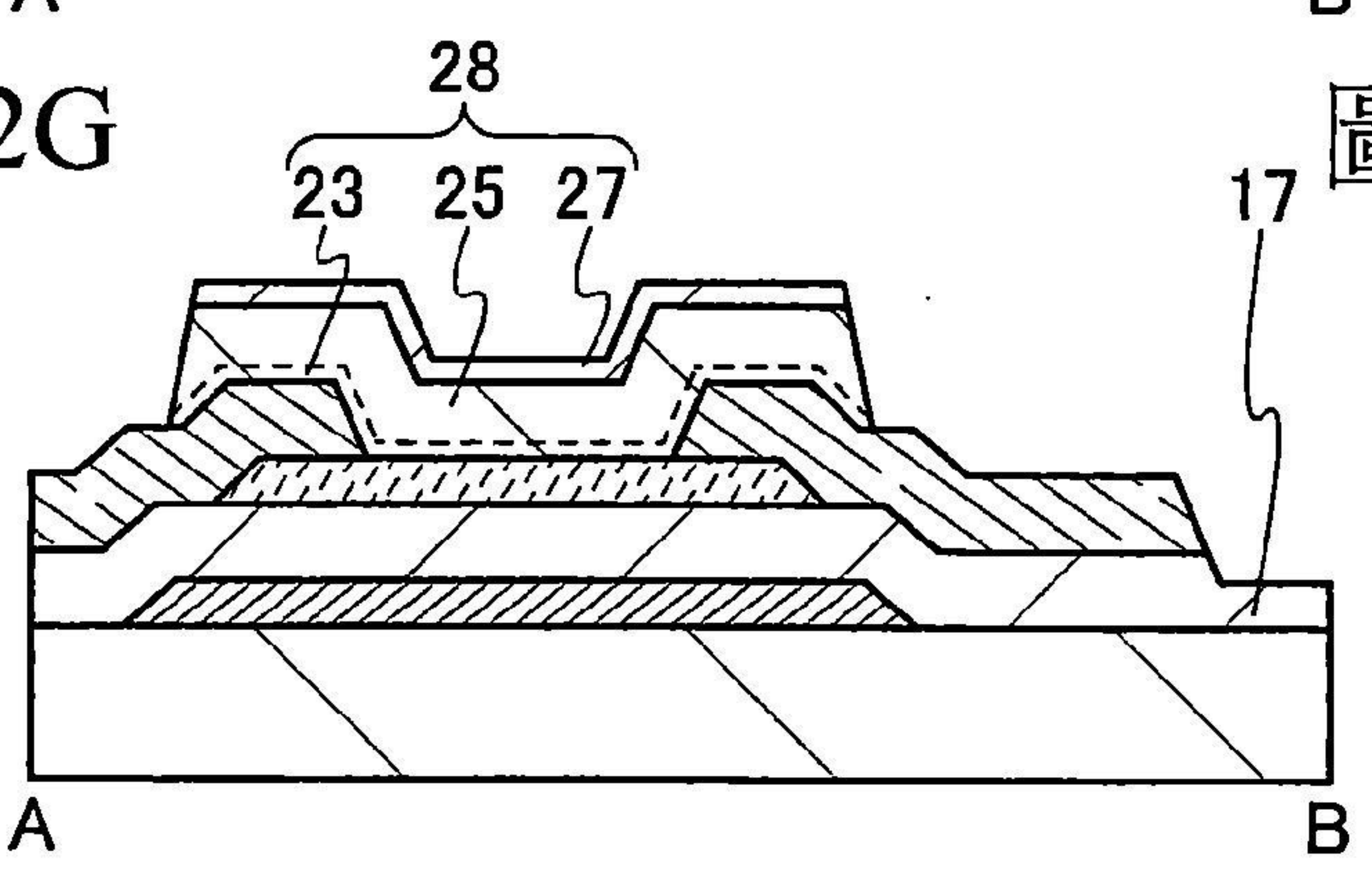


圖 2H

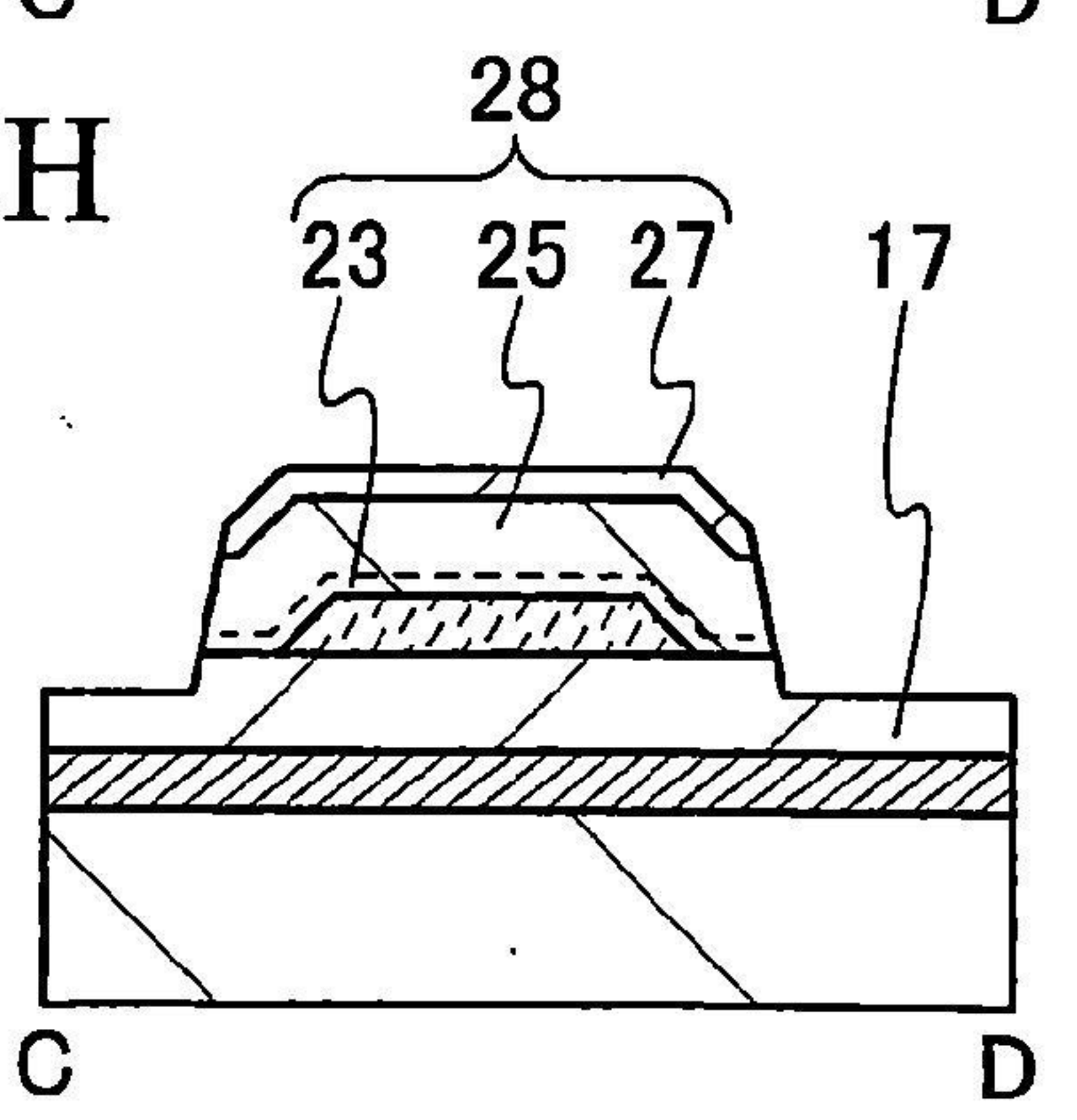


圖 2I

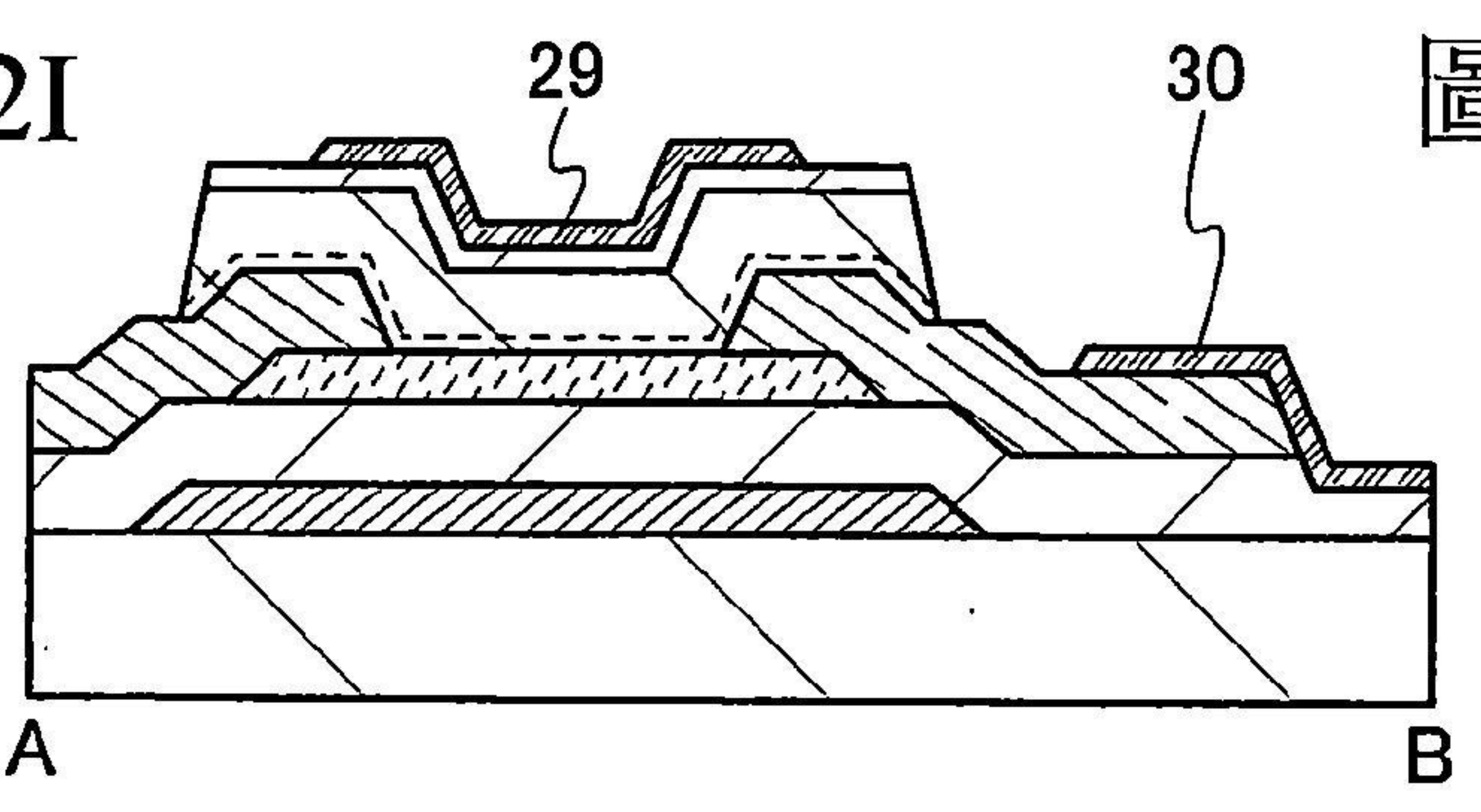


圖 2J

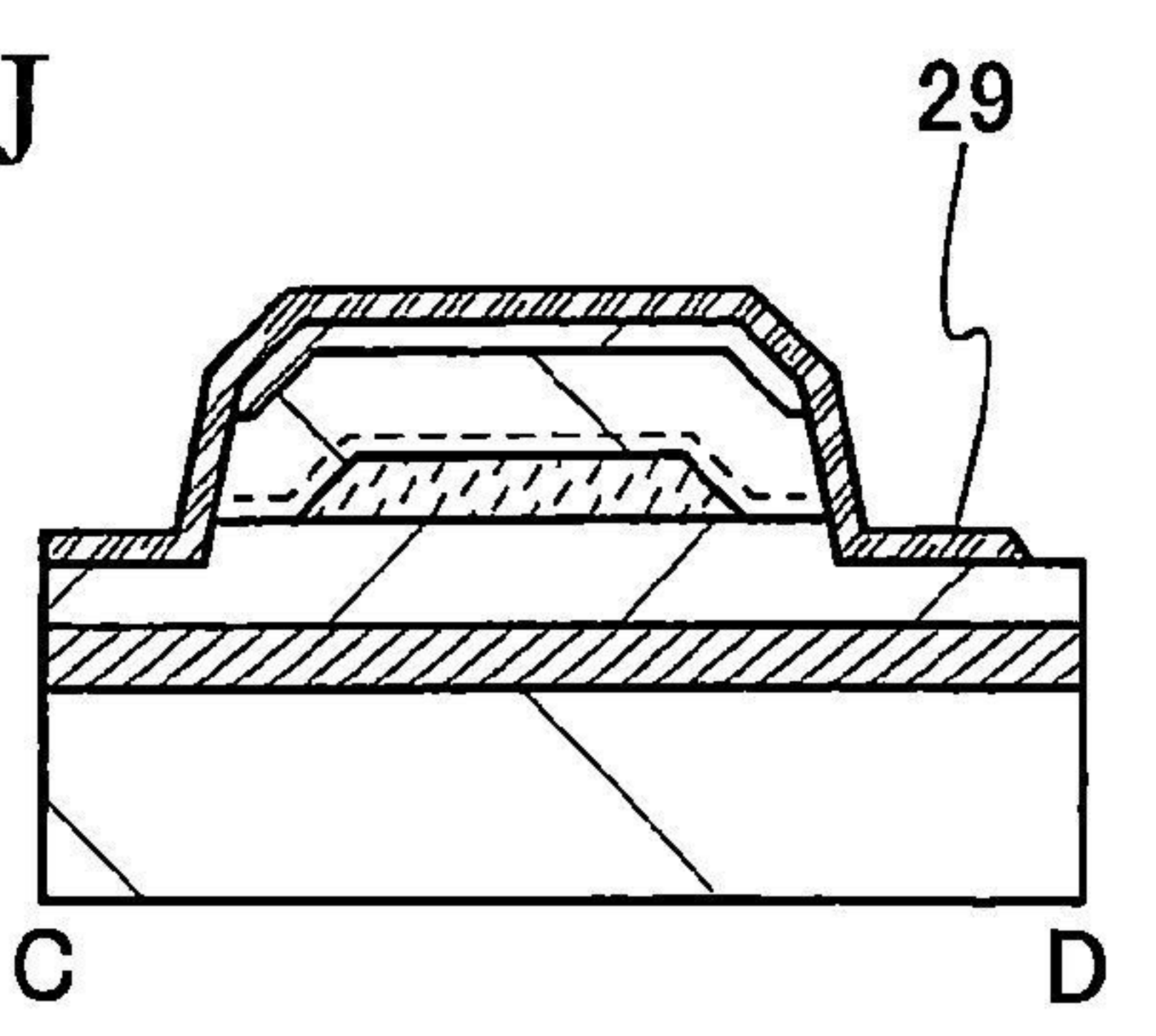


圖 3A

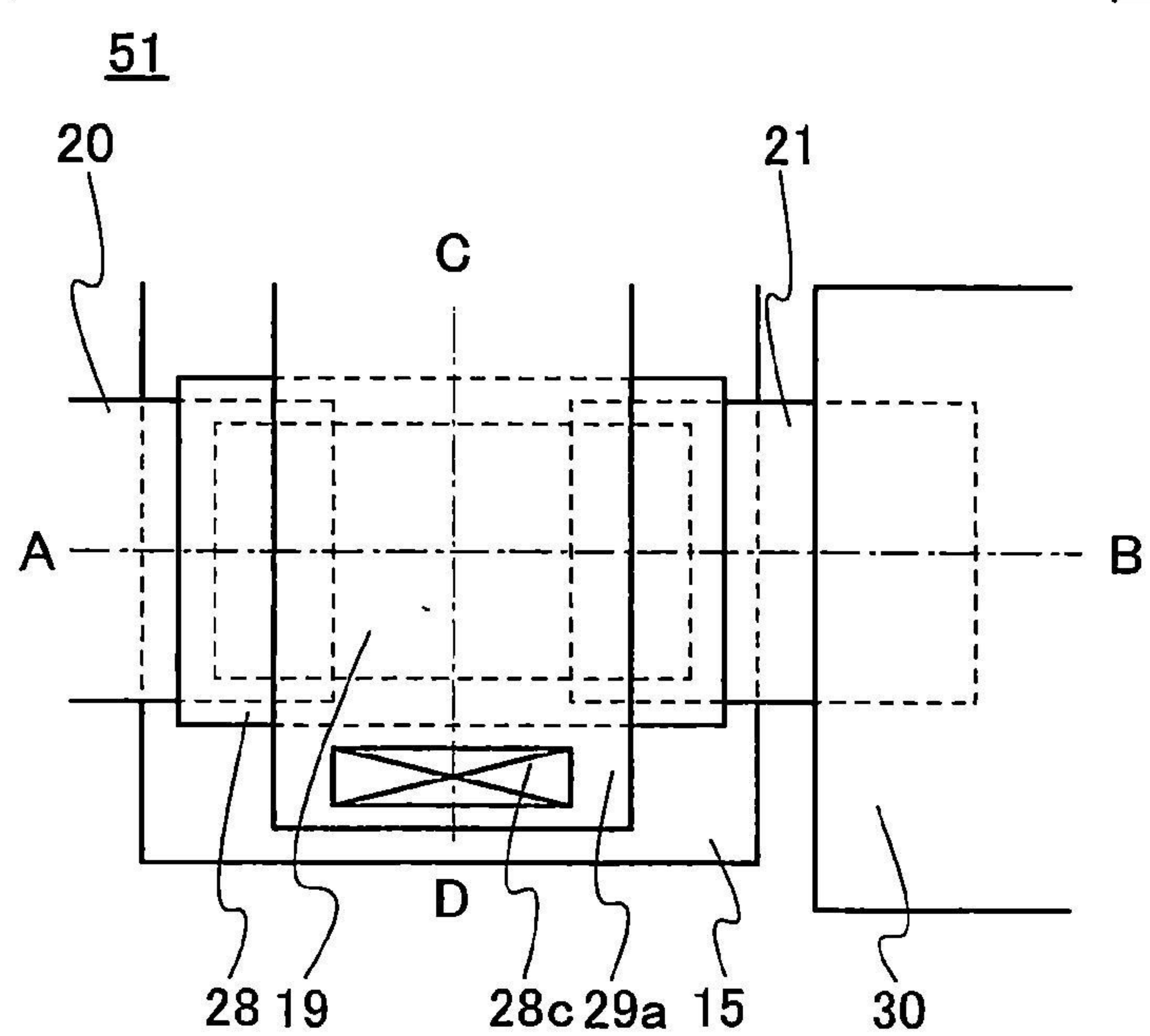


圖 3C

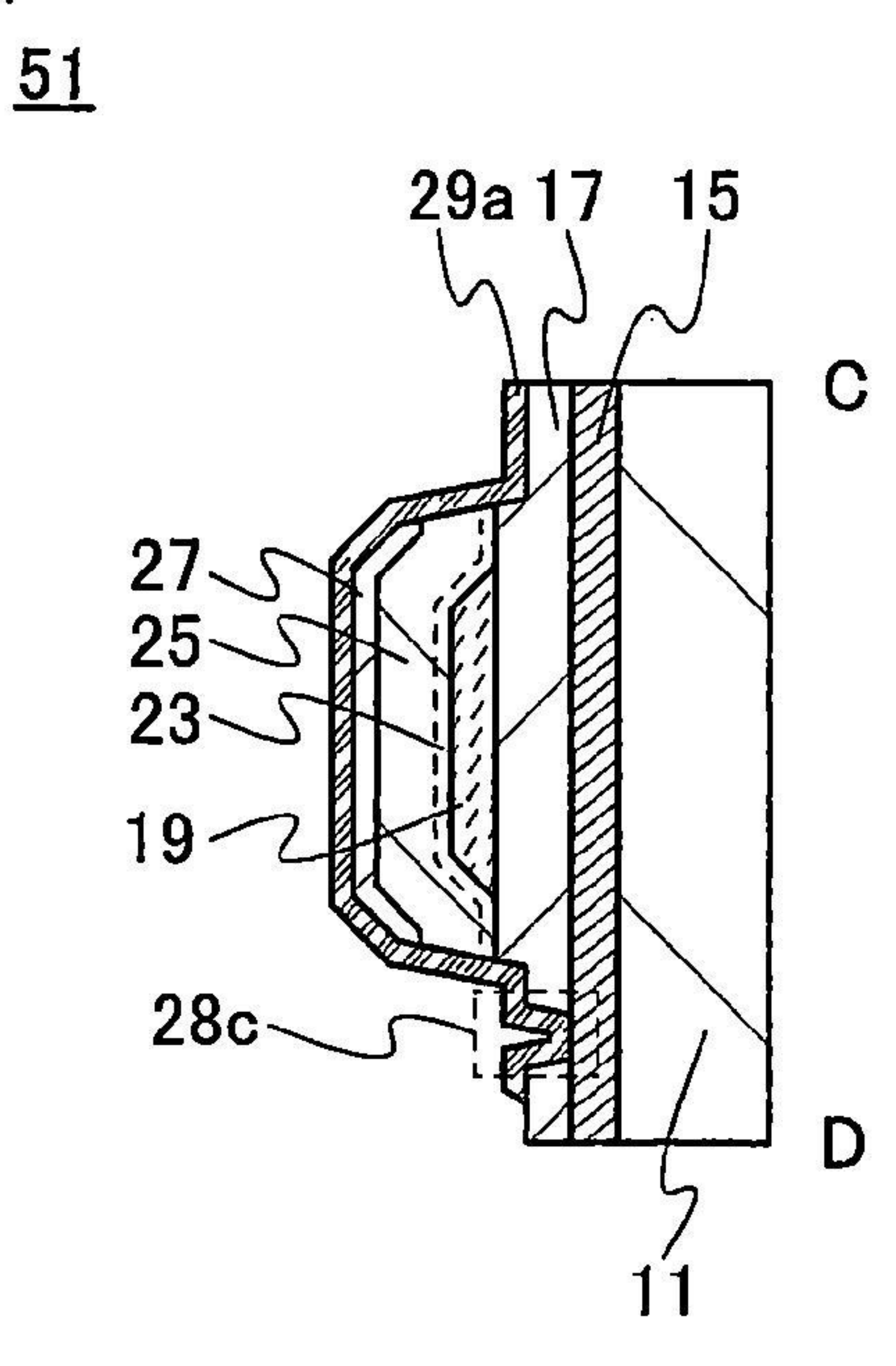


圖 3B

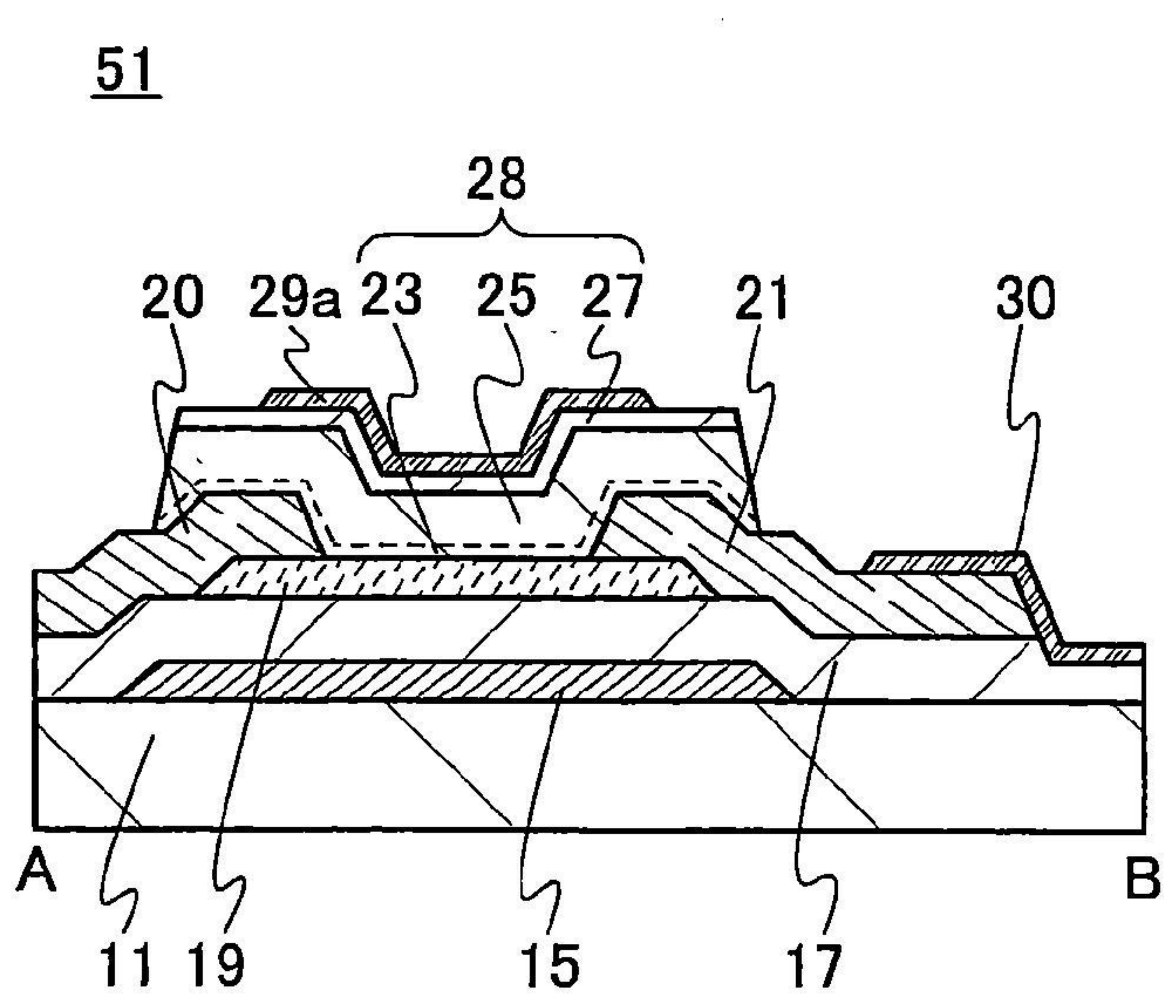


圖 4A

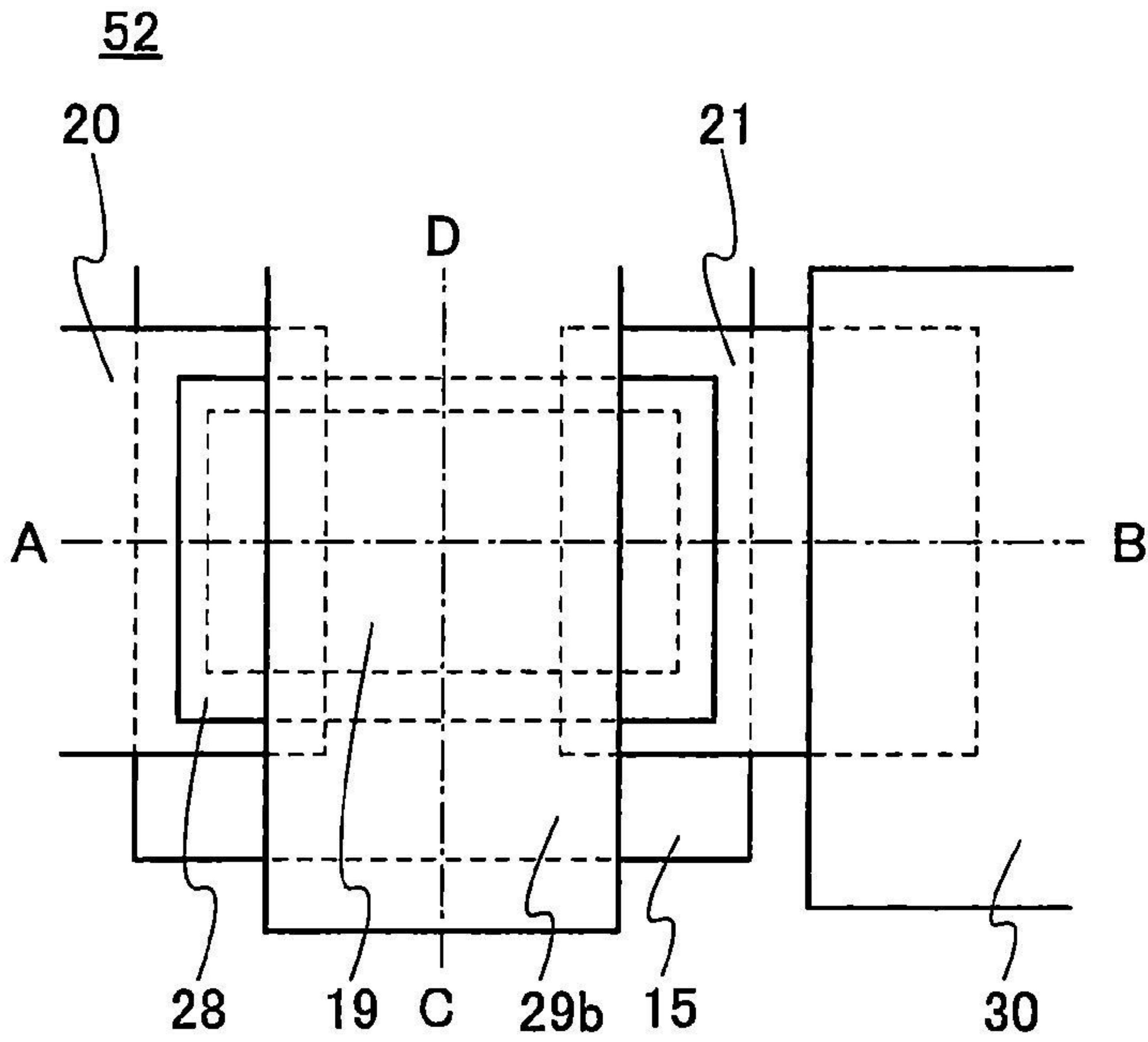


圖 4C

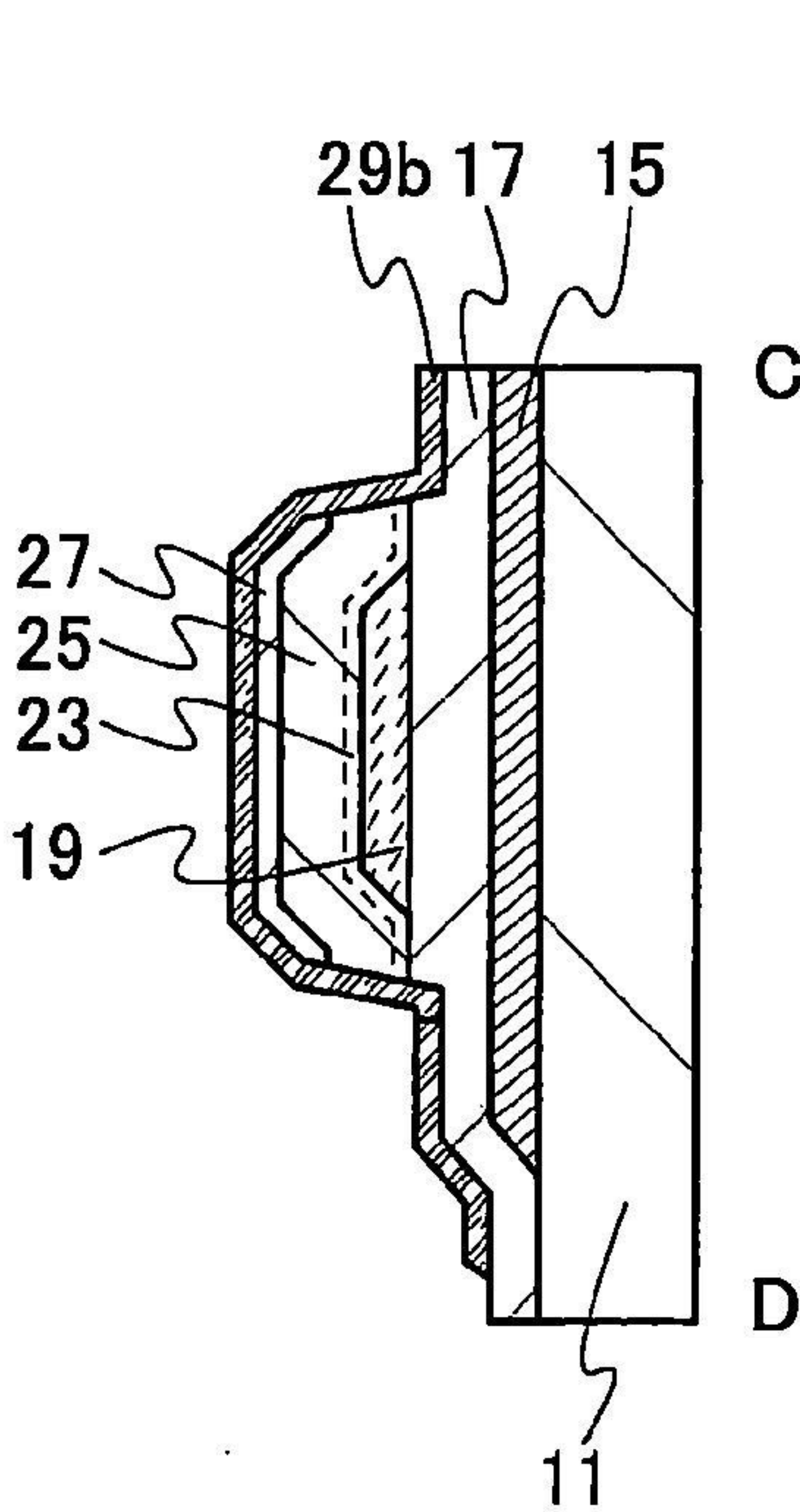


圖 4B

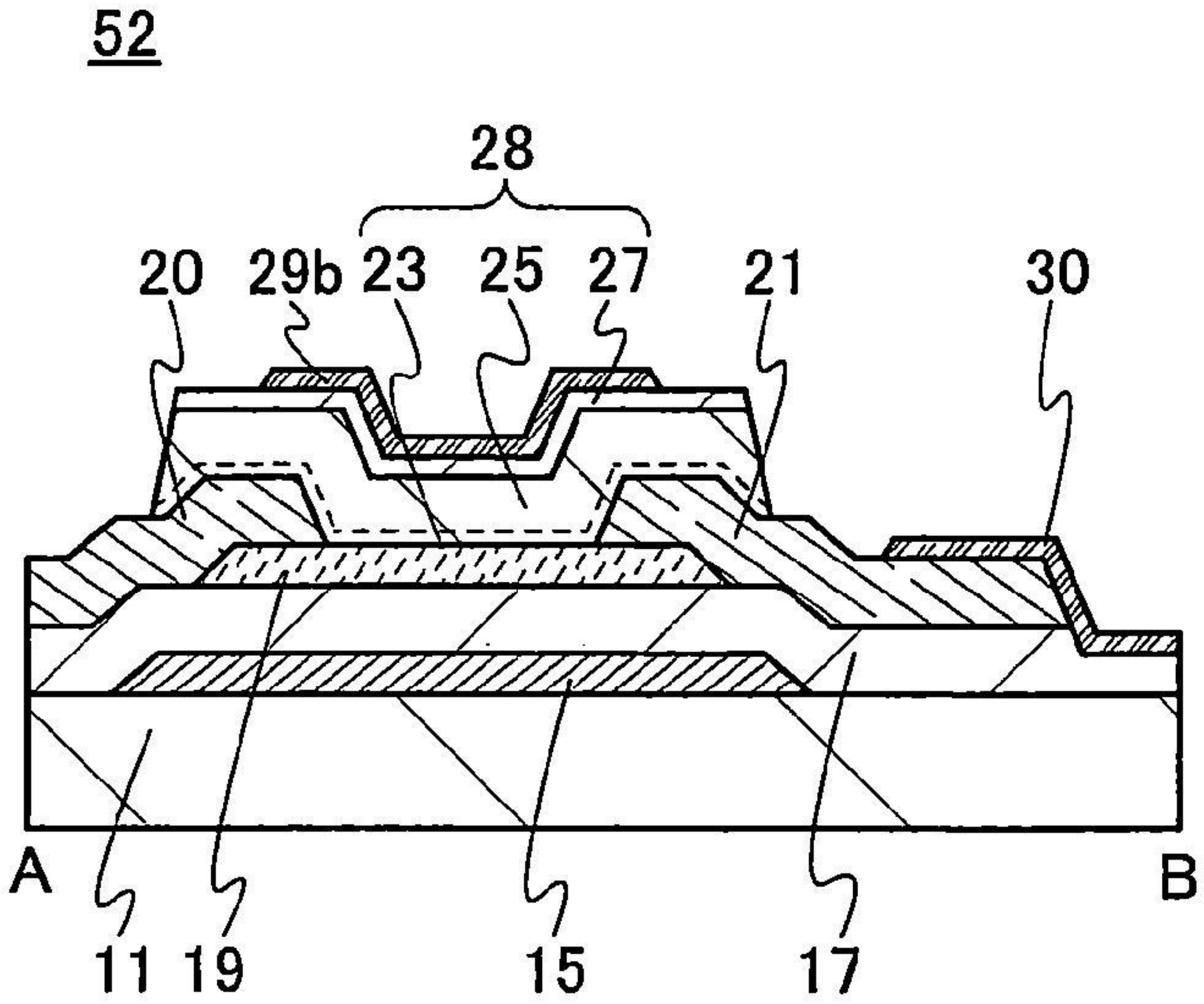


圖 5A

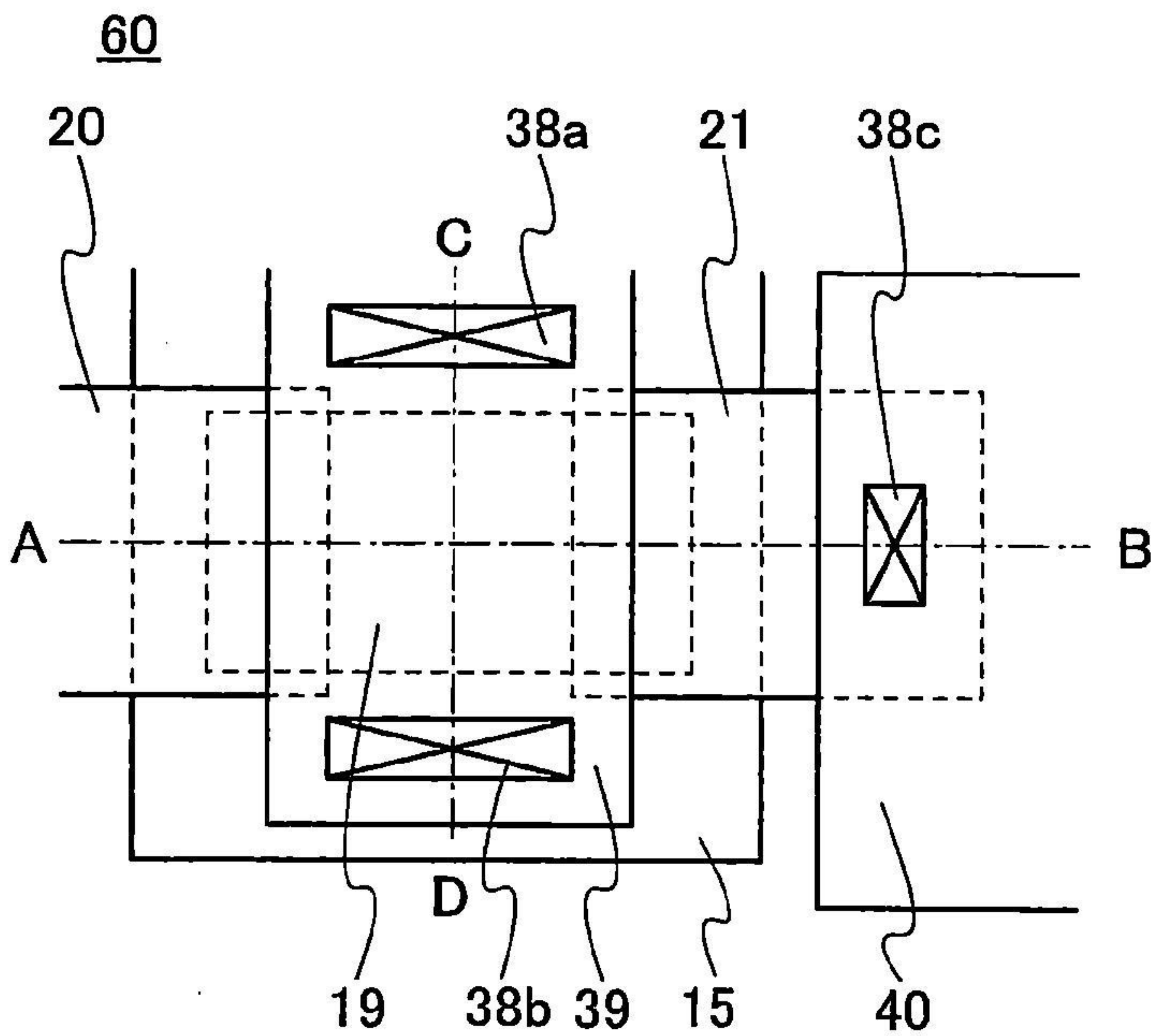


圖 5C

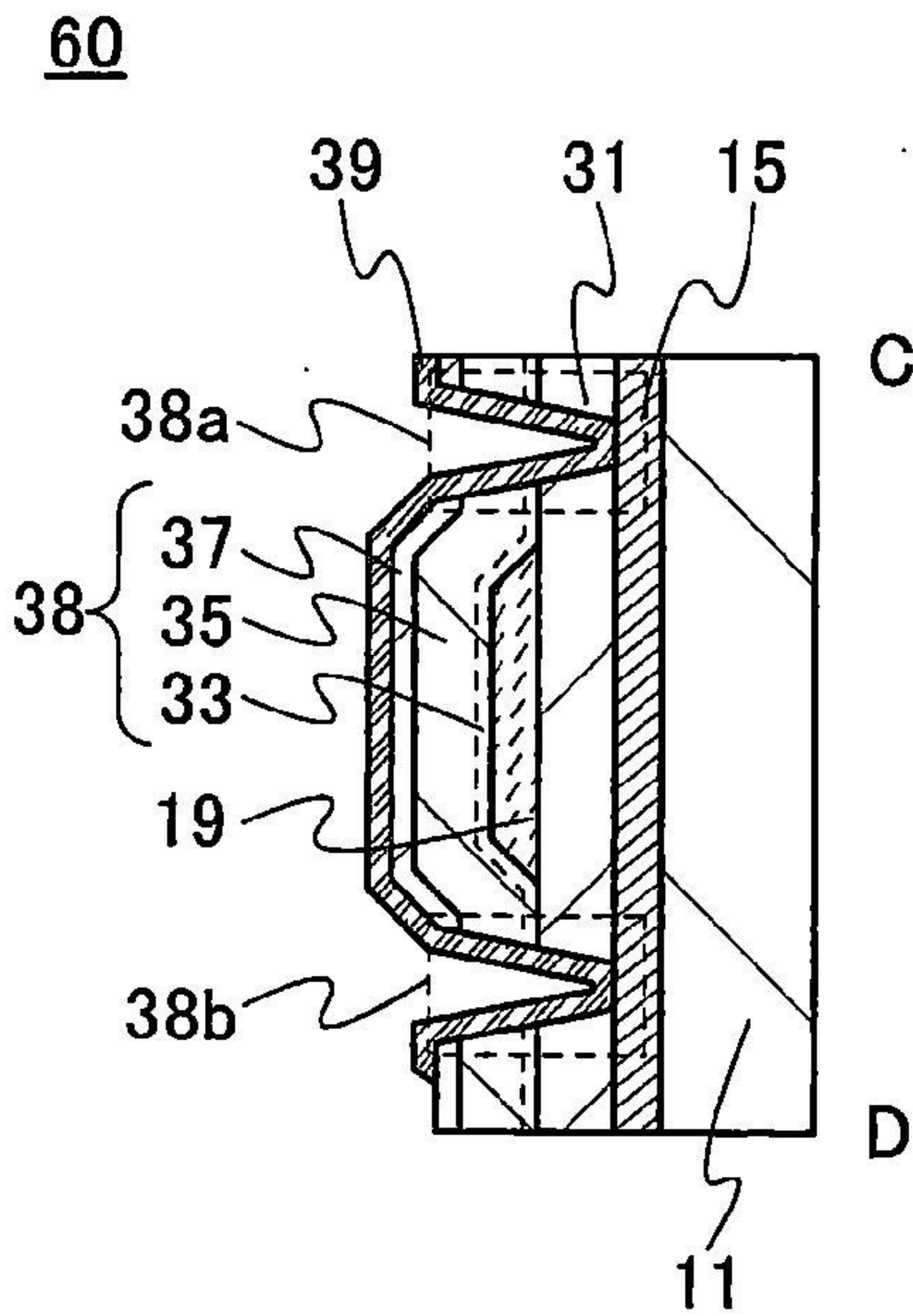


圖 5B

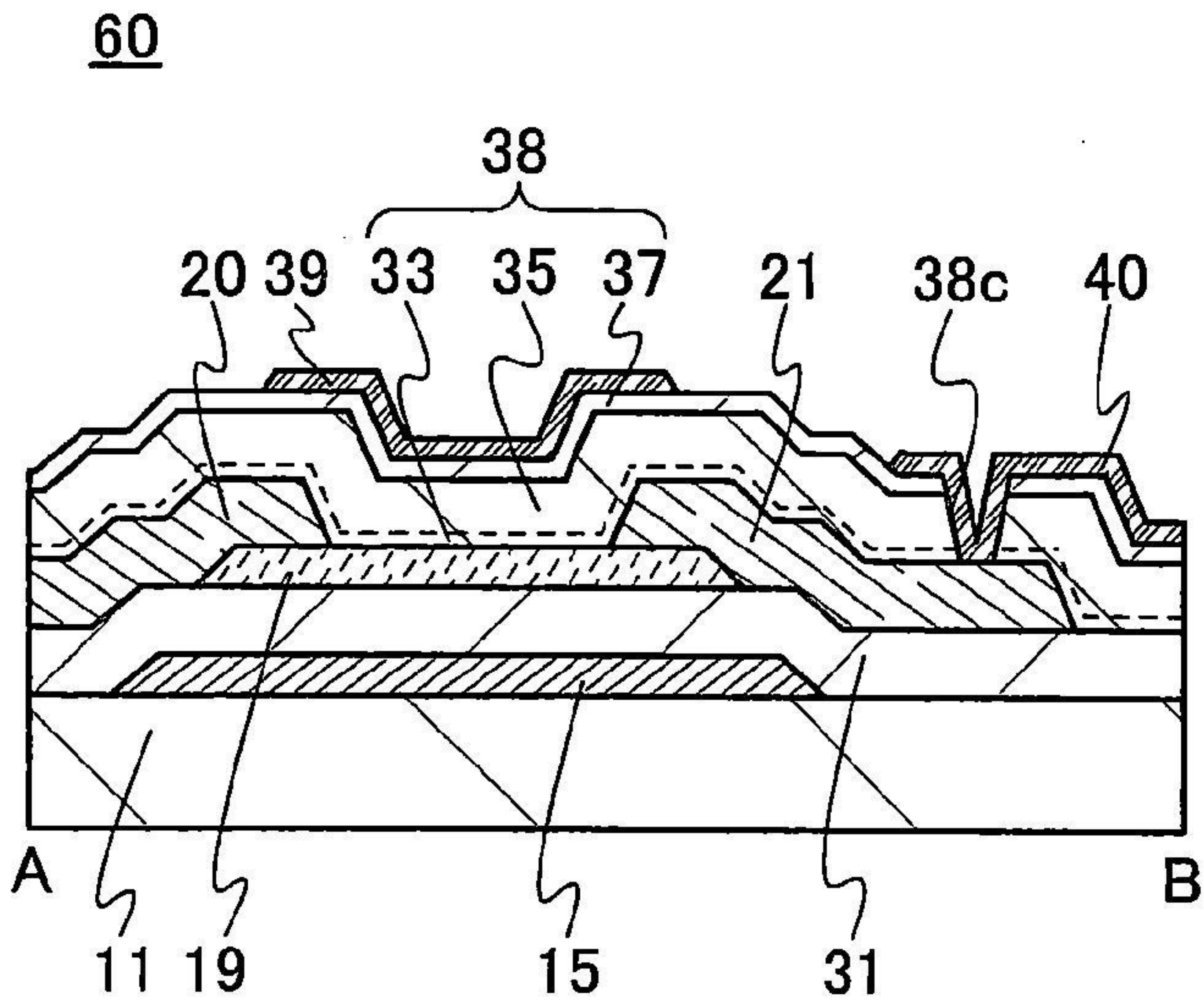


圖 6A

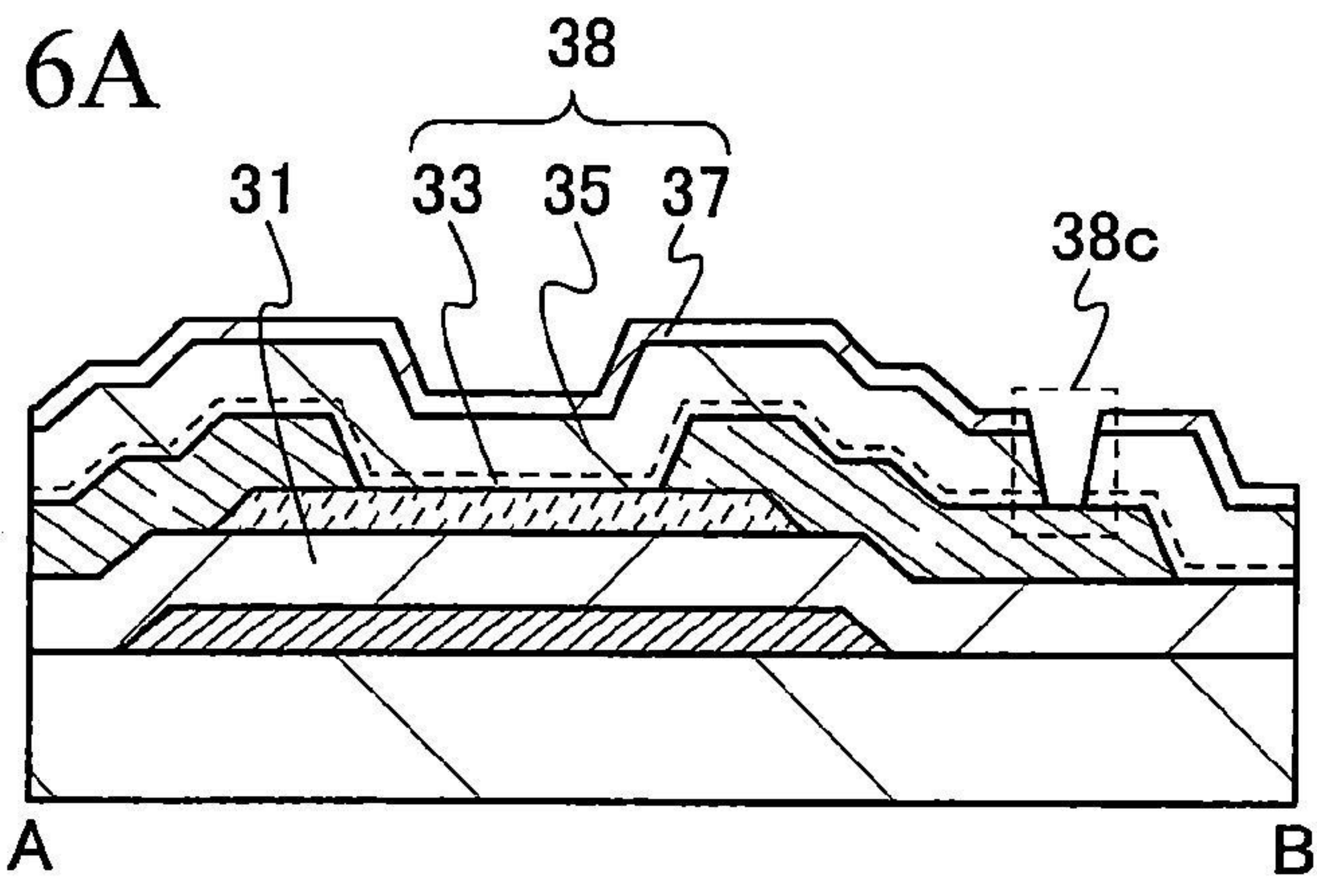


圖 6B

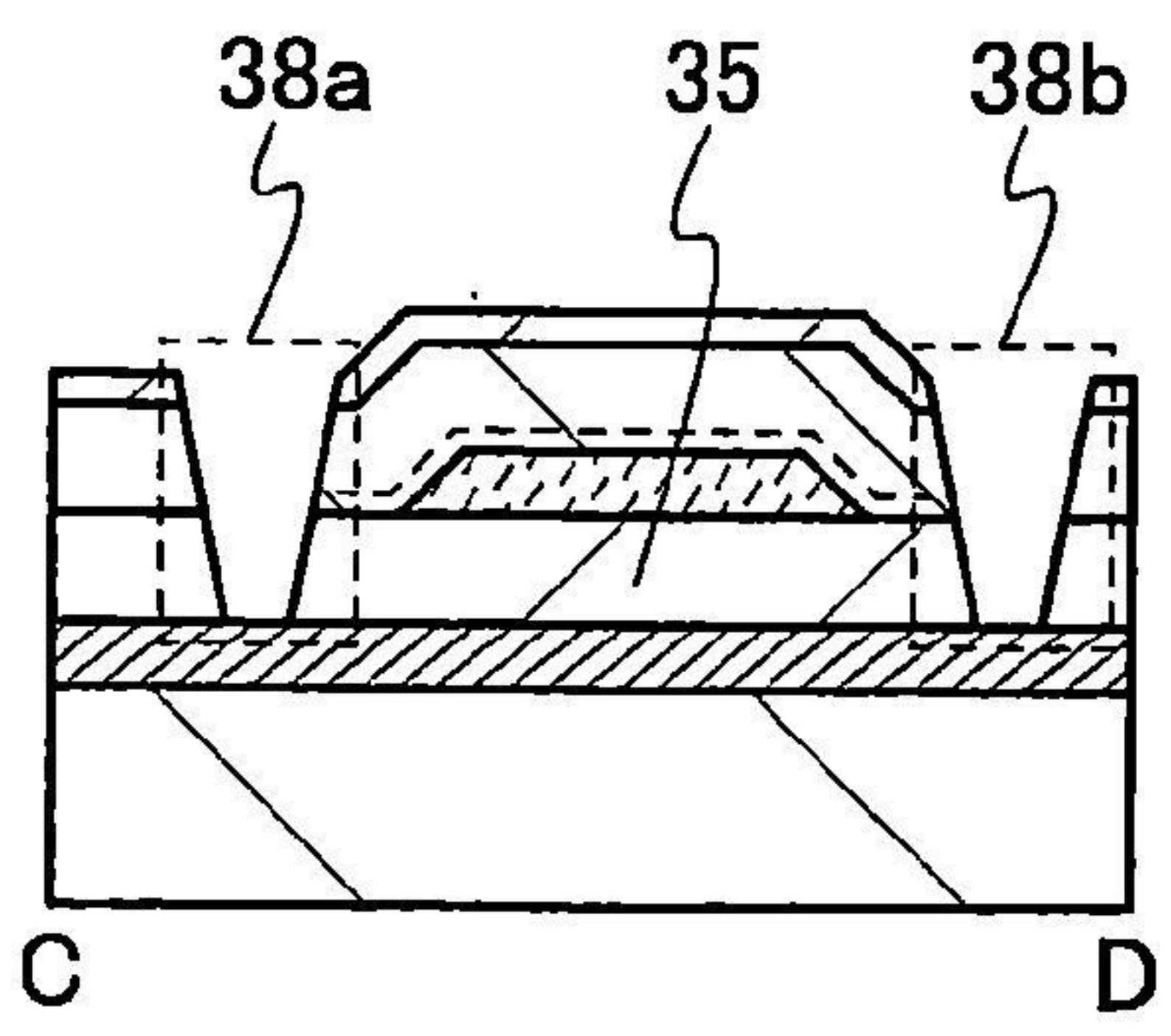


圖 6C

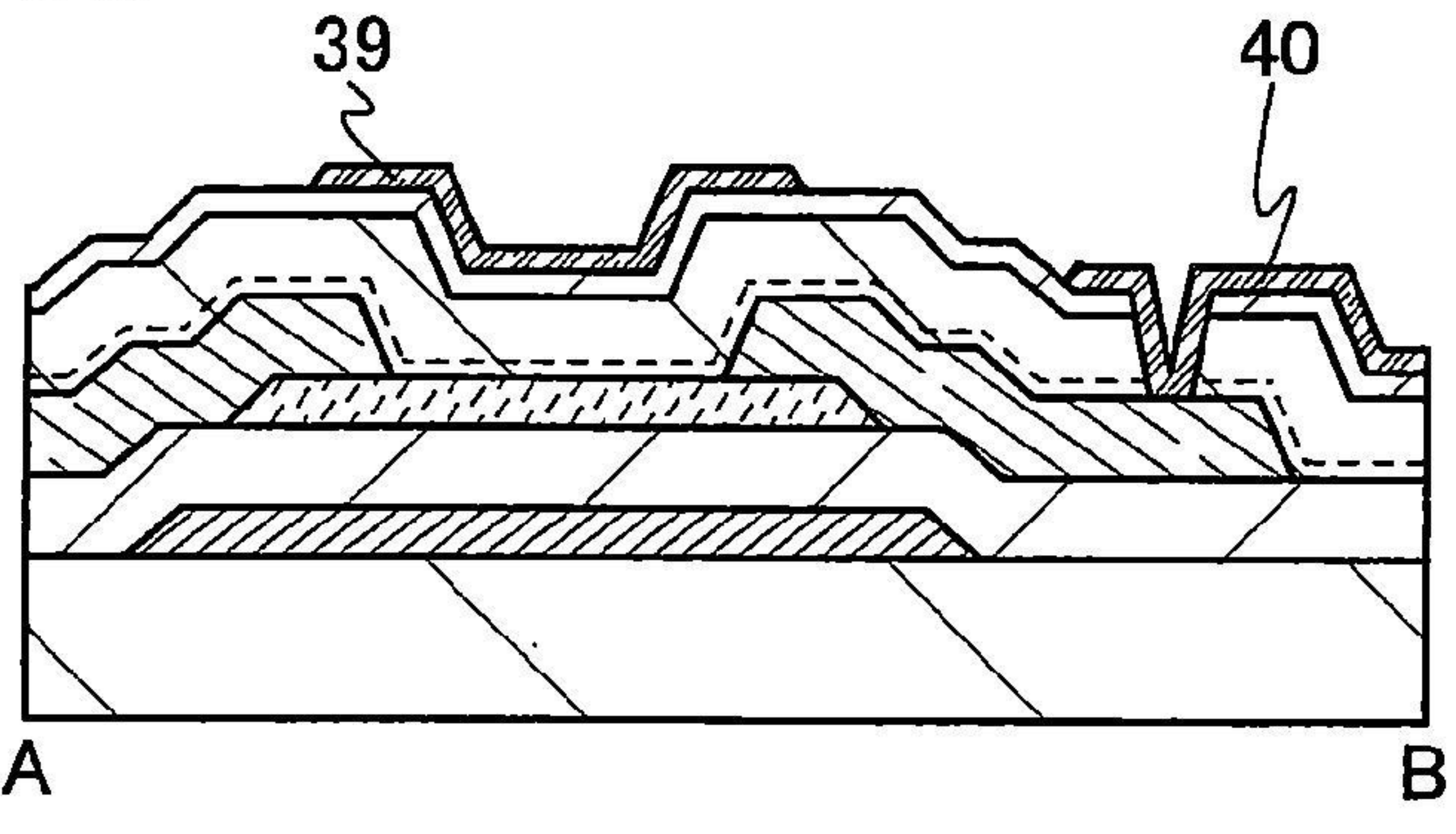


圖 6D

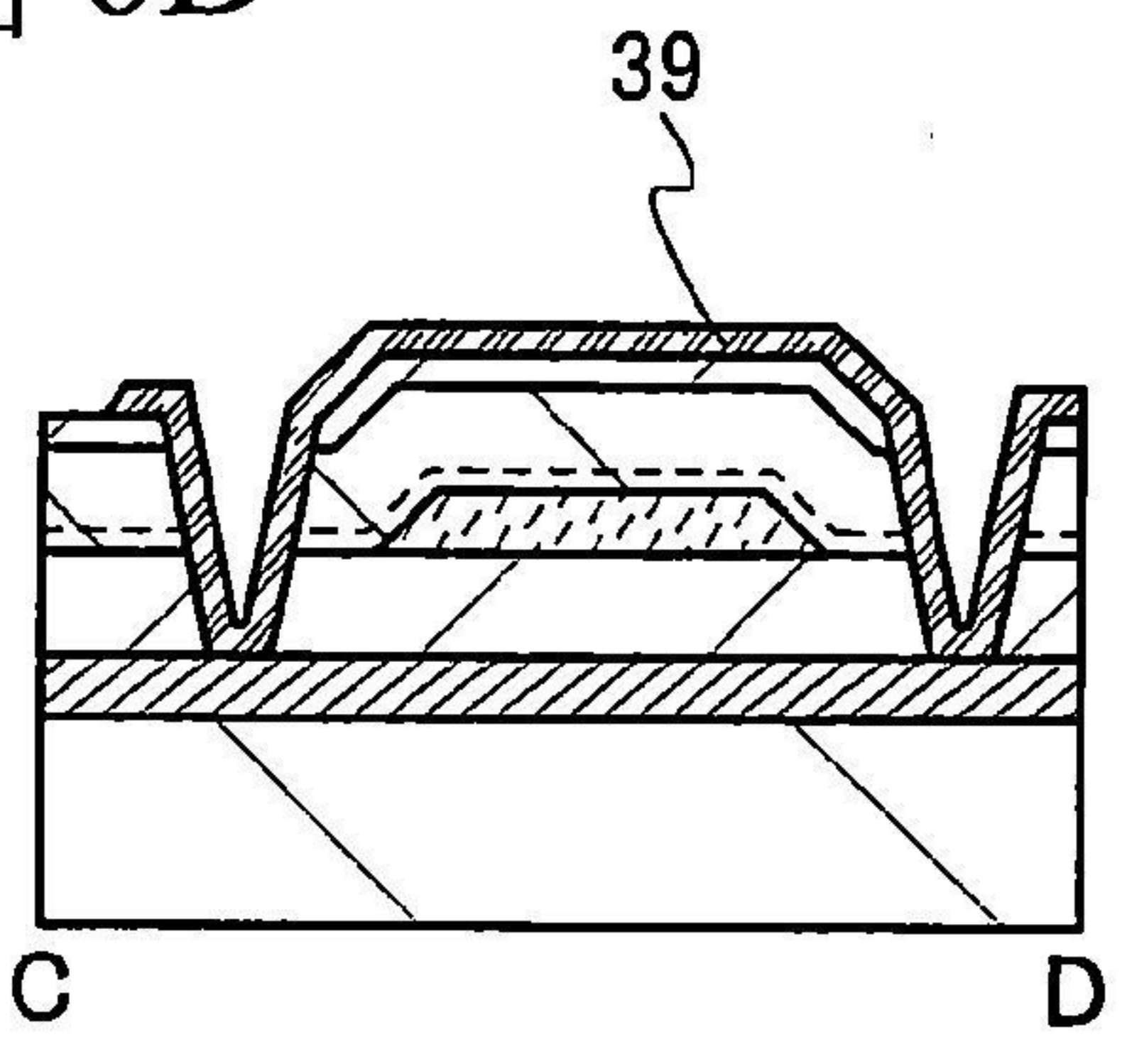


圖 7A

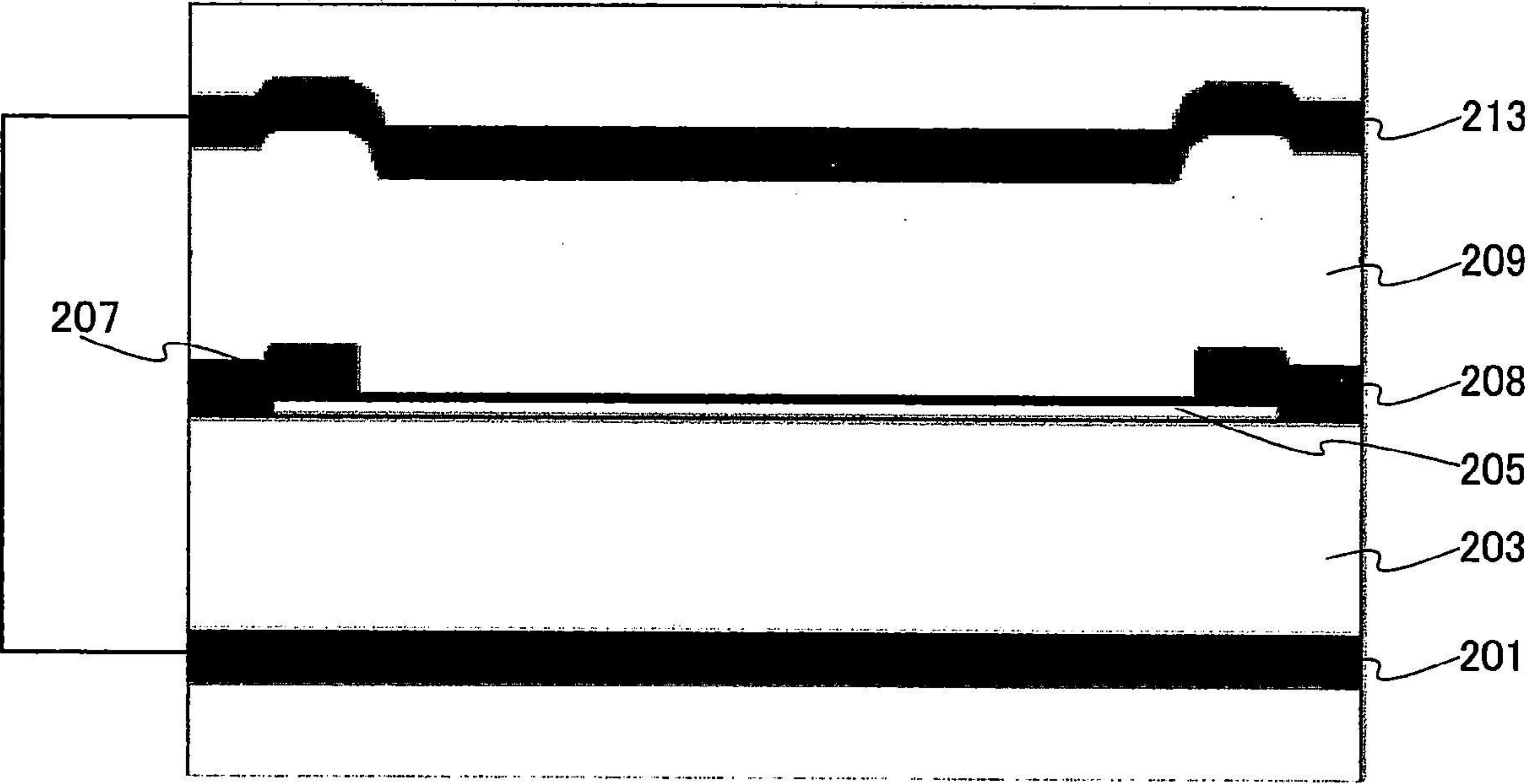


圖 7B

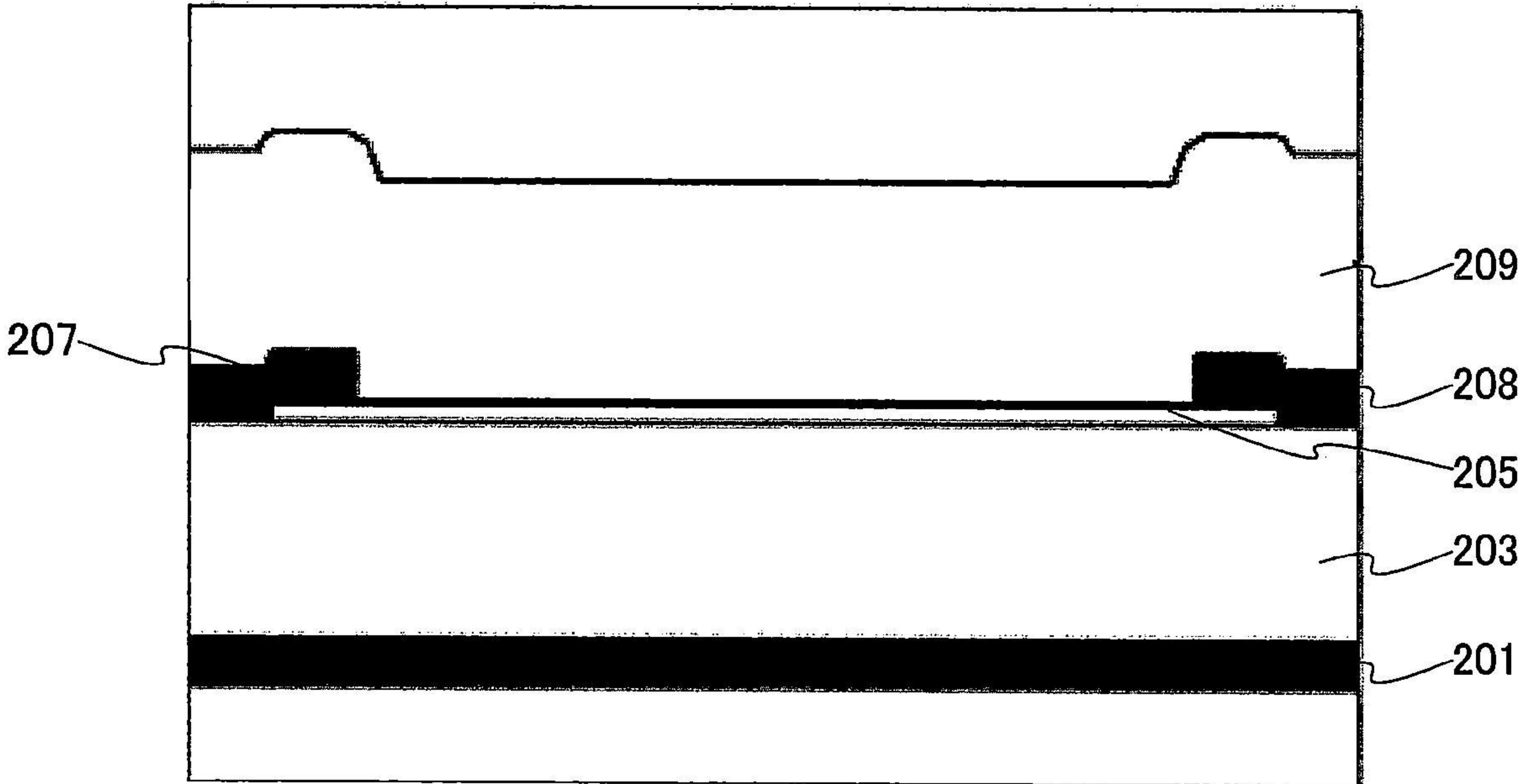


圖 8A

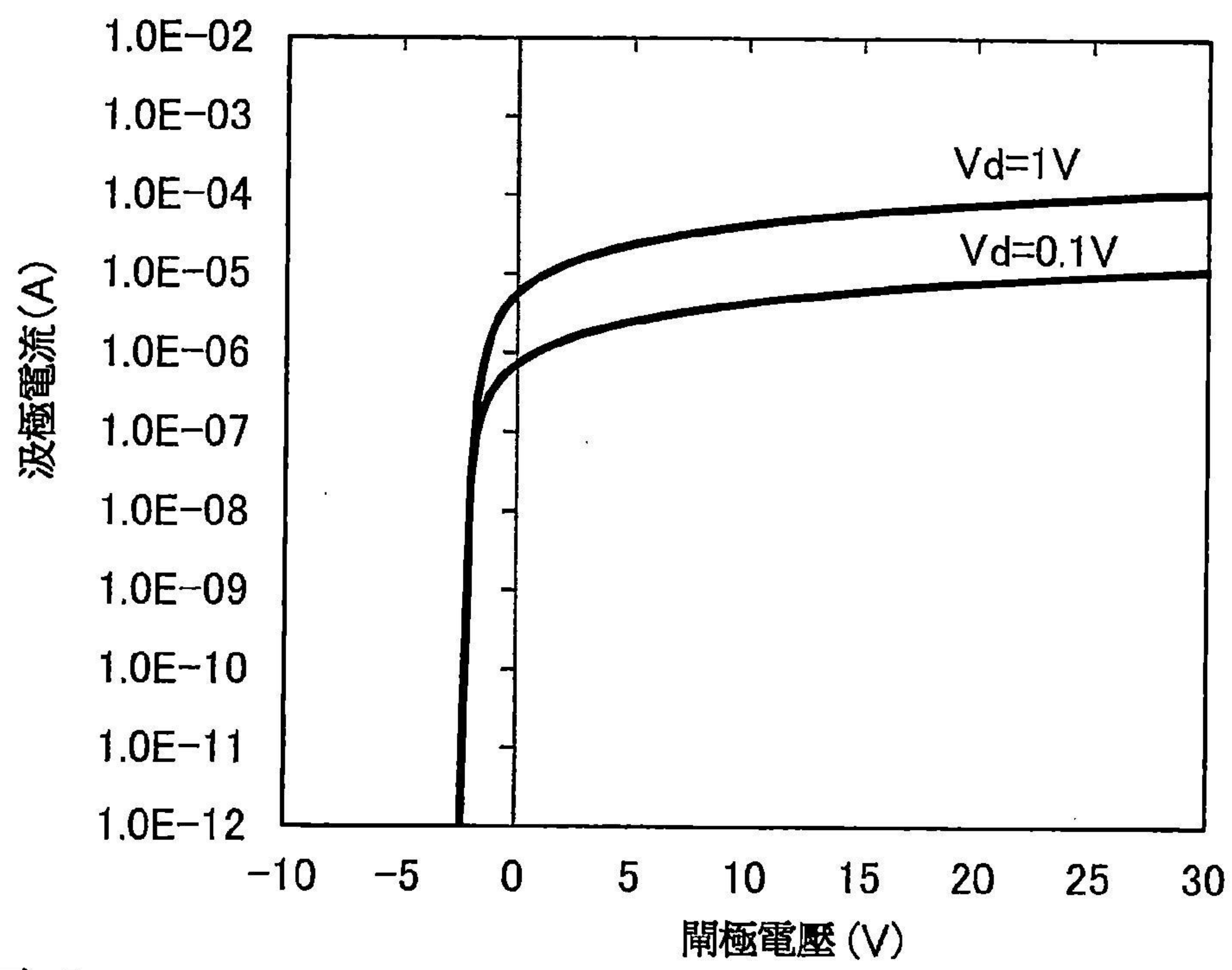


圖 8B

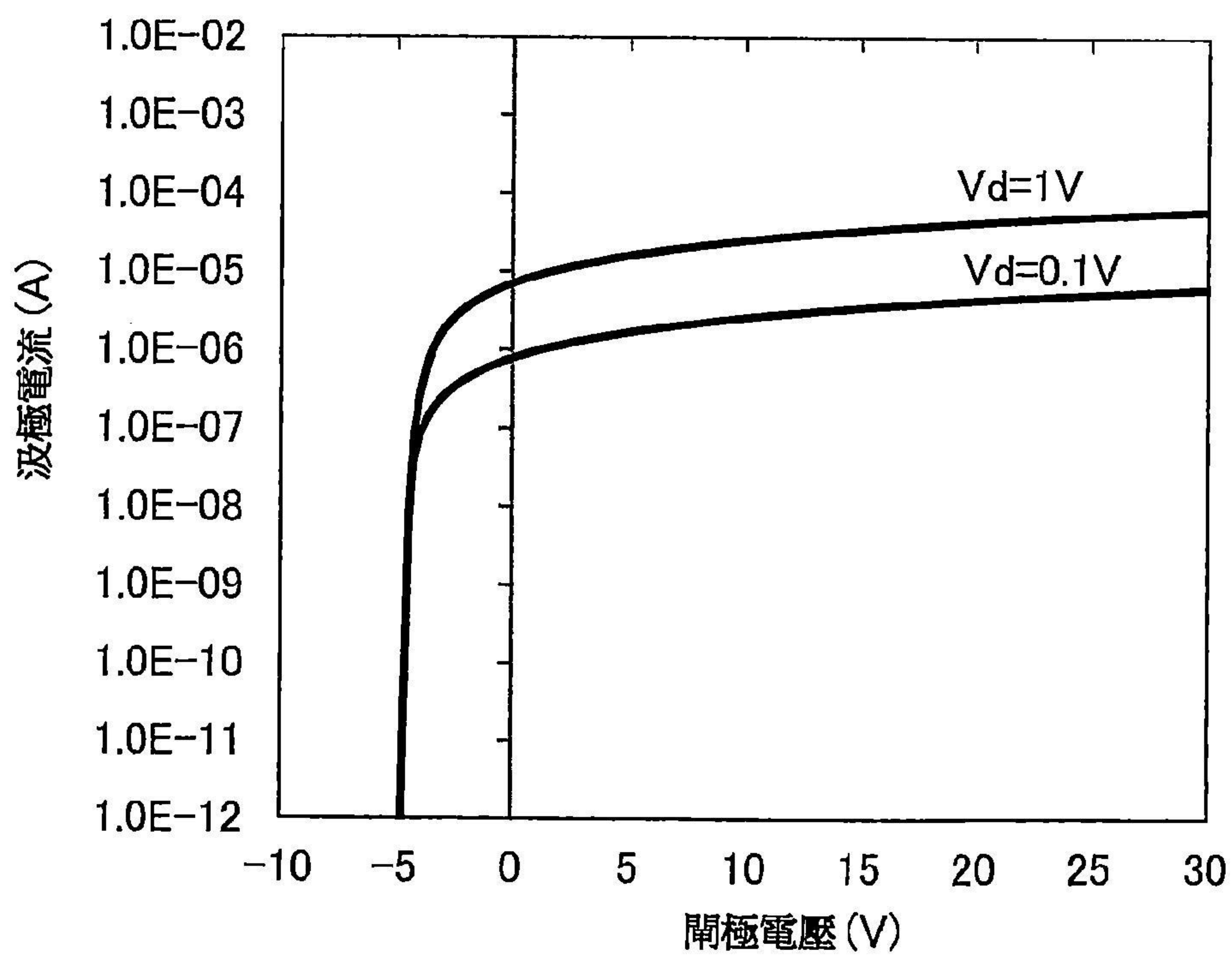


圖 9A

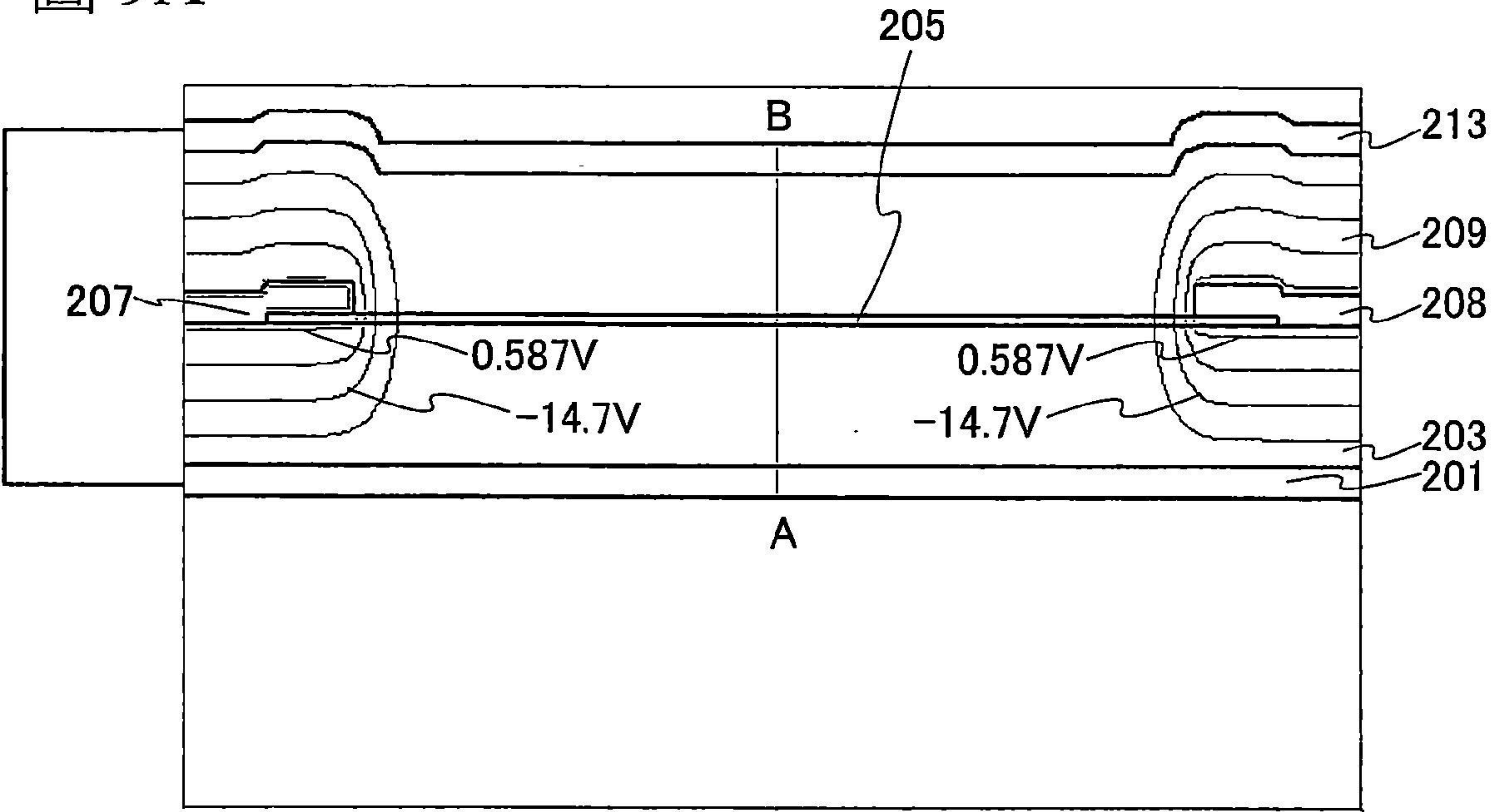
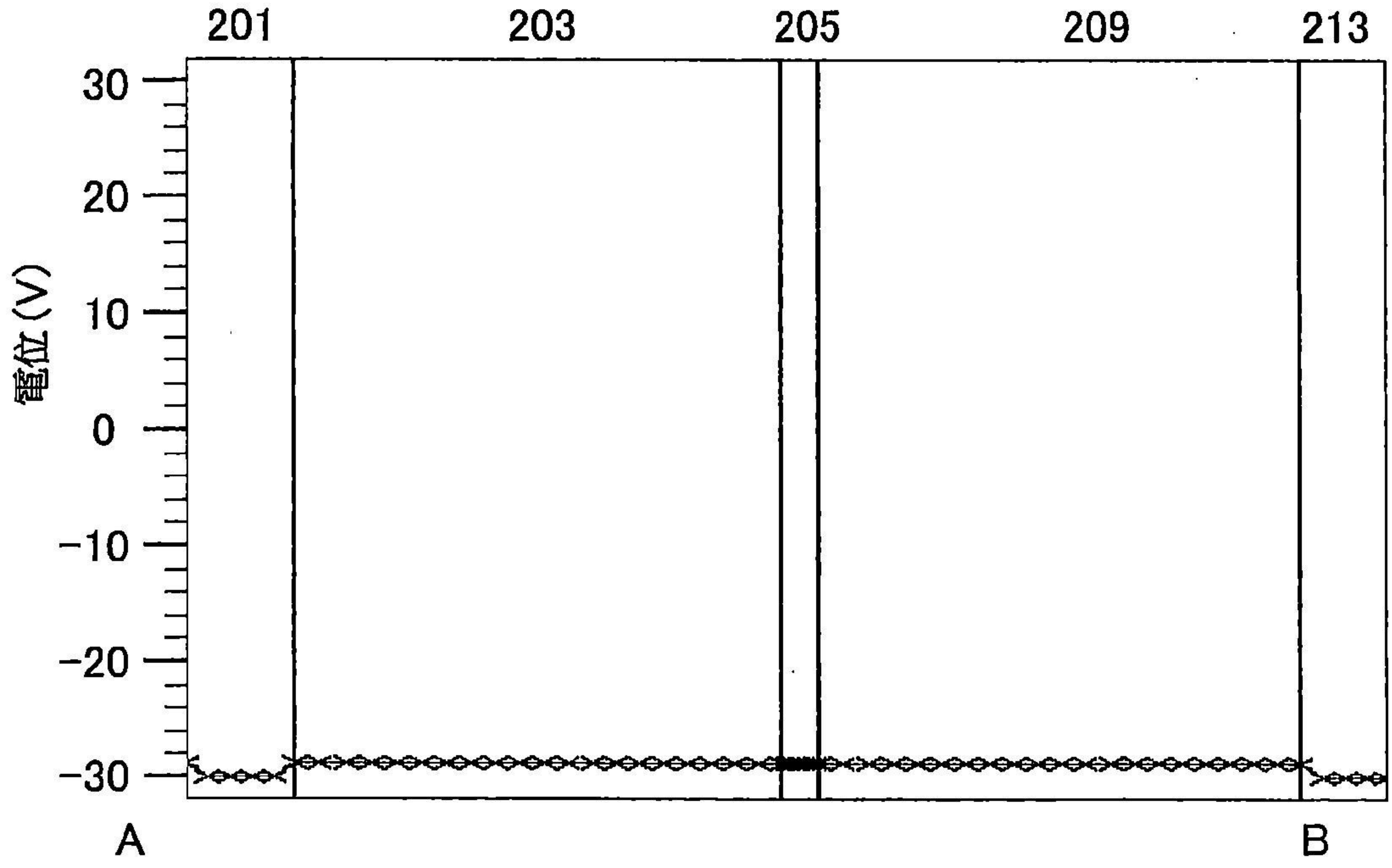


圖 9B



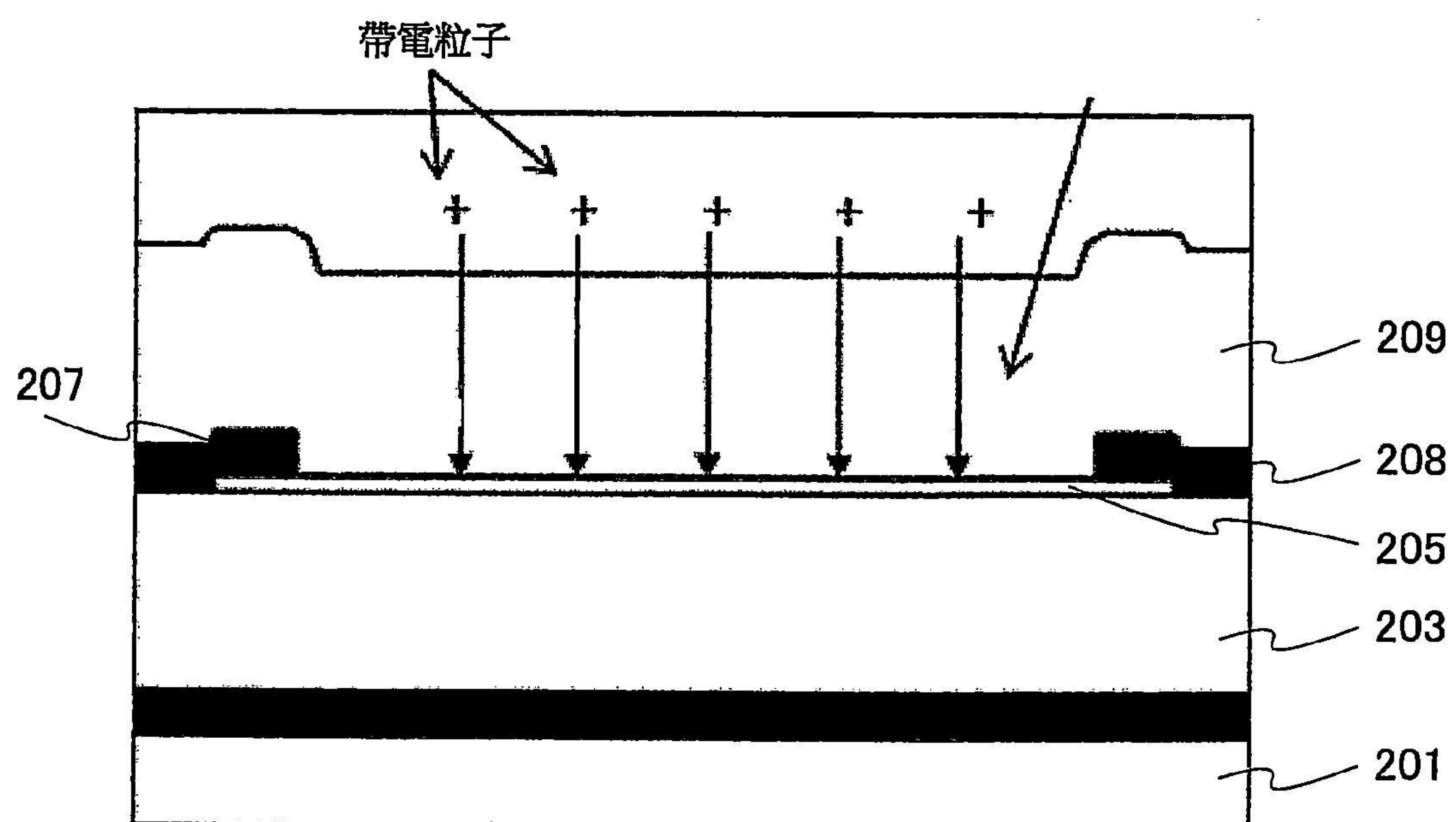


圖 11A

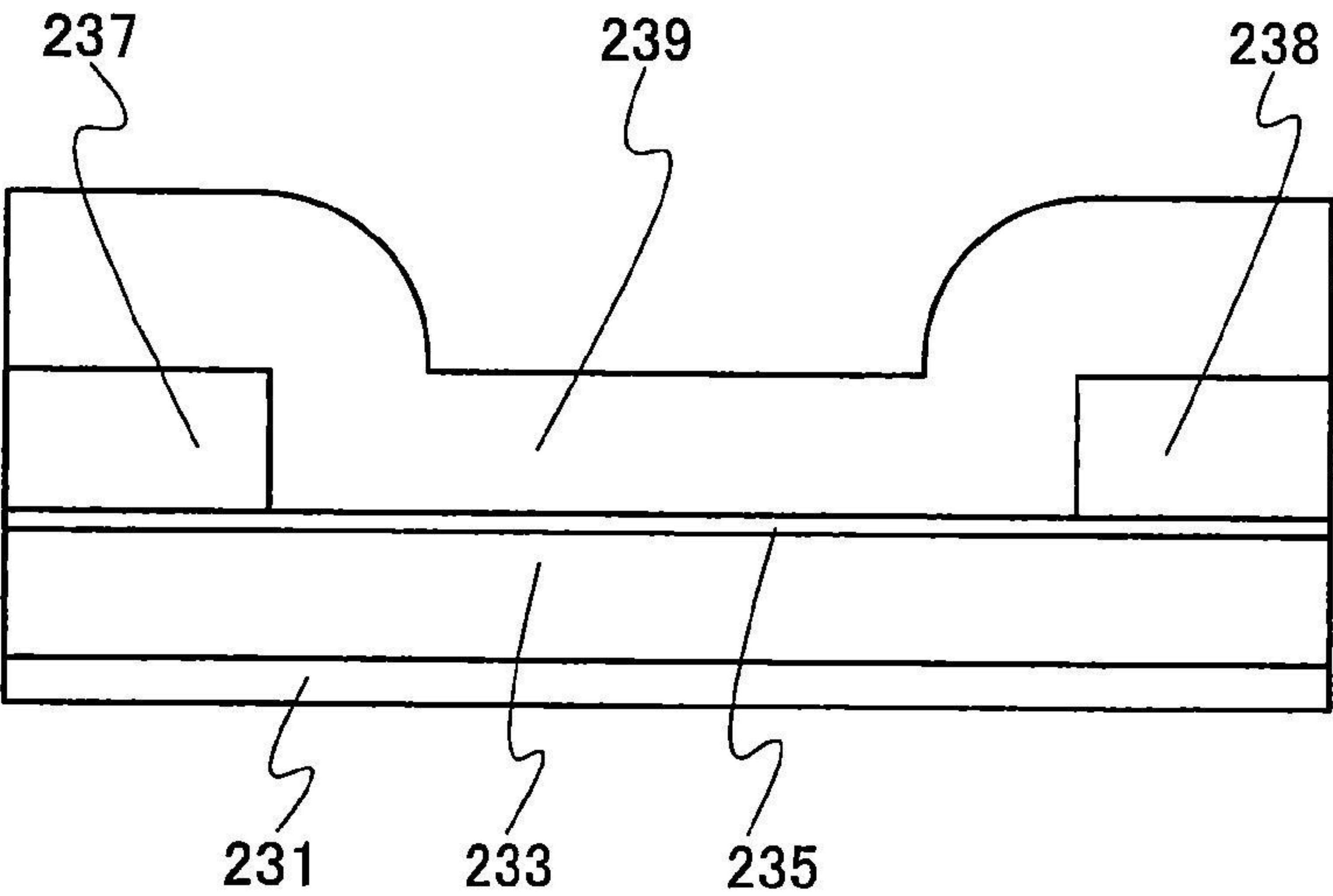


圖 11B

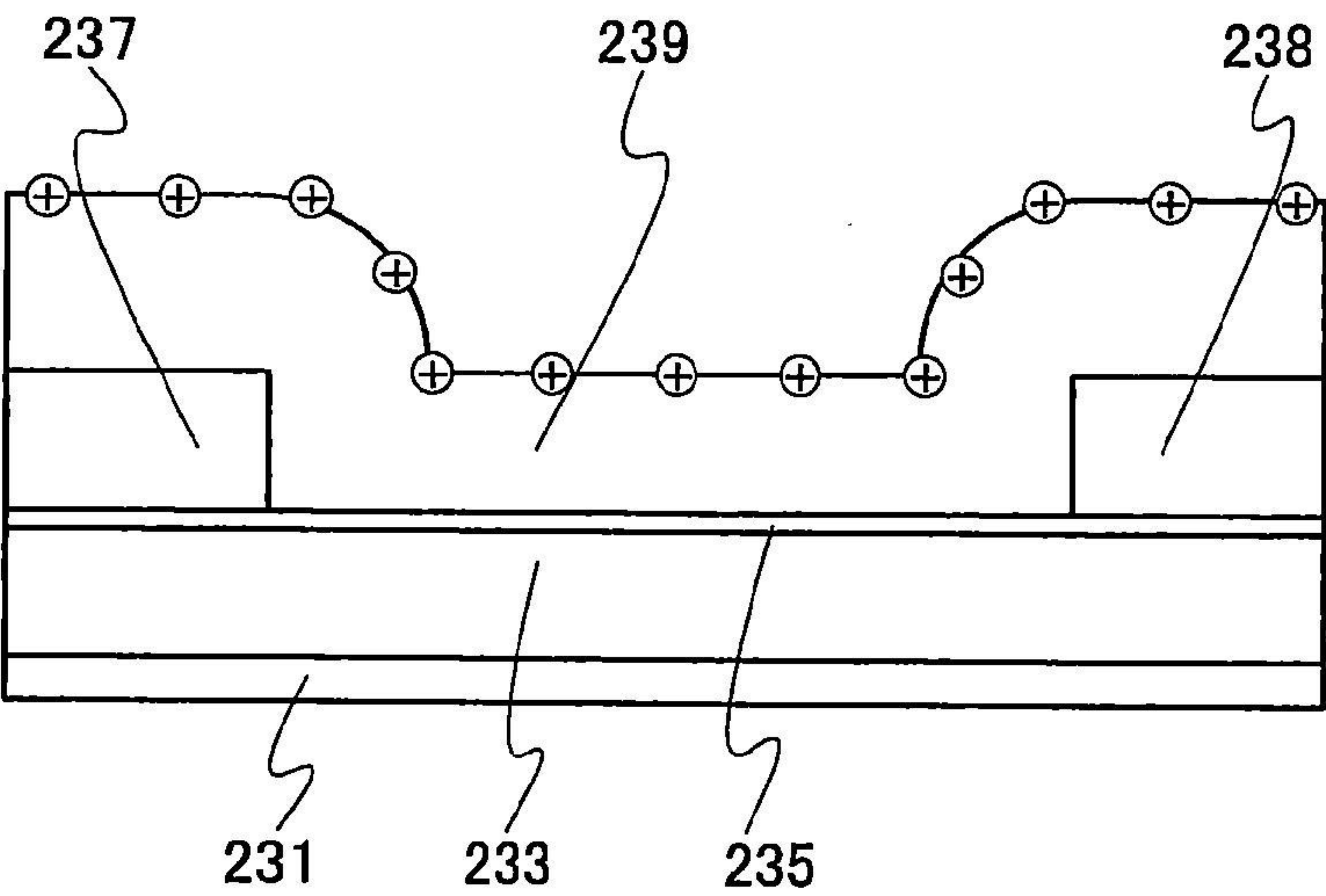


圖 11C

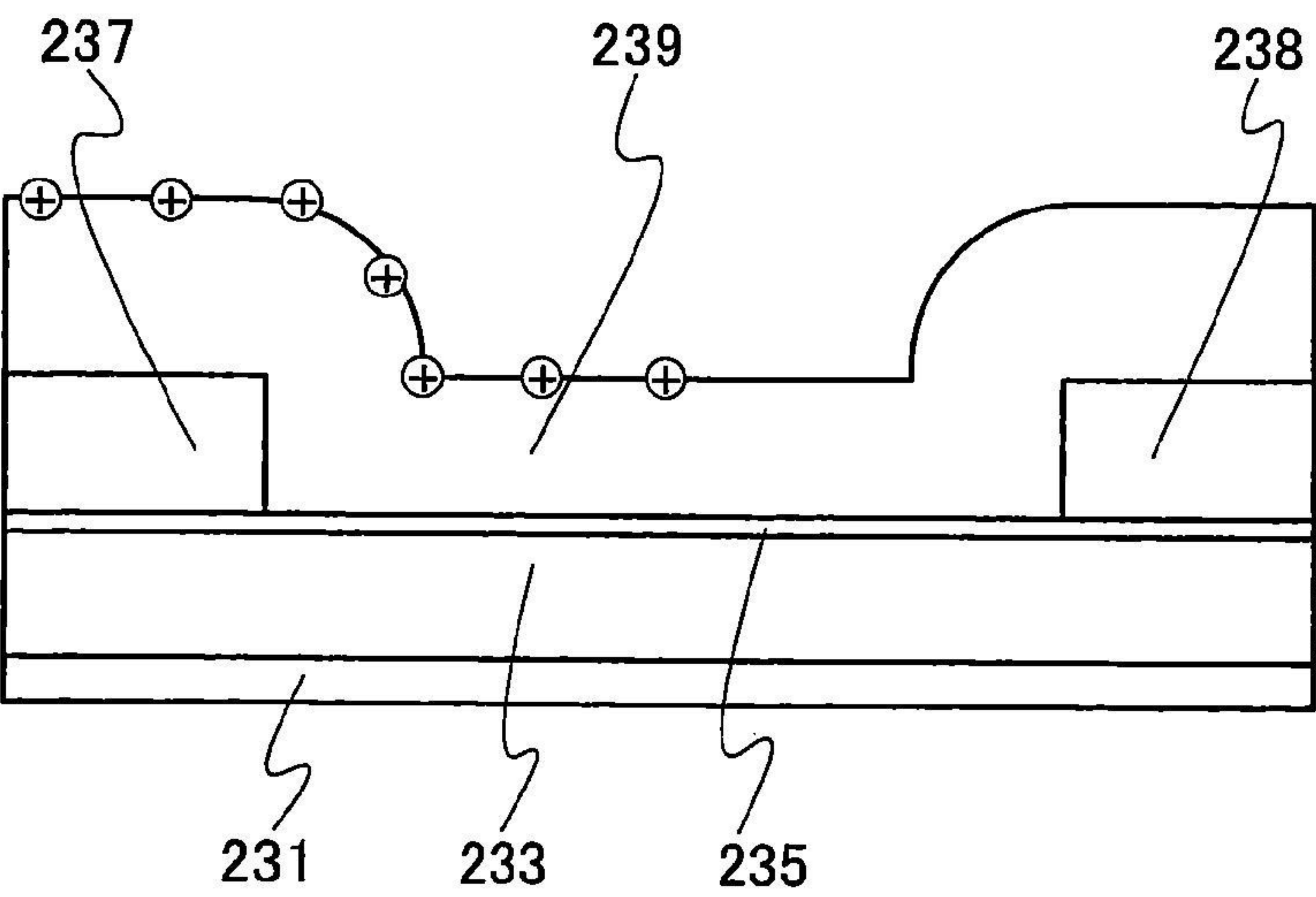


圖 12A

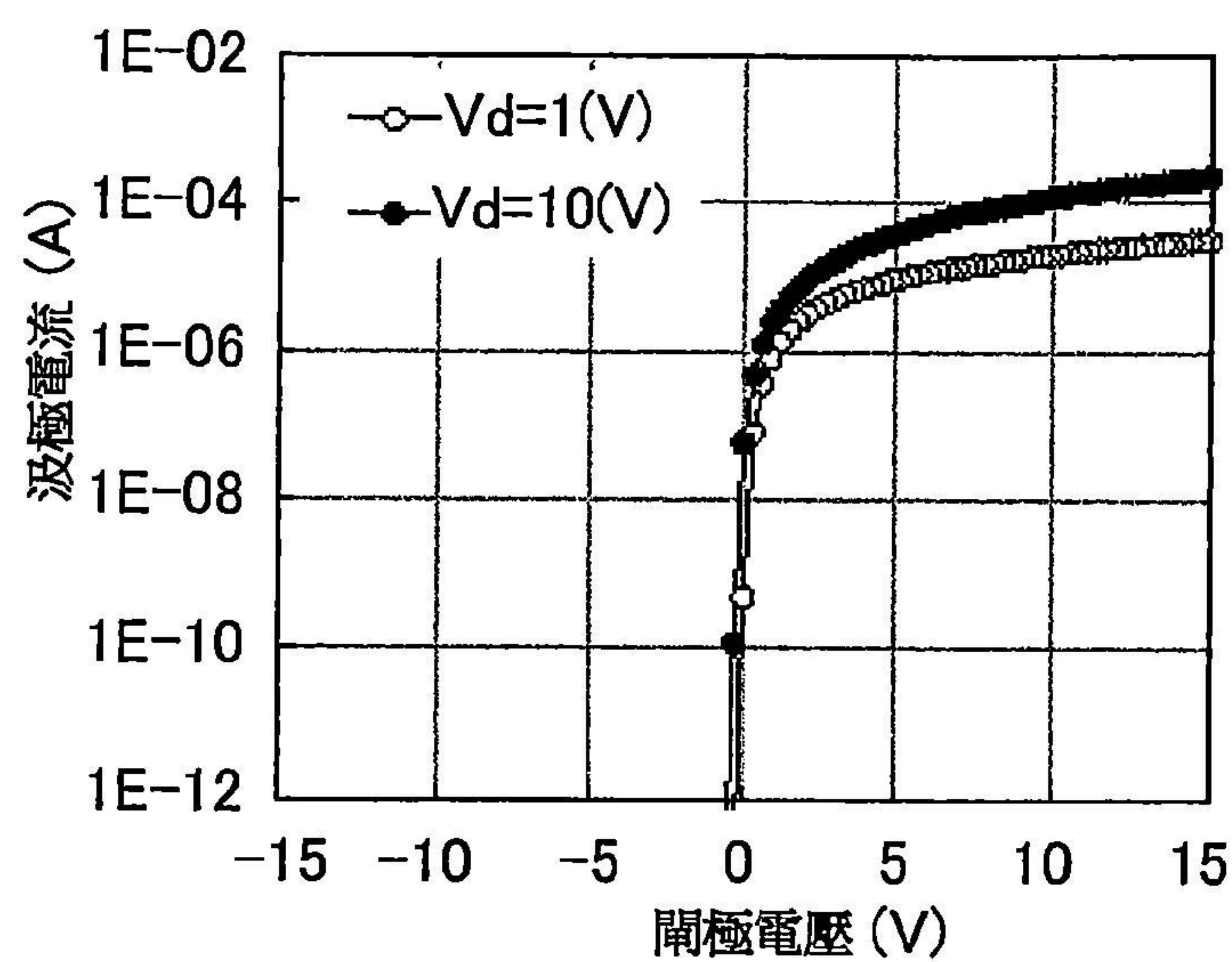


圖 12B

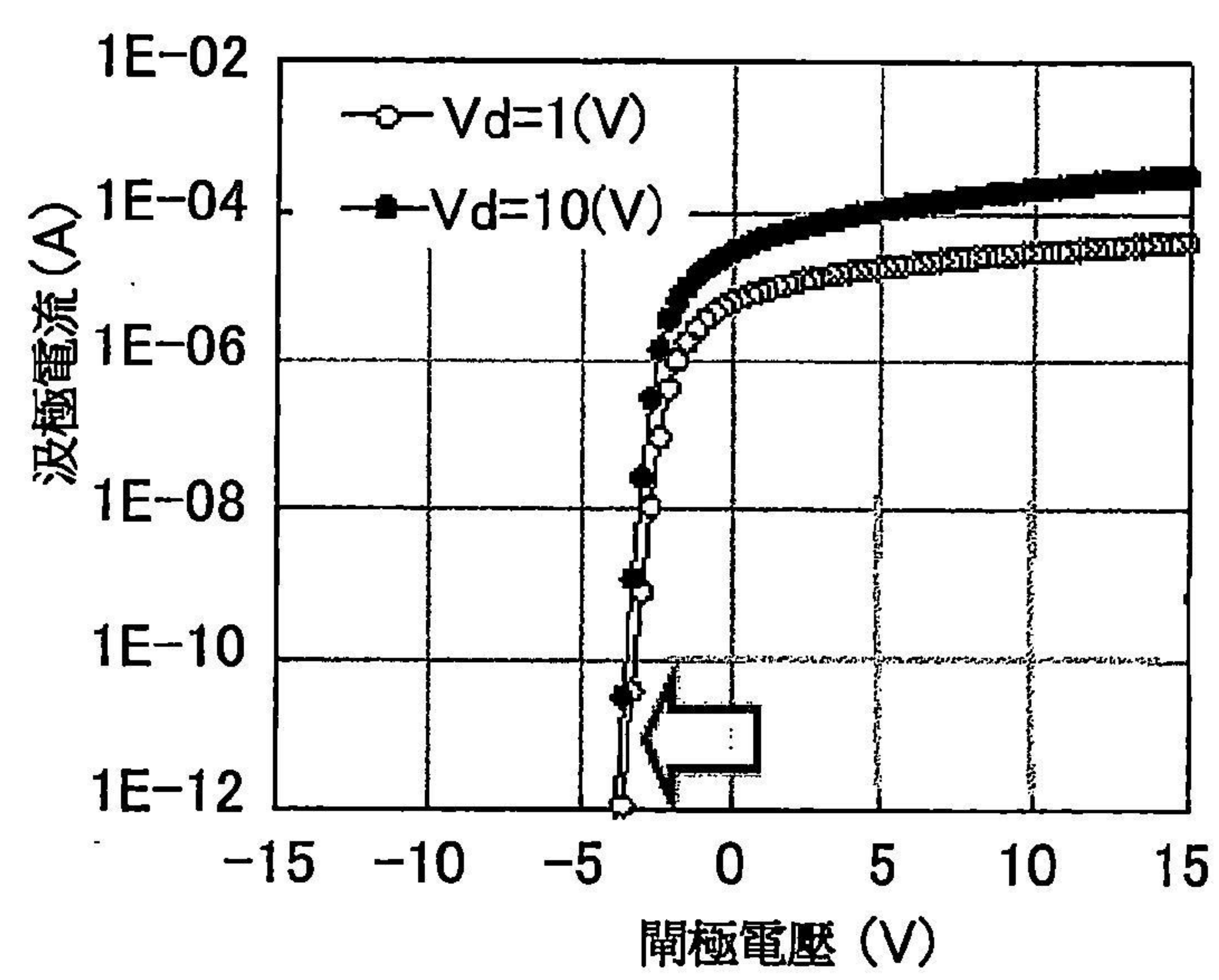


圖 12C

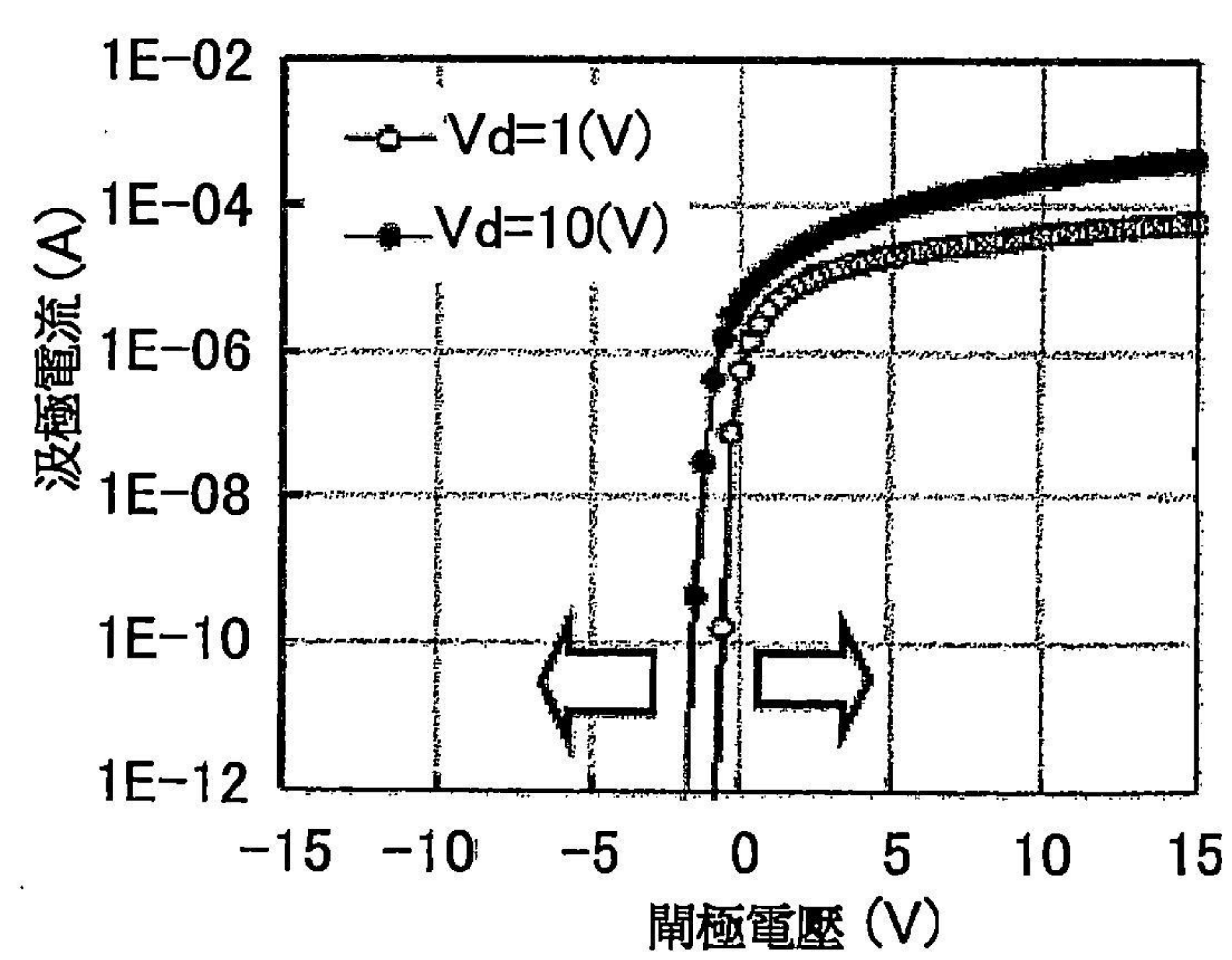


圖 13A

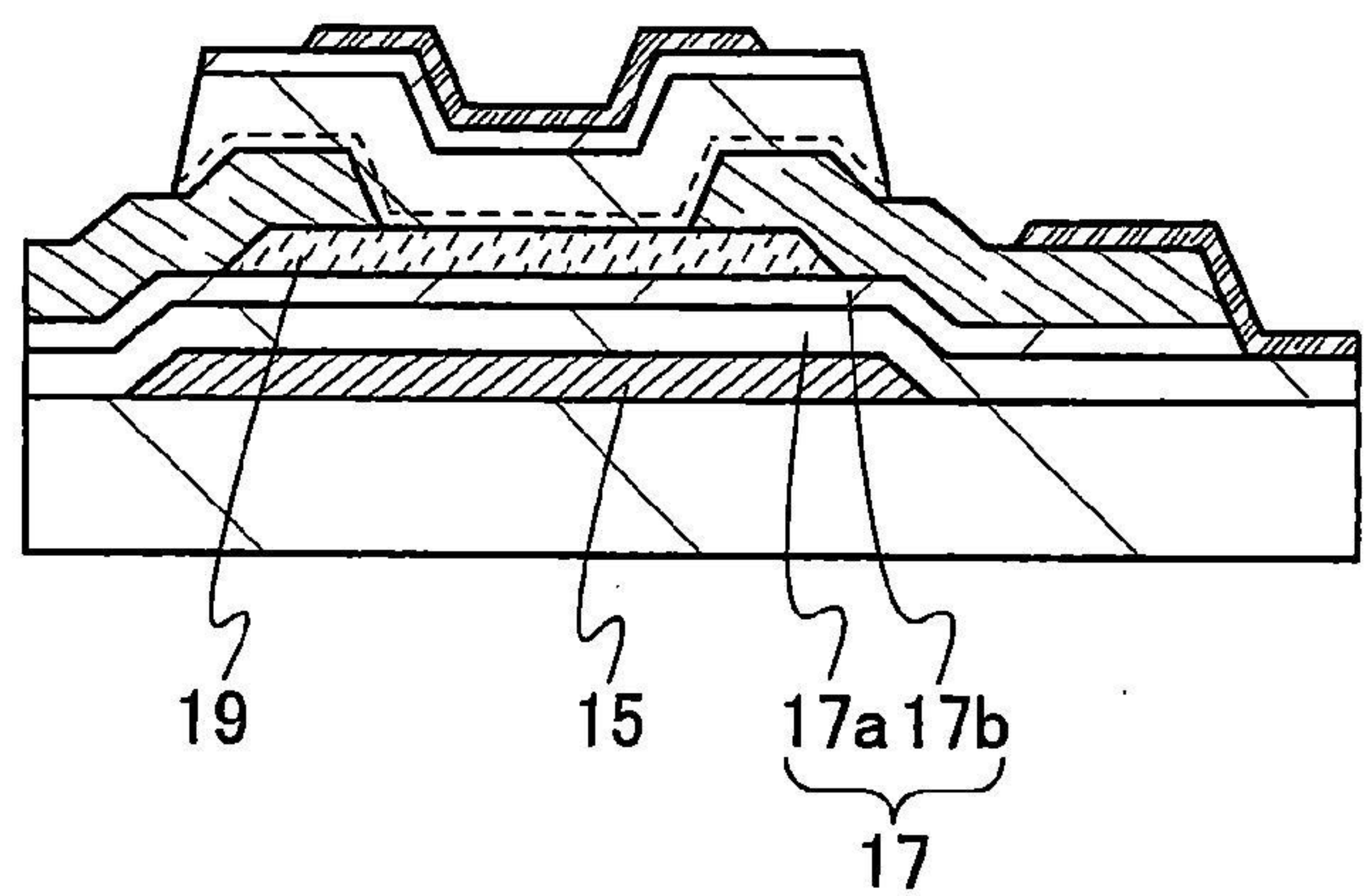


圖 13B

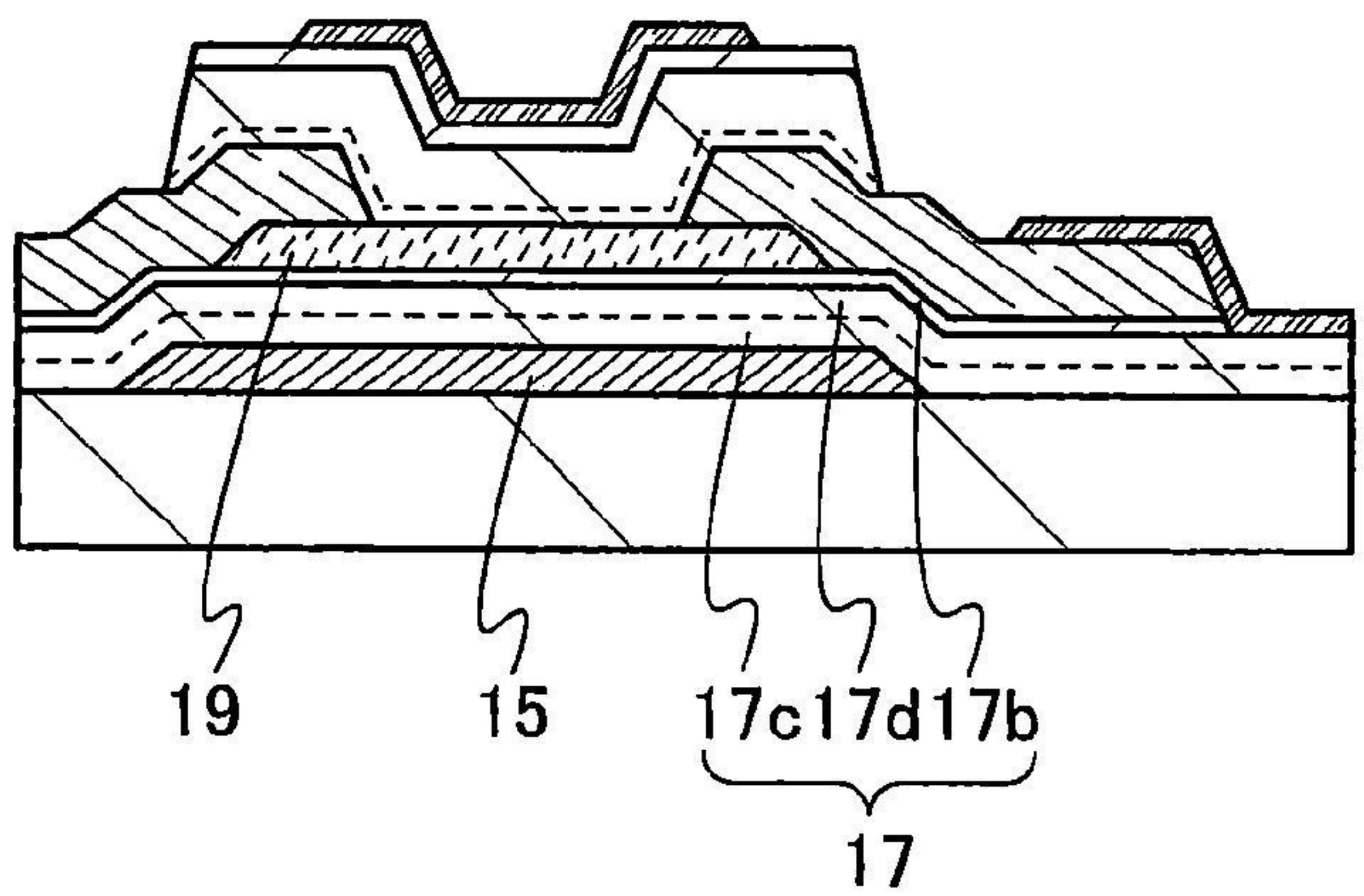


圖 13C

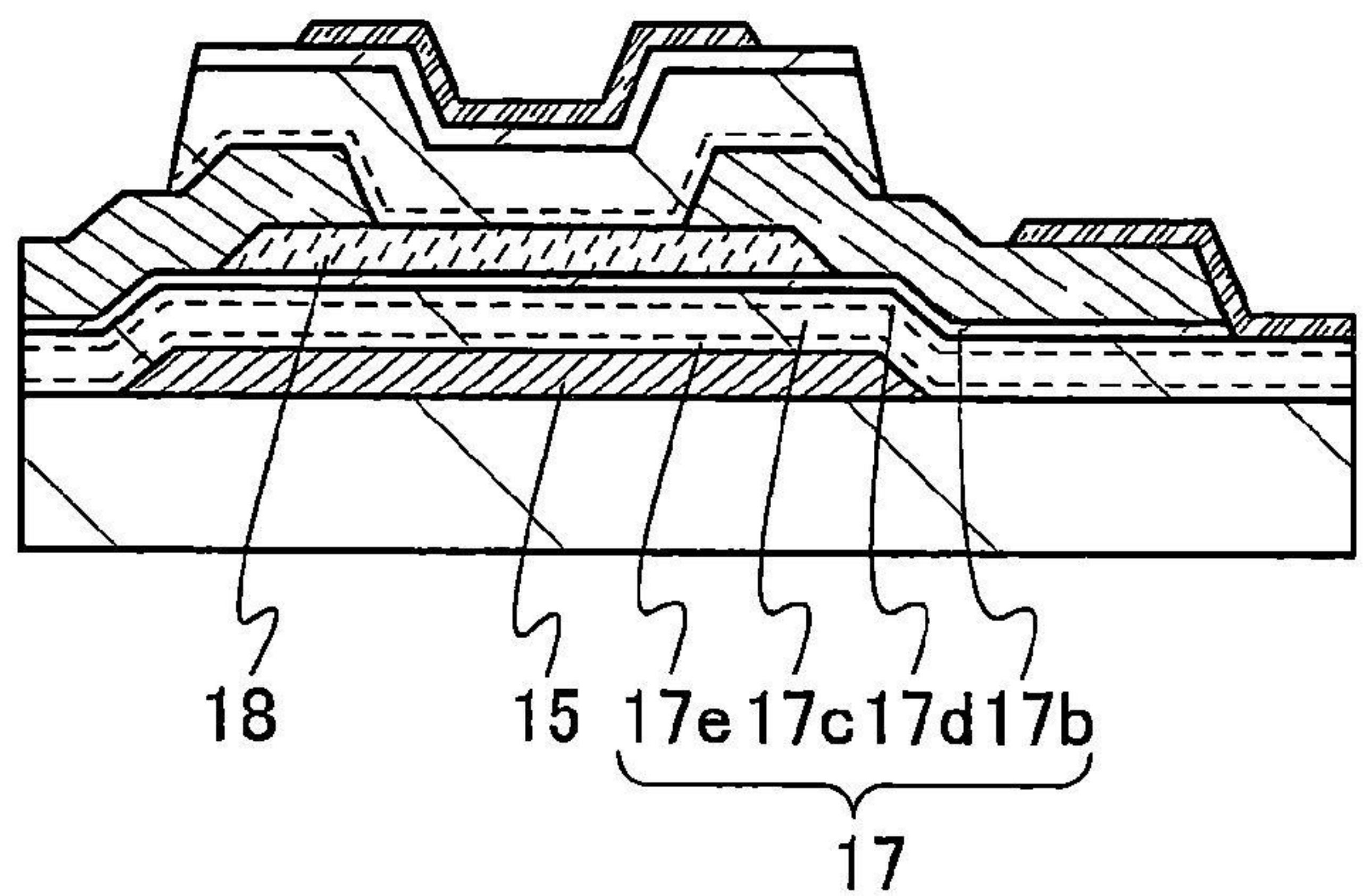


圖 14

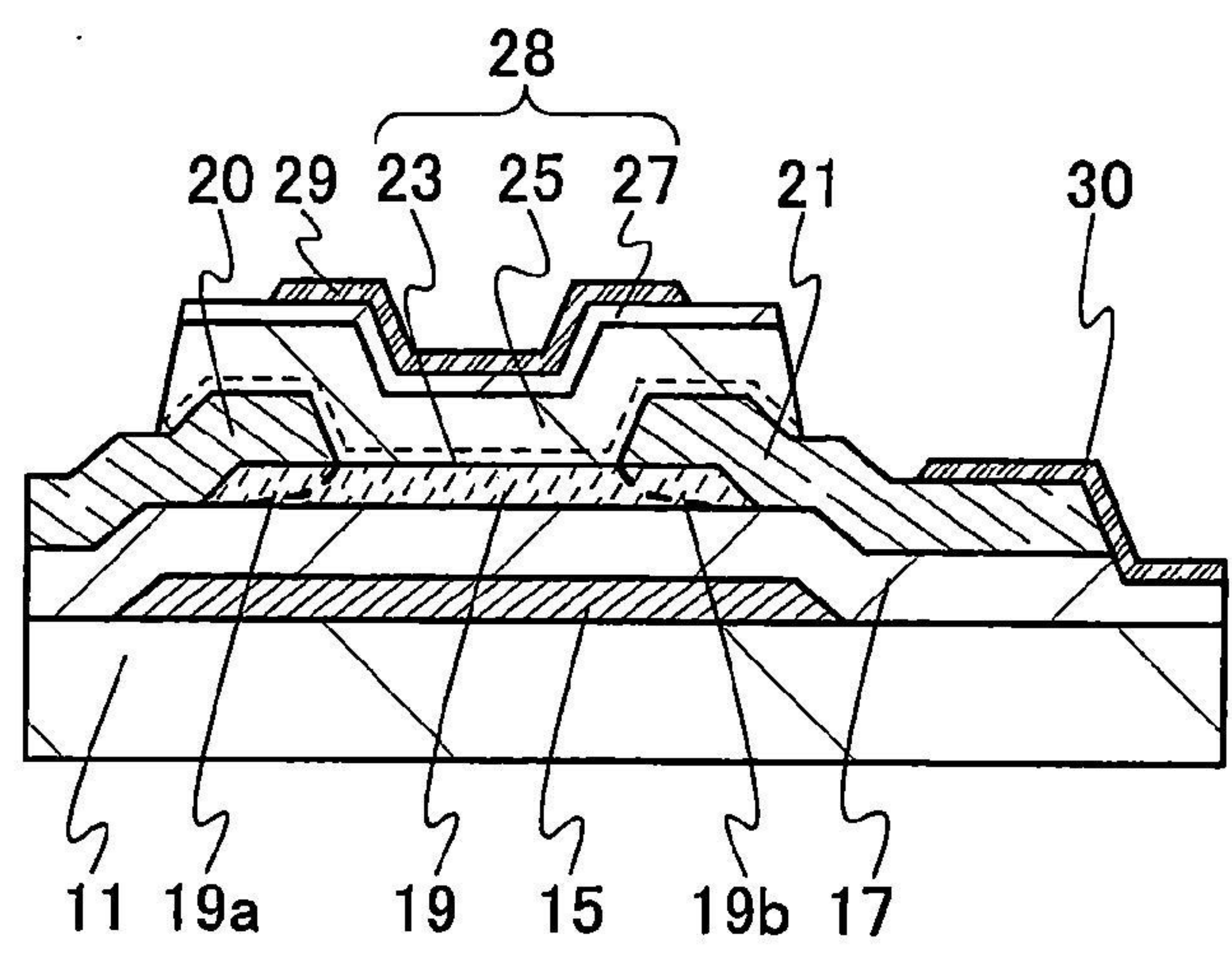


圖 15A

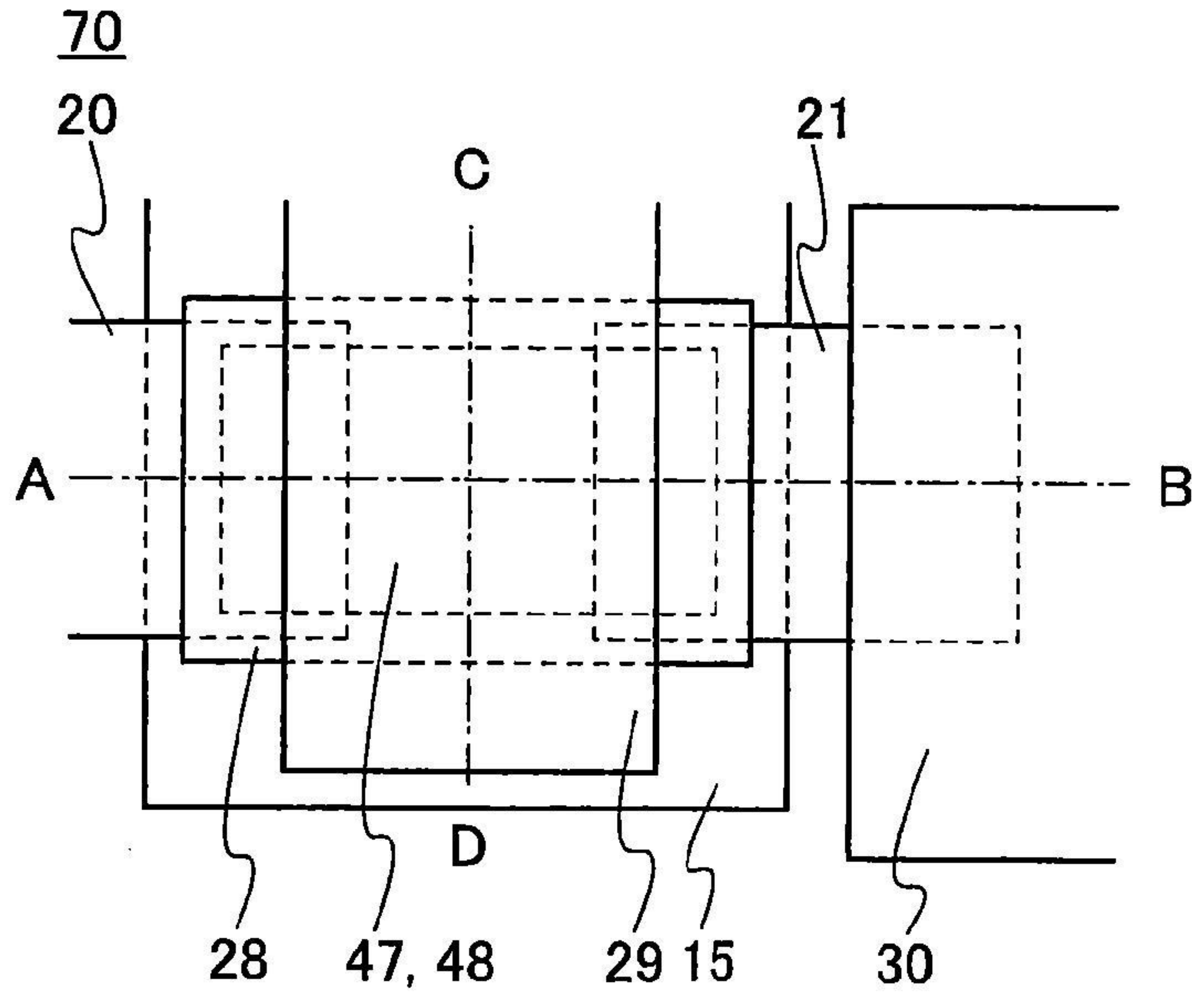


圖 15C

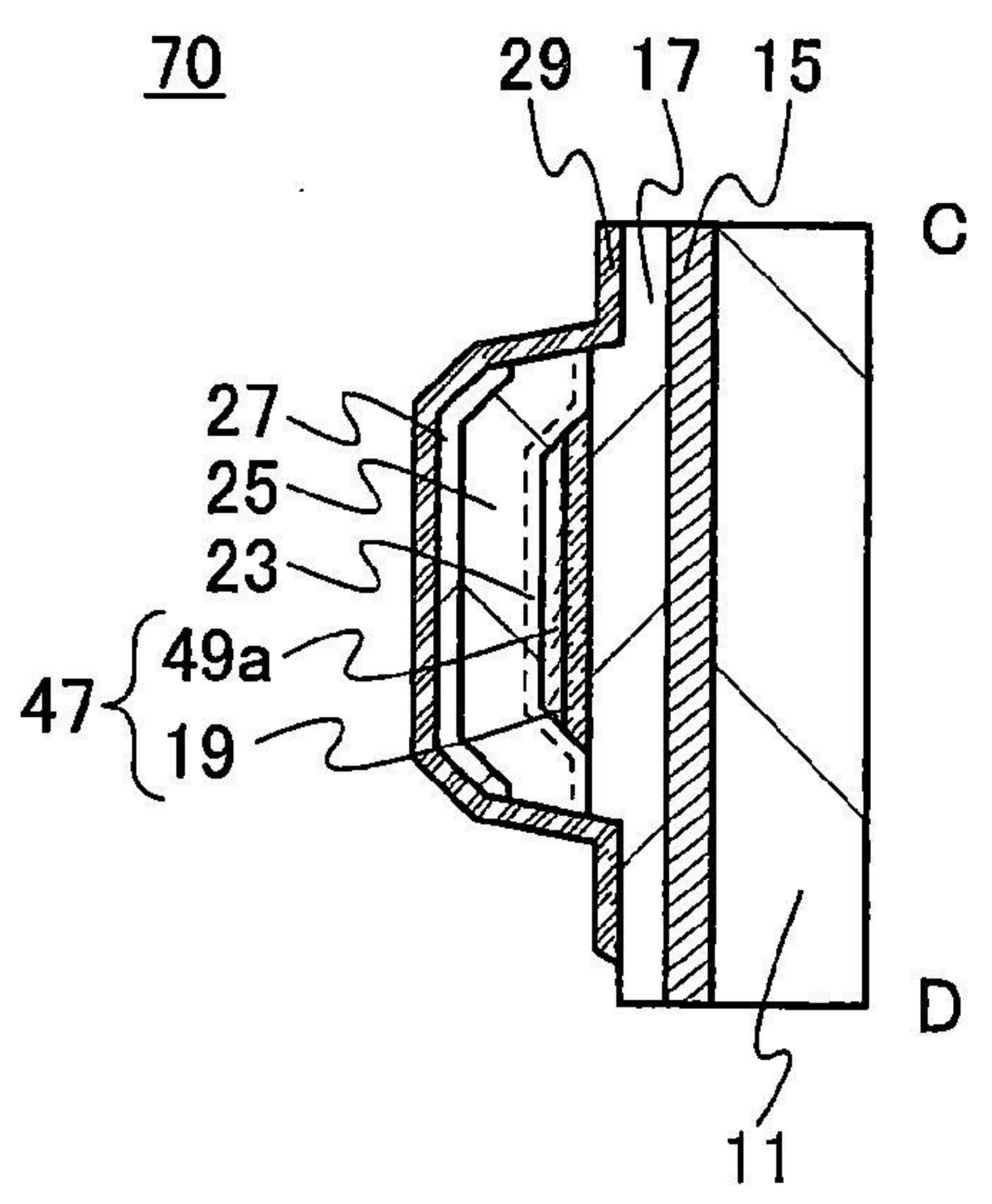


圖 15B

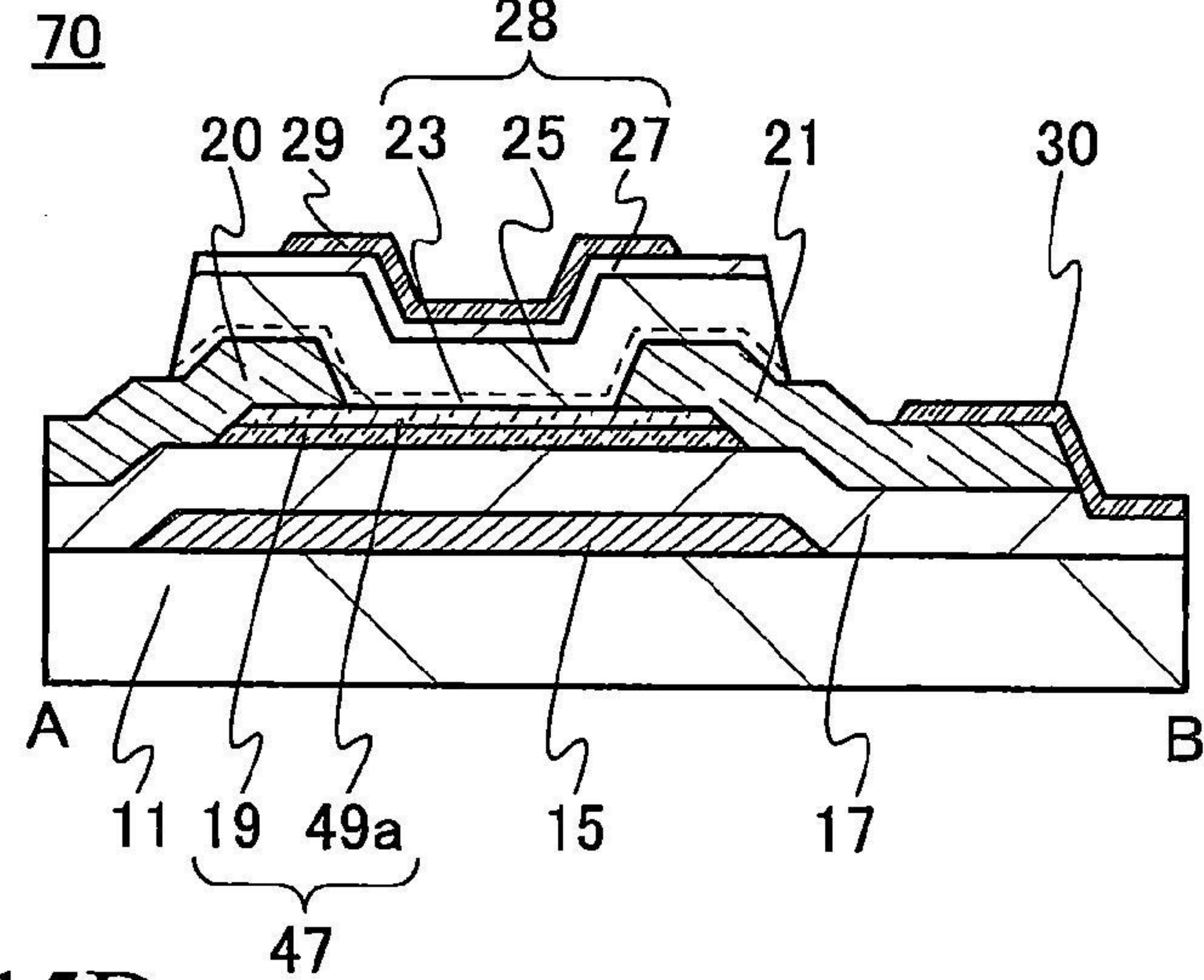


圖 15D

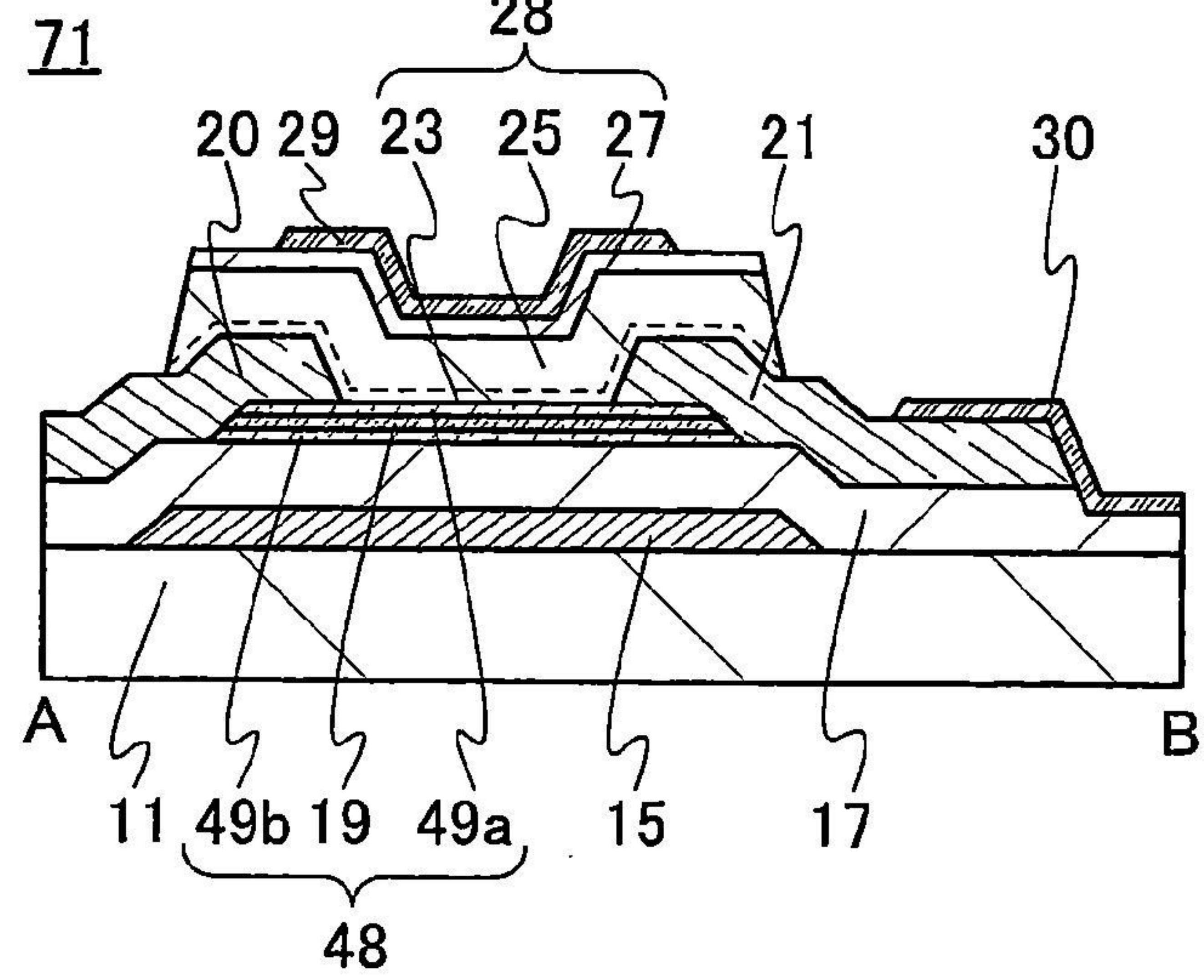


圖 16A

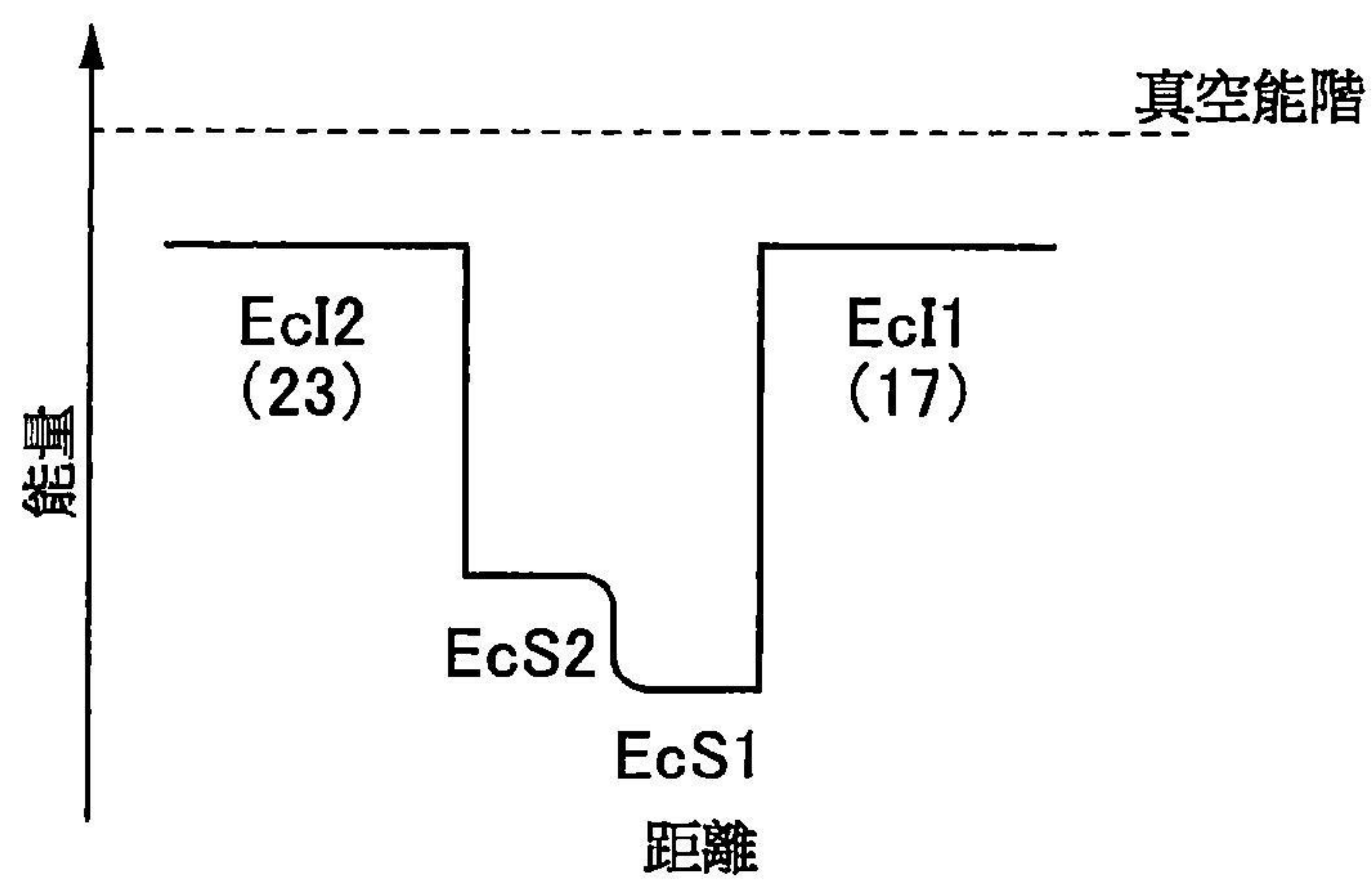


圖 16B

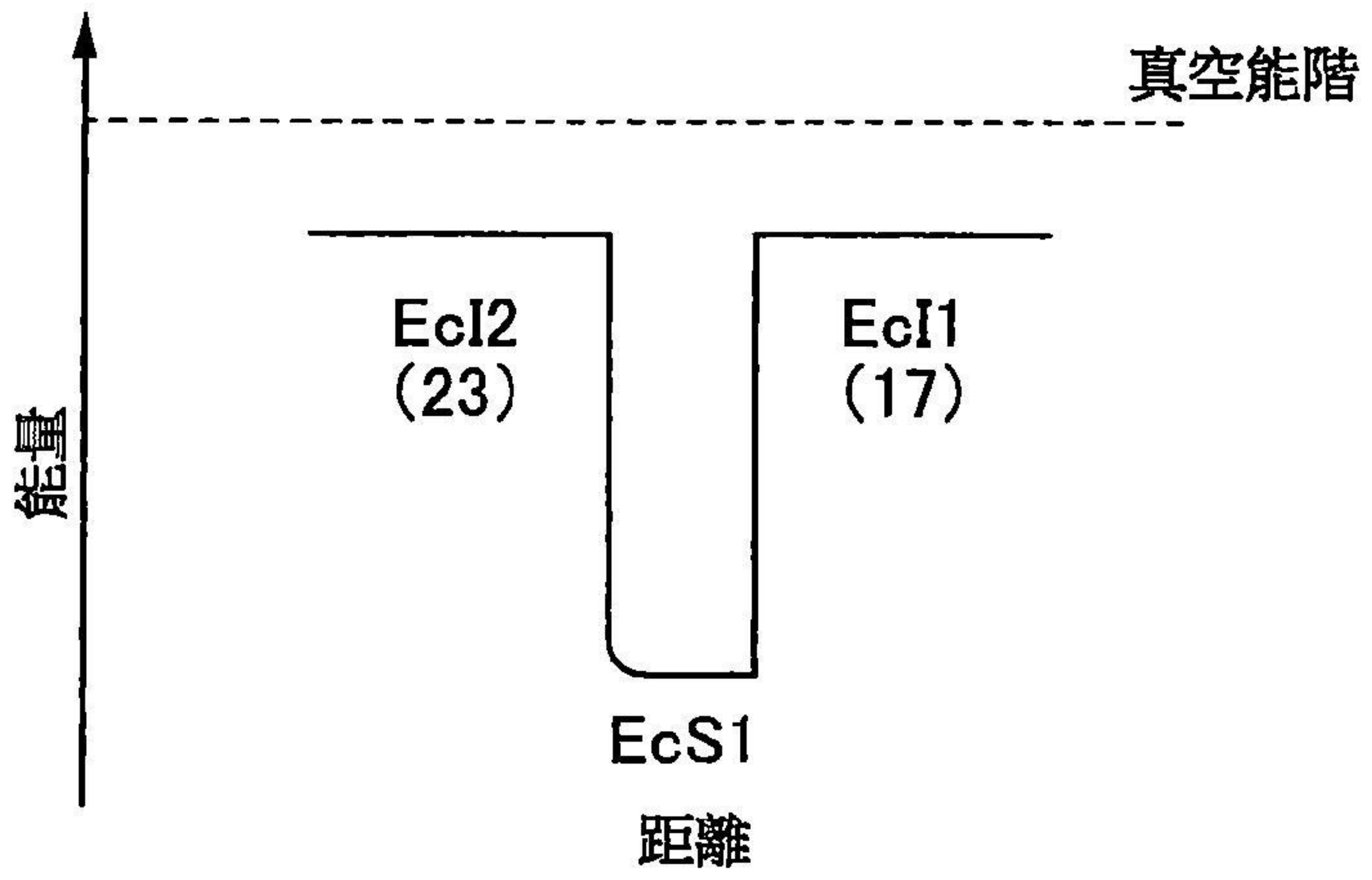


圖 16C

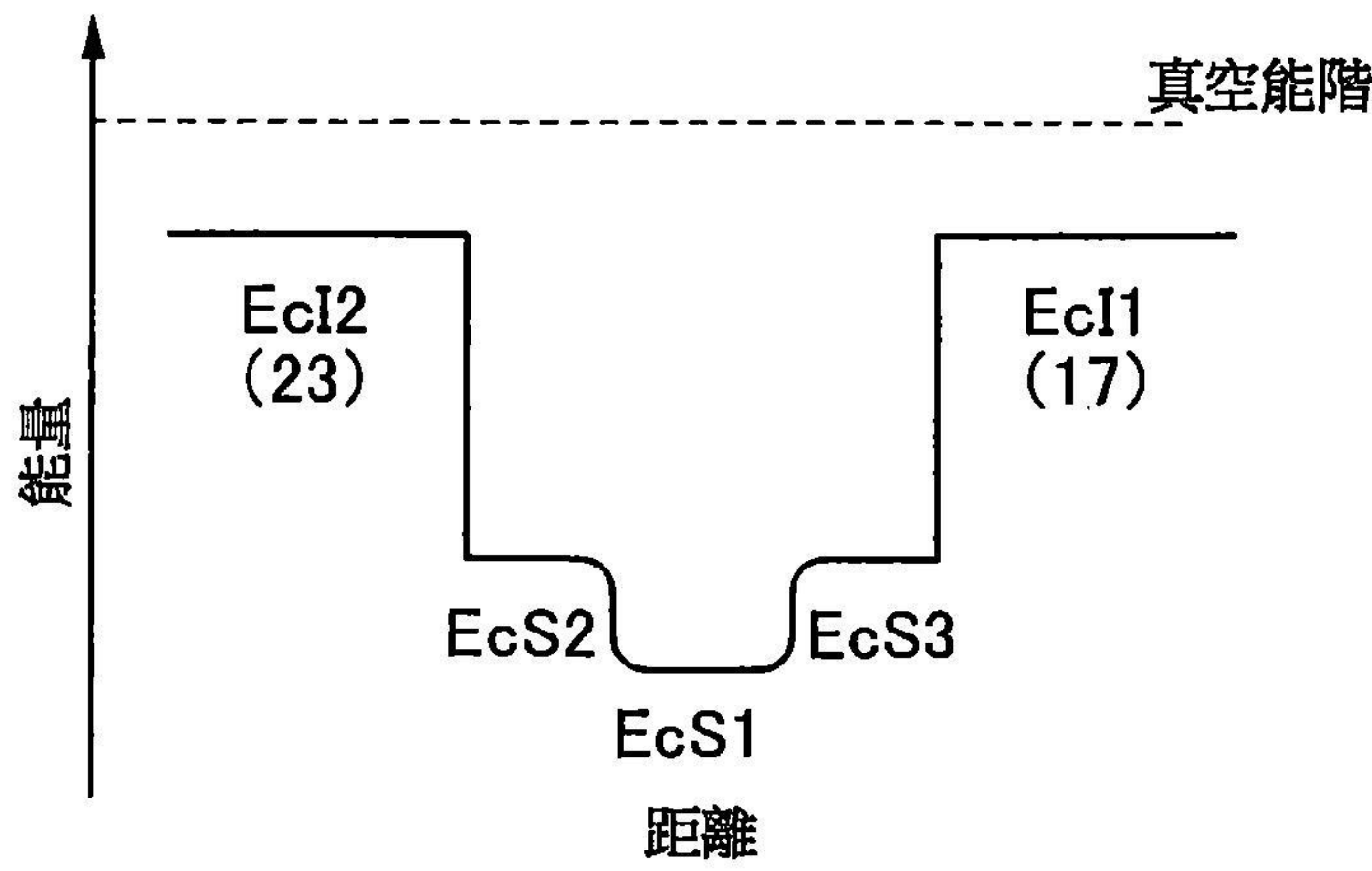
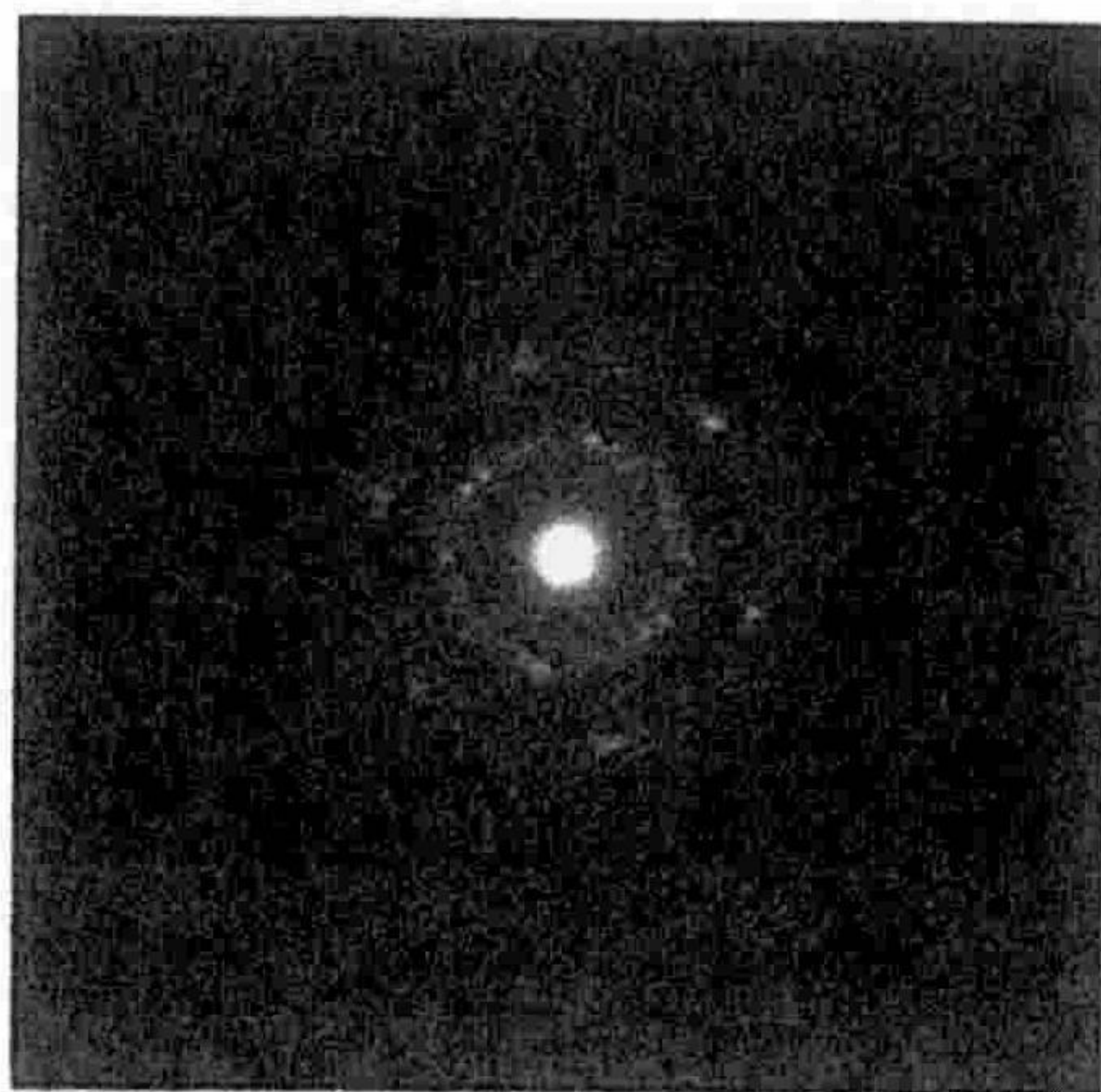
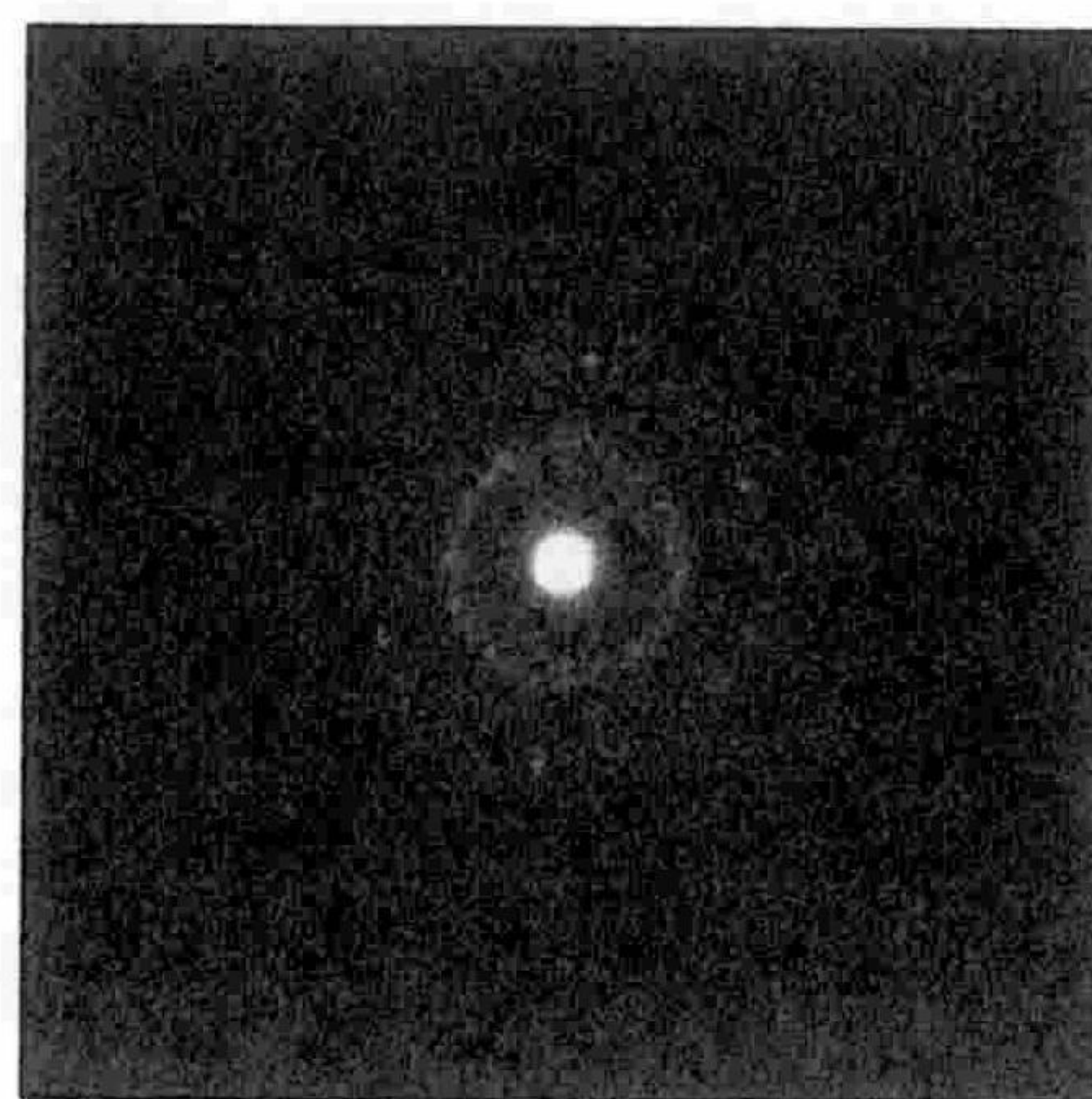


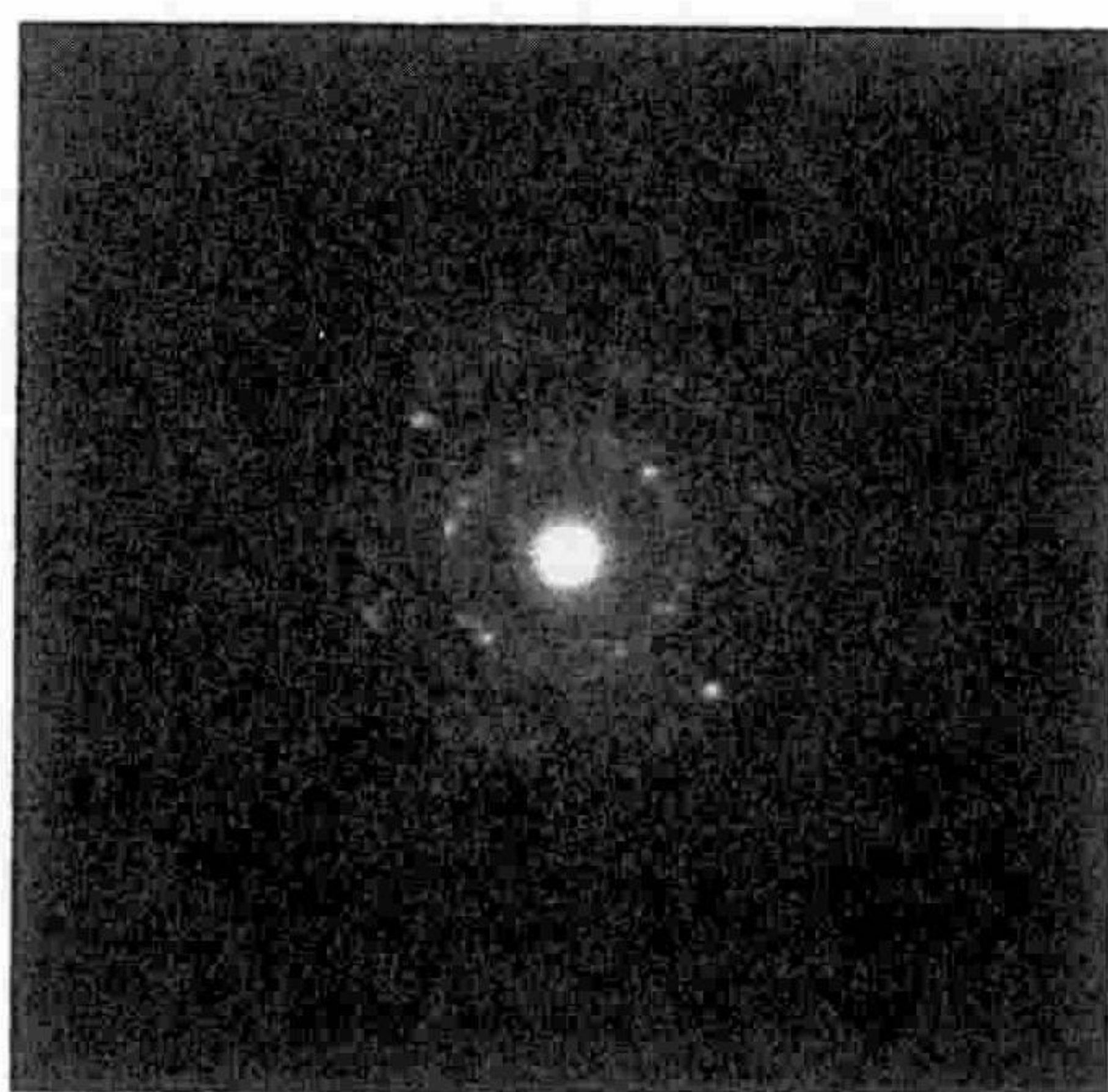
圖 17



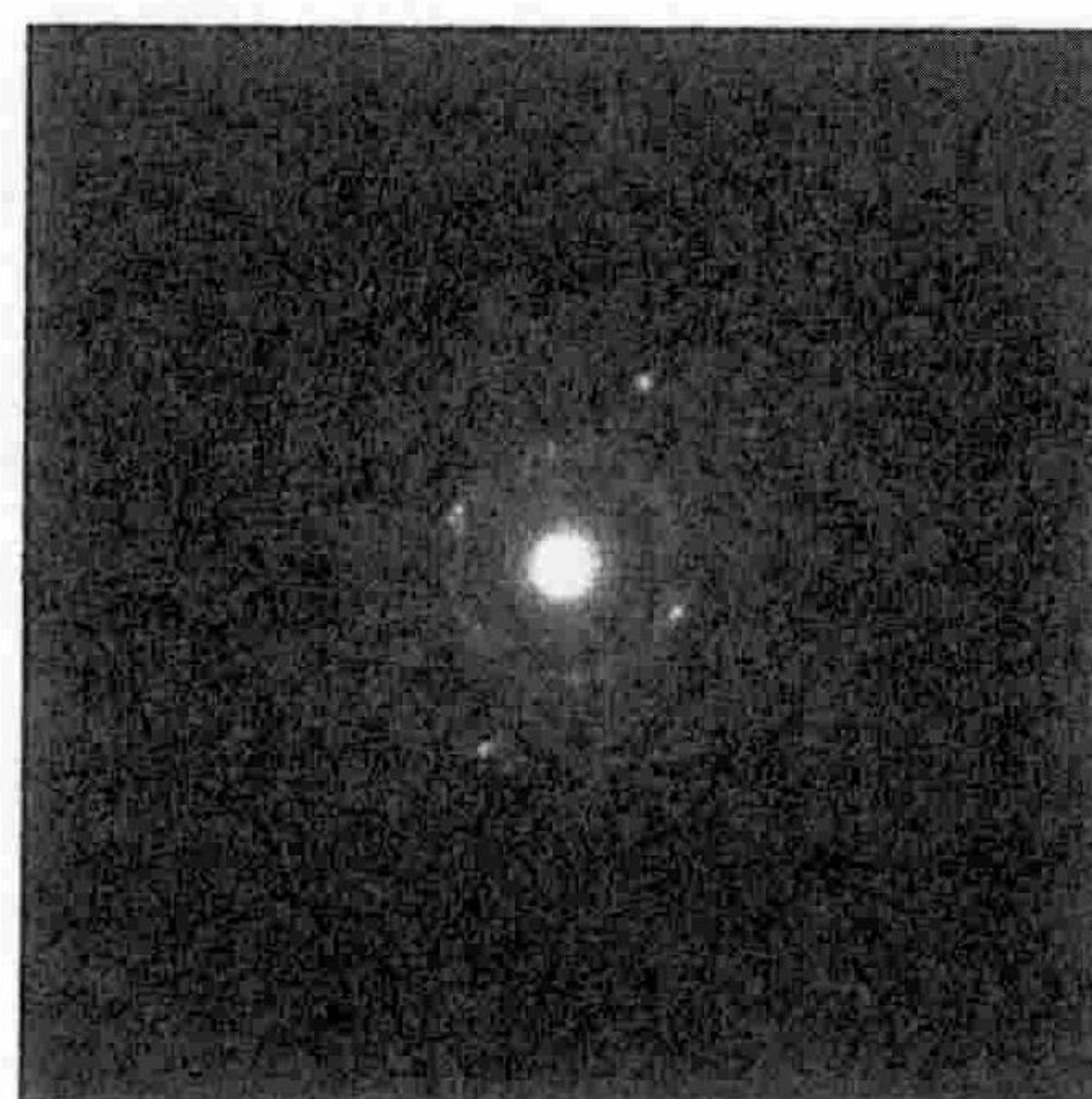
nc-OS 量測位置1



nc-OS 量測位置3



nc-OS 量測位置2



nc-OS 量測位置4

圖 18A

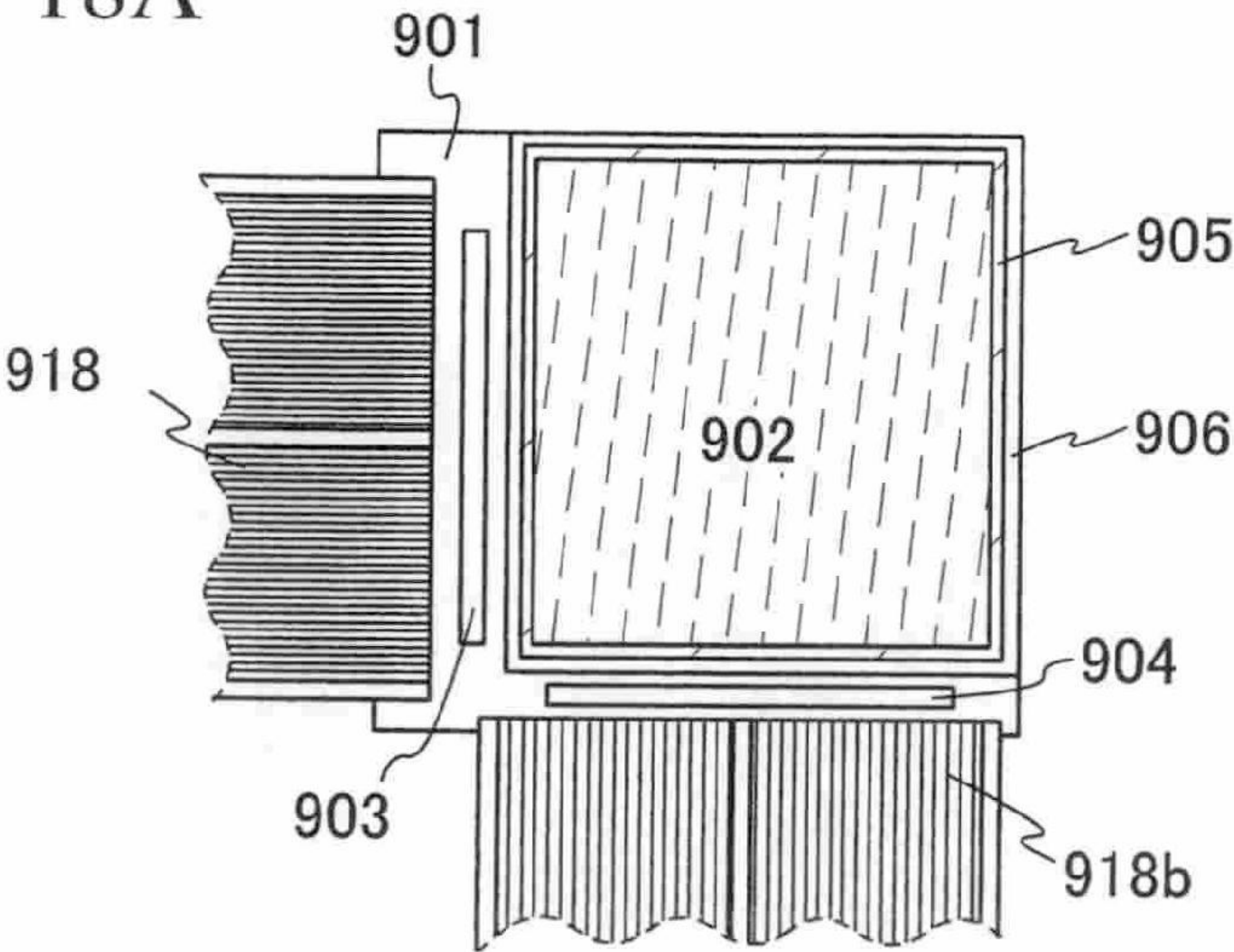


圖 18B

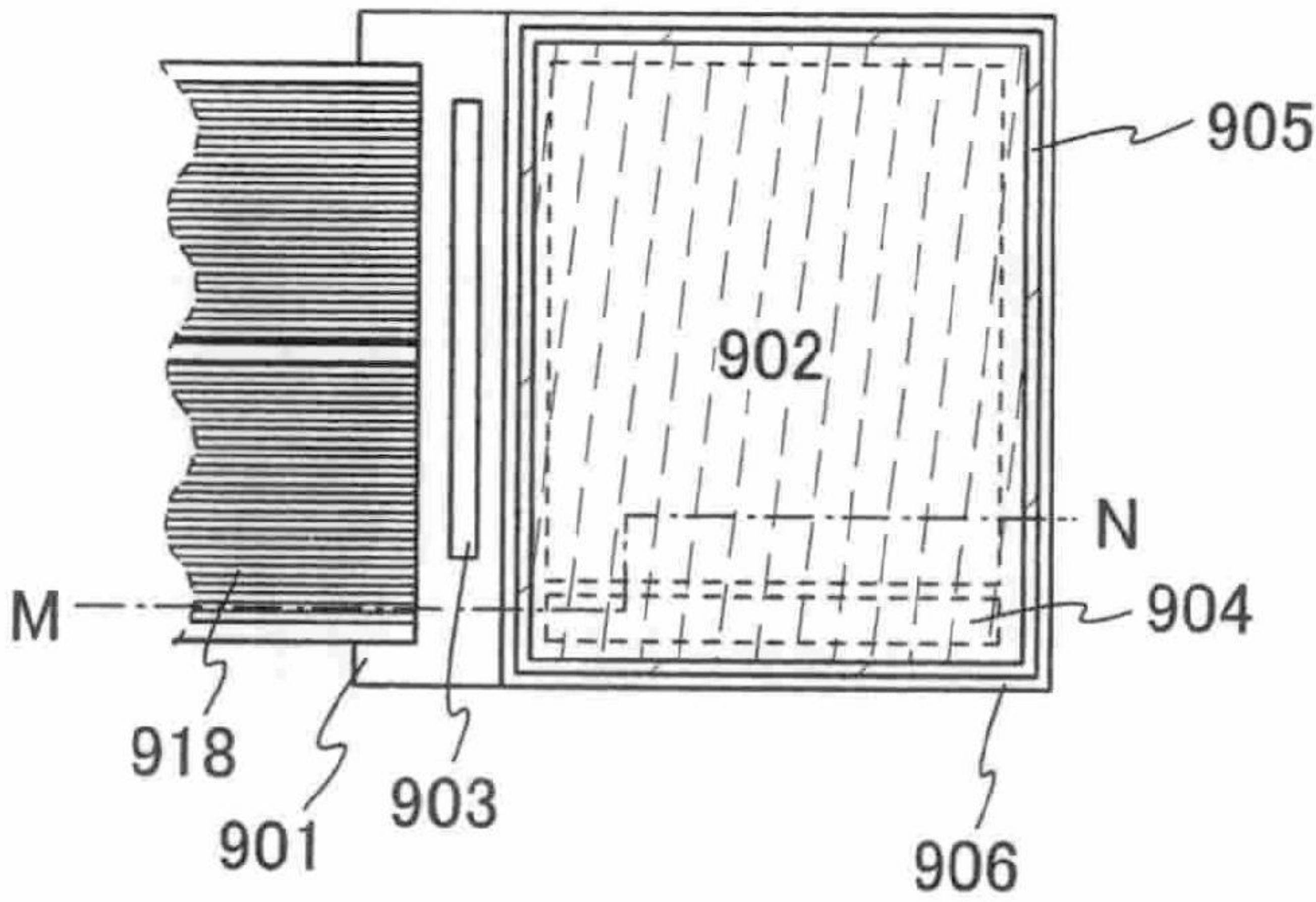


圖 18C

