

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-77768
(P2008-77768A)

(43) 公開日 平成20年4月3日(2008.4.3)

(51) Int.Cl.
G 1 1 C 11/417 (2006.01)

F I
G 1 1 C 11/34 3 0 5

テーマコード (参考)
5 B 0 1 5

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2006-256180 (P2006-256180)	(71) 出願人	000005821
(22) 出願日	平成18年9月21日 (2006. 9. 21)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

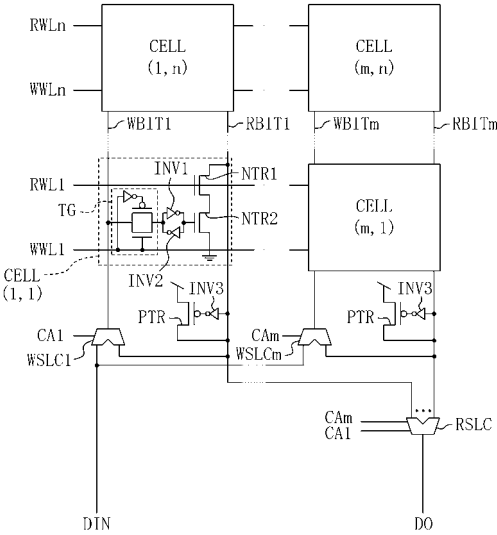
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 シングルエンド方式などのスタティック型メモリセルを有する半導体記憶装置でカラム単位での書き込み等を可能にする。

【解決手段】 ライトワードラインWWL 1...によって選択された行のメモリセルCELL (1 , n)...のうち、カラムセレクト信号CA 1...がHレベルのメモリセルには、入力データラインDINから入力されたデータがライトセクタWSLC 1...およびライトビットラインWBIT 1を介して書き込まれる。一方、カラムセレクト信号CA 1...がLレベルのメモリセルは、保持データがリードビットラインRBIT 1...に読み出され、ライトセクタWSLC 1...およびライトビットラインWBIT 1を介して再度書き込まれる（リードバックされる）ことにより、元の記憶データが維持される。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置されたスタティック型メモリセルと、
上記メモリセルから読み出されたデータを伝達するリードビットラインと、
上記メモリセルに書き込まれるデータを伝達するライトビットラインと、
外部から入力されて上記メモリセルに書き込まれるデータを伝達する入力データラインと、

上記リードライン、または上記入力データラインのデータを選択的に上記ライトビットラインに伝達するセクタと、

を備えたことを特徴とする半導体記憶装置。

10

【請求項 2】

請求項 1 の半導体記憶装置であって、

上記リードビットラインは複数本設けられ、そのうちの少なくとも 1 本が、上記セクタに接続されていることを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 の半導体記憶装置であって、

上記メモリセルは、各リードビットラインに接続される複数のセル出力トランジスタを有し、

セクタに接続されているリードビットラインに接続されるセル出力トランジスタは、他のリードビットラインに接続されるセル出力トランジスタよりもサイズが小さいことを特徴とする半導体記憶装置。

20

【請求項 4】

請求項 2 の半導体記憶装置であって、

m 本 (m は自然数) の上記リードビットラインと、

n 本 (n は自然数) の上記ライトビットラインと、

n 本の上記入力データラインと、

n 個の上記セクタと、

を有し、

上記 m 本のリードビットラインのうちの n 本が、それぞれ上記セクタに接続されていることを特徴とする半導体記憶装置。

30

【請求項 5】

請求項 1 の半導体記憶装置であって、

上記セクタは、アドレス信号の少なくとも一部に基づいて選択制御されることを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 の半導体記憶装置であって、

上記セクタは、半導体記憶装置の外部から入力される書き込み制御信号に基づいて選択制御されることを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 の半導体記憶装置であって、

さらに、入力された信号を保持する保持回路を備え、

上記リードビットラインから上記セクタに入力される信号、または上記セクタから上記ライトビットラインに出力される信号が所定のタイミングで保持されることを特徴とする半導体記憶装置。

40

【請求項 8】

請求項 7 の半導体記憶装置であって、

上記保持回路に保持される信号は、ライトサイクルの場合にだけ、更新されることを特徴とする半導体記憶装置。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、マトリクス状に配置されたスタティック型メモリセルを有する半導体記憶装置に関するものである。

【 背景技術 】

【 0 0 0 2 】

マトリクス状に配置されたメモリセルを有するスタティック型の半導体記憶装置としては、例えばシングルエンド化されたセルに 1 本のライトビットラインで書き込みを行うシングルエンド方式の半導体記憶装置が知られている（例えば、特許文献 1 参照。）。より具体的には、書き込み動作時には、ライトワードラインを活性化するとともに、ライトビットラインを書き込みデータに応じた電位にして、ライトビットラインの電位の状態をそのままメモリセルに書き込むようになっている。

10

【特許文献 1】特開 2 0 0 1 - 9 3 2 8 5 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 3 】

しかしながら、上記のような半導体記憶装置では、1 本のライトワードラインが活性化されると、対応する全てのカラムで、各ライトビットラインの電位に応じたデータがメモリセルに書き込まれてしまう。

【 0 0 0 4 】

したがって、所定数のカラム単位で、すなわち所定ビット幅のデータを書き込めるようにしたり、一部のビットだけを書き換え可能にすることなどはできないという問題点を有していた。また、同様の問題は、シングルエンド方式の半導体記憶装置に限らず、差動ライトライン方式の半導体記憶装置などでも、デザインルールの微細化等に伴って顕著になりつつある。

20

【 0 0 0 5 】

本発明は、上記の点に鑑み、スタティック型メモリセルを有する、例えばシングルエンド方式の半導体記憶装置などでも、活性化されたワードラインに接続されているメモリセルのうちの一部のメモリセルだけを容易に書き換えられるようにして、カラム単位での書き込みを行うことなどが容易にできるようにすることを目的としている。

【 課題を解決するための手段 】

30

【 0 0 0 6 】

上記の課題を解決するため、本発明の半導体記憶装置は、
マトリクス状に配置されたスタティック型メモリセルと、
上記メモリセルから読み出されたデータを伝達するリードビットラインと、
上記メモリセルに書き込まれるデータを伝達するライトビットラインと、
外部から入力されて上記メモリセルに書き込まれるデータを伝達する入力データラインと、

上記リードライン、または上記入力データラインのデータを選択的に上記ライトビットラインに伝達するセレクトと、

を備えたことを特徴とする。

40

【 0 0 0 7 】

これにより、セレクトによって入力データラインが選択されたカラムのメモリセルには、入力データが書き込まれる一方、セレクトによってリードラインが選択されたカラムのメモリセルでは、元から記憶されていたデータがライトバックされて記憶内容が維持される。

【 発明の効果 】

【 0 0 0 8 】

本発明によれば、活性化されたワードラインに接続されているメモリセルのうちの一部のメモリセルだけを書き換えられるようにすることなどができる。

【 発明を実施するための最良の形態 】

50

【 0 0 0 9 】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態において、他の実施形態と同様の機能を有する構成要素については同一の符号を付して説明を省略する。また、便宜上、通常の読み出し動作に関する説明は適宜省略する。

【 0 0 1 0 】

《 発明の実施形態 1 》

図 1 は、本発明の実施形態 1 の半導体記憶装置の構成を示す回路図である。

【 0 0 1 1 】

同図において、CELL (1 , 1) ~ (m , n) は、n 行 m 列のマトリクス状に配置されたメモリセルである。各メモリセルは、具体的には、データをスタティックに記憶 (ラッチ) する 2 つのインバータ INV 1 ・ INV 2 と、データの書き込みを制御するトランスファゲート TG と、記憶されているデータの読み出しを制御する 2 つの N チャネルトランジスタ NTR 1 ・ NTR 2 とを備えて構成されている。

10

【 0 0 1 2 】

WBIT 1 ~ WBIT m は、メモリセルに書き込むデータを伝達するライトビットラインである。

【 0 0 1 3 】

RBIT 1 ~ RBIT m は、メモリセルから読み出されたデータを伝達するリードビットラインである。

【 0 0 1 4 】

20

WWL 1 ~ WWL n は、データを書き込むメモリセルを指示するライトワードラインである。これらのライトワードライン WWL 1 ~ WWL n は、例えば、半導体記憶装置の外部から指定される図示しないアドレス信号に基づいて何れか 1 つが H (High) レベルになる。これによって、対応するメモリセルでは、ライトビットライン WBIT 1 ~ WBIT m のレベルに応じた信号が、トランスファゲート TG を介してインバータ INV 1 ・ INV 2 にラッチされる。

【 0 0 1 5 】

RWL 1 ~ RWL n は、記憶データを読み出すメモリセルを指示するリードワードラインである。これらのリードワードライン RWL 1 ~ RWL n は、上記ライトワードライン WWL 1 ~ WWL n と同様に、例えば図示しないアドレス信号に基づいて何れか 1 つが H レベルになる。これによって、対応するメモリセルでは、インバータ INV 1 ・ INV 2 にラッチされている信号レベルに応じて、各リードビットライン RBIT 1 ~ RBIT m にプリチャージされた電荷が維持またはディスチャージされる。

30

【 0 0 1 6 】

WSLC 1 ~ WSLC m は、データの書き込み時に、カラムセレクト信号 CA 1 ~ CA m に応じて、半導体記憶装置の外部から入力されるデータを書き込むか、または各セルから読み出されるデータを再度書き込むかを選択するライトセクタである。より詳しくは、例えばライトセクタ WSLC 1 は、入力データライン DIN、またはリードビットライン RBIT 1 の何れか一方を選択して、ライトビットライン WBIT 1 に接続するようになっている。他のライトセクタ WSLC m 等も同様である。

40

【 0 0 1 7 】

上記カラムセレクト信号 CA 1 ~ CA m は、例えば、外部から指定されるアドレス信号に基づいて生成され (アドレス信号の一部がそのまま、またはデコードされて用いられ) 、H レベルのときに、入力データライン DIN がライトビットライン WBIT 1 等に接続される一方、L (Low) レベルのときに、リードビットライン RBIT 1 ~ RBIT m がライトビットライン WBIT 1 ~ WBIT m に接続される。なお、カラムセレクト信号 CA 1 ~ CA m としては、外部から直接入力された信号や、これがデコードされた信号などを用いるようにしてもよい。例えば、カラムセレクト信号として、カラムアドレスと半導体記憶装置のビットごとに書き込みを指示するビットライトイネーブル信号との論理積を用いることで、ビットライト機能を実現することが可能である。

50

【 0 0 1 8 】

R S L C は、データの読み出し時に、カラムセレクト信号 C A 1 ~ C A m に応じて、各セルから読み出されたデータのうちの 1 つを選択し、出力データライン D O に出力するリードセクタである。より詳しくは、リードビットライン R B I T 1 ~ R B I T m のうちの何れか 1 つを選択して、出力データライン D O に接続するようになっている。

【 0 0 1 9 】

各リードビットライン R B I T 1 ~ R B I T m に接続されているインバータ I N V 3、および P チャネルトランジスタ P T R は、各リードビットライン R B I T 1 ~ R B I T m の電位が H レベルのときに、リーク電流を補償して H レベルを維持するためのものである。

10

【 0 0 2 0 】

また、半導体記憶装置には、例えば図示しないプリチャージ回路が設けられ、リードワードライン R W L 1 ~ R W L n、およびライトワードライン W W L 1 ~ W W L n が何れも活性化されていない時 (L レベルの時) に、リードビットライン R B I T 1 ~ R B I T m が例えば電源電位にプリチャージされるようになっている。

【 0 0 2 1 】

上記のように構成された半導体記憶装置の動作を説明する。ここで、以下では、メモリセル C E L L (1 , 1) ~ (m , n) にラッチされている信号が、プリチャージされたリードビットライン R B I T 1 の電荷を維持するような信号である場合に「 1 」が記憶されていると呼び、リードビットライン R B I T 1 の電荷をディスチャージするような信号である場合に「 0 」が記憶されていると呼ぶ。

20

【 0 0 2 2 】

以下、具体的な書き込み動作の例を図 2 に示すタイミングチャートに基づいて説明する。この例では、あらかじめ、

メモリセル C E L L (1 , 1)、(m , 1)、(1 , n) に「 0 」が記憶される一方、メモリセル C E L L (m , n) に「 1 」が記憶された状態で、

第 1 の書き込みサイクルで C E L L (1 , 1) に「 1 」が書き込まれた後、

第 2 の書き込みサイクルで C E L L (m , n) に「 0 」が書き込まれる例を説明する。

【 0 0 2 3 】

(第 1 の書き込みサイクル以前)

30

まず、第 1 の書き込みサイクルに先立って (すなわちリードワードライン R W L 1 ~ R W L n、およびライトワードライン W W L 1 ~ W W L n が何れも L レベルの時に)、リードビットライン R B I T 1 ~ R B I T m が電源電位にプリチャージされる。また、次の第 1 の書き込みサイクルでリードワードライン R W L 1 ~ R W L n の何れかが H レベルになるまでに、カラムセレクト信号 C A 1 だけが H レベルにされ、他は L レベルにされる。

【 0 0 2 4 】

(第 1 の書き込みサイクル)

メモリセル C E L L (1 , 1) への書き込みが行われる際には、まず、リードワードライン R W L 1 が H レベルにされて、メモリセル C E L L (1 , 1)、(m , 1) の記憶内容がリードビットライン R B I T 1 ~ R B I T m に読み出される。ここでは、これらのメモリセルには「 0 」が記憶されているため、リードビットライン R B I T 1、R B I T m は、何れもプリチャージされた電荷がディスチャージされて、やがて L レベルになる。

40

【 0 0 2 5 】

ところが、書き込みが行われるメモリセル C E L L (1 , 1) に関しては、カラムセレクト信号 C A 1 が H レベルにされているために、ライトセクタ W S L C 1 によって入力データライン D I N が選択され、ライトビットライン W B I T 1 は上記リードビットライン R B I T 1 のレベルに係わらず入力データライン D I N に応じたレベルになる。

【 0 0 2 6 】

一方、書き込みが行われないメモリセル C E L L (m , 1) に関しては、カラムセレクト信号 C A m が L レベルにされているために、ライトセクタ W S L C m によって上記リ

50

ードビットライン $RBI T m$ が選択され、ライトビットライン $WBI T m$ は上記リードビットライン $RBI T m$ と同じ L レベルになる。

【0027】

そこで、ライトワードライン $WWL 1$ が所定時間だけ H レベルにされると、メモリセル $C E L L (1, 1)$ には、入力データライン $D I N$ から入力される「1」が書き込まれる一方、メモリセル $C E L L (m, 1)$ には、元から記憶されていた「0」が再度書き込まれる（ライトバックされて記憶内容が維持される）。

【0028】

すなわち、ライトワードライン $WWL 1$ によって選択された行方向の全てのメモリセル $C E L L (1, 1) \sim (m, 1)$ に対して書き込み動作が行われるが、実際には、そのうち、カラムセレクト信号 $CA 1$ によって選択されたカラムのメモリセル $C E L L (1, 1)$ だけが、入力データライン $D I N$ から入力されるデータに書き換えられる。

【0029】

ライトワードライン $WWL 1$ が L レベルに戻ると、次の書き込みサイクルに備えて、再びリードビットライン $RBI T 1 \sim RBI T m$ が電源電位にプリチャージされる。また、次はメモリセル $C E L L (m, n)$ への書き込みをするために、カラムセレクト信号 $CA 1$ が L レベルにされ、カラムセレクト信号 $CA m$ が H レベルにされる。

【0030】

（第2の書き込みサイクル）

次にメモリセル $C E L L (m, n)$ への書き込みが行われる際には、リードワードライン $RWL n$ が H レベルにされて、メモリセル $C E L L (1, n)$ 、 (m, n) の記憶内容がリードビットライン $RBI T 1 \sim RBI T m$ に読み出される。ここでは、これらのメモリセルには「0」と「1」が記憶されているため、リードビットライン $RBI T 1$ は第1の書き込みサイクルと同様にプリチャージされた電荷がディスチャージされて、やがて L レベルになる一方、 $RBI T m$ は、プリチャージされた電荷が維持されて、 H レベルに保たれる。

【0031】

また、この書き込みサイクルではカラムセレクト信号 $CA 1$ が L レベル、 $CA m$ が H レベルにされているために、ライトセクタ $W S L C 1$ では上記リードビットライン $RBI T 1$ が選択される一方、ライトセクタ $W S L C m$ では入力データライン $D I N$ が選択される。

【0032】

そこで、ライトワードライン $WWL n$ が所定時間だけ H レベルにされると、メモリセル $C E L L (1, n)$ には、元から記憶されていた「0」がライトバックされる一方、メモリセル $C E L L (m, n)$ には、入力データライン $D I N$ から入力される「0」が書き込まれる。

【0033】

すなわち、第1の書き込みサイクルと同様に、ライトワードライン $WWL n$ によって選択された行方向のメモリセル $C E L L (1, n) \sim (m, n)$ のうちで、さらにカラムセレクト信号 $CA m$ によって選択されたカラムのメモリセル $C E L L (m, n)$ だけが書き換えられる。

【0034】

上記のように、書き込みの対象となるメモリセル行のメモリセルのうち、非選択カラムのメモリセルに対しては、まずリードワードライン $RWL 1 \sim RWL n$ を活性化して記憶内容をリードビットライン $RBI T 1 \sim RBI T m$ に読み出し、これをライトセクタ $W S L C 1 \sim W S L C m$ を介してライトビットライン $WBI T 1 \sim m$ に伝達し、再度書き込み（ライトバック）する。これにより、非選択カラムのメモリセルに記憶されているデータが破壊されないようにして、一部の選択カラムのメモリセルだけに新たなデータを書き込むことができる。すなわち、比較的小面積化や多ポート化が容易なシングルエンド方式のスタティック $R A M$ でも、一般のいわゆる6トランジスタメモリセルを用いて構成され

10

20

30

40

50

るスタティック R A M と同様のカラム構成や、特定の行の特定の列のみ書き込みを可能にすることなどが容易にできる。

【 0 0 3 5 】

それゆえ、例えば同時に読み書きするビット数および総記憶容量が同じであれば、カラム数（行方向のメモリセルの数）を多くする一方、列方向のメモリセルを少なくして、ビット線の寄生容量を小さく抑えることが容易にできる。したがって、読み出し速度を向上させたり、メモリセルの（トランジスタの）サイズを小さくして、一層、小面積化を図ったり記憶容量を増大させたりすることが容易にできる。

【 0 0 3 6 】

なお、上記のようにシングルエンド方式の R A M に限らず、6 トランジスタメモリセルを用いた半導体記憶装置などでも、同様にライトバックさせる構成を適用してもよい。すなわち、そのようないわゆる差動ライトライン方式の半導体記憶装置でも、デザインルールの微細化や低電圧化等が図られる場合などに、書き換えられないカラムのセルの記憶内容を確実に保持させることが容易にできる。

【 0 0 3 7 】

《 発明の実施形態 2 》

図 3 は、本発明の実施形態 2 の半導体記憶装置の構成を示す回路図である。

【 0 0 3 8 】

この半導体記憶装置には、前記実施形態 1 の構成に比べて、さらに、フリップフロップ F F 1 ~ F F m を備えている点が異なっている。上記フリップフロップ F F 1 ~ F F m は、ライトセクタ W S L C 1 ~ W S L C m から出力される信号のレベルをクロック信号 C L K の立ち下がりエッジで保持（更新）し、ライトビットライン W B I T 1 ~ W B I T m に出力するようになっている。

【 0 0 3 9 】

本第 2 実施形態においても、ライトバックを利用した基本的な書き込み動作は実施形態 1 と同様である。しかしながら、上記のようにフリップフロップ F F 1 ~ F F m が設けられることによって、直前の書き込みデータが「 0 」であって、次にライトバックされるデータも「 0 」である場合の消費電力を小さく抑えることができる。すなわち、連続してライトバックされるデータが「 0 」である場合、リードビットライン R B I T 1 ~ R B I T m は、一旦プリチャージにより H レベルになった後に、ディスチャージによって L レベルになる。この場合、ライトビットライン W B I T 1 ~ W B I T m も同じようにレベルが変化すると、充放電により更に多くの電力を消費することになる。ところが、上記のようにフリップフロップ F F 1 ~ F F m を設け、上記ディスチャージが完了するタイミングまでライトビットライン W B I T 1 ~ W B I T m のレベルを直前のレベルに維持させることによって、無駄なレベル変化による電力消費が抑制される。

【 0 0 4 0 】

以下、具体的な書き込み動作を図 4 に示すタイミングチャートに基づいて説明する。以下の例では、あらかじめ、

メモリセル C E L L (1 , 1)、(1 , n) に「 0 」が記憶される一方、

メモリセル C E L L (m , 1)、(m , n) に「 1 」が記憶された状態で、

第 1 の書き込みサイクルで C E L L (m , 1) に「 0 」が書き込まれた後、

第 2 の書き込みサイクルで C E L L (m , n) に「 0 」が書き込まれる例を説明する。

【 0 0 4 1 】

（第 1 の書き込みサイクル以前）

前記実施形態 1 と同様に、第 1 の書き込みサイクルの前には、リードビットライン R B I T 1 ~ R B I T m が電源電位にプリチャージされる。また、カラムセレクト信号 C A m だけが H レベルにされる。

【 0 0 4 2 】

（第 1 の書き込みサイクル）

メモリセル C E L L (m , 1) への書き込みが行われる際には、まず、リードワードラ

10

20

30

40

50

インRWL1がHレベルにされて、メモリセルCELL(1,1)、(m,1)の記憶内容がリードビットラインRBIT1・RBITmに読み出される。ここでは、これらのメモリセルには「0」と「1」が記憶されているため、リードビットラインRBIT1は、プリチャージされた電荷がディスチャージされて、やがてLレベルになる一方、リードビットラインRBITmは、プリチャージされた電荷が維持され、電位はHレベルに保たれる。

【0043】

ライトセクタWSLC1は、Lレベルのカラムセレクト信号CA1に応じて上記リードビットラインRBIT1を選択する一方、ライトセクタWSLCmは、Hレベルのカラムセレクト信号CAmに応じて入力データラインDINを選択する。上記ライトセクタWSLC1・WSLCmの出力は、フリップフロップFF1・FFmに入力され、クロック信号CLKが立ち下がる際に更新されて、ライトビットラインWBIT1・WBITmに伝達される。そこで、ライトビットラインWBIT1は、メモリセルCELL(1,1)の元の記憶内容が「0」であるためにLレベルになる。また、ライトビットラインWBITmは、入力データラインDINから入力されるデータが「0」であるためにLレベルになる。

【0044】

次に、ライトワードラインWWL1が所定時間だけHレベルにされると、メモリセルCELL(1,1)には、元から記憶されていた「0」がライトバックされる一方、メモリセルCELL(m,1)には、入力データラインDINから入力される「0」が書き込まれる。

【0045】

すなわち、実施形態1と同様に、ライトワードラインWWL1によって選択された行方向のメモリセルCELL(1,1)～(m,1)のうちで、さらにカラムセレクト信号CAmによって選択されたカラムのメモリセルCELL(m,1)だけが書き換えられる。

【0046】

ライトワードラインWWL1がLレベルに戻ると、次の書き込みサイクルに備えて、再びリードビットラインRBIT1～RBITmが電源電位にプリチャージされる。また、次に書き込みをするのはメモリセルCELL(m,n)なので、カラムセレクト信号CA1はLレベル、カラムセレクト信号CAmはHレベルに維持される。

【0047】

(第2の書き込みサイクル)

メモリセルCELL(m,n)への書き込みが行われる際には、リードワードラインRWLnがHレベルにされて、メモリセルCELL(1,n)、(m,n)の記憶内容がリードビットラインRBIT1・RBITmに読み出される。ここでは、これらのメモリセルには「0」と「1」が記憶されているため、第1の書き込みサイクルと同様に、リードビットラインRBIT1はプリチャージされた電荷がディスチャージされて、やがてLレベルになる一方、RBITmは、プリチャージされた電荷が維持されて、Hレベルに保たれる。

【0048】

ライトセクタWSLC1、WSLCmは、第1の書き込みサイクルと同様に、それぞれ上記リードビットラインRBIT1、または入力データラインDINを選択し、ライトセクタWSLC1・WSLCmの出力レベルは、リードビットラインRBIT1のプリチャージおよびディスチャージ、または入力データラインDINのレベル変化に伴って変化する。ところが、ライトセクタWSLC1、WSLCmの出力は、フリップフロップFF1・FFmを介してライトビットラインWBIT1・WBITmに接続されているので、ライトビットラインWBIT1・WBITmのレベルは変化しない。

【0049】

そして、クロック信号CLKが立ち下ると、上記ライトセクタWSLC1・WSLCmの出力はフリップフロップFF1・FFmを介してライトビットラインWBIT1・

10

20

30

40

50

W B I T mに伝達される。そこで、ライトビットラインW B I T 1は、メモリセルC E L L (1 , n)の元の記憶内容が「 0 」であるためにLレベルに維持される。また、ライトビットラインW B I T mは、入力データラインD I Nが「 0 」であるために、やはりLレベルに維持される。

【 0 0 5 0 】

すなわち、メモリセルC E L L (1 , n)の記憶内容が読み出される際にリードビットラインR B I T mが一旦プリチャージによってHレベルになっても、クロック信号C L Kが立ち下がる時にディスチャージされてLレベルになっていれば、フリップフロップF F 1からライトビットラインW B I T 1に出力される信号のレベルはLレベルのまま変化しない。また、入力データラインD I Nが書き込みサイクルの最初に一旦Hレベルになっても、クロック信号の立ち下がりタイミングでLレベルになっていれば、フリップフロップF F mからライトビットラインW B I T mに出力される信号のレベルもLレベルのまま変化しない。それゆえ、ライトビットラインW B I T 1 ~ W B I T mの電位変化による電力の消費が回避される。

【 0 0 5 1 】

次に、第1の書き込みサイクルと同様にライトワードラインW W L nが所定時間だけHレベルにされると、メモリセルC E L L (1 , n)には、元から記憶されていた「 0 」がライトバックされる一方、メモリセルC E L L (m , n)には、入力データラインD I Nから入力される「 0 」が書き込まれる。

【 0 0 5 2 】

すなわち、第1の書き込みサイクルと同様に、ライトワードラインW W L nによって選択された行方向のメモリセルC E L L (1 , n) ~ (m , n)のうちで、さらにカラムセレクト信号C A mによって選択されたカラムのメモリセルC E L L (m , n)だけが書き換えられる。

【 0 0 5 3 】

上記のように、フリップフロップF F 1 ~ F F mが設けられることによって、例えば、第1の書き込みサイクルでメモリセルC E L L (1 , 1)に「 0 」がライトバックされた後に、第2の書き込みサイクルでメモリセルC E L L (1 , n)に「 0 」がライトバックされるような場合に、リードビットラインR B I T 1のプリチャージに係わらず、ライトビットラインW B I T 1はLレベルの状態に保たれる。それゆえ、ライトビットラインW B I T 1 ~ W B I T mの不用意なレベル変化が抑制されて、消費電力が小さく抑えられる。特に、大容量のメモリマクロではライトビットラインの配線長が長く、寄生容量も大きくなりがちであるため、大きな消費電力低減効果を得ることが容易にできる。

【 0 0 5 4 】

なお、上記のようにフリップフロップ等に保持される信号レベルの更新は、書き込みサイクルでだけ行われるようにして、読み出しサイクルでは、更新されないようにしてもよい。これにより、読み出しサイクル時のライトビットライン電位の遷移による電力消費を回避することもできる。具体的には、例えば、イネーブル機能付きフリップフロップを用いて、書き込みサイクル時にだけイネーブル信号をアクティブにしたり、書き込みサイクル時にだけクロック信号が供給されるようにしたりすればよい。

【 0 0 5 5 】

また、フリップフロップF F 1 ~ F F mは、ライトセクタW S L C 1 ~ W S L C mの出力側に設けられるのに限らず、入力側に設けられるようにしてもよい。また、クロックエッジに同期して入力信号レベルを保持するフリップフロップに限らず、制御信号が所定のレベルの間、直前の入力信号のレベルを保持するラッチなどが用いられるようにしてもよい。

【 0 0 5 6 】

《 発明の実施形態 3 》

上記のように記憶内容を書き換ええないメモリセルに対して元の記憶内容をライトバックする構成は、マルチポートメモリに適用してもよい。

【 0 0 5 7 】

図 5 は、何れかのメモリセルにデータを書き込むのと同時に、他のメモリセルに記憶されているデータを（半導体記憶装置の外部に）読み出すことができる半導体記憶装置（マルチポートメモリ）の構成を示す回路図である。

【 0 0 5 8 】

この半導体記憶装置には、実施形態 1 の半導体記憶装置と比べると、メモリセル $C E L L (1 , 1) \sim (m , n)$ に代えて、メモリセル $M P C E L L (1 , 1) \sim (m , n)$ が設けられている。これらのメモリセルには、実施形態 1 のライトバックおよび読み出しに兼用のリードビットライン $R B I T 1 \sim R B I T m$ に代えて、ライトバック専用ビットライン $W B B I T 1 \sim W B B I T m$ と、リード専用ビットライン $R O B I T 1 \sim R O B I T m$ とが接続されるとともに、同様に兼用のリードワードライン $R W L 1 \sim R W L m$ に代えて、ライトバック専用ワードライン $W B W L 1 \sim W B W L n$ と、リード専用ワードライン $R O W L 1 \sim R O W L n$ とが接続されている。また、 N チャネルトランジスタ $N T R 1 \cdot N T R 2$ に代えて、 N チャネルトランジスタ $N T R 3 \cdot N T R 4$ 、 $N T R 5 \cdot N T R 6$ が設けられている。

【 0 0 5 9 】

なお、インバータ $I N V 4 \cdot I N V 5$ 、 P チャネルトランジスタ $P T R 1 \cdot P T R 2$ 、およびインバータ $I N V 6 \cdot I N V 7$ は、それぞれ、実施形態 1 のインバータ $I N V 1 \cdot I N V 2$ 、 P チャネルトランジスタ $P T R$ 、またはインバータ $I N V 3$ と同様の機能を有するものである。また、ライトセクタ $W S L C 1 \sim W S L C m$ 、およびリードセクタ $R S L C$ は、それぞれ実施形態 1 と同じものであるが、ライトカラムセレクト信号 $W C A 1 \sim W C A m$ 、またはリードカラムセレクト信号 $R C A 1 \sim R C A m$ によって独立に選択制御されるようになっている。

【 0 0 6 0 】

上記のように構成された半導体記憶装置では、一部の選択カラムのメモリセルのデータだけを書き換えることができるメカニズムは、実施形態 1 と同様である。すなわち、ライトバック専用ワードライン $W B W L 1 \sim W B W L n$ の何れかが H レベルになると、対応する行のメモリセルに記憶されているデータが、ライトバック専用ビットライン $W B B I T 1 \sim W B B I T m$ 、およびライトセクタ $W S L C 1 \sim W S L C m$ を介してライトビットライン $W B I T 1 \sim W B I T m$ に伝達されることにより、ライトカラムセレクト信号 $W C A 1 \sim W C A m$ が L レベルである非選択カラムのメモリセルに記憶されているデータはライトバックされて維持され、選択カラムのメモリセルだけが、入力データライン $D I N$ から入力されるデータに書き換えられる。

【 0 0 6 1 】

一方、上記ライトバック専用ワードライン $W B W L 1 \sim W B W L n$ とは独立に、リード専用ワードライン $R O W L 1 \sim R O W L n$ のうちの何れかを H レベルにすることにより、対応する行のメモリセルに記憶されているデータは、リード専用ビットライン $R O B I T 1 \sim R O B I T m$ に伝達され、そのうち、リードカラムセレクト信号 $R C A 1 \sim R C A m$ に応じたデータが、リードセクタ $R S L C$ で選択されて、半導体記憶装置の外部に読み出される。

【 0 0 6 2 】

したがって、実施形態 1 と同様に、同一のライトワードライン $W W L 1 \sim W W L n$ に接続されたメモリセル $M P C E L L (1 , 1) \sim (m , n)$ のうちの一部の選択カラムのメモリセルだけに入力データライン $D I N$ から入力されたデータを書き込むのと同時に、リード専用ワードライン $R O W L 1 \sim R O W L n$ およびリードカラムセレクト信号 $R C A 1 \sim R C A m$ によって選択されたメモリセルに記憶されているデータを出力データライン $D O$ から読み出すことができる。

【 0 0 6 3 】

なお、上記のような構成においては、ライトバック専用ビットライン $W B B I T 1 \sim W B B I T m$ に接続される N チャネルトランジスタ $N T R 3 \cdot N T R 4$ のトランジスタサイ

10

20

30

40

50

ズは、リード専用ビットライン $ROBIT1 \sim ROBITm$ に接続される N チャンネルトランジスタ $NTR5 \cdot NTR6$ よりも小さくしてもよい。すなわち、ライトバックが行われる場合には、ライトビットライン $WBIT1 \sim WBITm$ の電位は、必ずしも接地電位および電源電位などにフルスウィングさせる必要はなく、メモリセルに記憶されているデータが反転しない程度の電位であればよい。それゆえ、ライトバック専用ビットライン $WBBIT1 \sim WBBITm$ にプリチャージされた電荷がディスチャージされる際の電位低下速度がリード専用ビットライン $ROBIT1 \sim ROBITm$ よりも遅くても、ライトバックが適切に行われる範囲では、 N チャンネルトランジスタ $NTR3 \cdot NTR4$ のトランジスタサイズを小さくして小面積化を図ることができる。

【0064】

《発明の実施形態4》

図6は、何れか2つのメモリセルへのデータの書き込み、および他の2つのメモリセルに記憶されているデータの読み出しを同時に行うことができる半導体記憶装置の構成を示す回路図である。

【0065】

この半導体記憶装置は、実施形態3のラッチ（インバータ $INV4 \cdot INV5$ ）に対する入出力回路が2組ずつ設けられて構成されている。具体的には、以下の各構成要素が2組ずつ設けられている（図6においては一方の組の符号に'を付して示す。）。

ライトバック専用ビットライン $WBBIT1 \sim WBBITm$

リード専用ビットライン $ROBIT1 \sim ROBITm$

ライトバック専用ワードライン $WBWL1 \sim WBWLn$

リード専用ワードライン $ROWL1 \sim ROWLn$

N チャンネルトランジスタ $NTR3 \sim NTR6$

P チャンネルトランジスタ $PTR1 \cdot PTR2$

インバータ $INV6 \cdot INV7$

ライトセクタ $WSLC1 \sim WSLCm$

ライトビットライン $WBIT1 \sim WBITm$

ライトワードライン $WWL1 \sim WWLn$

トランスファゲート TG

リードセクタ $RLSC$

このように構成することにより、例えばライトワードライン $WWL1 \sim WWLn$ 、 $WWL1' \sim WWLn'$ 、およびライトカラムセレクト信号 $WCA1 \sim WCAm$ 、 $WCA1' \sim WCAm'$ によって選択される2つのメモリセルに対して、ライトビットライン $WBIT1 \sim WBITm$ 、 $WBIT1' \sim WBITm'$ のうちの2本を介して同時に書き込みを行うことができる。その際、書き込みが行われないメモリセルに記憶されているデータが、ライトバック専用ビットライン $WBBIT1 \sim WBBITm$ 、 $WBBIT1' \sim WBBITm'$ を介したライトバックによって維持される点は、前記各実施形態と同様である。

【0066】

また、この半導体記憶装置では、上記書き込みと同時に、さらに、リード専用ワードライン $ROWL1 \sim ROWLn$ 、 $ROWL1' \sim ROWLn'$ およびリードカラムセレクト信号 $RCA1 \sim RCAm$ 、 $RCA1' \sim RCAm'$ によって選択される2つのメモリセルに記憶されているデータは、リード専用ビットライン $ROBIT1 \sim ROBITm$ 、 $ROBIT1' \sim ROBITm'$ のうちの2本を介して同時に読み出すことができる。

【0067】

なお、同時に書き込みおよび読み出し可能なデータの数は、上記に限らず種々設定することができる。すなわち、 m 本（ m は自然数）のリードビットライン（ライトバック専用ビットラインとリード専用ビットライン）と、 n 本（ n は自然数）のライトビットラインと、 n 本の入力データラインと、 n 個のライトセクタとを設け、上記 m 本のリードビットラインのうちの n 本（ライトバック専用）が、それぞれ上記セクタを介してライトビットラインに接続されるようにすることによって、 n 個のメモリセルへの書き込みと、（

10

20

30

40

50

m - n) 個のメモリセルからの読み出しとを同時に行うことができるとともに、書き込みがなされるメモリセルと同じ行の他のメモリセルに記憶されているデータをライトバックによって維持することができる。

【0068】

上記構成では一般的なレジスタファイルにおいてカラム構成を使用することができる。特にリードポートが多く、ライトポートが少ない構成においては追加する回路が少ないため、面積ペナルティを小さく抑えることが容易にできる。

【0069】

ここで、m本のリードビットラインは、必ずしもライトバック専用とリード専用とに分けずに、そのうちのn本はライトセクタを介したライトバックとリードセクタを介した外部への読み出しをできるようにしてもよい（ライトバック、リード兼用）。この場合には、書き込みデータ数と読み出しデータ数との合計がm（以下）であればよく、例えば書き込みを行わない場合にはmビットのデータを同時に読み出すことなどができる。

【0070】

なお、上記各実施形態で説明した構成は、論理的に可能な範囲で種々組み合わせてもよい。具体的には、例えば実施形態2で示したようなライトバックされるデータを保持させる構成を実施形態3、4で示したようなマルチポート構成に適用してもよい。また、実施形態1で説明したのと同様に、6トランジスタメモリセルを用いた半導体記憶装置に、実施形態2～4で説明したような構成を適用することなどもできる。

【産業上の利用可能性】

【0071】

本発明にかかる半導体記憶装置は、活性化されたワードラインに接続されているメモリセルのうちの一部のメモリセルだけを容易に書き換えられるようにすることなどができる効果を有し、マトリクス状に配置されたスタティック型メモリセルを有する半導体記憶装置等として有用である。

【図面の簡単な説明】

【0072】

【図1】実施形態1の半導体記憶装置の構成を示す回路図である。

【図2】同、書き込み動作を示すタイミングチャートである。

【図3】実施形態2の半導体記憶装置の構成を示す回路図である。

【図4】同、書き込み動作を示すタイミングチャートである。

【図5】実施形態3の半導体記憶装置の構成を示す回路図である。

【図6】実施形態4の半導体記憶装置の構成を示す回路図である。

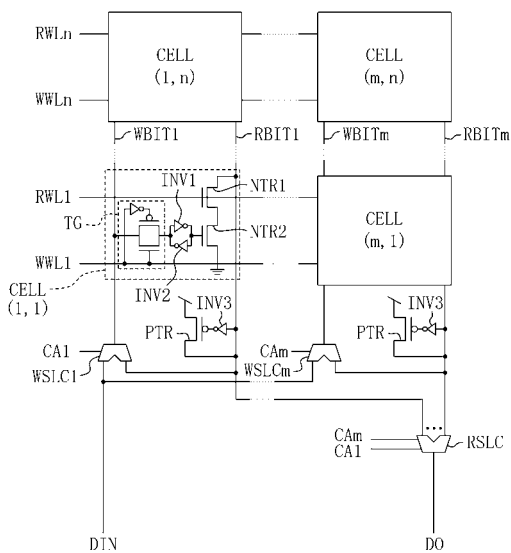
【符号の説明】

【0073】

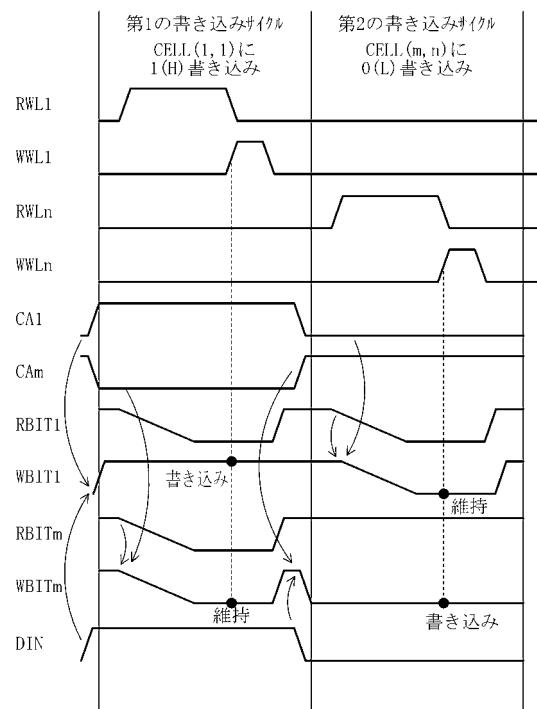
C E L L (1 , 1) ~ (m , n)	メモリセル
R B I T 1 ~ R B I T m	リードビットライン
W B I T 1 ~ W B I T m	ライトビットライン
R W L 1 ~ R W L n	リードワードライン
W W L 1 ~ W W L n	ライトワードライン
I N V 1 ~ I N V 7	インバータ
T G	トランスファゲート
N T R 1 ~ N T R 6	Nチャネルトランジスタ
W S L C 1 ~ W S L C m	ライトセクタ
R S L C	リードセクタ
C A 1 ~ C A m	カラムセレクト信号
P T R	Pチャネルトランジスタ
D I N	入力データライン
D O	出力データライン
F F 1 ~ F F m	フリップフロップ

MPCELL(1, 1) ~ (m, n)	マルチポートメモリセル
WBIT1 ~ WBITm	ライトバック専用ビットライン
ROBIT1 ~ ROBITm	リード専用ビットライン
WBWL1 ~ WBWLn	ライトバック専用ワードライン
ROWL1 ~ ROWLn	リード専用ワードライン
PTR1 ~ PTR2	Pチャネルトランジスタ
WCA1 ~ WCAm	ライトカラムセレクト信号
RCA1 ~ RCAm	リードカラムセレクト信号

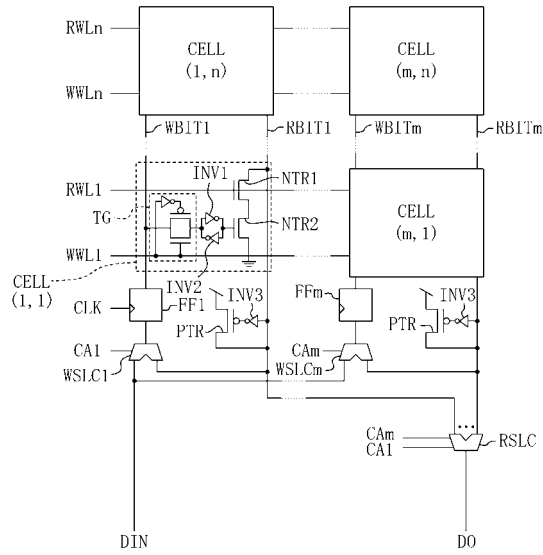
【図1】



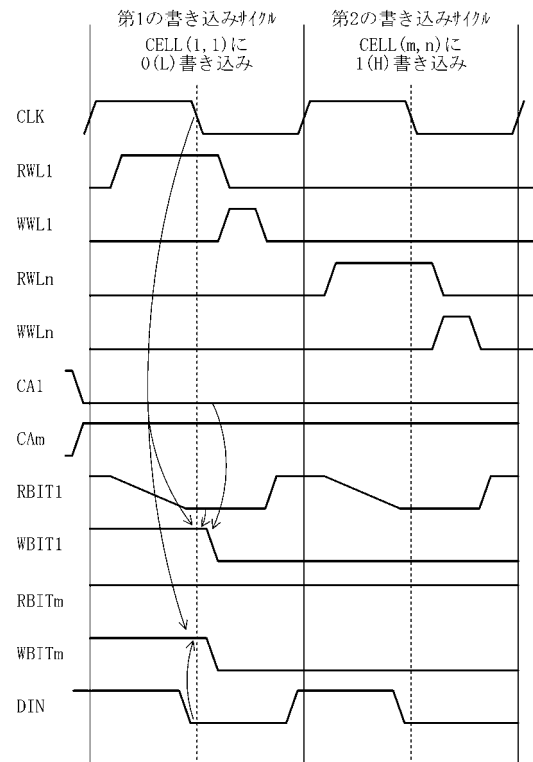
【図2】



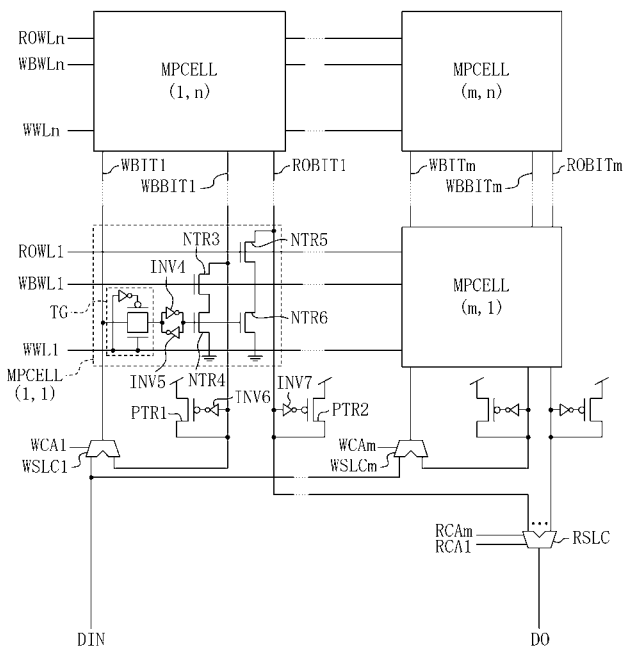
【図 3】



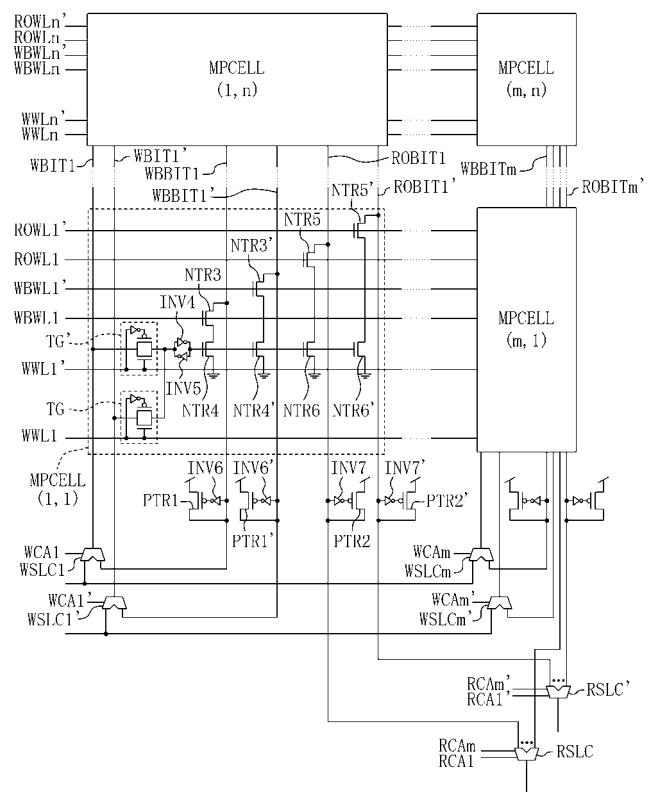
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 角谷 範彦

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5B015 HH03 JJ21 KA07 KA09 KA28 KA32 KB09 KB92 MM10 NN01

PP01