

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> G11C 8/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월16일 10-0537196 2005년12월09일
---	-------------------------------------	--

(21) 출원번호	10-2004-0014909	(65) 공개번호	10-2005-0089474
(22) 출원일자	2004년03월05일	(43) 공개일자	2005년09월08일

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	곽종태 경기도이천시대월면사동리현대사원아파트101-1003
(74) 대리인	특허법인 신성

심사관 : 윤난영

(54) 반도체 기억 소자에서의 지연 고정 루프 및 그의 클럭록킹 방법

요약

본 발명은 스택 페일을 방지하면서도 동작 주파수의 대략 반주기에 해당하는 지연 라인부만을 사용할 수 있는 지연 고정 루프 및 그의 록킹 방법을 제공함에 목적이 있다.

상기 목적을 달성하기 위한 본원의 제1 발명에 따른 지연 고정 루프의 클럭 록킹 방법은 반도체 기억 소자에 있어서, 피드백 클럭을 소정 시간 지연시킨 지연 피드백 클럭을 출력하는 제1 단계; 외부로부터 인가되는 복수의 클럭 - 상기 복수의 클럭은 상호 위상이 반전된 클럭임 - 중 어느 하나를 선택하기 위하여 상기 지연 피드백 클럭의 위상과 외부로부터 입력되는 외부 클럭의 위상을 비교하는 제2 단계; 및 상기 피드백 클럭을 상기 외부 클럭에 록킹시키기 위하여 상기 피드백 클럭의 위상과 상기 외부 클럭의 위상을 비교하는 제3 단계를 포함할 수 있다.

대표도

도 6

색인어

반도체 기억 소자, 지연 고정 루프, 스택 페일, 위상 감지

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 지연고정루프의 블럭도,

- 도 2는 종래기술에 따른 DLL의 록킹 타이밍도,
- 도 3은 종래기술에 따른 개선된 지연고정루프의 블럭도,
- 도 4는 도 3에 개시된 개선된 DLL의 록킹 타이밍도,
- 도 5는 도 3에 개시된 개선된 DLL의 오류 발생 타이밍도,
- 도 6은 본 발명의 일실시예에 따른 지연 고정 루프의 전체 블럭도,
- 도 7은 도 6에 보이는 스택 방지부의 구체 회로도,
- 도 8은 본 발명의 일실시예에 따른 지연 고정 루프의 동작 타이밍도,
- 도 9는 도 6에 보이는 위상 감지기의 동작 설명을 위한 심볼 및 타이밍도,
- 도 10은 본 발명의 일실시예에 따른 DLL의 록킹 타이밍도,
- 도 11은 본 발명의 일실시예에 따른 전체 타이밍도,
- 도 12는 본 발명의 다른 실시예에 따른 지연 고정 루프의 전체 블럭도,
- 도 13은 도 12의 스택방지부의 구체회로도,
- 도 14는 본 발명에 적용가능한 멀티플렉서 제어부의 일실시 블럭도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치의 지연 고정 루프(DLL: Delay Locked Loop)에 관한 것으로서, 구체적으로는 클럭이 스택(stuck)되는 것을 방지할 수 있는 DLL에 관한 것이다. 여기서, 클럭이 스택된다는 것은 클럭의 위상이 움직이지 못하고 갇혀버리게 됨을 의미한다.

DLL은 외부 클럭과 데이터, 또는 외부 클럭과 내부 클럭간의 스큐(skew)를 보상하기 위한 클럭 발생 장치로서, 본 발명은 DLL을 사용하는 모든 반도체 장치 혹은 컴퓨터 시스템에 적용가능하다.

일반적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 DLL이 사용되고 있다. 즉, DLL은 외부 클럭을 이용하여 센싱된 데이터가 데이터 출력 버퍼를 거쳐 출력되는 타이밍과 외부에서 들어오는 클럭의 타이밍을 일치시킨다.

DDR SDRAM에 적용된 DLL을 예로 들어 설명하기로 한다.

도 1은 종래기술에 따른 레지스터 제어형 DLL의 전체 블럭도로서, 제1 클럭 버퍼(111), 제2 클럭 버퍼(112), 클럭 분주기(113), 제1 내지 제3 지연 라인(114, 115, 116), 쉬프트 레지스터(117), 쉬프트 제어기(118), 위상 비교기(119), 제1 및 제2 DLL 드라이버(120, 121) 및 지연 모델(122)을 포함한다.

상기 각 블록의 기능 및 동작을 설명하면 다음과 같다.

제1 클럭 버퍼(111)는 외부 반전 클럭(/clk)을 입력으로 하여 외부 클럭(clk)의 폴링 엣지에 동기되어 발생하는 제1 내부 클럭(fall\_clk)을 생성한다.

제2 클럭 버퍼(112)는 외부 클럭(clk)을 입력으로 하여 외부 클럭(clk)의 라이징 엣지에 동기되어 발생하는 제2 내부 클럭(rise\_clk)을 생성한다.

클럭 분주기(113)는 제2 내부 클럭(rise\_clk)을  $1/n$ ( $n$ 은 양의 정수이며, 통상적으로  $n=8$ )로 분주하여 지연 모니터링 클럭(dly\_in) 및 기준 클럭(ref)을 출력한다.

제1 DLL 드라이버(120)는 제1 지연 라인(114)의 출력(ifclk)을 구동하여 DLL 클럭(fclk\_dll)을 생성하고, 제2 DLL 드라이버(121)는 제2 지연 라인(115)의 출력(irclk)을 구동하여 DLL 클럭(rclk\_dll)을 생성한다.

지연 모델(122)은 제3 지연 라인(116)의 출력(feedback\_dly)을 입력으로 하여 클럭(feedback\_dly)이 실제 클럭 경로와 동일한 지연 조건을 거치도록 구성된다.

위상 비교기(119)는 지연 모델(122)로부터 출력되는 피드백 클럭(feedback)의 라이징 엣지와 기준 클럭(ref)의 라이징 엣지의 위상을 비교한다.

쉬프트 제어기(118)는 위상 비교기(119)로부터 출력되는 제어신호(ctrl)에 응답하여 상기 제1 내지 제3 지연라인의 클럭 위상을 쉬프트 시키기 위한 쉬프트 제어신호(SR, SL)를 출력하거나, 지연고정(locking)이 이루어졌음을 나타내는 지연고정신호(dll\_lockb)를 출력한다.

쉬프트 레지스터(117)는 쉬프트 제어기(118)로부터 출력되는 쉬프트 제어신호(SR, SL)에 따라 레지스터를 동작시킴으로써 제1 내부 클럭(fall\_clk)을 입력으로 하는 제1 지연 라인(114), 제2 내부 클럭(rise\_clk)을 입력으로 하는 제2 지연 라인(115), 그리고 지연 모니터링 클럭(dly\_in)을 입력으로 하는 제3 지연 라인(116)의 지연량을 조절한다.

여기서, 지연 모델(122)은 더미 클럭 버퍼, 더미 출력 버퍼 및 더미 로드를 포함하며, 복제회로(replica circuit)라고도 불린다. 그리고, DLL루프 내의 쉬프트 레지스터(117) 및 쉬프트 제어기(118)는 지연부(110)내의 제1 내지 제3 지연 라인(114, 115, 116)을 제어하기 위한 지연 제어 신호 발생부(123)라 한다.

도 1의 지연고정루프에서 클럭이 록킹되기 위하여 필요한 지연량이 도 2에 도시되어 있다.

도 2A와 같이, 지연 모니터링 클럭(dly\_in)이 지연 모델(122)을 거쳐 최초로 피드백 클럭(feedback)으로 출력되는 경우, 기준 클럭(ref)에 비해 소정 간격(D)만큼 앞서게 되면 상기 소정 간격(D)만큼을 지연부(110)에서 지연시킴으로써 피드백 클럭(feedback)을 기준 클럭(ref)에 록킹시키게 된다.

그런데, 도 2B에서와 같이, 최초로 나타나는 피드백 클럭(feedback)의 상향에지가 기준 클럭(ref)의 상향에지의 바로 뒤에 존재하게 되는 경우, 피드백 클럭(feedback)을 기준 클럭(ref)에 록킹시키기 위해서는 동작 주파수의 한 주기에 가까운 시간만큼을 지연시켜 기준 클럭(ref)의 다음 상향에지에 고정시킨다. 왜냐하면 DLL이 최초로 동작할 때에는 최소 개수의 단위 지연 소자(Delay Unit)를 사용하도록 세팅되어 있어 피드백 클럭(feedback)의 지연량을 더 이상 줄일 수 없기 때문이다.

따라서, DLL 내부의 지연 라인부에는 동작 주파수의 한 주기에 해당하는 시간만큼 지연시킬 수 있을 정도로 충분한 개수의 단위 지연 소자가 마련되어야 한다. 더구나, 이 때의 동작 주파수도 가장 느리게 동작하는 동작주파수에서의 지연량이 고려되어야 한다.

한편, DLL을 구성하는 요소들 가운데 가장 큰 면적을 차지하는 구성요소가 지연 라인부인데 도 1과 같은 DLL은 한 주기에 해당하는 지연시간만큼 지연시키기 위해 지연 라인부가 차지하는 면적이 너무 크고, 이로 인해 전력 소모도 클 수 밖에 없었다. 또한, 최악의 경우 피드백 클럭(feedback)을 거의 한 주기만큼 지연시켜 록킹해야 하므로 록킹하는데 소요되는 시간(locking time)이 길어지는 문제점도 있었다.

이와 같은 문제점을 해결하기 위하여 도 3과 같은 개선된 형태의 지연고정루프가 제시되었다.

도 3의 DLL에서는, 우선 위상 비교기(313)가 외부 클럭(clk)과 최초로 나타나는 피드백 클럭(feedback)의 위상 관계를 비교한 후, 외부 클럭 자체를 그대로 지연라인부(317)에 인가할 것인지 외부클럭(clk)과 정반대되는 위상을 지연라인부(317)에 인가할 것인지를 판단하도록 한다. 이에 따라 도 3의 DLL은 지연라인부에 동작 주파수의 반주기에 해당하는 개수의 단위 지연 소자만을 마련하는 것으로 충분하였다.

도 4는 도 3의 종래기술에 따른 개선된 DLL의 록킹 타이밍도로서, 이를 이용하여 도 3의 DLL 동작을 설명하기로 한다. 도 4A는 DLL 동작의 초기에 피드백되는 피드백 클럭의 지연시간(tD)이 동작 주파수의 반주기(tCK/2)보다 작은 경우이다.

이 경우에는 클럭을 고정시키기 위해 필요로 하는 지연량이 tCK/2 보다 크기 때문에, 피드백 클럭의 지연을 위해 외부 클럭(clk)을 이용하는 대신 외부 클럭(clk)과 위상이 반대인 외부 반전 클럭(/clk)을 이용한다. 그러면 (tCK/2 - tD)만큼을 지연시키기 때문에 항상 tCK/2 보다 적은 지연량으로 클럭을 고정시킬 수 있다.

도 4B는 DLL 동작의 초기에 피드백되는 피드백 클럭의 지연시간(tD)이 동작 주파수의 반주기(tCK/2)보다 큰 경우이다. 따라서 록킹을 위해 필요로 하는 지연량이 tCK/2 이하이므로 외부 클럭(clk)을 사용하여 피드백 클럭(feedback)을 생성시킨다.

그런데 도 3의 종래기술에 따른 개선된 DLL은 다음과 같은 문제점을 내포하고 있다.

즉, DLL의 동작 초기에 위상 비교기(313)가 외부 클럭(clk)과 피드백 클럭(feedback)의 위상을 비교할 때, 두 클럭의 위상이 매우 근접하여 두 클럭의 위상을 정상적으로 비교하기 어려운 데드 존(dead-zone)내에 존재하게 되면 위상 비교시 오류가 발생하게 된다.

도 5는 도 3의 종래기술에 따른 개선된 DLL에서 오류가 발생하는 타이밍도이다.

DLL 동작 초기에 외부 클럭(clk)을 피드백시킨 피드백 클럭(feedback\_clk)이 거의 동작 주파수의 반주기(tCK/2)에 근접하는 지연시간(tD)을 가질 때, 외부 반전 클럭(/clk)을 피드백시킨 피드백 클럭(feedback\_clkb\_i)은 이상적인 경우 도 5의 세번째 클럭과 같은 타이밍을 가질 것이다. 그러면 위상 비교기(313)는 현재의 피드백 클럭(feedback\_clkb\_i)을 지연량을 증가시키라는 명령을 내리게 되고, 이에 따라 피드백 클럭의 위상이 점점 지연되면서 정상적으로 록킹할 수 있다.

그러나, 현실적으로 피드백 클럭(feedback\_clkb\_r)이 위상 비교기의 데드 존에 머무르거나 DLL에 인가되는 전압의 변화 혹은 DLL의 온도 변화 등 주변 상황의 다양한 변화에 따라 피드백 클럭(feedback\_clkb\_r)의 상향에지가 외부 클럭(clk)의 상향에지를 넘어서는 위상 오차가 발생할 수 있다. 이러한 위상 오차에 따라 위상 비교기(313)는 위상 지연을 줄이라는 즉, 위상을 앞으로 당기라는 명령을 내리게 되지만, DLL의 초기 동작시의 피드백 클럭은 최소의 단위 지연 소자를 거쳐 나타나므로 더 이상 위상을 줄일 수 없다. 결과적으로 도 3과 같은 종래기술에 따른 개선된 DLL은 외부 클럭에 내부 클럭을 고정시킬 수 없는 심각한 문제점을 안고 있다. 이를 '스턱 페일(stuck fail)'이라 일컫기도 한다.

### 발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여 안출된 본 발명은 스택 페일을 방지할 수 있는 지연 고정 루프 및 그의 록킹 방법을 제공함에 목적이 있다.

또한, 본 발명은 스택 페일을 방지하면서도 동작 주파수의 대략 반주기에 해당하는 지연 라인부만을 사용할 수 있는 지연 고정 루프 및 그의 록킹 방법을 제공함에 다른 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본원의 제1 발명에 따른 지연 고정 루프의 클럭 록킹 방법은 반도체 기억 소자에 있어서, 피드백 클럭을 소정 시간 지연시킨 지연 피드백 클럭을 출력하는 제1 단계; 외부로부터 인가되는 복수의 클럭 - 상기 복수의 클럭은 상호 위상이 반전된 클럭임 - 중 어느 하나를 선택하기 위하여 상기 지연 피드백 클럭의 위상과 외부로부터 입력되는 외부 클럭의 위상을 비교하는 제2 단계; 및 상기 피드백 클럭을 상기 외부 클럭에 록킹시키기 위하여 상기 피드백 클럭의 위상과 상기 외부 클럭의 위상을 비교하는 제3 단계를 포함할 수 있다.

바람직하게는, 상기 제1 단계의 피드백 클럭은 상기 지연 고정 루프가 동작하기 시작하는 초기의 피드백 클럭을 사용할 수 있다.

바람직하게는, 상기 소정 시간은, 적어도 상기 외부 클럭과 상기 피드백 클럭의 위상의 선후를 잘못 판단할 수 있는 범위보다 더 큰 것을 특징으로 한다.

바람직하게는, 상기 제2 단계의 비교 결과, 상기 지연 피드백 클럭의 상향 에지가 상기 외부 클럭의 하향 에지보다 앞서면 상기 복수의 클럭 중 폴링 클럭을 선택하고, 상기 지연 피드백 클럭의 상향 에지가 상기 외부 클럭의 하향 에지보다 뒤지면 상기 복수의 클럭 중 라이징 클럭을 선택하는 제4 단계를 더 포함할 수 있다.

바람직하게는, 제4 단계의 수행 후, 상기 피드백 클럭이 외부 클럭에 소정 간격 이상이면 지연라인부의 지연을 증가시키는 제5 단계; 및 상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근하면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연라인부의 지연을 증가 혹은 감소시키는 제6 단계를 더 포함할 수 있다.

바람직하게는, 상기 제6 단계에서의 상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근한다는 것은, 상기 지연 피드백 클럭의 상향에지의 위상이 상기 외부 클럭의 상향에지의 위상에 대비하여 진상에서 지상으로 전환하는 것임을 특징으로 한다.

또한, 본원의 제2 발명에 따른 지연 고정 루프는, 반도체 기억 소자에 있어서, 외부 클럭과 피드백 클럭을 입력받아 상기 외부 클럭과 상기 피드백 클럭의 위상을 비교하고, 상기 외부 클럭과 상기 피드백 클럭을 소정 시간 지연시켜 생성되는 지연 피드백 클럭의 위상을 비교하기 위한 위상 감지부; 및 상기 위상 감지부로부터 출력되는 신호에 응답하여 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하기 전까지 지연라인부의 지연을 증가시키기 위한 스택 방지부를 포함할 수 있다.

바람직하게는, 상기 스택 방지부는 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하게 되면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연라인부의 지연을 증가 혹은 감소시키는 것을 특징으로 한다.

바람직하게는, 상기 위상 감지부는, 상기 피드백 클럭을 소정 시간 지연시켜 상기 지연 피드백 클럭을 출력하기 위한 피드백 클럭 지연기; 상기 피드백 클럭과 외부 클럭을 비교하기 위한 제1 위상 감지기; 및 상기 지연 피드백 클럭과 외부 클럭을 비교하기 위한 제2 위상 감지기를 포함할 수 있다.

바람직하게는, 상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근한다는 것은, 상기 지연 피드백 클럭의 상향에지의 위상이 상기 외부 클럭의 상향에지의 위상에 대비하여 진상에서 지상으로 전환하는 것에 의존할 수 있다.

바람직하게는, 상기 스택 방지부는, 상기 제2 위상 감지기의 출력이 제1 논리상태인 동안에는 제1 논리상태를 출력하고, 상기 제2 위상 감지기의 출력이 제2 논리상태로 천이하면 상기 제1 위상 감지기로부터 출력되는 논리상태에 대응하여 출력되는 것을 특징으로 한다.

바람직하게는, 본원의 제2 발명에 따른 지연 고정 루프는, 상기 외부 클럭과 상기 외부 클럭을 반전시킨 외부 반전 클럭을 입력받아 버퍼링하기 위한 입력 버퍼부; 및 상기 위상 감지부로부터 출력되는 신호에 응하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉싱부를 더 포함할 수 있다.

바람직하게는, 상기 입력 버퍼부는, 상기 외부 클럭을 비반전단자에, 상기 외부 반전 클럭을 반전단자에 입력받아 상기 외부 클럭과 동 위상인 라이징 클럭을 출력하기 위한 제1 입력 버퍼; 및 상기 외부 반전 클럭을 반전단자에, 상기 외부 클럭을 비반전단자에 입력받아 상기 외부 반전 클럭과 동 위상인 폴링 클럭을 출력하기 위한 제2 입력 버퍼를 포함할 수 있다.

바람직하게는, 상기 멀티플렉싱부는, 상기 제2 위상 감지기로부터 출력되는 신호에 응하여 상기 멀티플렉서를 제어하기 위한 제어신호를 출력하기 위한 멀티플렉서 제어부; 및 상기 멀티플렉서 제어부로부터 출력되는 제어신호에 응하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉서를 포함할 수 있다.

바람직하게는, 상기 멀티플렉서 제어부는, 상기 제2 위상 감지기로부터 순차적으로 입력되는 복수개의 논리상태값 중 다수개의 논리상태값을 출력값으로 취하기 위한 다수 결정기; 상기 외부 클럭을 계수하여 상기 다수 결정기의 출력이 상기

멀티플렉서 제어부의 출력으로 채택될 시간만큼의 계수값이 되는 것을 검출하여 제1논리신호를 출력시키기 위한 계수 및 검출로직부; 및 상기 다수 결정기를 입력으로 하고, 상기 계수 및 검출로직의 출력을 클럭신호로 사용하는 디플립플롭을 포함할 수 있다.

바람직하게는, 상기 계수 및 검출로직부는, 상기 외부 클럭을 계수하기 위한 카운터; 상기 카운터의 출력값이 달라지면 고정된 논리값을 출력하기 위한 검출로직; 주기적으로 토글링하는 클럭신호와 상기 검출로직을 부정논리합하기 위한 노아게이트; 상기 노아게이트의 출력을 반전시키기 위한 낸드게이트를 포함할 수 있다.

또한, 본원의 제3 발명에 따른 지연 고정 루프는, 반도체 기억 소자에 있어서, 하기 스택 방지부의 출력에 제어되어 지연 피드백 클럭 - 상기 지연 피드백 클럭은 하기 피드백 클럭을 소정 시간 지연시킨 클럭임 - 및 피드백 클럭의 위상을외부 클럭의 위상과 순차적으로 비교하기 위한 위상 감지부; 및 상기 위상 감지부로부터 출력되는 신호에 응답하여 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하기 전까지는 지연라인부의 지연을 증가시키기 위한 스택 방지부를 포함할 수 있다.

바람직하게는, 상기 스택방지부는, 상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근하게 되면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연라인부의 지연을 증가 혹은 감소시키는 것을 특징으로 한다.

바람직하게는, 상기 위상 감지부는, 상기 피드백 클럭을 소정 시간 지연시켜 상기 지연 피드백 클럭을 출력하기 위한 피드백 클럭 지연기; 상기 스택 방지부의 출력에 제어되어 상기 피드백 클럭과 상기 지연 피드백 클럭 중 어느 하나를 선택하기 위한 멀티플렉서; 및 상기 멀티플렉서의 출력과 상기 외부 클럭을 비교하기 위한 위상 감지기를 포함할 수 있다.

바람직하게는, 상기 피드백 클럭 지연기는, 상기 피드백 클럭을 데드 존보다 더 지연시키는 것을 특징으로 한다.

바람직하게는, 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하였는지의 판단은, 상기 지연 피드백 클럭의 상향에지의 위상이 상기 외부 클럭의 상향에지의 위상보다 앞서 있다가 뒤지게 되는 것에 의존하는 것을 특징으로 한다.

바람직하게는, 상기 스택 방지부는, 상기 위상 감지기의 출력이 제1 논리상태인 동안에는 제1 논리상태를 출력하고, 상기 위상 감지기의 출력이 제2 논리상태로 천이하는 이후에는 상기 위상 감지기로부터 출력되는 논리상태에 대응하여 출력되는 것을 특징으로 한다.

바람직하게는, 본원의 제3 발명에 따른 지연 고정 루프는, 상기 외부 클럭과 상기 외부 클럭을 반전시킨 외부 반전 클럭을 입력받아 버퍼링하기 위한 입력 버퍼부; 및 상기 위상 감지부로부터 출력되는 신호에 의하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉싱부를 더 포함할 수 있다.

바람직하게는, 상기 입력 버퍼부는, 상기 외부 클럭을 비반전단자에, 상기 외부 반전 클럭을 반전단자에 입력받아 상기 외부 클럭과 동 위상인 라이징 클럭을 출력하기 위한 제1 입력 버퍼; 및 상기 외부 반전 클럭을 반전단자에, 상기 외부 클럭을 비반전단자에 입력받아 상기 외부 반전 클럭과 동 위상인 폴링 클럭을 출력하기 위한 제2 입력 버퍼를 포함할 수 있다.

바람직하게는, 상기 멀티플렉싱부는, 상기 제2 위상 감지기로부터 출력되는 신호에 의하여 하기 멀티플렉서를 제어하기 위한 제어신호를 출력하기 위한 멀티플렉서 제어부; 및 상기 멀티플렉서 제어부로부터 출력되는 제어신호에 의하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉서를 포함할 수 있다.

바람직하게는, 상기 멀티플렉서 제어부는, 상기 제2 위상 감지기로부터 순차적으로 입력되는 복수개의 논리상태값 중 다수개의 논리상태값을 출력값으로 취하기 위한 다수 결정기; 상기 외부 클럭을 계수하여 상기 다수 결정기의 출력이 상기 멀티플렉서 제어부의 출력으로 채택될 시간만큼의 계수값이 되는 것을 검출하여 제1논리신호를 출력시키기 위한 계수 및 검출로직부; 및 상기 다수 결정기를 입력으로 하고, 상기 계수 및 검출로직의 출력을 클럭신호로 사용하는 디플립플롭을 포함할 수 있다.

바람직하게는, 상기 계수 및 검출로직부는, 상기 외부 클럭을 계수하기 위한 카운터; 상기 카운터의 출력값이 달라지면 고정된 논리값을 출력하기 위한 검출로직; 주기적으로 토글링하는 클럭신호와 상기 검출로직을 부정논리합하기 위한 노아게이트; 상기 노아게이트의 출력을 반전시키기 위한 낸드게이트를 포함할 수 있다.

본 발명은 위상 감지기가 가지고 있는 데드 존(dead-zone)을 회피하기 위하여 피드백 클럭(feedback)을 그 영역(데드 존)보다 더 큰 지연시간( $\alpha$ )만큼 지연시킨 후 외부 클럭(clk)과 비교하도록 한다는 데에 특징이 있다.

즉, 본 발명에 따르면, 1차적으로 피드백 클럭을 'a'만큼 지연시킨 지연 피드백 클럭과 외부 클럭의 비교 결과를 이용하여 지연 라인부에 인가되는 클럭을 선택하고, 2차적으로 외부 클럭과 피드백 클럭의 비교 결과를 이용하여 피드백 클럭을 외부 클럭에 고정시킨다.

본 발명의 DLL에 따르면, 최초의 피드백 클럭(feedback)을 'a'만큼 지연시킨 후에도 여전히 동작 주파수의 반주기(tCK/2) 이상 지연시켜 외부 클럭에 고정시킬 수 있다고 판단되면, 외부 반전 클럭(/clk)을 버퍼링한 폴링 클럭(fclk)을 지연라인부에 인가한다. 이에 반해, 최초의 피드백 클럭(feedback)을 'a'만큼 지연시킨 후 동작 주파수의 반주기(tCK/2)이하 지연시켜 고정시킬 수 있다고 판단되면, 외부 클럭(clk)을 버퍼링한 라이징 클럭(rclk)을 지연라인부에 인가한다. 이러한 판단 후에는 위상 감지기가 피드백 클럭의 지연을 감소시키라는 명령을 주더라도 피드백 클럭이 외부 클럭에 최초로 록킹할 때까지는 비교 결과와 무관하게 지연량을 증가시키도록 제어하여 스택 페일의 발생을 방지할 수 있다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

도 6은 본 발명의 일 실시예에 따른 지연 고정 루프의 전체 블록도이다.

본 발명의 일 실시예에 따른 지연 고정 루프는, 위상 감지부(620)와 스택 방지부(640)를 포함할 수 있다.

위상 감지부(620)는, 외부 클럭(clk)과 피드백 클럭(feedback)을 입력받아 상기 외부 클럭(clk)과 상기 피드백 클럭(feedback)의 위상을 비교하고, 상기 외부 클럭(clk)과 상기 피드백 클럭(feedback)을 소정시간 지연시켜 생성되는 지연 피드백 클럭(fb\_dly)의 위상을 비교한다.

위상 감지부(620)는, 좀 더 구체적으로, 피드백 클럭(feedback)을 소정 시간 지연시켜 지연 피드백 클럭(fb\_dly)을 출력하기 위한 피드백 클럭 지연기(621), 상기 피드백 클럭(feedback)과 외부 클럭(clk)을 비교하기 위한 제1 위상 감지기(623), 및 상기 지연 피드백 클럭(fb\_dly)과 외부 클럭(clk)을 비교하기 위한 제2 위상 감지기(625)를 포함한다. 한편, 피드백 클럭 지연기(621)는 피드백 클럭(feedback)을 적어도 데드 존(dead zone)보다 큰 시간동안 지연시킬 수 있는 복수개(K)의 단위 지연 소자로 구성될 수 있다. 여기서, 도 6에 보이는 tUD는 단위 지연 소자에 의해 지연되는 지연시간이다. 그리고, K개의 단위 지연 소자(unit delay cell)가 직렬연결된 피드백 클럭 지연기(621)에서의 지연량을 편의상 'a'라 한다.

스택 방지부(640)는, 상기 위상 감지부(620)로부터 출력되는 신호에 응답하여 스택을 방지하기 위한 스택 방지 신호를 출력한다.

입력 버퍼부(610)는 외부 클럭(clk)과 외부 반전 클럭(clkb)을 입력받아 버퍼링하여 출력하기 위하여, 외부 클럭(clk)을 비반전단자(+)에, 외부 반전 클럭(clkb)을 반전단자(-)에 입력받아 외부 클럭(clk)과 동 위상의 라이징 클럭(rclk)을 출력하기 위한 제1 입력 버퍼(611)와 외부 반전 클럭(clkb)을 반전단자(-)에, 외부 클럭(clk)을 비반전단자(+)에 입력받아 외부 반전 클럭(clkb)과 동 위상의 폴링 클럭(fclk)을 출력하기 위한 제2 입력 버퍼(613)를 포함한다.

멀티플렉싱부(630)는 위상 감지부(620)로부터 출력되는 신호에 따라 입력 버퍼부(610)로부터 출력되는 복수의 클럭(rclk, fclk) 중 어느 하나를 선택한다. 즉, 멀티플렉싱부(630)내 멀티플렉서 제어부(631)는 제2 위상 감지기(625)로부터 출력되는 신호에 응하여 멀티플렉서(633)를 제어하기 위한 제어신호를 출력하며, 외부에서 인가되는 리셋신호에 응하여 리셋된다. 그리고, 멀티플렉서(633)는 멀티플렉서 제어부(631)로부터 출력되는 제어신호에 응하여 입력 버퍼부(610)로부터 출력되는 복수의 클럭(rclk, fclk) 중 어느 하나를 선택한다.

또한, 본 발명의 지연 고정 루프에서는, 지연 라인 제어부(650), 지연 라인부(660), 지연 모델부(670), 및 출력버퍼(680) 등의 구성요소를 포함하나, 이는 도 3에 보이는 종래기술의 구성과 동일하다.

한편, 도 7은 도 6에 보이는 스택 방지부의 구체 회로도이다.

본 발명의 일실시예에 따른 스택 방지부(640)는, 피드백 클럭(feedback)이 외부 클럭(clk)에 소정 간격 이내로 접근하기 전(lock\_state="L")까지 스택 방지부(640)의 출력(delay\_up)을 "H"상태로 하여 지연을 증가시키고, 두 클럭의 상향에지가 상기 소정 간격 이내로 접근하게 되면(lock\_state="H") 외부 클럭(clk)과 피드백 클럭(feedback)의 위상을 직접 비교하는 제1 위상 감지기(623)의 출력(pdout1)에 따라 지연을 증가 혹은 감소시킨다.

여기서, 피드백 클럭(feedback)이 외부 클럭(clk)에 소정 간격 이내로 접근하였는지의 정보를 갖는 신호인 lock\_state 신호는 위상 감지기(620)의 지연 피드백 클럭(fbclk\_dly)의 상향에지의 위상이 어느 한 상태에서 외부 클럭(clk)의 상향에지의 위상보다 앞서 있다가(pdout2="L"), 다음 상태에서 외부 클럭(clk)의 상향에지의 위상보다 뒤지게 되면(pdout2="H"), 이를 검출하여 "L"상태에서 "H"상태로 천이된다. 여기서, 제1 클럭(p\_clk1)과 제2 클럭(p\_clk2)은 소정 시간마다 주기적으로 토글링(toggling)하는 클럭이다.

그러면 도 8의 본 발명의 일실시예에 따른 지연 고정 루프의 동작 타이밍도를 이용하여 외부 클럭(clk)과 피드백 클럭(feedback)간에 발생 가능한 위상 관계에 대해서 살펴보기로 한다.

우선, 본 발명의 일실시예에 따르면, 제2 위상 감지기(625)로부터 출력되는 출력(pdout2)을 사용하여 입력 버퍼부(610)로부터 출력되는 라이징 클럭(rclk)과 폴링 클럭(fclk) 중 어느 것을 지연 라인부(660)로 인가할 것인가를 결정한다. 만일, 제2 위상 감지기(625)의 출력(pdout2)이 "L"상태이면 외부 클럭(clk)과 동위상인 라이징 클럭(rclk)을 사용하고, 제2 위상 감지기(625)의 출력(pdout2)이 "H"상태이면 외부 반전 클럭(clkb)과 동위상인 폴링 클럭(fclk)을 사용한다. 한편, 제1 위상 감지기(623)의 출력(pdout1)은 피드백 클럭(feedback)의 지연을 증가(pdout1="L")시킬 것인지 혹은 감소(pdout1="H")시킬 것인지에 대한 정보로 이용된다.

본 발명의 일실시예에 따른 DLL이 동작을 시작하면, 멀티플렉서 제어부(631)로부터 출력되는 클럭 선택 신호(SELnFix)는 "L"상태로 세팅되어 출발한다. 다시 말해서, DLL이 동작을 시작하기 위하여 리셋된 직후에는 외부 클럭(clk)과 동위상인 라이징 클럭(rclk)이 지연 라인부로 인가되고, 지연 라인부(660)로부터 출력되어 위상 감지부로 입력되는 피드백 클럭(feedback)이 바로 초기 피드백 클럭(first feedback)이 된다.

도 8A는 본 발명의 일실시예에 따른 DLL의 록킹 타이밍을 보이는 일례시도로서, 본 발명에 따른 DLL이 동작을 시작하여 초기 피드백 클럭(first feedback)의 상향에지가 외부 클럭(clk)의 하이 펄스(high pulse) 내에 존재하는 반면, 초기 피드백 클럭(first feedback)보다 'a'만큼 지연된 초기 지연 피드백 클럭(first fb\_dly)의 상향에지는 외부 클럭(clk)의 로우 펄스(low pulse) 내에 존재하는 경우이다.

이 때, 제1 위상 감지기(623)의 출력(pdout1)은 "H"상태가 되고, 제2 위상 감지기(625)의 출력(pdout2)은 "L"상태가 된다. 멀티플렉서 제어부(631)는 제2 위상 감지기(625)의 출력(pdout2="L")에 따라 외부 클럭(clk)과 동위상의 라이징 클럭(rclk)을 지연 라인부(660)로 인가한다. 따라서 초기 피드백 클럭(first feedback)의 상향에지가 'dly1' 만큼 지연되어 록킹된다. 이 때 'dly1'은 최대  $t_{CK}/2 + a$ 이 될 수 있다.

그런데 만일 스택 방지부(640)가 없다면, 제1 위상 감지기(623)는 "H"상태를 출력하여 지연을 감소시킨다는 명령을 주는 반면, 현재 상태의 초기 피드백 클럭(first feedback)은 최소 개수의 단위 지연 소자를 거쳐 나타난 신호이므로 더 이상 지연을 감소시키는 것은 불가능하다. 이를 해결하기 위하여 도 7과 같은 스택 방지부(640)가 필요하다.

DLL이 리셋(reset)되면 스택 방지부(640)의 노드(lock\_state)는 "L"상태가 된다. 그러면, 제2 클럭(p\_clk2)의 상향에지 이후 스택 방지부(640)의 출력(delay\_up)은 "H"상태가 되어 지연 라인부에서의 지연을 증가시키게 된다. 이후 제2 위상 감지기(625)의 출력이 "L"상태에서 "H"상태로 천이하고, 제1 클럭(p\_clk1)이 "H"상태가 되면 노드(lock\_state)는 "H"상태로 천이한다. 이 때부터는 스택 방지부(640)의 출력(delay\_up)이 제1 위상 감지기(623)의 출력(pdout1) 상태에 따라 결정될 수 있다.

만일, 도 5와 같이, 초기 피드백 클럭(first feedback)의 상향에지가 외부 클럭(clk)의 하향에지에 아주 근접해 있는 경우라 할지라도, 초기 지연 피드백 클럭(first fb\_dly)은 초기 피드백 클럭(first feedback)보다 'a'만큼 지연되어 외부 클럭의 로우 펄스(low pulse) 구간에 존재하게 되므로, 제2 위상 감지기(625)의 출력(pdout2)은 "L"상태가 될 수 있다. 이 때에는 초기 피드백 클럭(first feedback)을 약  $t_{CK}/2$  만큼 지연시켜 외부 클럭(clk)에 록킹할 수 있고, 따라서 스택을 방지할 수 있게 된다.

한편, 도 8A에서와 같이, 지연 피드백 클럭(fb\_dly)의 위상과 외부 클럭(clk)의 위상을 비교하더라도 지연 피드백 클럭(fb\_dly)의 상향에지가 외부 클럭(clk)의 하향에지에 매우 근접하게 되면, 제2 위상 감지기(625)가 두 클럭의 위상을 정확하게 비교하지 못해서 "L"상태 혹은 "H"상태의 잘못된 값을 출력할 수 있다. 이러한 경우에도, 본 발명의 DLL은 스택 방지부(640)가 초기 동작시 무조건 지연을 증가시키도록 제어하기 때문에 종래기술에서 발생할 수 있는 문제점이 발생하지 않는다. 즉, 제2 위상 감지기(625)의 출력(pdout2)이 "L"상태라면, 라이징 클럭(rclk)을 피드백시킨 피드백 클럭(feedback)을  $t_{CK}/2 + \alpha$ 만큼 지연시켜 록킹할 수 있다. 혹은 제2 위상 감지기(625)의 출력(pdout2)이 "H"상태라면, 폴링 클럭(fclk)을 피드백시킨 피드백 클럭을  $\alpha$ 만큼 지연시켜 록킹할 수 있다.

도 8B는 본 발명의 일실시예에 따른 DLL의 록킹 타이밍을 보이는 다른 예시도로서, 초기 피드백 클럭(first feedback)의 상향에지 뿐만 아니라 초기 피드백 클럭(first feedback)보다  $\alpha$ 만큼 지연된 초기 지연 피드백 클럭(first fb\_dly)의 상향에지까지도 모두 외부 클럭(clk)의 하이 펄스(high pulse) 내에 존재하는 경우이다.

이 때에는, 피드백 클럭의 위상을 잘못 판단할 수 있는 데드 존을 벗어나도록 지연시킨 초기 지연 피드백 클럭(first fb\_dly)의 상향에지까지도 외부 클럭(clk)의 하이 펄스(high pulse) 내에 존재하기 때문에, 외부 반전 클럭(clkb)을 버퍼링한 폴링 클럭(fclk)을 지연 라인부(660)에 인가한다. 그리고, 폴링 클럭(fclk)이 피드백되어 나타나는 초기 피드백 클럭(first feedback\_f)을 'dly2'만큼 지연시켜 외부 클럭(clk)에 록킹시킬 수 있다.

도 8C는 본 발명의 일실시예에 따른 DLL의 록킹 타이밍을 보이는 또 다른 예시도로서, 초기 피드백 클럭(first feedback)의 상향에지가 외부 클럭(clk)의 로우 펄스(low pulse) 내에 존재하는 반면, 초기 피드백 클럭(first feedback)보다  $\alpha$ 만큼 지연된 초기 지연 피드백 클럭(first fb\_dly)의 상향에지는 외부 클럭(clk)의 하이 펄스(high pulse) 내에 존재하는 경우이다.

이 경우, 외부 반전 클럭(clkb)을 버퍼링한 폴링 클럭(fclk)을 지연 라인부(660)에 인가한다. 그리고, 폴링 클럭(fclk)을 사용하여 나타나는 초기 피드백 클럭(first feedback\_f)을 'dly3'만큼 지연시켜 외부 클럭(clk)에 록킹시킬 수 있다. 이 때 'dly3'은, 도 7A에 보이는 경우와 마찬가지로, 최대  $t_{CK}/2 + \alpha$ 이 될 수 있다. 종래기술에 따르면, 제1 위상 감지의 출력(pdout1)이 "L"상태이므로 'd'만큼을 지연시켜 록킹할 수 있지만, 본 발명에서는 이 경우에도 최대  $t_{CK}/2 + \alpha$ 만큼 지연시켜 록킹한다.

한편, 도 9는 도 6의 제1 및 제2 위상 감지기(623, 625)의 동작을 설명하기 위한 심볼 및 타이밍도이다.

도 9A는 위상 감지기의 심볼로서, 입력단자a와 입력단자b에 입력되는 클럭의 위상관계에 따라 출력단자y에 "L" 혹은 "H"를 출력한다. 예를 들어, 도 9B와 같이, 입력단자a에 입력되는 클럭의 위상이 입력단자b에 입력되는 클럭의 위상보다 뒤지면 출력단자y에 "L"상태를 출력한다. 이와 반대로, 도 9C와 같이, 입력단자a에 입력되는 클럭의 위상이 입력단자b에 입력되는 클럭의 위상보다 앞서면 출력단자y에 "H"상태를 출력한다.

도 10은 본 발명의 일실시예에 따른 DLL의 록킹 타이밍을 보이는 또 다른 예시도로서, 최소 지연으로 록킹이 이루어지는 경우이다.

초기 피드백 클럭(first feedback)의 상향에지와 초기 피드백 클럭(first feedback)보다  $\alpha$ 만큼 지연된 초기 지연 피드백 클럭(first fb\_dly)의 상향에지가 모두 외부 클럭(clk)의 로우 펄스(low pulse) 내에 존재하는 경우이다.

이 경우, 외부 클럭(clk)을 버퍼링한 라이징 클럭(rclk)을 지연 라인부(660)에 인가한다. 그리고, 라이징 클럭(rclk)을 사용하여 나타나는 초기 피드백 클럭(first feedback)을 지연시켜 외부 클럭(clk)에 록킹시킬 수 있다.

특히, 도 10A와 같이, 초기 피드백 클럭(first feedback)의 위상이 외부 클럭의 위상 보다 정확히  $\alpha$ 만큼 앞서 있다면, 초기 지연 피드백 클럭(first fb\_dly)은 외부 클럭과 거의 동위상이 될 것이다. 그러면, 제1 위상 감지기(623)는 "L"상태를 출력하고, 제2 위상 감지기(625)는 외부 클럭(clk)과 지연 피드백 클럭(fb\_dly)의 위상을 정확하게 비교할 수 없지만, "L"상태를 출력한다면, 외부 클럭(clk)과 동위상인 라이징 클럭(rclk)을 지연라인부에 인가한다. 이에 따라 지연라인부에서는 피드백 클럭(feedback)을 정확히  $\alpha$ 만큼 지연시켜 외부 클럭(clk)에 고정시킬 수 있다.

한편, 본 발명에 따르면, 도 10B에 보이는 바와 같이, 최초로 록킹할 때에 적어도  $\alpha$ 만큼의 지연을 갖게 된다. 이는 록킹되고 난 후, 반도체 기억 소자가 동작을 하다가 주변 전압이나 온도 등의 변화로 인해 지연을 더 줄여야 하는 경우가 발생했

을 때 'a'만큼 지연을 더 감소시킬 수 있는 여지를 갖게 한다. 즉, 종래기술에 따르면, 최소 지연에 의해 록킹되는 경우 지연 라인부에서의 지연을 전혀 사용하지 않고 록킹될 수 있는데, 이 때에는 동작 중에 발생하는 주변 상황의 변화에 따라 지연을 더 감소시킬 필요가 있는 경우에 이에 대응하지 못하는 문제점을 해결할 수 있는 장점도 포함하고 있다.

도 11은 본 발명의 실시시에 따른 DLL의 전체 타이밍도로서, 위에서 언급된 클럭신호들을 종합하여 제시한다.

도 11의 피드백 클럭에 있어서 원형으로 된 점선 부분은, 지연이 조정되어 위상이 변화하는 부분이다. 한편, 제1 클럭(p\_clk1)의 한 주기동안에는 1회의 지연 조정이 일어난다.

도 12는 본 발명의 다른 실시시에 따른 지연 고정 루프의 전체 블록도로서, 도 6과 다른 부분은 위상감지부(1220)가 1개의 위상감지기를 사용하는 대신 스택방지부로부터 출력되는 록킹상태신호(lock\_state)를 제어신호로 이용하는 멀티플렉서(1223)를 사용한다는 점이다. 멀티플렉서(1223)를 사용함으로써 DLL의 초기 동작시에는 "L"상태의 록킹상태신호(lock\_state)에 따라 피드백 클럭 지연기로부터 출력되는 지연 피드백 클럭의 위상을 외부 클럭의 위상과 비교하고, 지연 피드백 클럭의 위상이 외부 클럭의 위상보다 뒤지게 되어 록킹상태신호(lock\_state)가 "H"상태로 천이하면 피드백 클럭의 위상과 외부 클럭의 위상을 비교하게 된다.

도 13은 도 12의 DLL에서 사용되는 스택방지부의 구체회로도로서, 도 7에 보이는 스택방지부의 구성과 동일하다. 다만, 도 12의 지연고정루프는 위상감지기(1225) 하나만을 사용하기 때문에 제1 및 제2 위상감지기의 출력(pdout1, pdout2) 대신 위상감지기(1225)의 출력(pdout)을 사용한다는 점이 다르다.

도 14는 본 발명에 적용가능한 멀티플렉서 제어부(631, 1231)의 실시시에 블록도로서, 편의상 도 6의 DLL에 적용되는 경우를 예로 들어 설명하기로 한다.

DLL이 동작을 시작하기 직전 외부로부터 리셋신호(reset)가 인가되면 멀티플렉서 제어부(631)의 출력(SELnFix)은 "L"상태가 된다. 그러면, 멀티플렉서(633)는 지연라인부(660)로 외부클럭(clk)의 버퍼링된 클럭인 라이징 클럭(rclk)을 인가한다.

이 때, 지연 피드백 클럭(fb\_dly)과 외부 클럭(clk)의 위상을 비교하는 제2 위상 감지기(625)의 출력(pdout2)이 다수결정기(1401, majority voter)로 인가된다. 다수결정기(1401)는 제2 위상 감지기(625)로부터 복수개의 출력을 받아 "H"상태값과 "L"상태값 중 어느 상태값이 더 많이 입력되었는지를 판단하게 된다. 이후 주기적으로 제3 클럭(p\_clk3)이 토글링(toggling)하게 되면 다수결정기(1401)의 출력에 따라 멀티플렉서 제어부(631)의 출력(SELnFix)이 결정된다.

여기서 카운터(1403, counter)는 제2 위상 감지기(625)의 출력(pdout2)이 멀티플렉서 제어부(631)의 출력(SELnFix)으로 받아들여질 때까지, 즉, 라이징 클럭(rclk)과 폴링 클럭(fclk) 중 어느 클럭을 사용할 것인지를 결정될 때까지 카운트한다. 그리고 카운터(1403)가 소정의 값을 출력하면, 검출로직(1405)은 "H"상태의 논리신호를 출력한다. 따라서, 검출로직(1405)으로부터 "H"상태의 논리신호가 출력된 이후에는 제2 위상 감지기(625)로부터 출력되는 값은 멀티플렉서 제어부(631)의 출력(SELnFix)에 영향을 미치지 못하고, 검출로직(1405)으로부터 "H"상태의 논리신호가 출력되기 직전의 제2 위상 감지기(625)의 출력(pdout2)이 멀티플렉서 제어부(631)의 출력(SELnFix)으로 사용된다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

### 발명의 효과

본 발명에 따르면, 종래기술과 대비하여 지연라인부의 면적이 줄어들고, 지연라인부에서 소모되는 전력이 감소하여 지연 고정루프에서 소요되는 전체 전력이 감소된다. 또한, 본 발명에 예시된 지연고정루프는 최악의 경우에도 대략 동작 주파수의 반주기만큼의 지연 라인만으로 록킹을 할 수 있기 때문에 종래의 한 주기 만큼의 지연 라인을 이용하여 록킹할 때보다 록킹시간을 현저히 줄일 수 있다.

또한, DLL의 초기 동작시에는 외부 클럭의 위상과 피드백 클럭의 위상 관계에 무관하게 피드백 클럭을 지연시켜 록킹 동작을 수행하므로 스택 페일을 방지할 수 있다. 그리고, 본 발명에 따른 DLL은 항상 적어도 'a'만큼의 지연라인을 사용하고 있기 때문에, DLL이 록킹된 이후에 주변 전압이나 온도등의 변화로 지연을 더 감소시켜야 하는 경우에도 이에 대비할 수 있는 유리한 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 기억 소자에 있어서,

피드백 클럭을 소정 시간 지연시킨 지연 피드백 클럭을 출력하는 제1 단계;

외부로부터 인가되는 복수의 클럭 - 상기 복수의 클럭은 상호 위상이 반전된 클럭임 - 중 어느 하나를 선택하기 위하여 상기 지연 피드백 클럭의 위상과 외부로부터 입력되는 외부 클럭의 위상을 비교하는 제2 단계; 및

상기 피드백 클럭을 상기 외부 클럭에 록킹시키기 위하여 상기 피드백 클럭의 위상과 상기 외부 클럭의 위상을 비교하는 제3 단계

를 포함하는 지연 고정 루프의 클럭 록킹 방법.

청구항 2.

제1항에 있어서,

상기 제1 단계의 피드백 클럭은 상기 지연 고정 루프가 동작하기 시작하는 초기의 피드백 클럭임을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

청구항 3.

제1항에 있어서, 상기 소정 시간은,

적어도 상기 외부 클럭과 상기 피드백 클럭의 위상의 선후를 잘못 판단할 수 있는 범위보다 더 큰 것을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

청구항 4.

제3항에 있어서,

상기 제2 단계의 비교 결과,

상기 지연 피드백 클럭의 상향 에지가 상기 외부 클럭의 하향 에지보다 앞서면 상기 복수의 클럭 중 폴링 클럭을 선택하고, 상기 지연 피드백 클럭의 상향 에지가 상기 외부 클럭의 하향 에지보다 뒤지면 상기 복수의 클럭 중 라이징 클럭을 선택하는 제4 단계

를 더 포함하는 것을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

청구항 5.

제4항에 있어서,

상기 폴링 클럭은 상기 외부 클럭을 반전시킨 외부 반전 클럭의 버퍼링된 클럭임을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

### 청구항 6.

제4항에 있어서,

상기 라이징 클럭은 상기 외부 클럭의 버퍼링된 클럭임을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

### 청구항 7.

제4항에 있어서,

제4 단계의 수행 후, 상기 피드백 클럭이 외부 클럭에 소정 간격 이상이면 지연라인부의 지연을 증가시키는 제5 단계; 및  
상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근하면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연 라인부의 지연을 증가 혹은 감소시키는 제6 단계

를 더 포함하는 것을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

### 청구항 8.

제7항에 있어서,

상기 제6 단계에서의 상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근한다는 것은, 상기 지연 피드백 클럭의 상향 에지의 위상이 상기 외부 클럭의 상향 에지의 위상에 대비하여 진상에서 지상으로 전환하는 것임을 특징으로 하는 지연 고정 루프의 클럭 록킹 방법.

### 청구항 9.

반도체 기억 소자에 있어서,

외부 클럭과 피드백 클럭을 입력받아 상기 외부 클럭과 상기 피드백 클럭의 위상을 비교하고, 상기 외부 클럭과 상기 피드백 클럭을 소정 시간 지연시켜 생성되는 지연 피드백 클럭의 위상을 비교하기 위한 위상 감지부; 및

상기 위상 감지부로부터 출력되는 신호에 응답하여 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하기 전까지 지연라인부의 지연을 증가시키기 위한 스택 방지부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 10.

제9항에 있어서, 상기 스택 방지부는

상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하게 되면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연라인부의 지연을 증가 혹은 감소시키는 것을 특징으로 하는 지연 고정 루프.

### 청구항 11.

제10항에 있어서, 상기 위상 감지부는,

상기 피드백 클럭을 소정 시간 지연시켜 상기 지연 피드백 클럭을 출력하기 위한 피드백 클럭 지연기;

상기 피드백 클럭과 외부 클럭을 비교하기 위한 제1 위상 감지기; 및

상기 지연 피드백 클럭과 외부 클럭을 비교하기 위한 제2 위상 감지기

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 12.

제11항에 있어서, 상기 피드백 클럭 지연기는,

상기 피드백 클럭을 상기 피드백 클럭의 위상과 상기 외부 클럭의 위상의 전후를 잘못 판단할 수 있는 범위보다 더 지연시키는 것을 특징으로 하는 지연 고정 루프.

### 청구항 13.

제11항에 있어서, 상기 피드백 클럭 지연기는,

상기 피드백 클럭을 입력으로 하는 복수의 직렬로 된 단위 지연 소자인 것을 특징으로 하는 지연 고정 루프.

### 청구항 14.

제10항에 있어서,

상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근한다는 것은, 상기 지연 피드백 클럭의 상향에지의 위상이 상기 외부 클럭의 상향에지의 위상에 대비하여 진상에서 지상으로 전환하는 것에 의존하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 15.

제11항에 있어서, 상기 스택 방지부는,

상기 제2 위상 감지기의 출력이 제1 논리상태인 동안에는 제1 논리상태를 출력하고, 상기 제2 위상 감지기의 출력이 제2 논리상태로 천이하면 상기 제1 위상 감지기로부터 출력되는 논리상태에 대응하여 출력되는 것을 특징으로 하는 지연 고정 루프.

### 청구항 16.

제11항에 있어서,

상기 외부 클럭과 상기 외부 클럭을 반전시킨 외부 반전 클럭을 입력받아 버퍼링하기 위한 입력 버퍼부; 및

상기 위상 감지부로부터 출력되는 신호에 응하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉싱부

를 더 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 17.

제16항에 있어서, 상기 입력 버퍼부는,

상기 외부 클럭을 비반전단자에, 상기 외부 반전 클럭을 반전단자에 입력받아 상기 외부 클럭과 동 위상인 라이징 클럭을 출력하기 위한 제1 입력 버퍼; 및

상기 외부 반전 클럭을 반전단자에, 상기 외부 클럭을 비반전단자에 입력받아 상기 외부 반전 클럭과 동 위상인 폴링 클럭을 출력하기 위한 제2 입력 버퍼

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 18.

제16항에 있어서, 상기 멀티플렉싱부는,

상기 제2 위상 감지기로부터 출력되는 신호에 응하여 상기 멀티플렉서를 제어하기 위한 제어신호를 출력하기 위한 멀티플렉서 제어부; 및

상기 멀티플렉서 제어부로부터 출력되는 제어신호에 응하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉서

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 19.

제18항에 있어서, 상기 멀티플렉서 제어부는,

상기 제2 위상 감지기로부터 순차적으로 입력되는 복수개의 논리상태값 중 다수개의 논리상태값을 출력값으로 취하기 위한 다수 결정기;

상기 외부 클럭을 계수하여 상기 다수 결정기의 출력이 상기 멀티플렉서 제어부의 출력으로 채택될 시간만큼의 계수값이 되는 것을 검출하여 제1논리신호를 출력시키기 위한 계수 및 검출로직부; 및

상기 다수 결정기를 입력으로 하고, 상기 계수 및 검출로직의 출력을 클럭신호로 사용하는 디플립플롭

을 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 20.

제19항에 있어서, 상기 계수 및 검출로직부는,

상기 외부 클럭을 계수하기 위한 카운터;

상기 카운터의 출력값이 달라지면 고정된 논리값을 출력하기 위한 검출로직;  
 주기적으로 토글링하는 클럭신호와 상기 검출로직을 부정논리합하기 위한 노아게이트;  
 상기 노아게이트의 출력을 반전시키기 위한 낸드게이트  
 를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 21.

반도체 기억 소자에 있어서,

하기 스택 방지부의 출력에 제어되어 지연 피드백 클럭 - 상기 지연 피드백 클럭은 하기 피드백 클럭을 소정 시간 지연시킨 클럭임 - 및 피드백 클럭의 위상을외부 클럭의 위상과 순차적으로 비교하기 위한 위상 감지부; 및

상기 위상 감지부로부터 출력되는 신호에 응답하여 상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하기 전까지는 지연라인부의 지연을 증가시키기 위한 스택 방지부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 22.

제21항에 있어서, 상기 스택방지부는,

상기 피드백 클럭과 외부 클럭이 소정 간격 이내로 접근하게 되면 상기 피드백 클럭과 외부 클럭의 위상 비교에 따라 상기 지연라인부의 지연을 증가 혹은 감소시키는 것을 특징으로 하는 지연 고정 루프.

### 청구항 23.

제22항에 있어서, 상기 위상 감지부는,

상기 피드백 클럭을 소정 시간 지연시켜 상기 지연 피드백 클럭을 출력하기 위한 피드백 클럭 지연기;

상기 스택 방지부의 출력에 제어되어 상기 피드백 클럭과 상기 지연 피드백 클럭 중 어느 하나를 선택하기 위한 멀티플렉서; 및

상기 멀티플렉서의 출력과 상기 외부 클럭을 비교하기 위한 위상 감지기

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 24.

제23항에 있어서, 상기 피드백 클럭 지연기는,

상기 피드백 클럭을 데드 존보다 더 지연시키는 것을 특징으로 하는 지연 고정 루프.

### 청구항 25.

제23항에 있어서, 상기 피드백 클럭 지연기는,

상기 피드백 클럭을 입력으로 하는 복수의 직렬로 된 단위 지연 소자인 것을 특징으로 하는 지연 고정 루프.

### 청구항 26.

제22항에 있어서,

상기 피드백 클럭이 외부 클럭에 소정 간격 이내로 접근하였는지의 판단은, 상기 지연 피드백 클럭의 상향에지의 위상이 상기 외부 클럭의 상향에지의 위상보다 앞서 있다가 뒤지게 되는 것에 의존하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 27.

제23항에 있어서, 상기 스택 방지부는,

상기 위상 감지기의 출력이 제1 논리상태인 동안에는 제1 논리상태를 출력하고, 상기 위상 감지기의 출력이 제2 논리상태로 천이하는 이후에는 상기 위상 감지기로부터 출력되는 논리상태에 대응하여 출력되는 것을 특징으로 하는 지연 고정 루프.

### 청구항 28.

제23항에 있어서,

상기 외부 클럭과 상기 외부 클럭을 반전시킨 외부 반전 클럭을 입력받아 버퍼링하기 위한 입력 버퍼부; 및

상기 위상 감지부로부터 출력되는 신호에 응하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉싱부

를 더 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 29.

제28항에 있어서, 상기 입력 버퍼부는,

상기 외부 클럭을 비반전단자에, 상기 외부 반전 클럭을 반전단자에 입력받아 상기 외부 클럭과 동 위상인 라이징 클럭을 출력하기 위한 제1 입력 버퍼; 및

상기 외부 반전 클럭을 반전단자에, 상기 외부 클럭을 비반전단자에 입력받아 상기 외부 반전 클럭과 동 위상인 폴링 클럭을 출력하기 위한 제2 입력 버퍼

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 30.

제28항에 있어서, 상기 멀티플렉싱부는,

상기 제2 위상 감지기로부터 출력되는 신호에 의하여 하기 멀티플렉서를 제어하기 위한 제어신호를 출력하기 위한 멀티플렉서 제어부; 및

상기 멀티플렉서 제어부로부터 출력되는 제어신호에 의하여 상기 입력 버퍼부로부터 출력되는 복수의 클럭 중 어느 하나를 선택하기 위한 멀티플렉서

를 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 31.

제30항에 있어서, 상기 멀티플렉서 제어부는,

상기 제2 위상 감지기로부터 순차적으로 입력되는 복수개의 논리상태값 중 다수개의 논리상태값을 출력값으로 취하기 위한 다수 결정기;

상기 외부 클럭을 계수하여 상기 다수 결정기의 출력이 상기 멀티플렉서 제어부의 출력으로 채택될 시간만큼의 계수값이 되는 것을 검출하여 제1논리신호를 출력시키기 위한 계수 및 검출로직부; 및

상기 다수 결정기를 입력으로 하고, 상기 계수 및 검출로직의 출력을 클럭신호로 사용하는 디플립플롭

을 포함하는 것을 특징으로 하는 지연 고정 루프.

### 청구항 32.

제31항에 있어서, 상기 계수 및 검출로직부는,

상기 외부 클럭을 계수하기 위한 카운터;

상기 카운터의 출력값이 달라지면 고정된 논리값을 출력하기 위한 검출로직;

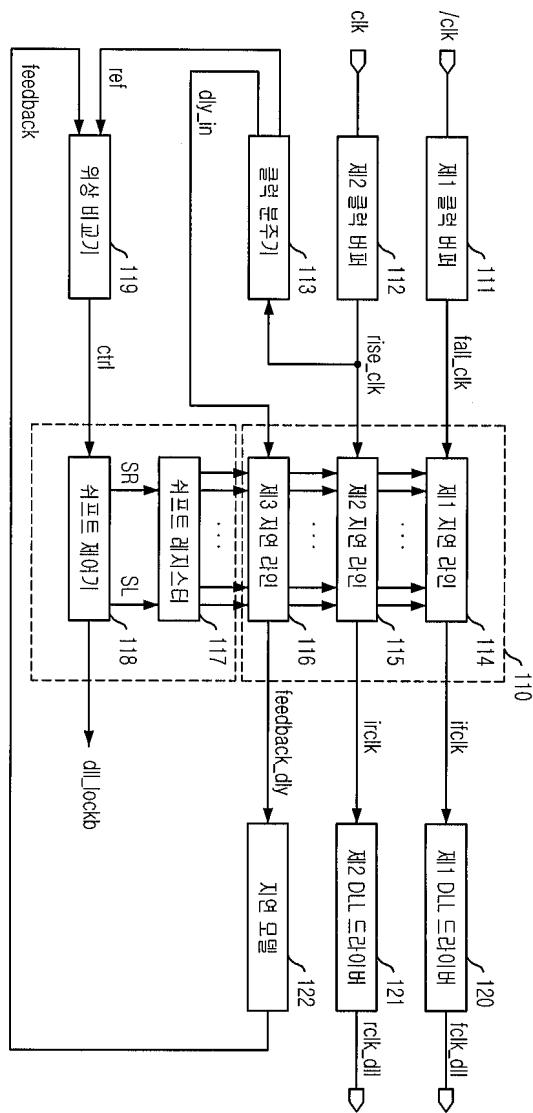
주기적으로 토글링하는 클럭신호와 상기 검출로직을 부정논리합하기 위한 노아게이트;

상기 노아게이트의 출력을 반전시키기 위한 낸드게이트

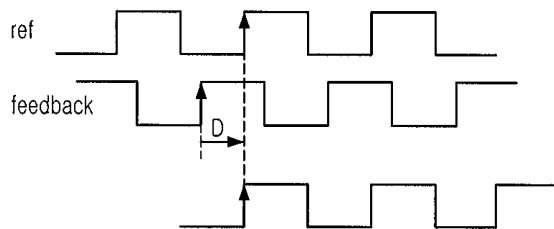
를 포함하는 것을 특징으로 하는 지연 고정 루프.

도면

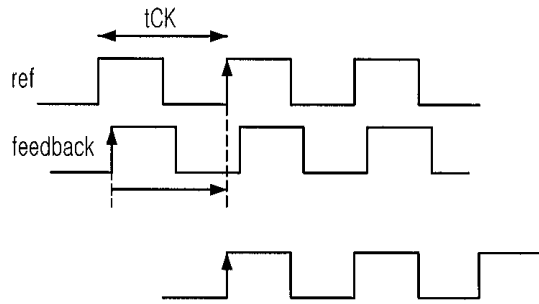
도면1



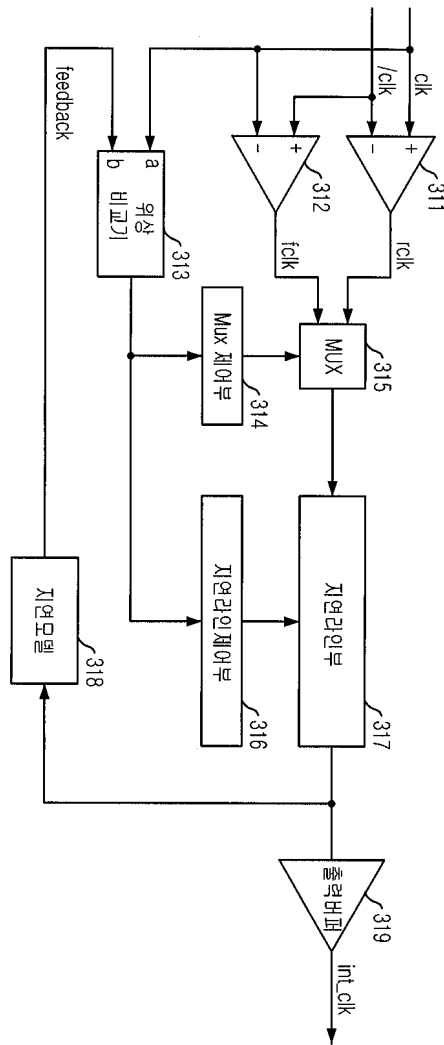
도면2a



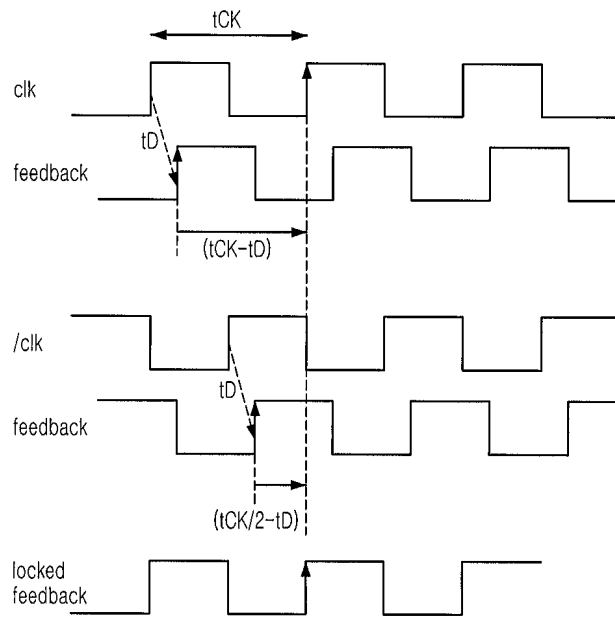
도면2b



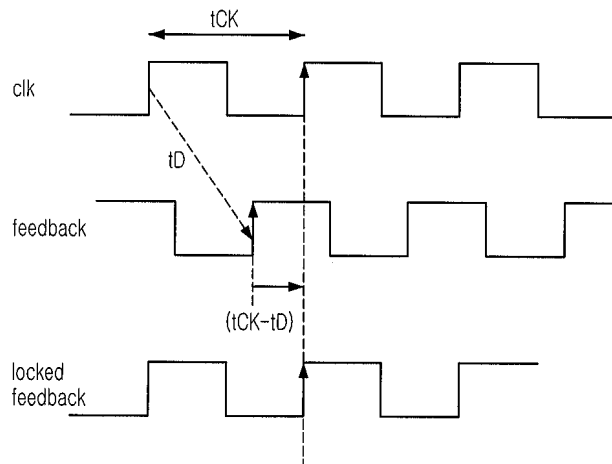
도면3



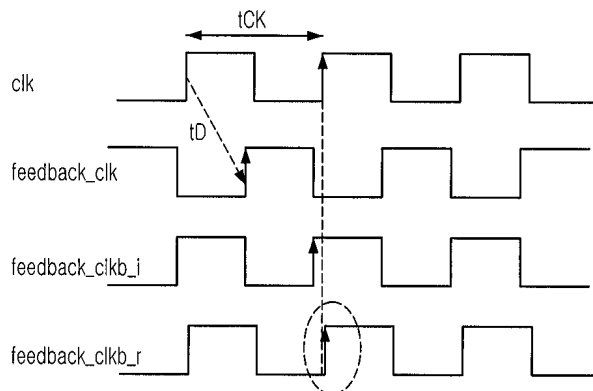
도면4a



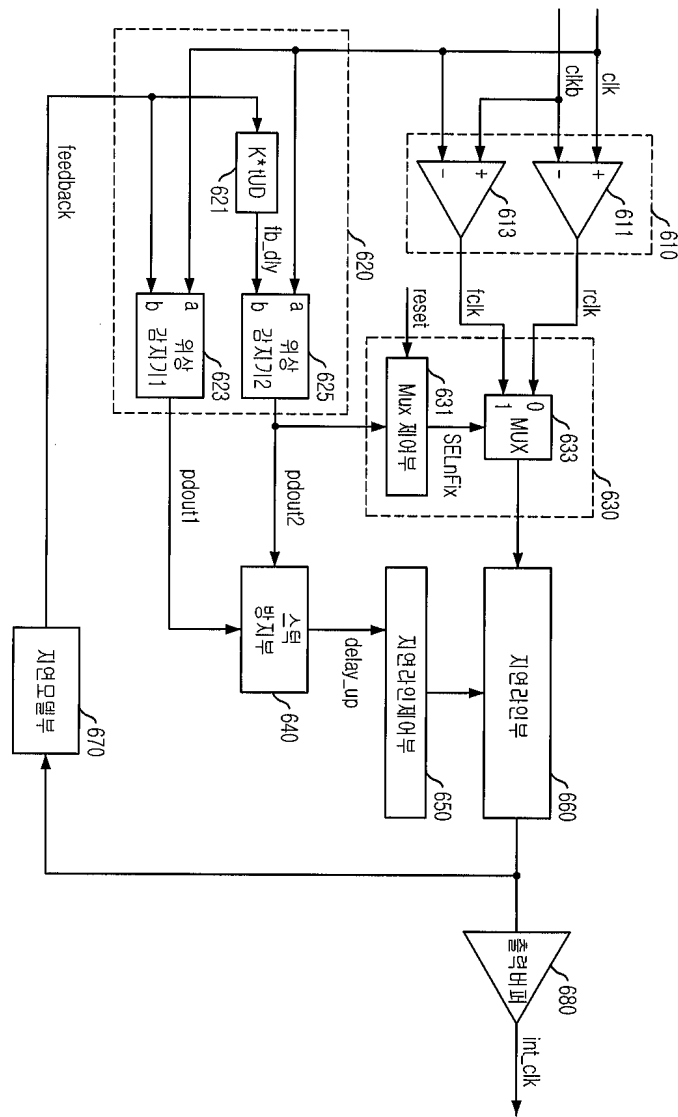
도면4b



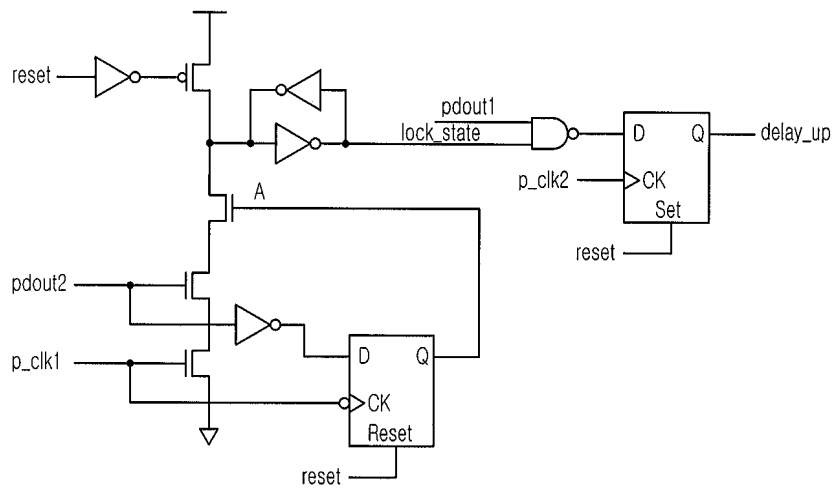
도면5



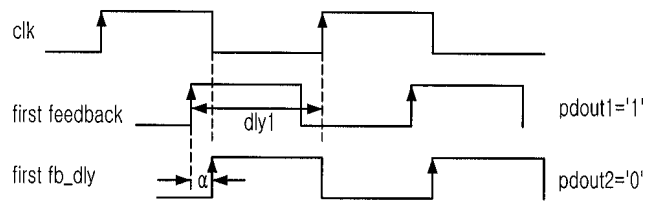
도면6



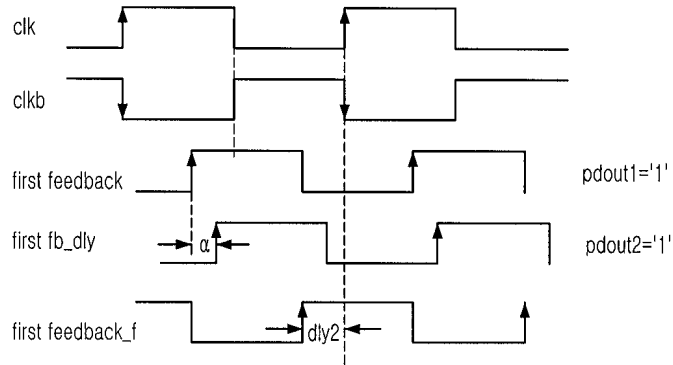
도면7



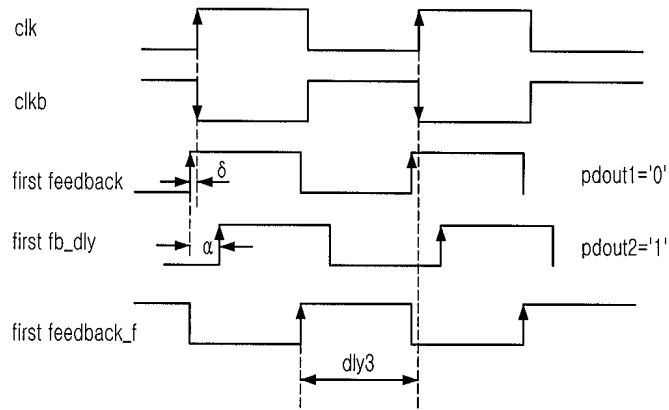
도면8a



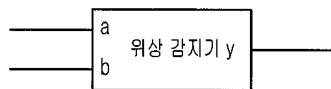
도면8b



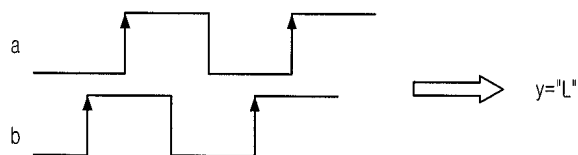
도면8c



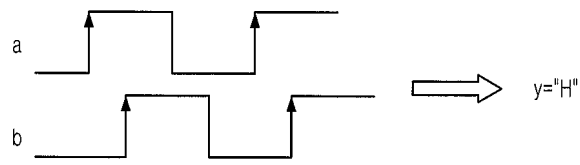
도면9a



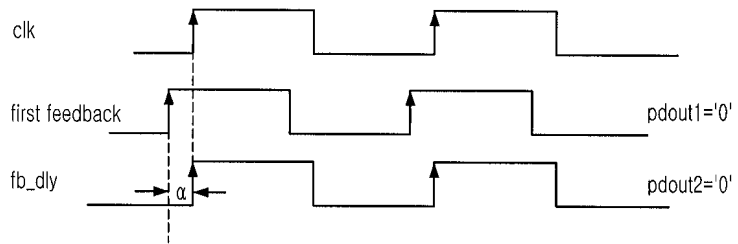
도면9b



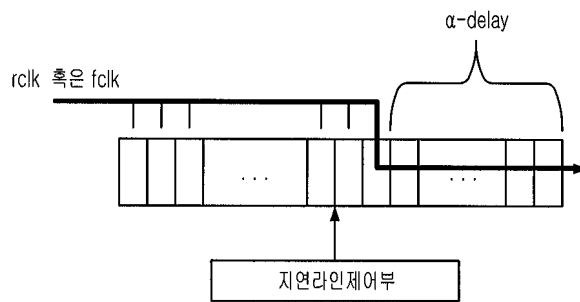
도면9c



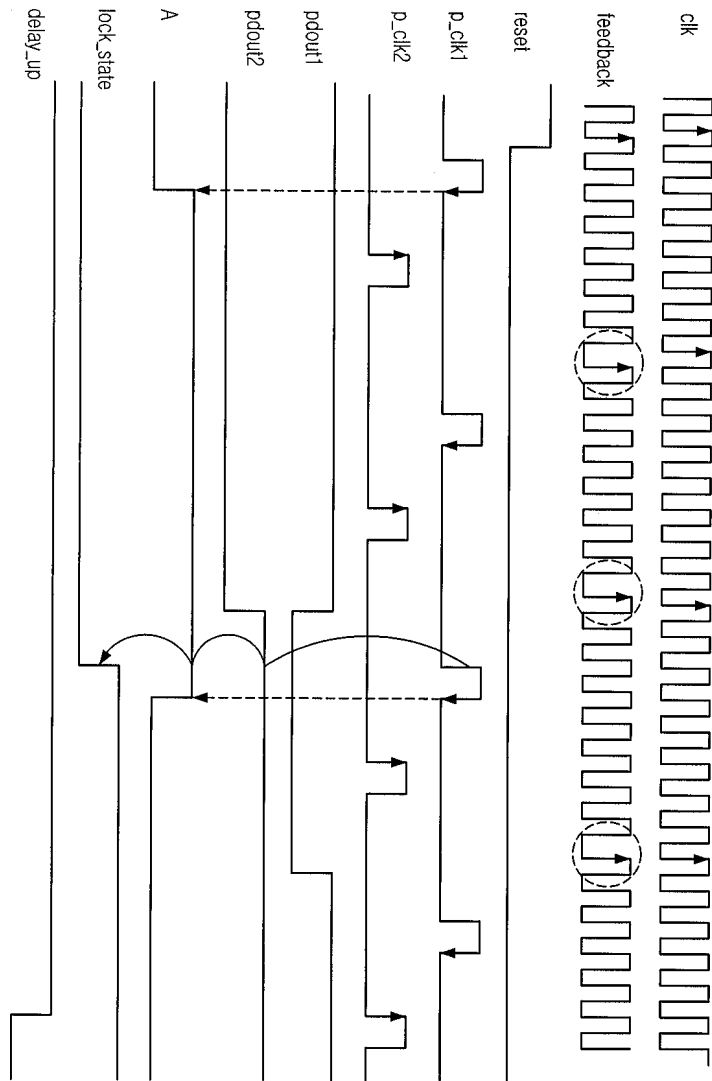
도면10a



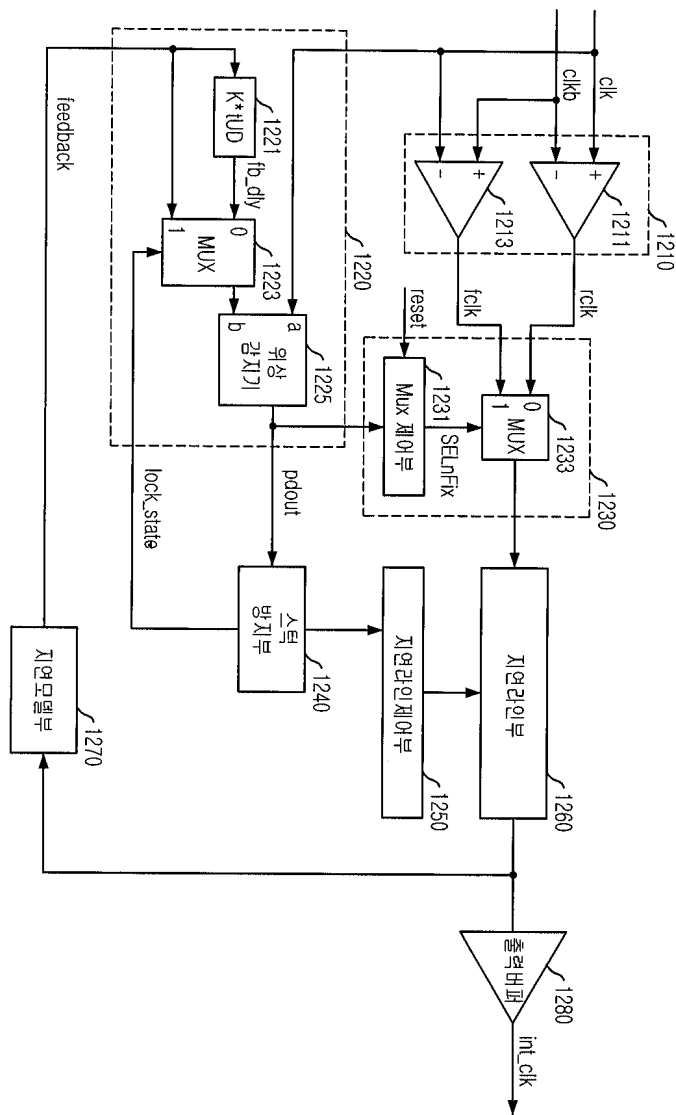
도면10b



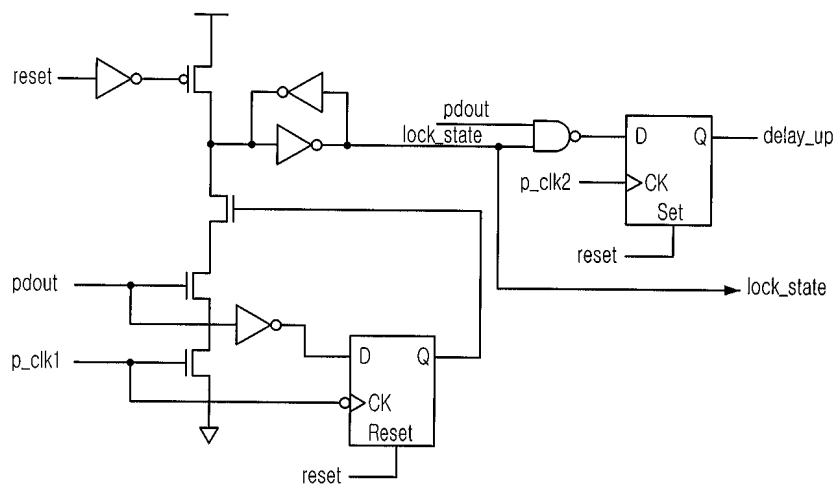
도면11



도면12



도면13



도면14

