



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0069978  
(43) 공개일자 2014년06월10일

(51) 국제특허분류(Int. Cl.)  
G11C 7/22 (2006.01) G11C 8/00 (2006.01)  
(21) 출원번호 10-2012-0137926  
(22) 출원일자 2012년11월30일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
서영석  
서울 노원구 공릉로 126, 102동 1002호 (공릉동, 두산힐스빌아파트)  
(74) 대리인  
김성남

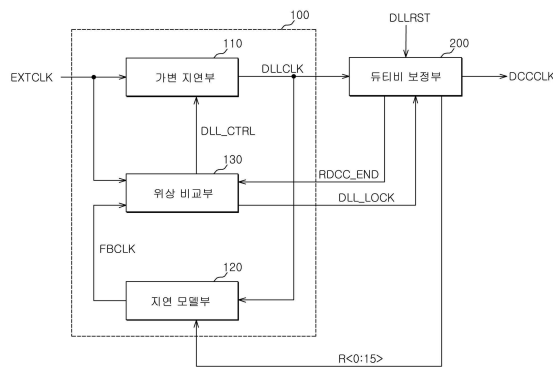
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치 및 이의 듀티비 보정 방법

**(57) 요약**

반도체 장치는 듀티비 보정부 및 지연 고정 루프를 포함한다. 듀티비 보정부는 내부 클럭의 듀티비를 보정하여 듀티 보정 클럭을 생성하되, 지연 고정 루프가 초기화(reset)되면 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하고, 상기 지연 고정 루프가 고정(locking)되면 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절한다. 지연 고정 루프는 외부 클럭을 수신하여 상기 내부 클럭으로 출력하되, 상기 듀티비 보정부에서 상기 듀티 보정 클럭의 상기 라이징 에지의 위상 조절이 종료되면 외부 클럭을 가변 지연량만큼 지연시켜 상기 내부 클럭으로 출력한다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

외부 클럭의 듀티비를 보정하여 듀티 보정 클럭을 생성함에 있어 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하는 제 1 듀티비 보정 단계;

상기 외부 클럭을 가변 지연량만큼 지연하여 고정된 디엘엘 클럭을 생성하는 지연 고정 단계; 및

상기 디엘엘 클럭의 듀티비를 보정하여 상기 듀티 보정 클럭을 생성함에 있어 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절하는 제 2 듀티비 보정 단계를 포함하는 반도체 장치의 듀티비 보정 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 듀티비 보정 단계는,

상기 듀티 보정 클럭의 듀티비를 감지하여 제 1 듀티비 제어 코드를 생성하는 단계; 및

상기 제 1 듀티비 제어 코드에 응답하여 상기 듀티 보정 클럭의 상기 라이징 에지의 위상을 조절하는 단계를 포함하는 반도체 장치의 듀티비 보정 방법.

### 청구항 3

제 2 항에 있어서,

상기 지연 고정 단계는,

상기 제 1 듀티비 제어 코드에 응답하여 모델 지연값을 조절하는 단계;

상기 디엘엘 클럭을 상기 모델 지연 값만큼 지연하여 피드백 클럭을 생성하는 단계; 및

상기 외부 클럭과 상기 피드백 클럭의 위상이 동일해질 때까지 상기 가변 지연량을 조절하여 상기 디엘엘 클럭을 생성하는 단계를 포함하는 반도체 장치의 듀티비 보정 방법.

### 청구항 4

제 1 항에 있어서,

상기 제 2 듀티비 보정 단계는,

상기 듀티 보정 클럭의 듀티비를 감지하여 제 2 듀티비 제어 코드를 생성하는 단계; 및

상기 제 2 듀티비 제어 코드에 응답하여 상기 듀티 보정 클럭의 상기 폴링 에지의 위상을 조절하는 단계를 포함하는 반도체 장치의 듀티비 보정 방법.

### 청구항 5

내부 클럭의 듀티비를 보정하여 듀티 보정 클럭을 생성하되, 지연 고정 루프가 초기화(reset)되면 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하고, 상기 지연 고정 루프가 고정(locking)되면 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절하는 듀티비 보정부; 및

외부 클럭을 수신하여 상기 내부 클럭으로 출력하되, 상기 듀티비 보정부에서 상기 듀티 보정 클럭의 상기 라이징 에지의 위상 조절이 종료되면 외부 클럭을 가변 지연량만큼 지연시켜 상기 내부 클럭으로 출력하는 상기 지연 고정 루프를 포함하는 반도체 장치.

### 청구항 6

제 5 항에 있어서,

상기 지연 고정 루프는,

지연량 조절 신호에 의해 상기 외부 클럭의 지연량을 조절하여 상기 내부 클럭으로 출력하는 가변 지연부;

상기 내부 클럭을 모델 지연 값만큼 지연시켜 피드백 클럭으로 생성하는 지연 모델부; 및

상기 외부 클럭과 상기 피드백 클럭의 위상을 비교하여 상기 지연량 조절 신호를 생성하고, 상기 외부 클럭과 상기 피드백 클럭의 위상이 동일해지면 활성화된 디엘엘 고정 신호를 생성하는 위상 비교부를 포함하는 반도체 장치.

**청구항 7**

제 6 항에 있어서,

상기 듀티비 보정부는,

디엘엘 초기화 신호에 응답하여 제 1 보정 인에이블 신호를 활성화시키고, 상기 디엘엘 고정 신호에 응답하여 제 2 보정 인에이블 신호를 활성화시키며, 상기 제 1 및 제 2 보정 인에이블 신호 중 어느 하나가 활성화되면 듀티비 보정 인에이블 신호를 활성화시키는 듀티비 보정 인에이블 신호 생성부를 포함하는 반도체 장치.

**청구항 8**

제 7 항에 있어서,

상기 듀티비 보정부는,

상기 제 1 보정 인에이블 신호에 응답하여 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하고, 상기 제 2 보정 인에이블 신호에 응답하여 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절하는 보정부를 더 포함하는 반도체 장치.

**청구항 9**

제 8 항에 있어서,

상기 보정부는,

상기 듀티비 보정 인에이블 신호가 활성화되면 상기 듀티 보정 클럭의 듀티비를 감지하여 증가 신호 및 감소 신호를 생성하는 듀티비 감지부;

상기 제 1 보정 인에이블 신호가 활성화되면 상기 증가 신호 및 상기 감소 신호에 응답하여 제 1 듀티비 제어 코드를 조절하고, 상기 제 2 보정 인에이블 신호가 활성화되면 상기 증가 신호 및 상기 감소 신호에 응답하여 상기 제 2 듀티비 제어 코드를 조절하는 듀티비 제어 코드 생성부; 및

상기 제 1 및 제 2 듀티비 제어 코드에 응답하여 상기 내부 클럭의 듀티비를 보정하는 듀티비 조절부를 포함하는 반도체 장치.

**청구항 10**

제 9 항에 있어서,

상기 듀티비 조절부는,

상기 제 1 듀티비 제어 코드에 응답하여 상기 내부 클럭의 위상을 조절하여 제 1 클럭으로 출력하는 제 1 클럭 조절부;

상기 제 2 듀티비 제어 코드에 응답하여 상기 내부 클럭의 위상을 조절하여 제 2 클럭으로 출력하는 제 2 클럭 조절부; 및

상기 제 1 클럭의 라이징 에지에서 상승하고 상기 제 2 클럭의 폴링 에지에서 하강하는 상기 듀티 보정 클럭을 생성하는 듀티 보정 클럭 생성부를 포함하는 반도체 장치.

**청구항 11**

제 9 항에 있어서,

상기 보정부는,

활성화된 상기 디엘엘 초기화 신호가 인가되면 상기 증가 신호 및 상기 감소 신호를 감지하여 제 1 듀티비 고정 신호를 생성하는 제 1 고정 감지부; 및

활성화된 상기 디엘엘 고정 신호가 인가되면 상기 증가 신호 및 상기 감소 신호를 감지하여 제 2 듀티비 고정 신호를 생성하는 제 2 고정 감지부를 더 포함하는 반도체 장치.

#### 청구항 12

제 11 항에 있어서,

상기 보정부는,

상기 제 1 듀티비 고정 신호가 활성화되면 제 1 듀티비 보정 종료 신호를 생성하는 제 1 듀티비 보정 종료 신호 생성부; 및

상기 제 2 듀티비 고정 신호가 활성화되면 제 2 듀티비 보정 종료 신호를 생성하는 제 2 듀티비 보정 종료 신호 생성부를 더 포함하는 반도체 장치.

#### 청구항 13

제 12 항에 있어서,

상기 듀티비 보정 인에이블 신호 생성부는,

상기 제 1 듀티비 보정 종료 신호가 활성화되면 활성화된 상기 제 1 보정 인에이블 신호를 비활성화시키고, 상기 제 2 듀티비 보정 종료 신호가 활성화되면 활성화된 상기 제 2 보정 인에이블 신호를 비활성화시키는 반도체 장치.

#### 청구항 14

제 12 항에 있어서,

상기 위상 비교부는,

활성화된 상기 제 1 듀티비 보정 종료 신호가 인가되면 상기 외부 클럭과 상기 피드백 클럭의 위상을 비교하여 상기 지연량 조절 신호를 생성하는 반도체 장치.

#### 청구항 15

제 9 항에 있어서,

상기 지연 모델부는,

상기 제 1 듀티비 제어 코드에 응답하여 상기 모델 지연 값을 조절하는 반도체 장치.

#### 청구항 16

제 15 항에 있어서,

상기 지연 모델부는,

상기 제 1 듀티비 제어 코드가 증가하면 상기 모델 지연 값의 지연량을 증가시키고, 상기 제 1 듀티비 제어 코드가 감소하면 상기 모델 지연 값의 지연량을 감소시키는 반도체 장치.

### 명세서

### 기술분야

본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 반도체 장치의 클럭 듀티비 보정 방법에 관한 것이다.

### 배경기술

[0001]

[0002] 클럭의 듀티비(duty cycle)란 클럭의 펄스 주기에 대한 펄스 폭의 비율을 의미한다. 일반적으로 반도체 집적회로와 같은 디지털 클럭의 응용분야에서는 듀티비가 50:50인 클럭이 주로 사용된다. 듀티비가 50:50이라는 것은 클럭의 하이레벨 구간의 폭과 로우레벨 구간의 폭이 동일하다는 것을 의미한다.

[0003] 디지털 클럭의 응용분야에 있어서, 클럭의 듀티비가 50:50으로 정확하게 제어되는 것은 매우 중요하다. 예컨대, 클럭에 동기되어 데이터를 입출력하는 동기식 반도체 장치에서는 클럭의 듀티비가 정확하게 제어되지 않으면 데이터가 왜곡될 수 있다.

[0004] 최근에는 동작속도를 향상시키기 위하여 DDR(Double Data Rate) 동기식 반도체 장치가 사용되고 있다. DDR 방식을 사용하게 되면 클럭의 상승 에지(rising edge) 뿐만 아니라 하강 에지(falling edge)의 예서도 데이터가 입출력되기 때문에, 클럭의 듀티비를 정확하게 제어하여 데이터 마진이 충분히 확보될 수 있어야 한다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 클럭의 듀티비를 정확하게 조절하는 반도체 장치를 제공한다.

**과제의 해결 수단**

[0006] 본 발명의 일 실시예에 따른 반도체 장치의 듀티비 보정 방법은 외부 클럭의 듀티비를 보정하여 듀티 보정 클럭을 생성함에 있어 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하는 제 1 듀티비 보정 단계; 상기 외부 클럭을 가변 지연량만큼 지연하여 고정된 디엘엘 클럭을 생성하는 지연 고정 단계; 및 상기 디엘엘 클럭의 듀티비를 보정하여 상기 듀티 보정 클럭을 생성함에 있어 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절하는 제 2 듀티비 보정 단계를 포함한다.

[0007] 본 발명의 일 실시예에 따른 반도체 장치는 내부 클럭의 듀티비를 보정하여 듀티 보정 클럭을 생성하되, 지연 고정 루프가 초기화(reset)되면 상기 듀티 보정 클럭의 라이징 에지의 위상을 조절하고, 상기 지연 고정 루프가 고정(locking)되면 상기 듀티 보정 클럭의 폴링 에지의 위상을 조절하는 듀티비 보정부; 및 외부 클럭을 수신하여 상기 내부 클럭으로 출력하되, 상기 듀티비 보정부에서 상기 듀티 보정 클럭의 상기 라이징 에지의 위상 조절이 종료되면 외부 클럭을 가변 지연량만큼 지연시켜 상기 내부 클럭으로 출력하는 상기 지연 고정 루프를 포함한다.

**발명의 효과**

[0008] 본 기술에 의하면 클럭의 듀티비가 정확하게 제어되기 때문에 반도체 장치의 데이터 마진 확보가 가능하다.

**도면의 간단한 설명**

[0009] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 블록도,  
 도 2는 도 1의 듀티비 보정부의 구체적인 실시예를 나타내는 블록도,  
 도 3은 도 2의 듀티비 조절부의 구체적인 실시예를 나타내는 회로도,  
 도 4a 및 도 4b는 도 3의 듀티비 조절부의 동작을 나타내는 파형도,  
 도 5은 본 발명의 일 실시예에 따른 반도체 장치의 블록도,  
 도 6는 도 5의 듀티비 보정부의 구체적인 실시예를 나타내는 블록도,  
 도 7은 도 6의 듀티비 조절부의 구체적인 실시예를 나타내는 회로도,  
 도 8a 및 도 8b는 도 7의 듀티비 조절부의 동작을 나타내는 파형도,  
 도 9는 본 발명의 일 실시예에 따른 반도체 장치의 듀티비 보정 방법을 나타내는 순서도이다.

**발명을 실시하기 위한 구체적인 내용**

[0010] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0011] 클럭을 사용하는 동기식 반도체 장치의 경우, 외부 클럭을 반도체 장치 내부 동작에 사용하면 출력되는 데이터

에 내부 회로에 의한 시간 지연(clock skew)이 발생하게 된다. 이러한 시간 지연을 보상하기 위하여 반도체 장치는 지연 고정 루프(Delay Locked Loop)를 통해 내부 클럭을 생성한다. 구체적으로, 지연 고정 루프는 외부 클럭에서 반도체 장치 데이터 출력 경로의 지연량을 모델링한 모델 지연 값(tREP)만큼 보상하여 디엘엘 클럭을 생성한다. 즉, 반도체 장치 내부 동작 시 디엘엘 클럭을 사용함으로써, 외부 클럭에 동기하여 데이터를 외부로 출력할 수 있다.

- [0012] 도 1은 본 발명의 실시예에 따른 반도체 장치의 블록도이다.
- [0013] 반도체 장치는 지연 고정 루프(10) 및 듀티비 보정부(20)를 포함한다.
- [0014] 지연 고정 루프(10)는 외부 클럭(EXTCLK)을 가변 지연량만큼 지연시켜 내부 클럭(DLLCLK)을 생성한다. 이때, 가변 지연량은 외부 클럭(EXTCLK)의 n(n은 자연수) 주기 내에서 반도체 장치의 데이터 출력 경로의 지연량을 모델링한 모델 지연 값(tREP)을 보상한 값이다.
- [0015] 듀티비 보정부(20)는 지연 고정 루프(10)가 고정(locking)되면 상기 내부 클럭(DLLCLK)을 수신하여 내부 클럭(DLLCLK)의 듀티비를 보정하여 듀티 보정 클럭(DCCCLK)으로 출력한다.
- [0016] 즉, 본 발명의 실시예에 따른 반도체 장치는 지연 고정 루프(10)에서 생성되는 내부 클럭(DLLCLK)의 듀티비를 보정할 수 있는 것을 특징으로 한다.
- [0017] 구체적으로, 지연 고정 루프(10)는 가변 지연부(11), 지연 모델부(12) 및 위상 비교부(13)를 포함한다.
- [0018] 가변 지연부(11)는 지연량 조절 신호(DLL\_CTRL)에 응답하여 외부 클럭(EXTCLK)을 지연하여 내부 클럭(DLLCLK)을 생성한다.
- [0019] 지연 모델부(12)는 내부 클럭(DLLCLK)을 모델 지연 값(tREP)만큼 지연하여 피드백 클럭(FBCLK)을 생성한다.
- [0020] 위상 비교부(13)는 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상을 비교하여 그 결과에 따라 지연량 조절 신호(DLL\_CTRL)를 생성한다. 위상 비교부(13)는 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상이 일치할 때까지 지연량 조절 신호(DLL\_CTRL)의 값을 가변시키며 출력한다. 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상이 일치된 경우, 지연량 조절 신호(DLL\_CTRL)의 값을 고정시키고, 디엘엘 고정 신호(DLL\_LOCK)를 활성화시킨다. 이 경우 지연 고정 루프가 고정(locking)되었다고 한다.
- [0021] 도 2는 상기 듀티비 보정부(20)의 구체적인 실시예를 나타내는 블록도이다.
- [0022] 구체적으로, 듀티비 보정부(20)는 보정부(21)를 포함한다.
- [0023] 보정부(21)는 듀티비 조절부(21\_1), 듀티비 제어 코드 생성부(21\_2) 및 듀티비 감지부(21\_3)를 포함한다.
- [0024] 듀티비 감지부(21\_3)는 듀티비 보정 인에이블 신호(DCCEN)가 활성화되면 듀티 보정 클럭(DCCCLK)의 듀티비를 감지하여 증가 신호(INC) 및 감소 신호(DEC)를 생성한다. 예컨대 50:50을 기준으로 할 때, 듀티 보정 클럭(DCCCLK)의 듀티비가 그것보다 클 경우에는 감소 신호(DEC)를 활성화시키고, 그것보다 작을 경우에는 증가 신호(INC)를 활성화시킨다.
- [0025] 듀티비 제어 코드 생성부(21\_2)는 듀티비 보정 인에이블 신호(DCCEN)가 활성화되면 증가 신호(INC) 및 감소 신호(DEC)에 응답하여 듀티비 제어 코드(C<0:15>)을 조절하여 출력한다. 듀티비 제어 코드(C<0:15>)는, 예컨대 초기 값으로 C<0:7>는 하이 레벨로 설정되고 C<8:15>는 로우 레벨로 설정될 수 있다.
- [0026] 듀티비 조절부(21\_1)는 듀티비 제어 코드(C<0:15>)에 응답하여 내부 클럭(DLLCLK)의 듀티비를 보정하여 듀티 보정 클럭(DCCCLK)을 생성한다. 자세한 구성은 아래에서 설명하도록 한다.
- [0027] 듀티비 보정부(20)는 듀티비 보정 인에이블 신호 생성부(22), 듀티비 고정 감지부(23) 및 듀티비 보정 종료 신호 생성부(24)를 더 포함할 수 있다.
- [0028] 우선, 듀티비 고정 감지부(23)는 활성화된 듀티비 보정 인에이블 신호(DCCEN)가 인가되면 증가 신호(INC) 및 감소 신호(DEC)의 변동을 감지하여 듀티비 고정 신호(DCC\_LOCK)을 생성한다. 증가 신호(INC) 및 감소 신호(DEC)의 순간적인 변동이 계속되는 경우, 이는 듀티비가 기준이 되는 50:50에서 조절이 되고 있다는 것이다. 따라서, 이 경우 듀티비 고정 감지부(23)는 듀티비 고정 신호(DCC\_LOCK)를 활성화시킨다.
- [0029] 듀티비 보정 종료 신호 생성부(24)는 활성화된 듀티비 고정 신호(DCC\_LOCK)가 인가되는 경우 듀티비 보정 종료 신호(DCC\_END)를 활성화시킨다. 뿐만 아니라, 듀티비 제어 코드(C<0:15>) 중 C<0>이 로우 레벨로 변경되거나

C<15>가 하이 레벨로 변경된 경우에도 듀티비 보정 종료 신호(DCC\_END)를 활성화시킨다. 듀티비 제어 코드(C<0:15>)에 의한 더 이상의 듀티비 보정 마진이 존재하지 않기 때문이다.

- [0030] 구체적으로, 듀티비 보정 종료 신호 생성부(24)는 C<0>을 반전시키는 인버터(IV1), 및 듀티비 고정 신호(DCC\_LOCK)와 반전된 C<0>와 C<15>를 수신하여 듀티비 보정 종료 신호(DCC\_END)를 출력하는 오어 게이트(OR1)를 포함할 수 있다.
- [0031] 듀티비 보정 인에이블 신호 생성부(22)는 활성화된 디엘엘 고정 신호(DLL\_LOCK)가 인가되면 듀티비 보정 인에이블 신호(DCCEN)를 활성화시키고, 이후 듀티비 보정 종료 신호(DCC\_END)가 활성화되면 활성화된 듀티비 보정 인에이블 신호(DCCEN)를 비활성화시킨다.
- [0032] 구체적으로, 듀티비 보정 인에이블 신호 생성부(22)는 배타적 오어 게이트(XOR1) 및 앤드 게이트(AD1)를 포함할 수 있다. 배타적 오어 게이트(XOR1)는 디엘엘 고정 신호(DLL\_LOCK) 및 듀티비 보정 종료 신호(DCC\_END)를 수신한다. 앤드 게이트(AD1)는 디엘엘 고정 신호(DLL\_LOCK) 및 배타적 오어 게이트(XOR1)의 출력 신호를 수신하여 듀티비 보정 인에이블 신호(DCCEN)를 출력한다.
- [0033] 도 3은 상기 듀티비 조절부(21\_1)의 구체적인 실시예를 나타내는 회로도이다.
- [0034] 구체적으로, 듀티비 조절부(21\_1)는 제 1 클럭 조절부(21\_11), 제 2 클럭 조절부(21\_12) 및 듀티 보정 클럭 생성부(21\_13)를 포함할 수 있다.
- [0035] 제 1 클럭 조절부(21\_11)는 내부 클럭(DLLCLK)의 위상을 고정된 지연량만큼 조절하여 제 1 클럭(RCLK)으로 출력한다.
- [0036] 제 2 클럭 조절부(21\_12)는 듀티비 제어 코드(C<0:15>)에 응답하여 내부 클럭(DLLCLK)의 위상을 조절하여 제 2 클럭(FCLK)으로 출력한다.
- [0037] 듀티 보정 클럭 생성부(21\_13)은 제 1 클럭(RCLK)의 라이징 에지에서 상승하고 제 2 클럭(FCLK)의 폴링 에지에서 하강하는 듀티 보정 클럭(DCCCLK)을 생성한다.
- [0038] 내부 클럭(DLLCLK)은 데이터 출력 경로의 지연량을 고려하여 위상이 조절되어 생성된 클럭이기 때문에, 이후 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 조절하여 듀티비를 조절하게 되면, 앞선 지연 고정 루프(10)가 정확하게 맞춰놓은 데이터 출력 타이밍을 다시 변경시키게 된다.
- [0039] 따라서, 본 실시예에 따른 듀티비 조절부(21\_1)는 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상은 변경시키지 않고, 폴링 에지의 위상을 변경시키는 방법으로 듀티비를 조절한다.
- [0040] 제 1 클럭 조절부(21\_11)는 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 결정하는 제 1 클럭(RCLK)을 생성한다. 따라서, 지연량이 고정되어 있고, 듀티비 제어 코드(C<0:15>)에 의해 지연량이 변경되지 않는다. 이때, 고정된 지연량은 듀티 보정 클럭(DCCCLK)의 위상이 내부 클럭(DLLCLK)의 위상과 동일하도록 설정되어야 한다.
- [0041] 구체적으로, 제 1 클럭 조절부(21\_11)는 제 1 위상 조절부(21\_111) 및 제 2 위상 조절부(21\_112)를 포함한다.
- [0042] 제 1 위상 조절부(21\_111)는 제 1 및 제 2 인버터(IV11, IV12)와 지연단(Delay)을 포함한다. 제 1 인버터(IV11)는 지연없이 내부 클럭(DLLCLK)을 출력하고, 제 2 인버터(IV12)는 지연단(Delay)을 거친 내부 클럭(DLLCLK)을 출력한다. 이때, 제 1 및 제 2 인버터(IV11, IV12)는 가중치에 따라 클럭의 위상을 혼합한다. 제 1 위상 조절부(21\_111)는 외부 전압(VDD) 및 접지 전압(VSS)에 의해 가중치가 고정되어 있다.
- [0043] 제 2 위상 조절부(21\_112) 또한 제 1 및 제 2 인버터(IV13, IV14)와 지연단(Delay)을 포함한다. 제 1 인버터(IV13)는 지연없이 제 1 위상 조절부(21\_111)의 출력을 출력하고, 제 2 인버터(IV14)는 지연단(Delay)을 거친 제 1 위상 조절부(21\_111)의 출력을 출력한다. 이때, 제 1 및 제 2 인버터(IV13, IV14)는 가중치에 따라 클럭의 위상을 혼합한다. 제 1 위상 조절부(21\_111)는 외부 전압(VDD) 및 접지 전압(VSS)에 의해 가중치가 고정되어 있다.
- [0044] 제 2 클럭 조절부(21\_12)는 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 결정하는 제 2 클럭(FCLK)을 생성한다. 따라서, 듀티비 제어 코드(C<0:15>)에 의해 지연량이 변경된다.
- [0045] 구체적으로, 제 2 클럭 조절부(21\_12)는 제 3 위상 조절부(21\_121) 및 제 4 위상 조절부(21\_122)를 포함한다.
- [0046] 제 3 위상 조절부(21\_121)는 제 1 및 제 2 인버터(IV21, IV22)와 지연단(Delay)을 포함한다. 제 1 인버터(IV21)는 지연없이 내부 클럭(DLLCLK)을 출력하고, 제 2 인버터(IV22)는 지연단(Delay)을 거친 내부 클럭

(DLLCLK)을 출력한다. 이때, 제 1 및 제 2 인버터(IV21, IV22)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 3 위상 조절부(21\_121)는 듀티비 제어 코드(C<0:15>) 중 C<0:7>에 의해 가중치가 변경된다. 초기에 C<0:7>가 모두 하이 레벨로 설정되어 있다가 이후 순차적으로 C<0:7>가 로우 레벨로 변경되면, 제 2 클럭(FCLK)의 위상을 앞으로 이동시킬 수 있다.

- [0047] 제 4 위상 조절부(21\_122) 또한 제 1 및 제 2 인버터(IV23, IV24)와 지연단(Delay)을 포함한다. 제 1 인버터(IV23)는 지연없이 제 3 위상 조절부(21\_121)의 출력을 출력하고, 제 2 인버터(IV24)는 지연단(Delay)을 거친 제 3 위상 조절부(21\_121)의 출력을 출력한다. 이때, 제 1 및 제 2 인버터(IV23, IV24)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 4 위상 조절부(21\_122)는 듀티비 제어 코드(C<0:15>) 중 C<8:15>에 의해 가중치가 변경된다. 초기에 C<8:15>가 모두 로우 레벨로 설정되어 있다가 이후 순차적으로 C<8:15>가 하이 레벨로 변경되면, 제 2 클럭(FCLK)의 위상을 뒤로 이동시킬 수 있다.
- [0048] 즉, 본 발명의 실시예에 따른 듀티비 조절부(21\_1)는 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상은 변경시키지 않고, 폴링 에지의 위상을 변경시키는 방법으로 듀티비를 조절한다.
- [0049] 도 4a 및 도 4b는 상기 듀티비 조절부(21\_1) 동작을 나타내는 파형도이다.
- [0050] 도 4a는 클럭의 듀티비가 기준이 되는 50:50 보다 작은 경우를 나타낸다.
- [0051] 클럭의 듀티비를 50:50으로 보정하기 위하여, 듀티비 조절부(21\_1)는 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 뒤로 이동시킨다.
- [0052] 구체적으로, 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 결정하는 제 1 클럭(RCLK)의 위상은 기존에서 변경시키지 않고, 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 결정하는 제 2 클럭(FCLK)의 위상을 소정 부분 뒤로 이동시킨다.
- [0053] 도 4b는 클럭의 듀티비가 기준이 되는 50:50 보다 큰 경우를 나타낸다.
- [0054] 클럭의 듀티비를 50:50으로 보정하기 위하여, 듀티비 조절부(21\_1)는 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 앞으로 이동시킨다.
- [0055] 구체적으로, 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 결정하는 제 1 클럭(RCLK)의 위상은 기존에서 변경시키지 않고, 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 결정하는 제 2 클럭(FCLK)의 위상을 소정 부분 앞으로 이동시킨다.
- [0056] 그러나, 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상만을 변경시켜 듀티비를 보정하는 방법은, 듀티비의 보정 범위를 한정시킨다. 보정 범위를 넓히기 위해 지연 고정 루프(10)가 고정된 이후 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 변경시키는 경우에는 데이터 출력 타이밍 에러를 초래할 수 있다.
- [0057] 도 5는 본 발명의 일 실시예에 따른 반도체 장치의 블록도이다.
- [0058] 반도체 장치는 지연 고정 루프(100) 및 듀티비 보정부(200)를 포함한다.
- [0059] 지연 고정 루프(100)는 외부 클럭(EXTCLK)을 수신하여 내부 클럭(DLLCLK)을 생성한다. 비활성화 상태일 경우에는 외부 클럭(EXTCLK)을 그대로 내부 클럭(DLLCLK)으로 출력하고, 활성화 상태일 경우에는 외부 클럭(EXTCLK)을 가변 지연량만큼 지연시켜 내부 클럭(DLLCLK)으로 출력한다. 이때, 가변 지연량은 외부 클럭(EXTCLK)의 n(n은 자연수) 주기 내에서 반도체 장치의 데이터 출력 경로의 지연량을 모델링한 모델 지연 값(tREP)을 보상한 값이 된다. 지연 고정 루프(100)는 듀티비 보정부(200)로부터 활성화된 제 1 듀티비 보정 종료 신호(RDCC\_END)가 인가되면 활성화된다.
- [0060] 듀티비 보정부(200)는 상기 내부 클럭(DLLCLK)을 수신하여 내부 클럭(DLLCLK)의 듀티비를 보정하여 듀티 보정 클럭(DCCCLK)으로 출력한다. 본 실시예에 따른 듀티비 보정부(100)는 지연 고정 루프(100)를 초기화(reset)하는 디엘엘 초기화 신호(DLLRST)에 응답하여 상기 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 조절하고, 상기 지연 고정 루프(100)가 고정(locking)되면 활성화되는 디엘엘 고정 신호(DLL\_LOCK)에 응답하여 상기 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 조절하는 방식으로 듀티비를 보정한다.
- [0061] 구체적으로, 지연 고정 루프(100)는 가변 지연부(110), 지연 모델부(120) 및 위상 비교부(130)를 포함한다.
- [0062] 가변 지연부(110)는 지연량 조절 신호(DLL\_CTRL)에 응답하여 외부 클럭(EXTCLK)을 지연하여 내부 클럭(DLLCLK)을 생성한다.

- [0063] 지연 모델부(120)는 내부 클럭(DLLCLK)을 모델 지연 값(tREP)만큼 지연하여 피드백 클럭(FBCLK)을 생성한다. 아래에서 자세하게 검토하겠지만, 지연 모델부(120)는 제 1 듀티비 제어 코드(R<0:15>)에 응답하여 상기 모델 지연 값을 조절한다.
- [0064] 위상 비교부(130)는 제 1 듀티비 보정 종료 신호(RDDC\_END)에 응답하여 동작한다. 즉, 활성화된 제 1 듀티비 보정 종료 신호(RDDC\_END)가 인가되면 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상을 비교하여 그 결과에 따라 지연량 조절 신호(DLL\_CTRL)를 생성한다. 위상 비교부(130)는 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상이 일치할 때까지 지연량 조절 신호(DLL\_CTRL)의 값을 가변시키며 출력한다. 외부 클럭(EXTCLK)과 피드백 클럭(FBCLK)의 위상이 일치된 경우, 지연량 조절 신호(DLL\_CTRL)의 값을 고정시키고, 디엘엘 고정 신호(DLL\_LOCK)를 활성화시킨다. 이 경우 지연 고정 루프가 고정(locking)되었다고 한다.
- [0065] 도 6는 상기 듀티비 보정부(200)의 구체적인 실시예를 나타내는 블록도이다.
- [0066] 구체적으로, 듀티비 보정부(200)는 보정부(210)를 포함한다.
- [0067] 보정부(210)는 듀티비 조절부(211), 듀티비 제어 코드 생성부(212) 및 듀티비 감지부(213)를 포함한다.
- [0068] 듀티비 감지부(213)는 듀티비 보정 인에이블 신호(DCCEN)가 활성화되면 듀티 보정 클럭(DCCCLK)의 듀티비를 감지하여 증가 신호(INC) 및 감소 신호(DEC)를 생성한다. 예컨대 50:50을 기준으로 할 때, 듀티 보정 클럭(DCCCLK)의 듀티비가 그것보다 클 경우에는 감소 신호(DEC)를 활성화시키고, 그것보다 작을 경우에는 증가 신호(INC)를 활성화시킨다.
- [0069] 듀티비 제어 코드 생성부(212)는 제 1 보정 인에이블 신호(DCCREN)가 활성화되면 증가 신호(INC) 및 감소 신호(DEC)에 응답하여 제 1 듀티비 제어 코드(R<0:15>)을 조절하여 출력하고, 제 2 보정 인에이블 신호(DCCFEN)가 활성화되면 증가 신호(INC) 및 감소 신호(DEC)에 응답하여 제 2 듀티비 제어 코드(F<0:15>)을 조절하여 출력한다. 제 1 및 제 2 듀티비 제어 코드(R<0:15>, F<0:15>)는 각각, 예컨대 초기 값으로 R<0:7> 및 F<0:7>는 하이 레벨로 설정되고 R<8:15> 및 F<8:15>는 로우 레벨로 설정될 수 있다.
- [0070] 듀티비 조절부(211)는 제 1 및 제 2 듀티비 제어 코드(R<0:15>, F<0:15>)에 응답하여 내부 클럭(DLLCLK)의 듀티비를 보정하여 듀티 보정 클럭(DCCCLK)을 생성한다. 구체적으로, 상기 제 1 듀티비 제어 코드(R<0:15>)에 응답하여 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 조절하고, 제 2 듀티비 제어 코드(F<0:15>)에 응답하여 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 조절한다. 자세한 구성은 아래에서 설명하도록 한다.
- [0071] 듀티비 보정부(200)는 듀티비 보정 인에이블 신호 생성부(220), 듀티비 고정 감지부(230) 및 듀티비 보정 종료 신호 생성부(240)를 더 포함할 수 있다.
- [0072] 우선, 듀티비 고정 감지부(230)는 제 1 고정 감지부(231) 및 제 2 고정 감지부(232)를 포함한다.
- [0073] 제 1 고정 감지부(231)는 활성화된 디엘엘 초기화 신호(DLLRST)가 인가되면 증가 신호(INC) 및 감소 신호(DEC)의 변동을 감지하여 제 1 듀티비 고정 신호(RDCC\_LOCK)를 생성한다. 증가 신호(INC) 및 감소 신호(DEC)의 순간적인 변동이 계속되는 경우, 이는 듀티비가 기준이 되는 50:50에서 조절이 되고 있다는 것이다. 따라서, 이 경우 제 1 고정 감지부(231)는 제 1 듀티비 고정 신호(RDCC\_LOCK)를 활성화시킨다.
- [0074] 제 2 고정 감지부(232)는 활성화된 디엘엘 고정 신호(DLL\_LOCK)가 인가되면 증가 신호(INC) 및 감소 신호(DEC)의 변동을 감지하여 제 2 듀티비 고정 신호(FDCC\_LOCK)를 생성한다. 증가 신호(INC) 및 감소 신호(DEC)의 순간적인 변동이 계속되는 경우, 이는 듀티비가 기준이 되는 50:50에서 조절이 되고 있다는 것이다. 따라서, 이 경우 제 2 고정 감지부(232)는 제 2 듀티비 고정 신호(FDCC\_LOCK)를 활성화시킨다.
- [0075] 듀티비 보정 종료 신호 생성부(240)는 제 1 듀티비 보정 종료 신호 생성부(241) 및 제 2 듀티비 보정 종료 신호 생성부(242)를 포함한다.
- [0076] 제 1 듀티비 보정 종료 신호 생성부(241)는 활성화된 제 1 듀티비 고정 신호(RDCC\_LOCK)가 인가되는 경우 제 1 듀티비 보정 종료 신호(RDCC\_END)를 활성화시킨다. 뿐만 아니라, 제 1 듀티비 제어 코드(R<0:15>) 중 R<0>이 로우 레벨로 변경되거나 R<15>가 하이 레벨로 변경된 경우에도 제 1 듀티비 보정 종료 신호(RDCC\_END)를 활성화시킨다. 이 경우, 제 1 듀티비 제어 코드(R<0:15>)에 의한 더 이상의 듀티비 보정 마진이 존재하지 않기 때문이다.
- [0077] 구체적으로, 제 1 듀티비 보정 종료 신호 생성부(241)는 R<0>을 반전시키는 인버터(IV2), 및 제 1 듀티비 고정 신호(RDCC\_LOCK)와 반전된 R<0>와 R<15>를 수신하여 제 1 듀티비 보정 종료 신호(RDCC\_END)를 출력하는 오어 게

이트(OR3)를 포함할 수 있다.

- [0078] 제 2 듀티비 보정 종료 신호 생성부(242)는 활성화된 제 2 듀티비 고정 신호(FDCC\_LOCK)가 인가되는 경우 제 2 듀티비 보정 종료 신호(FDCC\_END)를 활성화시킨다. 뿐만 아니라, 제 2 듀티비 제어 코드(F<0:15>) 중 F<0>이 로우 레벨로 변경되거나 F<15>가 하이 레벨로 변경된 경우에도 제 2 듀티비 보정 종료 신호(FDCC\_END)를 활성화시킨다. 이 경우, 제 2 듀티비 제어 코드(F<0:15>)에 의한 더 이상의 듀티비 보정 마진이 존재하지 않기 때문이다.
- [0079] 구체적으로, 제 2 듀티비 보정 종료 신호 생성부(242)는 F<0>을 반전시키는 인버터(IV3), 및 제 2 듀티비 고정 신호(FDCC\_LOCK)와 반전된 F<0>와 F<15>를 수신하여 제 2 듀티비 보정 종료 신호(FDCC\_END)를 출력하는 오어 게이트(OR4)를 포함할 수 있다.
- [0080] 듀티비 보정 인에이블 신호 생성부(220)는 디엘엘 초기화 신호(DLLRST)에 응답하여 제 1 보정 인에이블 신호(DCCREN)를 활성화시키고 이후 제 1 듀티비 보정 종료 신호(RDCC\_END)에 응답하여 활성화된 제 1 보정 인에이블 신호(DCCREN)을 비활성화시킨다. 그리고, 디엘엘 고정 신호(DLL\_LOCK)에 응답하여 제 2 보정 인에이블 신호(DCCFEN)를 활성화시키고 이후 제 2 듀티비 보정 종료 신호(FDCC\_END)에 응답하여 활성화된 제 2 보정 인에이블 신호(DCCFEN)을 비활성화시킨다. 또한, 듀티비 보정 인에이블 신호 생성부(220)는 제 1 및 제 2 보정 인에이블 신호(DCCREN, DCCFEN) 중 어느 하나가 활성화되면 듀티비 보정 인에이블 신호(DCCEN)를 활성화시킨다.
- [0081] 구체적으로, 듀티비 보정 인에이블 신호 생성부(220)는 제 1 및 제 2 배타적 오어 게이트(XOR2, XOR3), 제 1 및 제 2 앤드 게이트(AD2, AD3) 및 오어 게이트(OR2)를 포함할 수 있다.
- [0082] 제 1 배타적 오어 게이트(XOR2)는 디엘엘 초기화 신호(DLLRST) 및 제 1 듀티비 보정 종료 신호(RDCC\_END)를 수신한다. 제 1 앤드 게이트(AD2)는 디엘엘 초기화 신호(DLLRST) 및 제 1 배타적 오어 게이트(XOR2)의 출력 신호를 수신하여 제 1 보정 인에이블 신호(DCCREN)를 출력한다.
- [0083] 제 2 배타적 오어 게이트(XOR3)는 디엘엘 고정 신호(DLL\_LOCK) 및 제 2 듀티비 보정 종료 신호(FDCC\_END)를 수신한다. 제 2 앤드 게이트(AD3)는 디엘엘 고정 신호(DLL\_LOCK) 및 제 2 배타적 오어 게이트(XOR3)의 출력 신호를 수신하여 제 2 보정 인에이블 신호(DCCFEN)를 출력한다.
- [0084] 오어 게이트(OR2)는 제 1 및 제 2 보정 인에이블 신호(DCCREN, DCCFEN)를 수신하여 듀티비 보정 인에이블 신호(DCCEN)를 출력한다.
- [0085] 도 7은 상기 듀티비 조절부(211)의 구체적인 실시예를 나타내는 회로도이다.
- [0086] 구체적으로, 듀티비 조절부(211)는 제 1 클럭 조절부(211\_1), 제 2 클럭 조절부(211\_2) 및 듀티 보정 클럭 생성부(211\_3)를 포함할 수 있다.
- [0087] 제 1 클럭 조절부(211\_1)는 제 1 듀티비 제어 코드(R<0:15>)에 응답하여 내부 클럭(DLLCLK)의 위상을 조절하여 제 1 클럭(RCLK)으로 출력한다.
- [0088] 제 2 클럭 조절부(211\_2)는 제 2 듀티비 제어 코드(F<0:15>)에 응답하여 내부 클럭(DLLCLK)의 위상을 조절하여 제 2 클럭(FCLK)으로 출력한다.
- [0089] 듀티 보정 클럭 생성부(211\_3)은 제 1 클럭(RCLK)의 라이징 에지에서 상승하고 제 2 클럭(FCLK)의 폴링 에지에서 하강하는 듀티 보정 클럭(DCCCLK)을 생성한다.
- [0090] 제 1 클럭 조절부(211\_1)는 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 결정하는 제 1 클럭(RCLK)을 생성한다. 따라서, 제 1 듀티비 제어 코드(R<0:15>)에 의해 지연량이 변경된다.
- [0091] 구체적으로, 제 1 클럭 조절부(211\_1)는 제 1 위상 조절부(211\_11) 및 제 2 위상 조절부(211\_12)를 포함한다.
- [0092] 제 1 위상 조절부(211\_11)는 제 1 및 제 2 인버터(IV31, IV32)와 지연단(Delay)을 포함한다. 제 1 인버터(IV31)는 지연없이 내부 클럭(DLLCLK)을 출력하고, 제 2 인버터(IV32)는 지연단(Delay)을 거친 내부 클럭(DLLCLK)을 출력한다. 이때, 제 1 및 제 2 인버터(IV31, IV32)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 1 위상 조절부(211\_11)는 제 1 듀티비 제어 코드(R<0:15>) 중 R<0:7>에 의해 가중치가 변경된다. 초기에 R<0:7>가 모두 하이 레벨로 설정되어 있다가 이후 순차적으로 R<0:7>가 로우 레벨로 변경되면, 제 1 클럭(RCLK)의 위상을 앞으로 이동시킬 수 있다.
- [0093] 제 2 위상 조절부(211\_12) 또한 제 1 및 제 2 인버터(IV33, IV34)와 지연단(Delay)을 포함한다. 제 1 인버터

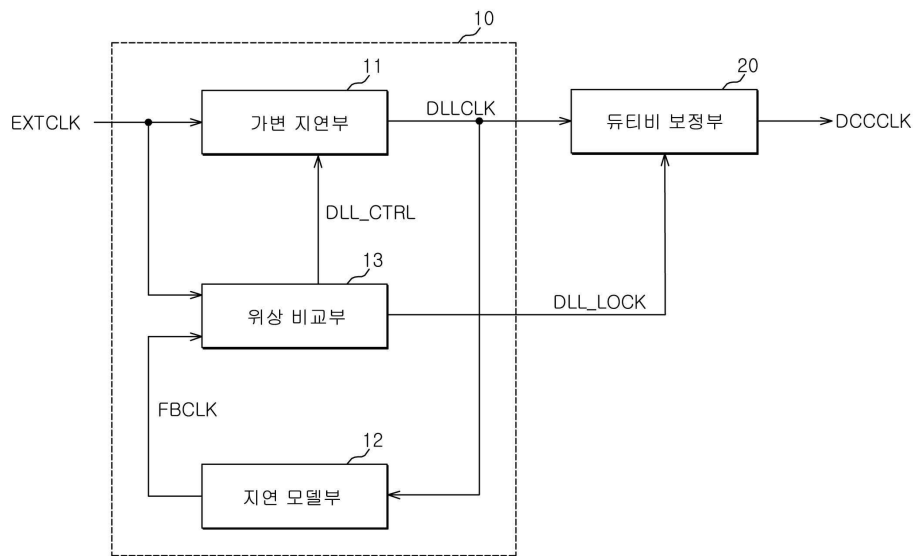
(IV33)는 지연없이 제 1 위상 조절부(211\_11)의 출력을 출력하고, 제 2 인버터(IV34)는 지연단(Delay)을 거친 제 1 위상 조절부(211\_11)의 출력을 출력한다. 이때, 제 1 및 제 2 인버터(IV33, IV34)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 2 위상 조절부(211\_12)는 제 1 듀티비 제어 코드(R<0:15>)중 R<8:15>에 의해 가중치가 변경된다. 초기에 R<8:15>가 모두 로우 레벨로 설정되어 있다가 이후 순차적으로 R<8:15>가 하이 레벨로 변경되면, 제 1 클럭(RCLK)의 위상을 뒤로 이동시킬 수 있다.

- [0094] 한편, 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상이 변경되는 경우 이는 반도체 장치 데이터 출력 경로의 지연량이 변경됨을 의미하기 때문에, 이러한 변경된 지연량을 지연 고정 루프(100)의 지연 모델부(120)에 반영시켜야 한다. 따라서, 제 1 듀티비 제어 코드(R<0:15>)가 지연 모델부(120)로 인가되고, 지연 모델부(120)는 제 1 듀티비 제어 코드(R<0:15>)에 응답하여 모델 지연값(tREP)를 조절한다.
- [0095] 구체적으로, 지연 모델부(120)는 상기 제 1 듀티비 제어 코드(R<0:15>)가 증가하면 상기 모델 지연 값의 지연량을 증가시키고, 상기 제 1 듀티비 제어 코드(R<0:15>)가 감소하면 상기 모델 지연 값의 지연량을 감소시킨다.
- [0096] 제 2 클럭 조절부(211\_2)는 듀티 보정 클럭(DCCCLK)의 폴링 에지의 위상을 결정하는 제 2 클럭(FCLK)을 생성한다. 따라서, 제 2 듀티비 제어 코드(F<0:15>)에 의해 지연량이 변경된다.
- [0097] 구체적으로, 제 2 클럭 조절부(211\_2)는 제 3 위상 조절부(211\_21) 및 제 4 위상 조절부(211\_22)를 포함한다.
- [0098] 제 3 위상 조절부(211\_21)는 제 1 및 제 2 인버터(IV41, IV42)와 지연단(Delay)을 포함한다. 제 1 인버터(IV41)는 지연없이 내부 클럭(DLLCLK)을 출력하고, 제 2 인버터(IV42)는 지연단(Delay)을 거친 내부 클럭(DLLCLK)을 출력한다. 이때, 제 1 및 제 2 인버터(IV41, IV42)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 3 위상 조절부(211\_21)는 제 2 듀티비 제어 코드(F<0:15>) 중 F<0:7>에 의해 가중치가 변경된다. 초기에 F<0:7>가 모두 하이 레벨로 설정되어 있다가 이후 순차적으로 F<0:7>가 로우 레벨로 변경되면, 제 2 클럭(FCLK)의 위상을 앞으로 이동시킬 수 있다.
- [0099] 제 4 위상 조절부(211\_22) 또한 제 1 및 제 2 인버터(IV43, IV44)와 지연단(Delay)을 포함한다. 제 1 인버터(IV43)는 지연없이 제 3 위상 조절부(211\_21)의 출력을 출력하고, 제 2 인버터(IV44)는 지연단(Delay)을 거친 제 3 위상 조절부(211\_21)의 출력을 출력한다. 이때, 제 1 및 제 2 인버터(IV43, IV44)는 가중치에 따라 클럭의 위상을 혼합한다. 일 예로, 제 4 위상 조절부(211\_22)는 제 2 듀티비 제어 코드(F<0:15>)중 F<8:15>에 의해 가중치가 변경된다. 초기에 F<8:15>가 모두 로우 레벨로 설정되어 있다가 이후 순차적으로 F<8:15>가 하이 레벨로 변경되면, 제 2 클럭(FCLK)의 위상을 뒤로 이동시킬 수 있다.
- [0100] 도 8a 및 도 8b는 상기 듀티비 조절부(211) 동작을 나타내는 파형도이다.
- [0101] 도 8a는 클럭의 듀티비가 기준이 되는 50:50 보다 작은 경우를 나타낸다.
- [0102] 클럭의 듀티비를 50:50으로 보정하기 위하여, 듀티비 조절부(211)는 지연 고정 루프의 초기화 동작 시 제 1 듀티 보정 코드(R<0:15>)에 응답하여 제 1 클럭(RCLK)의 소정 부분 앞으로 이동시킨다.
- [0103] 이후, 지연 고정 루프가 동작하여 내부 클럭(DLLCLK)을 고정시키면, 듀티비 조절부(211)는 제 2 듀티 보정 코드(F<0:15>)에 따라 제 2 클럭(FCLK)의 위상을 소정 부분 뒤로 이동시킨다.
- [0104] 따라서, 최종적인 듀티 보정 클럭(DCCCLK)은 듀티비가 50:50으로 보정되어 출력된다.
- [0105] 도 8b는 클럭의 듀티비가 기준이 되는 50:50 보다 큰 경우를 나타낸다.
- [0106] 클럭의 듀티비를 50:50으로 보정하기 위하여, 듀티비 조절부(211)는 지연 고정 루프의 초기화 동작 시 제 1 듀티 보정 코드(R<0:15>)에 응답하여 제 1 클럭(RCLK)의 소정 부분 뒤로 이동시킨다.
- [0107] 이후, 지연 고정 루프가 동작하여 내부 클럭(DLLCLK)을 고정시키면, 듀티비 조절부(211)는 제 2 듀티 보정 코드(F<0:15>)에 따라 제 2 클럭(FCLK)의 위상을 소정 부분 앞으로 이동시킨다.
- [0108] 따라서, 최종적인 듀티 보정 클럭(DCCCLK)은 듀티비가 50:50으로 보정되어 출력된다.
- [0109] 도 8a 및 도 8b에 도시된 동작 파형은 본 발명의 일 실시예에 따른 동작을 설명한 것으로, 본 발명이 이에 한정되는 것은 아니다.
- [0110] 요약하면, 본 실시예에 따른 듀티비 보정부(200)는 지연 고정 루프(100)에 의해 내부 클럭(DLLCLK)의 위상이 조절되기 전에는 듀티 보정 클럭(DCCCLK)의 라이징 에지의 위상을 조절하여 내부 클럭(DLLCLK)의 듀티비를 보정한다. 이후, 지연 고정 루프(100)가 동작하여 데이터 출력 경로의 지연량을 보상한 내부 클럭(DLLCLK)을



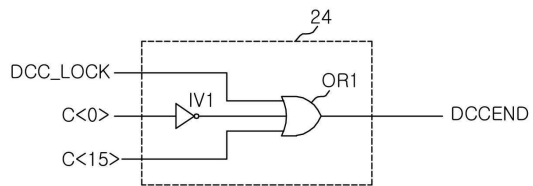
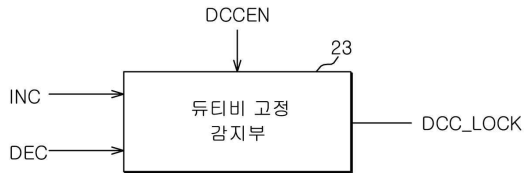
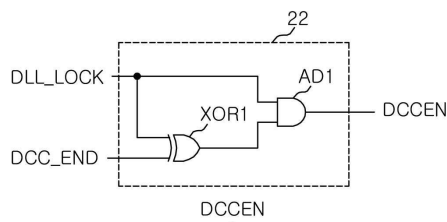
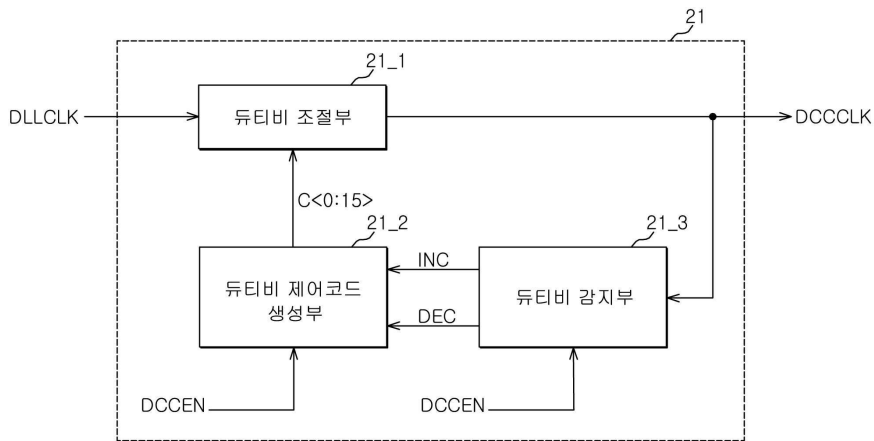
도면

도면1

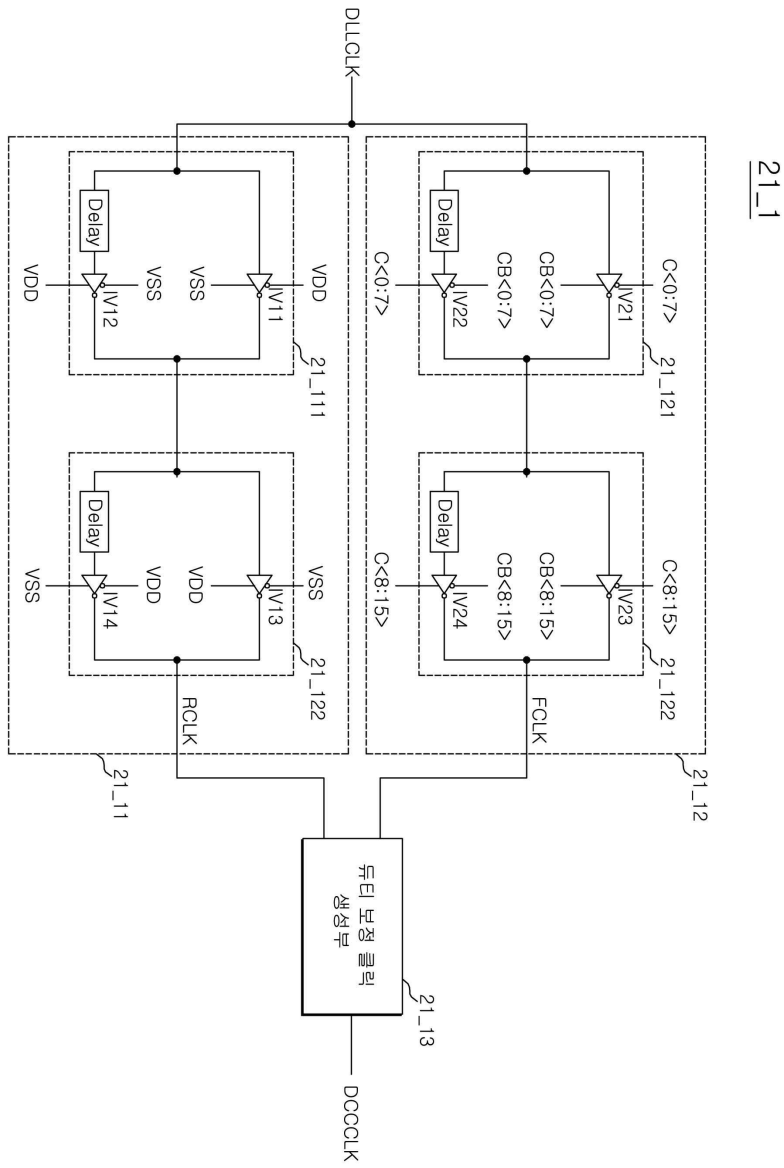


도면2

20

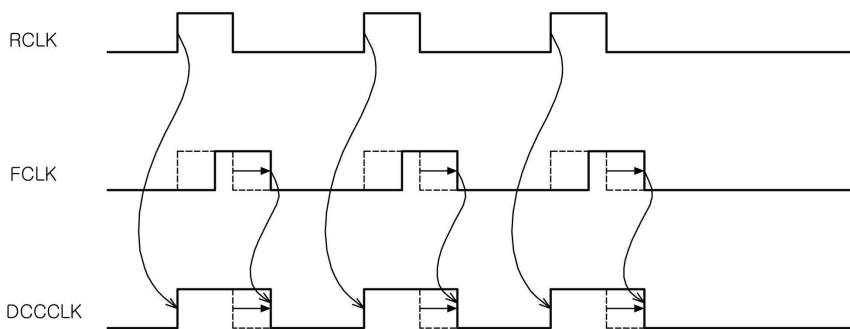


도면3

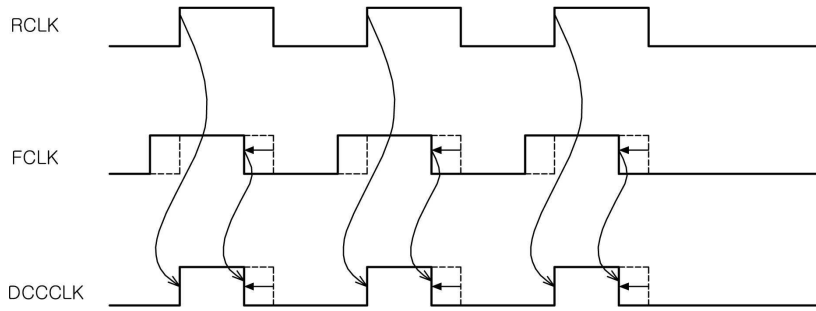


21\_1

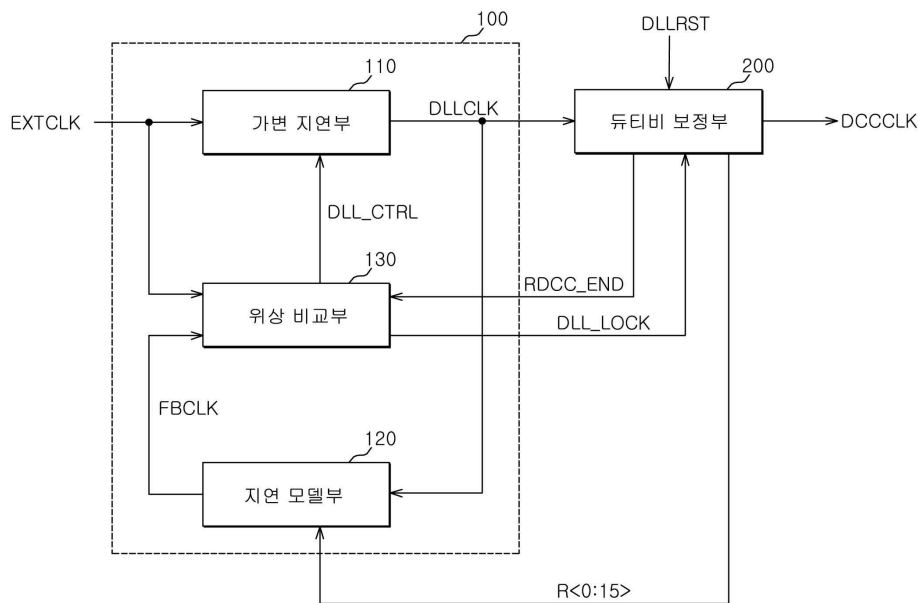
도면4a



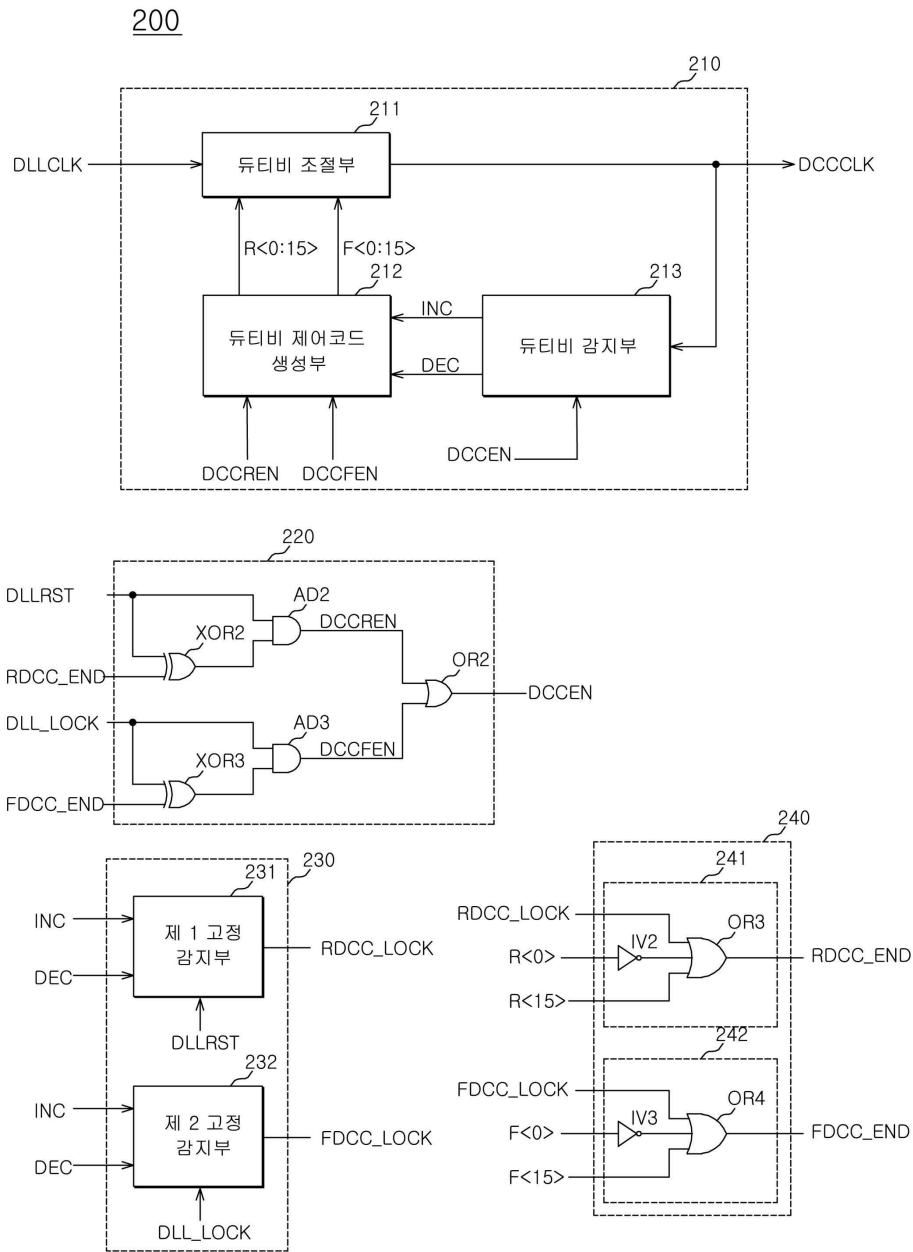
도면4b



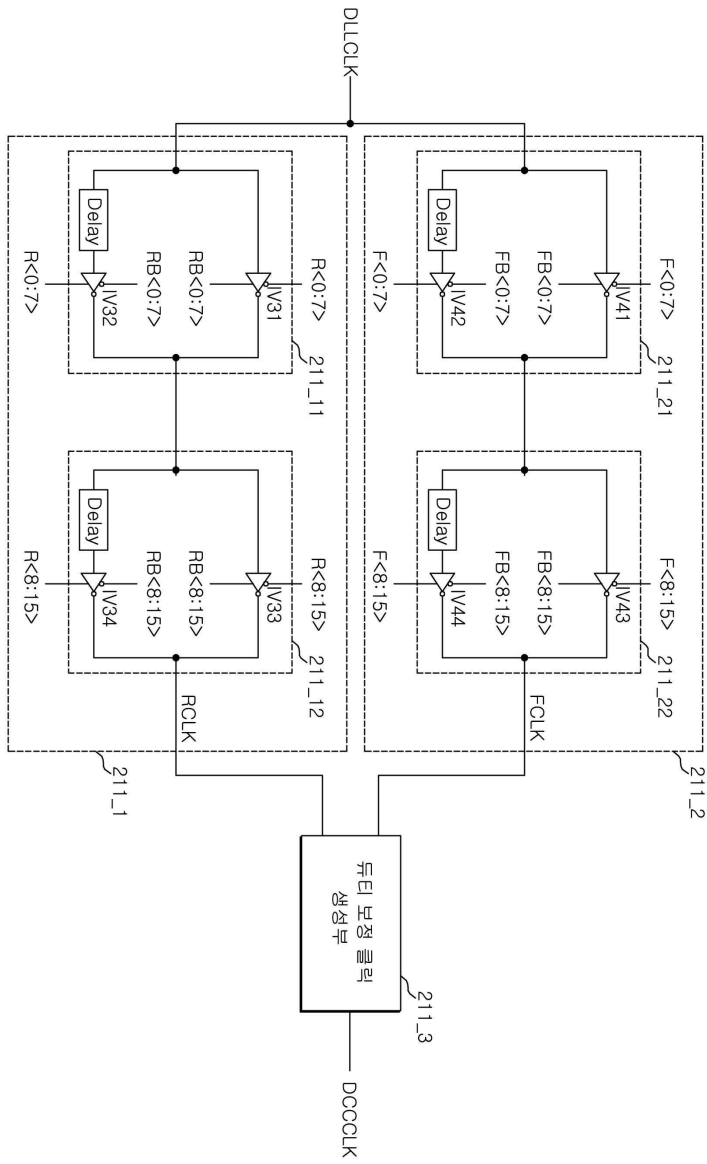
도면5



도면6

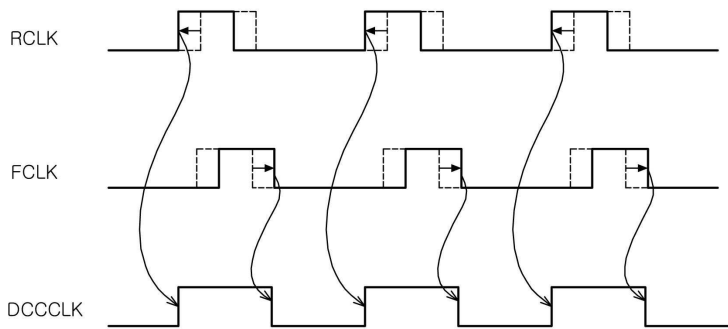


도면7

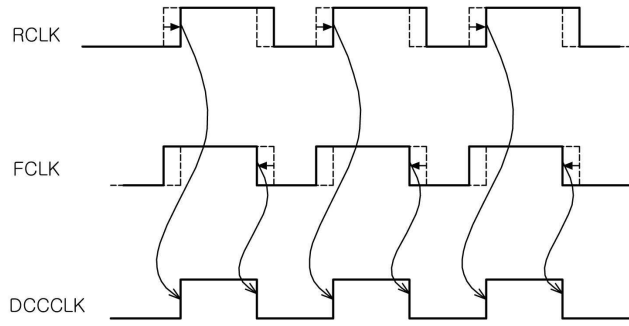


211

도면8a



도면8b



도면9

