(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-530539
(P2024-530539A)
(43)公表日　令和6年8月22日(2024.8.22)

(51)国際特許分類			FI			テーマコード（参考）
H01L	*23/58*	*(2006.01)*	H01L	23/56	Z	4M109
H01L	*23/12*	*(2006.01)*	H01L	23/12	501C	
H01L	*23/14*	*(2006.01)*	H01L	23/14	M	
H01L	*23/29*	*(2006.01)*	H01L	23/30	E	
H01L	*25/07*	*(2006.01)*	H01L	25/08	Z	

審査請求　未請求　予備審査請求　未請求　（全30頁）

(21)出願番号　特願2024-502047(P2024-502047)
(86)(22)出願日　令和4年7月14日(2022.7.14)
(85)翻訳文提出日　令和6年3月14日(2024.3.14)
(86)国際出願番号　PCT/US2022/037211
(87)国際公開番号　WO2023/288021
(87)国際公開日　令和5年1月19日(2023.1.19)
(31)優先権主張番号　63/203,332
(32)優先日　令和3年7月16日(2021.7.16)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　518065991
アデイア セミコンダクター ボンディング テクノロジーズ インコーポレイテッド
アメリカ合衆国 カリフォルニア州 ９５１３４ サンノゼ オーチャード パークウェイ ３０２５
(74)代理人　100094569
弁理士　田中 伸一郎
(74)代理人　100103610
弁理士　▲吉▼田 和彦
(74)代理人　100109070
弁理士　須田 洋之
(74)代理人　100130937
弁理士　山本 泰史
(74)代理人　100144451
最終頁に続く

(54)【発明の名称】　接合構造のための光学的妨害保護素子

(57)【要約】
接合構造のための光学的閉塞保護素子であり、本明細書に開示する実施形態は、接合界面に沿って直接接合された構造に関する。具体的には、２つの素子である半導体素子及び閉塞素子を、介在する接着剤を伴わずに接合界面に沿って互いに直接接合することができる。半導体素子は、接合後に閉塞素子によって保護される能動回路を含む。閉塞素子は、能動回路の光学的インタロゲーションを妨げるように配置された複数の光学的閉塞層を含む。このような層は、閉塞層が垂直に積層された時に他の閉塞層からの他の閉塞ストリップと重なり合うことも又は重なり合わないこともできる閉塞ストリップをさらに含むことができる。
【選択図】　図１

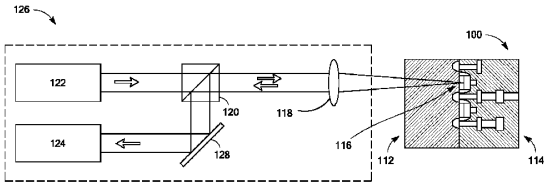


FIG. 1

【特許請求の範囲】
【請求項１】
接合構造であって、
能動回路を含む半導体素子と、
接着剤を使用せずに接合界面に沿って前記半導体素子に直接接合された妨害素子と、
を備え、前記妨害素子は、前記能動回路を覆って配置されて前記能動回路の光学的読み取りを妨げる少なくとも１つのパターン化された光学的妨害層を含む、
接合構造。
【請求項２】
前記少なくとも１つのパターン化された光学的妨害層は、複数の光学的閉塞層を含む、
請求項１に記載の接合構造。
【請求項３】
前記複数の光学的閉塞層は、前記接合界面を横切る方向に沿って重なり合って配置され互いに間隔が空けられている、
請求項２に記載の接合構造。
【請求項４】
前記複数の光学的閉塞層の各光学的閉塞層は、非導電層と、該非導電層に少なくとも部分的に埋め込まれた、パターン化された不透明材料とを含む、
請求項２に記載の接合構造。
【請求項５】
前記パターン化された不透明材料は、前記接合界面と概ね平行な方向に沿って延びる複数の閉塞ストリップを含む、
請求項４に記載の接合構造。
【請求項６】
前記複数の閉塞ストリップは、１又は２以上の導電材料を含む、
請求項５に記載の接合構造。
【請求項７】
前記１又は２以上の導電材料は銅を含む、
請求項６に記載の接合構造。
【請求項８】
前記パターン化された不透明材料は、４００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含む、
請求項４から７のいずれか１項に記載の接合構造。
【請求項９】
前記パターン化された不透明材料は、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含む、
請求項８に記載の接合構造。
【請求項１０】
前記パターン化された不透明材料は、赤外光（ＩＲ）又は近赤外光（ＮＩＲ）の少なくとも一方に対して不透明である、
請求項４から９のいずれか１項に記載の接合構造。
【請求項１１】
前記複数の光学的閉塞層のうちの第１の光学的閉塞層が第１の不透明パターンを含み、前記複数の光学的閉塞層のうちの第２の光学的閉塞層が、前記第１の不透明パターンと少なくとも部分的に重なり合わない第２の不透明パターンを含むことにより、前記閉塞素子の上方視点において、前記第１及び第２の不透明パターンが、該第１及び第２の不透明パターン単独よりも広範な前記半導体素子の部分を閉塞させる、
請求項４から１０のいずれか１項に記載の接合構造。
【請求項１２】
前記第１の不透明パターンは第１の複数の閉塞ストリップを含み、前記第２の不透明パ

ターンは、前記第１の複数の閉塞ストリップと少なくとも部分的に重なり合わない第２の複数の閉塞ストリップを含む、
請求項１１に記載の接合構造。
【請求項１３】
前記閉塞素子は、少なくとも３つの光学的閉塞層をさらに含み、前記パターン化された閉塞材料は、前記光学的閉塞層と平行な面において前記半導体素子の所定の面積を閉塞させる、
請求項４から１２のいずれか１項に記載の接合構造。
【請求項１４】
前記光学的閉塞層は、前記所定の面積にわたって少なくとも７５％の閉塞を提供するように構成される、
請求項１３に記載の接合構造。
【請求項１５】
前記光学的閉塞層は、前記所定の面積にわたって少なくとも９５％の閉塞を提供するように構成される、
請求項１３に記載の接合構造。
【請求項１６】
前記所定の面積は、前記第１の半導体素子の接合面の少なくとも７５％を含む、
請求項１３に記載の接合構造。
【請求項１７】
前記所定の面積は、前記第１の半導体素子の接合面の少なくとも９５％を含む、
請求項１３に記載の接合構造。
【請求項１８】
前記半導体素子は、少なくとも１つの高感度回路領域と、高感度回路を含まない少なくとも１つの領域とを有し、前記パターン化された不透明材料は、前記少なくとも１つの高感度回路領域の少なくとも一部を閉塞させ、前記高感度回路を含まない少なくとも１つの領域を閉塞させないままにする、
請求項４から１７のいずれか１項に記載の接合構造。
【請求項１９】
前記複数の光学的閉塞層は、１又は２以上の光学的フィルタリング層を含む、
請求項２に記載の接合構造。
【請求項２０】
前記少なくとも１つのパターン化された光学的妨害層は、前記能動回路の光学的読み取りを妨げるために光を屈折、散乱、拡散、回折又は位相シフトさせる材料を含む、
請求項１に記載の接合構造。
【請求項２１】
前記半導体素子は接合層をさらに含み、前記妨害素子は、前記半導体素子の前記接合層に直接接合される接合層をさらに含む、
請求項１から２０のいずれか１項に記載の接合構造。
【請求項２２】
前記妨害素子の前記接合層は、前記半導体素子の金属化パターンと一致するように金属化される、
請求項２１に記載の接合構造。
【請求項２３】
前記半導体素子の前記接合層は、非導電層内に配置された複数のコンタクトパッドを含み、前記妨害素子の前記接合層は、非導電層内に配置されて前記半導体素子の前記コンタクトパッドに直接接合される複数のコンタクトパッドを含む、
請求項２２に記載の接合構造。
【請求項２４】
前記妨害素子の前記接合層と、前記接合界面を横切る方向に沿って前記接合層から垂直

に間隔を空けた光学的閉塞層とが、少なくとも１つの垂直相互接続部を通じて接続される、
請求項２１に記載の接合構造。
【請求項２５】
隣り合う複数の閉塞層のうちの少なくとも２つがこれらの間に垂直相互接続部を有していない、
請求項２４に記載の接合構造。
【請求項２６】
前記能動回路は、前記半導体素子の能動面又はその付近に配置され、前記妨害素子は、前記能動面とは反対側の、前記半導体素子の背面に直接接合される、
請求項１から２４のいずれか１項に記載の接合構造。
【請求項２７】
前記複数の光学的閉塞層のうちの第１の閉塞層が、該第１の閉塞層の外部アクセスを検出するように構成された検出回路を含む、
請求項２から２６のいずれか１項に記載の接合構造。
【請求項２８】
前記検出回路は、前記外部アクセスを検出するように構成された受動電子回路素子を含む、
請求項２７に記載の接合構造。
【請求項２９】
前記受動電子回路は、容量性回路素子又は抵抗性回路素子を含む、
請求項２８に記載の接合構造。
【請求項３０】
前記検出回路から前記妨害素子のコンタクトパッドに延びる垂直相互接続部をさらに備える、
請求項２７から２９のいずれか１項に記載の接合構造。
【請求項３１】
前記妨害素子は、前記半導体素子の能動面とは反対側の背面に直接接合され、前記接合構造は、前記半導体素子の前記能動面又はその付近におけるコンタクトパッドから前記妨害素子の前記コンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに備え、該ＴＳＶは、前記半導体素子と前記検出回路との間に電気的通信を提供する、
請求項３０に記載の接合構造。
【請求項３２】
前記妨害素子の前記コンタクトパッドは、前記半導体素子の能動面におけるコンタクトパッドに直接接合される、
請求項３０に記載の接合構造。
【請求項３３】
前記少なくとも１つの光学的妨害層のうちの１つの妨害層が光学フィルタをさらに含む、
請求項１から２８のいずれかに記載の接合構造。
【請求項３４】
接合構造であって、
能動回路を含む半導体素子と、
接着剤を使用せずに接合界面に沿って前記半導体素子に直接接合された妨害素子と、
を備え、前記妨害素子は、第１の妨害層と、該第１の妨害層を覆って配置された第２の妨害層とを含み、前記第１の妨害層は第１の妨害パターンを有し、前記第２の妨害層は、前記第１の妨害パターンと少なくとも部分的に重なり合わない第２の妨害パターンを有する、
接合構造。
【請求項３５】

前記妨害素子の上方視点において、前記第１及び第２の妨害パターンが協働して前記能動回路の光学的読み取りを妨げる、
請求項３４に記載の接合構造。
【請求項３６】
前記妨害パターンは、１又は２以上の導電材料を含む、
請求項３４に記載の接合構造。
【請求項３７】
前記１又は２以上の導電材料は銅を含む、
請求項３６に記載の接合構造。
【請求項３８】
前記パターン化された妨害材料は、７００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含む、
請求項３４から３７のいずれか１項に記載の接合構造。
【請求項３９】
前記パターン化された妨害材料は、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含む、
請求項３８に記載の接合構造。
【請求項４０】
前記パターン化された妨害材料は、赤外光（ＩＲ）又は近赤外光（ＮＩＲ）の少なくとも一方に対して不透明である、
請求項３４から３９のいずれか１項に記載の接合構造。
【請求項４１】
前記半導体素子は接合層をさらに含み、前記妨害素子は、前記半導体素子の前記接合層に直接接合される接合層をさらに含む、
請求項３４から４０のいずれか１項に記載の接合構造。
【請求項４２】
前記半導体素子の前記接合層は、非導電層内に配置された複数のコンタクトパッドを含み、前記妨害素子の前記接合層は、非導電層内に配置されて前記半導体素子の前記コンタクトパッドに直接接合される複数のコンタクトパッドを含む、
請求項４１に記載の接合構造。
【請求項４３】
前記第１の妨害層は、該第１の妨害層の外部アクセスを検出するように構成された検出回路をさらに含む、
請求項３４から４２のいずれか１項に記載の接合構造。
【請求項４４】
前記検出回路から前記妨害素子のコンタクトパッドに延びる垂直相互接続部をさらに備える、
請求項４３に記載の接合構造。
【請求項４５】
前記妨害素子は、前記半導体素子の能動面とは反対側の背面に直接接合され、前記接合構造は、前記半導体素子の前記能動面又はその付近におけるコンタクトパッドから前記妨害素子の前記コンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに備え、該ＴＳＶは、前記半導体素子と前記検出回路との間に電気的通信を提供する、
請求項４４に記載の接合構造。
【請求項４６】
接合構造の形成方法であって、
接着剤を使用せずに半導体素子を妨害素子に直接接合することを含み、
前記半導体素子は能動回路を含み、前記妨害素子は、前記能動回路を覆って配置されて前記能動回路の光学的読み取りを妨げる少なくとも１つのパターン化された光学的妨害層を含む、

接合構造の形成方法。
【請求項４７】
複数の光学的妨害層が前記接合界面を横切る方向に沿って互いに間隔を空けるように前記妨害素子を形成することをさらに含む、
請求項４６に記載の方法。
【請求項４８】
前記複数の光学的妨害層の各妨害層が、非導電層と、該非導電層に少なくとも部分的に埋め込まれた、パターン化された不透明材料とを含むように、前記妨害素子を形成することをさらに含む、
請求項４７に記載の方法。
【請求項４９】
前記パターン化された不透明材料が、前記接合界面と概ね平行な方向に沿って延びる複数の閉塞ストリップを含むように、前記妨害素子を形成することをさらに含む、
請求項４８に記載の方法。
【請求項５０】
前記複数の閉塞ストリップが１又は２以上の金属を含むように前記妨害素子を形成することをさらに含む、
請求項４９に記載の方法。
【請求項５１】
前記パターン化された不透明材料が、７００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含むように、前記妨害素子を形成することをさらに含む、
請求項４８から５０のいずれかに記載の方法。
【請求項５２】
前記パターン化された不透明材料が、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含むように、前記妨害素子を形成することをさらに含む、
請求項５１に記載の方法。
【請求項５３】
前記妨害素子を、接合層を含むように形成することと、
前記半導体素子を、接合層を含むように形成することと、
前記妨害素子の前記接合層を前記半導体素子の前記接合層に接合することと、
をさらに含む、請求項４６から５２のいずれか１項に記載の方法。
【請求項５４】
前記妨害素子の前記接合層が、前記半導体素子の金属化パターンと一致するように金属化されるように、前記妨害素子を形成することをさらに含む、
請求項５３に記載の方法。
【請求項５５】
前記妨害素子の前記接合層が、非導電層内に配置されて前記半導体素子の前記接合層の複数のコンタクトパッドの鏡像となるように構成された複数のコンタクトパッドを含むように、前記妨害素子を形成することをさらに含む、
請求項５４に記載の方法。
【請求項５６】
前記複数の光学的妨害層のうちの第１の妨害層が、該第１の妨害層の外部アクセスを検出するように構成された検出回路を含むように、前記妨害素子を形成することをさらに含む、
請求項４６から５５のいずれか１項に記載の方法。
【請求項５７】
前記検出回路から前記妨害素子のコンタクトパッドに延びる垂直相互接続部を含むように前記妨害素子を形成することをさらに含む、
請求項５６に記載の方法。
【請求項５８】

前記半導体素子の能動面とは正反対の前記半導体素子の背面に前記妨害素子を直接接合することをさらに含み、前記半導体素子の前記能動回路は、前記半導体素子の前記能動面又はその付近に配置されるとともに、前記半導体素子の前記能動面又はその付近におけるコンタクトパッドから前記妨害素子のコンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに含み、該ＴＳＶは、前記半導体素子と前記検出回路との間に電気的通信を提供する、
請求項５７に記載の方法。
【請求項５９】
接合構造であって、
能動回路を含む半導体素子と、
接着剤を使用せずに接合界面に沿って前記能動回路を覆って前記半導体素子に直接接合された妨害素子と、
を備え、前記妨害素子は複数の導電層を含み、該複数の導電層は、前記妨害素子の受動的電気特性をモニタする検出回路を含み、該検出回路は前記能動回路と電気的に通信する、
接合構造。
【請求項６０】
前記能動回路は、前記妨害素子の前記受動的電気特性の変化を検出するように構成される、
請求項５９に記載の接合構造。
【請求項６１】
前記能動回路は、前記受動的電気特性の変化を検出すると、外部システム又はユーザにアラートメッセージを送信するように構成される、
請求項５９又は６０に記載の接合構造。
【請求項６２】
前記受動的電気特性は、前記妨害素子の静電容量を含む、
請求項５９から６１のいずれか１項に記載の接合構造。
【請求項６３】
前記複数の導電層は、第１の導電層、第２の導電層、及び前記第１及び第２の導電層間の誘電体層を含む、
請求項６２に記載の接合構造。
【請求項６４】
前記妨害素子は、前記半導体素子の正面とは反対側の前記半導体素子の背面に直接接合され、前記能動回路は、前記背面よりも前記正面に近い方に配置される、
請求項５９から６３のいずれか１項に記載の接合構造。
【請求項６５】
前記能動回路と前記検出回路との間に電気的通信を提供する基板貫通ビア（ＴＳＶ）をさらに備える、
請求項６４に記載の接合構造。
【請求項６６】
前記複数の導電層は、前記能動回路の光学的読み取りを妨げる光学的妨害構造として機能する、
請求項５９から６５のいずれか１項に記載の接合構造。
【請求項６７】
前記複数の導電層は、第１の妨害パターンと、前記第１の妨害パターンと少なくとも部分的に重なり合わない第２の妨害パターンとを含む、
請求項６６に記載の接合構造。
【請求項６８】
請求項１から５８のいずれか１項と組み合わさった、
請求項５９に記載の接合構造。

【請求項６９】
接合構造であって、
正面と、該正面とは反対側の背面とを有し、前記背面よりも前記正面に近い方に配置された能動回路を含む、半導体素子と、
接着剤を使用せずに接合界面に沿って前記能動回路を覆って前記半導体素子の前記背面に直接接合される妨害素子と、
を備え、前記妨害素子は、該妨害素子の受動的電気特性をモニタする検出回路を含み、該検出回路は前記能動回路と電気的に通信する、
接合構造。
【請求項７０】
請求項１から６７のいずれか１項と組み合わさった、
請求項６９に記載の接合構造。
【発明の詳細な説明】
【技術分野】
【０００１】
本分野は、接合構造（ｂｏｎｄｅｄ　ｓｔｒｕｃｔｕｒｅｓ）のための光学的妨害保護素子及びその形成方法に関する。
【背景技術】
【０００２】
半導体チップ（例えば、集積デバイスダイ）は、貴重な及び／又は専用の情報、構造又はデバイスを含むセキュリティセンシティブコンポーネント（ｓｅｃｕｒｉｔｙ－ｓｅｎｓｉｔｉｖｅ　ｃｏｍｐｏｎｅｎｔｓ）を含む能動回路を含むことができる。例えば、このようなセキュリティセンシティブコンポーネントは、エンティティの知的財産、ソフトウェア又はハードウェアセキュリティ（例えば、暗号化）特徴、プライバシーデータ、或いはサードパーティから安全な状態でありかつ隠しておきたいとエンティティが望む他のいずれかのコンポーネント又はデータを含むことができる。例えば、サードパーティの悪意ある行為者（ｂａｄ　ａｃｔｏｒｓ）は、経済的及び／又は地政学的優位性のために、様々な技術を利用してセキュリティセンシティブコンポーネントへのアクセスを試みることがある。従って、サードパーティによるアクセスを受けないように半導体チップのセキュリティを改善することが継続的に必要とされている。
【発明の概要】
【課題を解決するための手段】
【０００３】
本明細書では、能動回路を含む半導体素子と、接着剤を使用せずに接合界面に沿って半導体素子に直接接合された妨害素子とを含み、妨害素子が、能動回路を覆って配置されて能動回路の光学的読み取りを妨げる少なくとも１つのパターン化された光学的妨害層を含む、接合構造を開示する。いくつかの実施形態では、少なくとも１つのパターン化された光学的妨害層が複数の光学的閉塞層（ｏｐｔｉｃａｌｌｙ　ｏｃｃｌｕｓｉｖｅ　ｌａｙｅｒｓ）を含む。いくつかの実施形態では、複数の光学的閉塞層が、接合界面を横切る方向に沿って重なり合って配置されて互いに間隔を空ける。いくつかの実施形態では、複数の光学的閉塞層の各光学的閉塞層が、非導電層と、非導電層に少なくとも部分的に埋め込まれた、パターン化された不透明材料とを含む。いくつかの実施形態では、パターン化された不透明材料が、接合界面と概ね平行な方向に沿って延びる複数の閉塞ストリップを含む。いくつかの実施形態では、複数の閉塞ストリップが１又は２以上の導電材料を含む。いくつかの実施形態では、１又は２以上の導電材料が銅を含む。いくつかの実施形態では、パターン化された不透明材料が、４００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含む。いくつかの実施形態では、パターン化された不透明材料が、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含む。いくつかの実施形態では、パターン化された不透明材料が、赤外光（ＩＲ）又は近赤外光（ＮＩＲ）の少なくとも一方に対して不透明である。

【０００４】
いくつかの実施形態では、複数の光学的閉塞層のうちの第１の光学的閉塞層が第１の不透明パターンを含み、複数の光学的閉塞層のうちの第２の光学的閉塞層が、第１の不透明パターンと少なくとも部分的に重なり合わない第２の不透明パターンを含むことにより、閉塞素子の上方視点において、第１及び第２の不透明パターンが、第１及び第２の不透明パターン単独よりも広範な半導体素子の部分を閉塞させる（ｏｃｃｌｕｄｅ）。いくつかの実施形態では、第１の不透明パターンが第１の複数の閉塞ストリップを含み、第２の不透明パターンが、第１の複数の閉塞ストリップと少なくとも部分的に重なり合わない第２の複数の閉塞ストリップを含む。いくつかの実施形態では、閉塞素子が、少なくとも３つの光学的閉塞層をさらに含み、パターン化された閉塞材料が、光学的閉塞層と平行な面において半導体素子の所定の面積を閉塞させる。いくつかの実施形態では、光学的閉塞層が、所定の面積にわたって少なくとも７５％の閉塞を提供するように構成される。いくつかの実施形態では、光学的閉塞層が、所定の面積にわたって少なくとも９５％の閉塞を提供するように構成される。いくつかの実施形態では、所定の面積が、第１の半導体素子の接合面の少なくとも７５％を含む。いくつかの実施形態では、所定の面積が、第１の半導体素子の接合面の少なくとも９５％を含む。

【０００５】
いくつかの実施形態では、半導体素子が、少なくとも１つの高感度回路領域と、高感度回路を含まない少なくとも１つの領域とを有し、パターン化された不透明材料が、少なくとも１つの高感度回路領域の少なくとも一部を閉塞させ、高感度回路を含まない少なくとも１つの領域を閉塞させないままにしておく。いくつかの実施形態では、複数の光学的閉塞層が１又は２以上の光学的フィルタリング層を含む。いくつかの実施形態では、少なくとも１つのパターン化された光学的妨害層が、能動回路の光学的読み取りを妨げるために光を屈折、散乱、拡散、回折又は位相シフトさせる材料を含む。いくつかの実施形態では、半導体素子が接合層をさらに含み、妨害素子が、半導体素子の接合層に直接接合される接合層をさらに含む。いくつかの実施形態では、妨害素子の接合層が、半導体素子の金属化パターンと一致するように金属化される。いくつかの実施形態では、半導体素子の接合層が、非導電層内に配置された複数のコンタクトパッドを含み、妨害素子の接合層が、非導電層内に配置されて半導体素子のコンタクトパッドに直接接合される複数のコンタクトパッドを含む。いくつかの実施形態では、妨害素子の接合層と、接合界面を横切る方向に沿って接合層から垂直に間隔を空けた光学的閉塞層とが、少なくとも１つの垂直相互接続部を通じて接続される。いくつかの実施形態では、隣り合う複数の閉塞層のうちの少なくとも２つがこれらの間に垂直相互接続部を有していない。いくつかの実施形態では、能動回路が、半導体素子の能動面又はその付近に配置され、妨害素子が、能動面とは反対側の、半導体素子の背面（ｂａｃｋ　ｓｉｄｅ）に直接接合される。いくつかの実施形態では、複数の光学的閉塞層のうちの第１の閉塞層が、第１の閉塞層の外部アクセスを検出するように構成された検出回路を含む。いくつかの実施形態では、検出回路が、外部アクセスを検出するように構成された受動電子回路素子を含む。いくつかの実施形態では、受動電子回路が容量性回路素子又は抵抗性回路素子を含む。いくつかの実施形態では、接合構造が、検出回路から妨害素子のコンタクトパッドに延びる垂直相互接続部をさらに含む。いくつかの実施形態では、妨害素子が、半導体素子の能動面とは反対側の背面に直接接合され、接合構造が、半導体素子の能動面又はその付近におけるコンタクトパッドから妨害素子のコンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに含み、ＴＳＶが、半導体素子と検出回路との間に電気的通信を提供する。いくつかの実施形態では、妨害素子のコンタクトパッドが、半導体素子の能動面におけるコンタクトパッドに直接接合される。いくつかの実施形態では、少なくとも１つの光学的妨害層のうちの１つの妨害層が光学フィルタをさらに含む。

【０００６】
本明細書では、能動回路を含む半導体素子と、接着剤を使用せずに接合界面に沿って半導体素子に直接接合された妨害素子とを含み、妨害素子が、第１の妨害層と、第１の妨害

層を覆って配置された第２の妨害層とを含み、第１の妨害層が第１の妨害パターンを有し、第２の妨害層が、第１の妨害パターンと少なくとも部分的に重なり合わない第２の妨害パターンを有する、接合構造を開示する。いくつかの実施形態では、妨害素子の上方視点において、第１及び第２の妨害パターンが協働して能動回路の光学的読み取りを妨げる。いくつかの実施形態では、妨害パターンが１又は２以上の導電材料を含む。いくつかの実施形態では、１又は２以上の導電材料が銅を含む。いくつかの実施形態では、パターン化された妨害材料が、７００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含む。いくつかの実施形態では、パターン化された妨害材料が、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含む。いくつかの実施形態では、パターン化された妨害材料が、赤外光（ＩＲ）又は近赤外光（ＮＩＲ）の少なくとも一方に対して不透明である。いくつかの実施形態では、半導体素子が接合層をさらに含み、妨害素子が、半導体素子の接合層に直接接合される接合層をさらに含む。いくつかの実施形態では、半導体素子の接合層が、非導電層内に配置された複数のコンタクトパッドを含み、妨害素子の接合層が、非導電層内に配置されて半導体素子のコンタクトパッドに直接接合される複数のコンタクトパッドを含む。いくつかの実施形態では、第１の妨害層が、第１の妨害層の外部アクセスを検出するように構成された検出回路をさらに含む。いくつかの実施形態では、接合構造が、検出回路から妨害素子のコンタクトパッドに延びる垂直相互接続部を含む。いくつかの実施形態では、妨害素子が、半導体素子の能動面とは反対側の背面に直接接合され、接合構造が、半導体素子の能動面又はその付近におけるコンタクトパッドから妨害素子のコンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに含み、ＴＳＶが、半導体素子と検出回路との間に電気的通信を提供する。

【０００７】

本明細書では、接合構造の形成方法であって、接着剤を使用せずに半導体素子を妨害素子に直接接合することを含み、半導体素子が能動回路を含み、妨害素子が、能動回路を覆って配置されて能動回路の光学的読み取りを妨げる少なくとも１つのパターン化された光学的妨害層を含む、方法を開示する。いくつかの実施形態では、方法が、複数の光学的妨害層が接合界面を横切る方向に沿って互いに間隔を空けるように妨害素子を形成することを含む。いくつかの実施形態では、方法が、複数の光学的妨害層の各妨害層が、非導電層と、非導電層に少なくとも部分的に埋め込まれた、パターン化された不透明材料とを含むように、妨害素子を形成することを含む。いくつかの実施形態では、方法が、パターン化された不透明材料が、接合界面と概ね平行な方向に沿って延びる複数の閉塞ストリップを含むように、妨害素子を形成することを含む。いくつかの実施形態では、方法が、複数の閉塞ストリップが１又は２以上の金属を含むように妨害素子を形成すること含む。いくつかの実施形態では、方法が、パターン化された不透明材料が、７００ｎｍ～１ｍｍの範囲内の波長の光を遮断する材料を含むように、妨害素子を形成することをさらに含む。いくつかの実施形態では、方法が、パターン化された不透明材料が、８００ｎｍ～２５００ｎｍの範囲内の波長の光を遮断する材料を含むように、妨害素子を形成することを含む。

【０００８】

いくつかの実施形態では、方法が、妨害素子を、接合層を含むように形成することと、半導体素子を、接合層を含むように形成することと、妨害素子の接合層を半導体素子の接合層に接合することと、を含む。いくつかの実施形態では、方法が、妨害素子の接合層が、半導体素子の金属化パターンと一致するように金属化されるように、妨害素子を形成することを含む。いくつかの実施形態では、方法が、妨害素子の接合層が、非導電層内に配置されて半導体素子の接合層の複数のコンタクトパッドの鏡像となる（ｍｉｒｒｏｒ）ように構成された複数のコンタクトパッドを含むように、妨害素子を形成することを含む。いくつかの実施形態では、方法が、複数の光学的妨害層のうちの第１の妨害層が、第１の妨害層の外部アクセスを検出するように構成された検出回路を含むように、妨害素子を形成することを含む。いくつかの実施形態では、方法が、検出回路から妨害素子のコンタクトパッドに延びる垂直相互接続部を含むように妨害素子を形成することを含む。いくつかの実施形態では、方法が、半導体素子の能動面とは正反対の半導体素子の背面に妨害素子

を直接接合することを含み、半導体素子の能動回路が、半導体素子の能動面又はその付近に配置されるとともに、半導体素子の能動面又はその付近におけるコンタクトパッドから妨害素子のコンタクトパッドに延びる半導体貫通ビア（ＴＳＶ）をさらに含み、ＴＳＶが、半導体素子と検出回路との間に電気的通信を提供する。

【０００９】

本明細書では、能動回路を含む半導体素子と、接着剤を使用せずに接合界面に沿って能動回路を覆って半導体素子に直接接合された妨害素子とを含み、妨害素子が複数の導電層を含み、複数の導電層が、妨害素子の受動的電気特性をモニタする検出回路を含み、検出回路が能動回路と電気的に通信する、接合構造を開示する。いくつかの実施形態では、能動回路が、妨害素子の受動的電気特性の変化を検出するように構成される。いくつかの実施形態では、能動回路が、受動的電気特性の変化を検出すると、外部システム又はユーザにアラートメッセージを送信するように構成される。いくつかの実施形態では、受動的電気特性が、妨害素子の静電容量を含む。いくつかの実施形態では、複数の導電層が、第１の導電層、第２の導電層、及び第１及び第２の導電層間の誘電体層を含む。いくつかの実施形態では、妨害素子が、半導体素子の正面（ｆｒｏｎｔ　ｓｉｄｅ）とは反対側の半導体素子の背面に直接接合され、能動回路が、背面よりも正面に近い方に配置される。いくつかの実施形態では、接合構造が、能動回路と検出回路との間に電気的通信を提供する基板貫通ビア（ＴＳＶ）を含む。いくつかの実施形態では、複数の導電層が、能動回路の光学的読み取りを妨げる光学的妨害構造として機能する。いくつかの実施形態では、複数の導電層が、第１の妨害パターンと、第１の妨害パターンと少なくとも部分的に重なり合わない第２の妨害パターンとを含む。

【００１０】

本明細書では、正面と、正面とは反対側の背面とを有し、背面よりも正面に近い方に配置された能動回路を含む、半導体素子と、接着剤を使用せずに接合界面に沿って能動回路を覆って半導体素子の背面に直接接合される妨害素子とを含み、妨害素子が、妨害素子の受動的電気特性をモニタする検出回路を含み、検出回路が能動回路と電気的に通信する、接合構造を開示する。

【図面の簡単な説明】

【００１１】

【図１】半導体チップの近赤外（ＮＩＲ）イメージングの例図である。

【図２Ａ】複数の閉塞層を有する保護素子の概略的側面断面図である。

【図２Ｂ】複数の閉塞層を有する保護素子の概略的側面断面図である。

【図３】閉塞層の重なり合いを示す保護素子の概略的上面断面図である。

【図４Ａ】能動チップの能動面に接合された保護チップの概略的側面断面図である。

【図４Ｂ】能動チップの受動面に接合された保護チップの概略的側面断面図である。

【図５Ａ】能動チップの能動面に接合された光学フィルタ層を組み込んだ保護チップの概略的側面断面図である。

【図５Ｂ】能動チップの能動面に接合された光学フィルタ層と埋め込みランダム反射パターンとを組み合わせた保護チップの概略的側面断面図である。

【発明を実施するための形態】

【００１２】

本明細書で説明したように、（サードパーティの悪意ある行為者などの）サードパーティは、集積デバイスダイなどの素子上のセキュリティセンシティブコンポーネントにアクセスしようと試みる可能性がある。いくつかの素子では、ネットリスト（ｎｅｔｌｉｓｔ）データと不揮発性メモリ（ＮＶＭ）データとの組み合わせによってセキュリティセンシティブコンポーネントを保護することができる。しかしながら、サードパーティは、素子に対してプロービング（ｐｒｏｂｉｎｇ）及び／又はディレイアリング（ｄｅｌａｙｅｒｉｎｇ）を行ってセキュリティセンシティブコンポーネントを露出させ又はセキュリティセンシティブコンポーネントに別様にアクセスすることなどの、破壊的技術と非破壊的技術との組み合わせによってセキュリティセンシティブコンポーネントに不正侵入しようと

試みる可能性がある。場合によっては、サードパーティが、素子の能動回路上への電磁（ＥＭ）波パルシング、故障注入（ｆａｕｌｔ　ｉｎｊｅｃｔｉｏｎ）技術の使用、近赤外（ＮＩＲ）レーザーのトリガリング又は集束イオンビーム（ＦＩＢ）を用いた回路の修正、化学エッチング技術、その他の物理的、化学的及び／又は電磁気的ハッキングツール、さらにはリバースエンジニアリングによってセキュリティセンシティブコンポーネントに不正侵入しようと試みる可能性もある。これらの技術は、集積回路などのマイクロデバイスの高感度回路に物理的にアクセスして直接暗号化情報を読み取り、外部的に回路をトリガーして暗号化されたはずの情報を解放し、製造プロセスを理解し、或いは最終的に機密設計を複製できるほど十分な情報を抽出するために使用することができる。例えば、いくつかの事例では、ハッカーが、回路設計、メモリ、又はこれらの両方の組み合わせに記憶できる暗号化キーにアクセスしようと試みることがある。また、故障注入入力に基づく結果としての出力を分析し、再帰的分析を通じて暗号化キー又はデータ内容を特定することによって間接的に機密情報を読み取る技術が使用されることもある。集積デバイスダイ又はチップなどの素子上のセキュリティセンシティブコンポーネントを構造的に保護することは困難である。

【００１３】

従って、セキュリティセンシティブコンポーネントを含む（半導体集積デバイスダイなどの）素子のセキュリティを改善することが重要である。本明細書に開示する様々な実施形態は、第２の半導体素子に接合された第１の半導体素子を含む接合構造に関する。第２の半導体素子は、第１の半導体素子の能動回路上に配置されて能動回路の光学的インタロゲーション（ｏｐｔｉｃａｌ　ｉｎｔｅｒｒｏｇａｔｉｏｎ）又は光学的アクセスを妨げるように構成された少なくとも１つの（例えば、複数の）パターン化された妨害層（ｏｂｓｔｒｕｃｔｉｖｅ　ｌａｙｅｒｓ）を含む保護又は妨害素子を含むことができる。

【００１４】

図１に、例えば半導体素子１００の高感度回路をプローブするために近赤外（ＮＩＲ）光プローブ１２６を使用して半導体素子１００をイメージングする従来のアプローチを示す。図１に示すように、半導体素子１００の能動回路１１６にアクセスするために光プロービング技術を使用することができる。光プロービング技術は、攻撃者が高感度回路を再構成して高感度回路の機密性及びセキュリティを損なうことを可能にすることができる。半導体素子１００の正面１１４とは異なり、背面からの光プローブ１２６は配線又は金属化物（ｍｅｔａｌｌｉｚａｔｉｏｎｓ）によって遮られないため、光プロービング技術を使用して半導体素子１００の背面１１２から能動回路１１６にアクセスすることができる。光プローブ１２６は、レーザー光源１２２、ビームスプリッタ１２０、検出器１２４、及び対物レンズ１１８を含む。レーザー光源１２２は、レーザビームを生成してビームスプリッタ１２０に導くことができ、ビームスプリッタ１２０は、対物レンズ１１８を通じて半導体素子１００に向けられる第１の成分と、ミラー１２８及び検出器１２４に向けられる第２の成分とにビームを分割することができる。また、背面光侵入技術（ｂａｃｋｓｉｄｅ　ｏｐｔｉｃａｌ　ｉｎｔｒｕｓｉｏｎ　ｔｅｃｈｎｉｑｕｅｓ）を使用して回路の活動をモニタし、ビットストリーム情報を収集して暗号化キーを取り出し、暗号化情報を漏洩させることもできる。

【００１５】

従って、セキュリティセンシティブコンポーネントを含む半導体素子のセキュリティを確保するには、光侵入を防ぐことが重要である。従来の技術としては、半導体素子１００を閉塞ケーシングでパッケージすることを挙げることができる。しかしながら、従来のパッケージングは、研磨、化学エッチング及びその他の比較的単純な除去プロセスの影響を受けやすく、高感度回路が露出したままになって光学的プロービングの影響を受けやすい。従って、半導体素子１００に保護素子又は閉塞素子を直接接合することによって光学的侵入に対する保護を含めることが望ましいと考えられる。集積デバイスダイ又はチップなどの半導体素子１００は、他の素子上に実装又は積層することができる。例えば、半導体素子１００は、パッケージ基板、インターポーザ、再構成ウェハ又は素子などのキャリア

に実装することができる。別の例として、半導体素子１００を別の半導体素子１００上に積層することもでき、例えば第１の集積デバイスダイを第２の集積デバイスダイ上に積層することができる。いくつかの構成では、基板貫通ビア（ｔｈｒｏｕｇｈ－ｓｕｂｓｔｒａｔｅ　ｖｉａ：ＴＳＶ）が半導体素子１００の厚みを垂直に貫通して、半導体素子１００を通じて半導体素子１００の第１の表面から半導体素子１００の第２の対向する表面などに電気信号を転送することができる。本開示の実施形態は、セキュリティセンシティブな回路又は回路素子を含むことができる能動チップに直接接合された妨害層を含む保護チップを含む接合構造に関する。

【００１６】

図２Ａ～図２Ｂは、少なくとも１つの妨害層を含む（本明細書では妨害チップとも呼ばれる）保護チップ３００の側面断面図である。図２Ａ～図２Ｂの実施形態では、少なくとも１つの妨害層が、様々な実施形態による複数の積層された閉塞（例えば、光遮断）層（図２Ａに示す層Ｌ１～Ｌ４　１０１～１０４、及び図２Ｂに示す層Ｌ１～Ｌ３　１０５～１０７）を含む。通常、半導体業界以外の従来の光閉塞技術は、高感度回路を取り囲む金属又はその他の閉塞材料の固体シート又は層を含むことができる。しかしながら、特に閉塞材料と半導体材料とでは熱機械的特性が異なるため、単一の閉塞層は半導体素子への組み込みに適していないと考えられる。例えば、半導体素子に（銅などの）金属の単一ブランケット層が含まれている場合には、高温での処理時に大型の連続する金属シートが熱機械応力を誘発する場合がある。従って、様々なプロセスでは、材料間の破壊的な熱機械応力を防ぐために、特定の層内の典型的な相補型金属酸化膜半導体（ＣＭＯＳ）の最大金属被覆率が、層の総面積の１５％～４５％、２０％～４０％、２２％～３５％、又は２５％～３３％の範囲内であることができる。

【００１７】

熱機械応力を抑えながら妨害の程度を高めるために、複数の層を保護素子又は妨害素子（例えば、保護チップ３００）の閉塞構造に配置することができる。図２Ａには、各層が部分的に金属化された４層の半導体素子から形成される半導体素子例３００の断面を示す。図示の層は、例えば閉塞層Ｌ１～Ｌ４（１０１、１０２、１０３及び１０４）などの複数（例えば、４つ）のパターン化されたバックエンド（ｂａｃｋ－ｅｎｄ－ｏｆ－ｌｉｎｅ）層を含むことができ、各層Ｌ１～Ｌ４は、（酸化ケイ素又は窒化ケイ素のような誘電材料などの）非導電材料１１０と、層内に形成された閉塞（例えば、金属、不透明）ストリップ１０８又はその他の形状のパターンとを含む。入射光ビームを遮断する様々な実施形態では、ストリップ１０８が、銅又はその他のいずれかの好適な金属などの導電材料を含むことができる。

【００１８】

従って、閉塞材料（例えば、不透明ストリップ１０８）は、妨害チップ３００を通過する光（又は光の大部分）の透過を妨げる材料を含むことができる。閉塞ストリップを利用する実施形態では、閉塞材料が、入射ビームの波長の光に対して不透明な（例えば、このような光を吸収又は反射する）材料を含むことができる。例えば、図２Ａの例示的な実施形態では、閉塞ストリップ１０８が金属（例えば、いくつかの実施形態では銅）などの不透明材料を含む。他の実施形態では、閉塞材料が、（単複の）入射ビームの（単複の）波長の光の透過を阻止又は実質的に阻止する他のタイプの材料を含むことができる。例えば、他の実施形態では、パターン化された閉塞材料が、１又は２以上の第１の波長の少なくとも一部の光を透過させて１又は２以上の第２の波長の少なくとも一部の光を（例えば、吸収及び／又は干渉を通じて）遮断する１又は複数のフィルタリング層を含むことができる。従って、様々な妨害的光学材料は、不透明材料、又は様々な波長の光をフィルタリングする材料を使用して光を遮断（又は実質的に遮断）することができる。これに加えて又は代えて、いくつかの実施形態では、妨害的光学材料が、他の方法で光を妨害する光学材料を含むこともできる。例えば、このような実施形態では、妨害材料が、入射又は出射ビームの方向を変化（例えば、屈折）させ、ビームの焦点を集め又はぼかし（例えば、レンズ化し）、ビームを散乱させ、ビームを拡散させ、ビームを回折し（例えば、回折格子）

、ビームを位相／波長シフトさせることなどができる。従って、本明細書で説明する光学的妨害材料は、高感度回路に不正侵入しようと試みる際に利用される入射光を遮断又は修正する光遮断又は光修正材料を意味する。妨害材料の一部は、上述した所望の効果を達成するために粗面化された材料を含むことができる。本明細書において不透明な閉塞ストリップ１０８の文脈で説明したように、妨害材料層は、能動回路の光学的読み取りを妨げる少なくとも１つの光学的妨害層（例えば、複数の妨害層）を形成するようにパターン化することができる。

【００１９】

図２Ａの例では、閉塞ストリップ１０８を保護素子３００の接合面に対して概ね平行に配置して、互いに平行に延びるようにすることができる。いくつかの実施形態では、ストリップ１０８が、上面視点から見た時に実質的にチップ３００の幅全体などのチップ３００の幅の大部分にわたって延びることができる。本明細書で使用するパターン化された不透明材料は、単一の閉塞層（例えば１０１～１０４のうちの１つ）の１又は２以上の閉塞ストリップ１０８を含む。いくつかの実施形態では、本明細書で説明するように、閉塞層のパターン化された不透明材料が、例えば近赤外（ＮＩＲ）光の少なくとも９０％などの、４００ｎｍ～１ｍｍの範囲内の光の少なくとも９０％、８００ｎｍ～２５００ｎｍの範囲内の光の少なくとも９０％を閉塞させる（例えば、遮断する）材料で形成された閉塞ストリップ１０８を含む。様々な実施形態では、閉塞層１０１～１０４のパターン化された不透明材料が、例えば近赤外（ＮＩＲ）光の少なくとも９０％などの、４００ｎｍ～１ｍｍの範囲の光の少なくとも９５％又は少なくとも９９％、８００ｎｍ～２５００ｎｍの範囲の光の少なくとも９０％を遮断することができる。これに加えて又は代えて、パターン化された不透明材料は、赤外（ＩＲ）光又は紫外（ＵＶ）光の少なくとも９０％、少なくとも９５％、又は少なくとも９９％を遮断することもできる。閉塞層を含む光学的妨害材料を利用するこのような実施形態では、材料が、不透明層（例えば、金属ストリップ１０８）、１又は２以上のフィルタリング層、又は他のいずれかの遮光層（ｌｉｇｈｔ－ｂｌｏｃｋｉｎｇ　ｌａｙｅｒ）を含むことができる。

【００２０】

上述したように、他の実施形態では、光学的妨害材料が、４００ｎｍ～１ｍｍの、８００ｎｍ～２５００ｎｍの、近赤外（ＮＩＲ）光の、赤外光（ＩＲ）又は紫外光の範囲の波長を有する光の少なくとも９０％、少なくとも９５％、又は少なくとも９９％を屈折、反射、散乱、拡散、位相シフトさせるような材料などの他のタイプの光修正材料を含むことができる。非閉塞性妨害材料を利用する実施形態では、入射光の少なくとも一部が妨害素子３００を通過し、能動回路１１６に衝突し、妨害素子３００を通じて逆反射することができる。しかしながら、非閉塞性妨害材料は、反射光と相互作用して光の振幅及び／又は位相を修正することができ、これによって光プローブによる能動回路の光学的読み取りを妨げることができる。

【００２１】

図２Ａの例示的な閉塞例では、層１０１～１０４（又は層１０２～１０４）のストリップ１０８の閉塞パターンが協働して、下層の能動チップ３１０内の能動回路をプローブするために使用される光ビームを実質的に又は完全に遮断する光学的妨害構造を形成することができる。例えば、いくつかの実施形態では、閉塞パターンが、閉塞（例えば不透明）ストリップ１０８に入射する光の９０％～１００％又は９５％～１００％を遮断することができる。例えば、ストリップ１０８は、光学プローブで使用されるＮＩＲ光などの光に対して不透明であるように選択することができる。閉塞層は、本明細書で説明する少なくとも部分的に重なり合わない形で設けられた場合、プロービング技術からの光を実質的に遮断することができる。従って、複数の閉塞又は不透明ストリップ１０８は、上面視点から見た時に、高感度回路に光が入射するのを妨げ（例えば、実質的に防ぎ）、従って能動回路の光学的読み取りを妨げる光学的妨害構造をストリップが協働して形成するように配置することができる。従って、個々の閉塞層（例えば１０１～１０４のうちの１つ）はそれぞれ部分的にしか妨害を行わない。例えば、閉塞層１０１は、単独では入射光の２０％

～４０％しか遮断しないことができる。しかしながら、これらの層が組み合わさると（例えば図２Ａ～図２Ｂ）、入射光のほとんど又は全てを遮断又は抑制するとともに光挿入に対して不透明な、実質的に完全な閉塞素子を形成することができる。図２Ａに示すように、完全な妨害（例えば、閉塞）又は実質的に完全な妨害（例えば、閉塞）は、層当たりの最大金属被覆率が各層の総面積の約２５％である場合に達成することができる。従って、このような配置では、上方視点から見た時に光学的閉塞（例えば、不透明）ストリップ１０８が下にある能動チップの少なくとも高感度回路を完全に又は実質的に完全に覆うように互い違いになった状態で、４つの層を重ね合わせて設けることができる。いくつかの実施形態では、上方視点から見た時に、不透明ストリップ１０８が協働して、下にあるチップの活性表面全体、或いは下にあるチップ又はダイの上面全体を完全に又は実質的に完全に覆うことができる。他の実施形態では、上方視点から見た時に、不透明ストリップ１０８が協働して、下にあるチップの能動回路の高感度部分を完全に又は実質的に完全に覆うことができる。

【００２２】

より少ない層を使用して、より高い金属被覆率で同程度の閉塞を達成することもできる。別途示していない限り、図２Ｂのコンポーネントは、図２Ａの同じ付番のコンポーネントと同一又は概ね同様であることができる。例えば、図２Ｂには、各層の金属化物が層表面の最大３３％を覆うことができる３つの層から形成された半導体素子例３００の断面を示す。図示の層は、複数（例えば、３つ）のパターン化されたバックエンド層Ｌ１～Ｌ３（１０５、１０６及び１０７）を含むことができ、各層Ｌ１～Ｌ３は、（酸化ケイ素又は窒化ケイ素などの誘電材料などの）非導電材料１１０と、パターン化された光学的妨害材料を形成するように協働する、層内に形成された閉塞（例えば、金属、不透明）ストリップ１０８又はその他の形状のパターンとを含む。以下でさらに詳細に説明するように、金属化物のパターン化は、閉塞素子１０１～１０４の全金属化（ｔｏｔａｌ　ｍｅｔａｌｌｉｚａｔｉｏｎ）を制限しながら高感度エリアの閉塞を達成するために採用することもできる。いくつかの実施形態では、ストリップ１０８の閉塞材料が銅などの金属であることができる。他の実施形態では、異なる閉塞又は妨害材料を使用することができる。いくつかの実施形態では、上述したように、例えば４００ｎｍ～１ｍｍの範囲内の波長の光を閉塞させる（例えば、不透明又は反射性である）ように、又は別様に妨害するようにこれらの材料を選択（例えば、少なくとも９０％、少なくとも９５％又は少なくとも９９％の屈折、散乱、拡散、位相シフトなどを生じさせるように選択）することができる。様々な実施形態では、８００ｎｍ～２５００ｎｍの範囲内の波長の光を妨害する（例えば、少なくとも９０％、少なくとも９５％又は少なくとも９９％の遮断、屈折、反射、散乱、拡散、位相シフトなどを生じさせる）ように材料を選択することができる。様々な実施形態では、近赤外（ＮＩＲ）光、赤外光又は紫外光を妨害するように材料を選択することができる。

【００２３】

図３は、層２０２及び２０４を含む光学的妨害半導体素子３００の例示的な実施形態の俯瞰図である。図３に示すように、各層２０２、２０４の表面は、光学的閉塞バリアを提供するように、閉塞ストリップ２０８を含む妨害層で部分的に金属化することができる。さらに、各層は異なるパターンに従って金属化することができる。例示として、別々の層２０２、２０４の少なくとも部分的に重なり合わない金属化パターンは、積層させて上方視点から見た時にこれらの層が協働して、上方から見た時に重なり合う（又は実質的に重なり合う）閉塞バリアを形成するように構成することができる。例えば、素子３００は、金属化パターン２０８が重なり合った層２０２及び２０４の俯瞰図を示す。このように、単一の保護半導体素子３００内に複数の部分的に金属化された層を形成して、単一の層で達成できるよりも高い閉塞を提供することができる。なお、当業者であれば、図３に示す保護チップ３００は例示にすぎず、他の実施形態は２つよりも多くの層を有することもできると理解されたい。また、他の実施形態は、閉塞を達成するために異なる金属化パターン２０８を採用することもできる。例えば、上方視点から見た時に、層２０２、２０４の

相補的パターンが下にある能動回路の少なくとも高感度部分を実質的に閉塞させる限り、層２０２、２０４の他の相補的パターンを使用することもできる。例えば、非閉塞的な妨害材料を利用する実施形態などのさらに他の実施形態では、妨害材料を１つの層内でパターン化することができる。例えば、光を散乱、回折又は拡散させる実施形態では、少なくとも一部の光が妨害素子３００を通過し、能動チップ３１０から反射又は散乱し、パターン化された（単複の）妨害層からの干渉を通じて吸収又は相殺されるように妨害層をパターン化することができる。光学的妨害材料のさらなる例は、米国特許公開第２０２０／０３２８１６２号として公開されている米国特許出願第１６／８４４９３２号の（少なくとも¶¶［００３０］、［００３６］、［００５１］、及び［００６６］～［００６７］を含む）全体を通じて見出すことができ、この文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。

【００２４】

さらに、いくつかの実施形態では、１又は２以上の妨害層（例えば、閉塞構造の金属化パターン２０８）が不規則であり、又はチップ２０６のエリアの一部のみを覆うことができる。例えば、能動チップが、チップのエリアの一部のみを覆う高感度回路を有することもある。コスト及び性能特性を改善するために、保護チップ３００は、能動回路の高感度部分のみを妨害し（例えば、閉塞させ）て、回路を含まない又は非高感度回路を含むチップの他の部分を妨害しない（例えば、閉塞させない又は遮断しない）ように構成することができる。さらに、いくつかの実施形態では、光プローブ攻撃を邪魔するために完全な妨害又は閉塞が不要な場合もある。これらの実施形態では、保護チップ３００の妨害層（例えば、閉塞層２０２、２０４）を、接合された能動チップの高感度エリアの部分的妨害又は閉塞を行うように構成することができる。例えば、部分的閉塞のみを使用する能動チップは、低精度、低コストプロセスによってパターン化された重なり合う閉塞層２０２、２０４を含む保護チップ３００に接合することができる。従って、精度が低ければ低いほど、能動チップの高感度エリアにわたって所望の保護を行うのに十分な部分的閉塞エリアをより安価なチップ当たりコストで得ることができる。例えば、閉塞層は、高感度回路エリアの５０％～７５％、７５％～９５％、又は９５％～１００％の範囲、或いはいくつかの実施形態では、チップ３１０の全活性化エリアの５０％～７５％、７５％～９５％、又は９５％～１００％の範囲の能動チップのエリアにわたって所望の保護を行うように構成することができる。

【００２５】

図４Ａに、接合界面３１５にわたる保護チップ３００及び能動チップ３１０の直接接合前の能動面接合（ａｃｔｉｖｅ－ｓｉｄｅ ｂｏｎｄｉｎｇ）を示す。別途示していない限り、図４Ａの構造のコンポーネント及び機能性は、図２Ａ～図３のコンポーネントと同一又は概ね同様であることができる。上述したように、非接合型保護構造は、研削又はエッチングなどの様々な除去技術を介して除去されやすい場合がある。従って、保護チップ３００及び能動チップ３１５を直接接合して接合構造を形成することが望ましいと考えられる。いくつかの実施形態では、接合界面３１５が、保護チップ３００の接合層３４０Ａと能動チップ３１０の接合層３４０Ｂとの間の接合を含むことができる。いくつかの実施形態では、直接接合が、素子（例えば、保護チップ３００及び能動チップ３１０）の非導電性フィールド領域（ｎｏｎｃｏｎｄｕｃｔｉｖｅ ｆｉｅｌｄ ｒｅｇｉｏｎｓ）３４１Ａ、３４１Ｂ（例えば、誘電材料）同士が直接接合される、非導電性非接着性接合（ｎｏｎｃｏｎｄｕｃｔｉｖｅ ｎｏｎ－ａｄｈｅｓｉｖｅ ｂｏｎｄ）を含むことができる。図４Ａに示す実施形態などの他の実施形態では、直接接合が、能動チップ３１０のコンタクトパッド３５０Ｂが保護チップ３００の対応するコンタクトパッド３５０Ａに直接接合され、能動チップ３１０の非導電性領域（例えば、非導電性フィールド領域３４１Ｂ）が保護チップ３００の対応する非導電性領域（例えば、非導電性フィールド領域３４１Ａ）に直接接合される、ハイブリッド接合を含むことができる。図４Ａに示すように、各チップ３００、３１０の接合層３４０Ａ、３４０Ｂは、誘電体層（例えば、酸化ケイ素、窒化ケイ素、酸窒化ケイ素など）などの非導電性フィールド領域３４１Ａ、３４１Ｂに配置

された複数のコンタクトパッド３５０Ａ、Ｂを含むことができる。いくつかの実施形態では、フィールド領域３４１Ａ、３４１Ｂが、非導電層３０５と同じ材料を含むことができる。他の実施形態では、フィールド領域３４１Ａ、３４１Ｂが、非導電層３０４とは異なる材料を含むことができる。コンタクトパッド３５０Ａ、Ｂは、直接ハイブリッド接合のために調製された銅などの金属などの導電材料を含むことができる。これらの実施形態では、保護チップ３００のコンタクトパッド３５０Ａを、能動チップ３１０のコンタクトパッド３５０Ｂの鏡像となり及び／又は対応するように構成することができる。パッドは、保護チップと能動チップとの間に電気的及び／又は機械的接続を提供することができる。本明細書で使用するパッドは、基板貫通ビア（ＴＳＶ）３３０又は（例えば、パッド３５０Ａとして表記する）垂直相互接続部３６０の露出した端部、又はフィールド領域に少なくとも部分的に埋め込まれた（例えば、パッド３５０Ｂとして表記する）離散パッドを含むことができる。

【００２６】

図４Ａに示すように、保護チップは、ここではＬ１～Ｌ４として示す複数の閉塞層３０１～３０４を含むことができる。各閉塞層３０１～３０４は、非導電材料３０５及び導電性閉塞材料３０６を含むことができる。いくつかの実施形態では、閉塞材料３０６を、各層一体となって能動チップ３１０の部分的閉塞を提供するようなストリップ又はパターンで配置することができる。例えば、図４Ａに示すように、閉塞層３０１～３０４は、上述したような複合閉塞効果を提供するようにパターン化することができる。上述したように、他の実施形態では、他のタイプのパターン化された光学的妨害材料を層３０１～３０４に使用することができる。

【００２７】

上述したように、接合構造は侵襲的改竄を受ける恐れがある。例えば、集束イオンビーム（ＦＩＢ）技術を使用してチップの保護層をアブレートすることができる。従って、このような技術は、攻撃者がさらなる光学的プロービングのために保護チップ３００から閉塞材料を除去して能動チップ３１０の能動回路を露出させることを可能にすることができる。従って、保護チップ３００のアブレーションを検出することが望ましいと考えられる。いくつかの実施形態では、保護チップの接合層３４０Ａのコンタクトパッド３５０Ａを、垂直相互接続部３６０によって保護チップ３００の１又は２以上の閉塞層３０２～３０４にさらに接続することができる。同様に、能動チップ３１０の接合層３４０Ｂのコンタクトパッド３５０Ｂを、導電性トレース（図示せず）を通じて能動チップ３１０の能動回路１１６に接続することができる。従って、いくつかの実施形態では、保護チップ３００のコンタクトパッド３５０Ａを能動チップの対応するコンタクトパッド３５０Ｂに接合することにより、接合構造が、能動チップ３１０の能動回路と保護チップ３００の１又は２以上の閉塞層３０１～３０４、Ｌ１～Ｌ４との間に電気的接続を有することができる。本明細書に開示する各実施形態では、閉塞層３０１が少なくとも接合層３４０Ａと同じであることができるように、又は少なくとも接合層３４０Ａを含むことができるように、１又は２以上の閉塞層が接合層３４０Ａを含むことができる。いくつかの実施形態では、接合層３４０Ａを閉塞に役立つように（又は別様に光学的に妨害するように）パターン化できるのに対し、他の実施形態では、接合層３４０Ａが実質的に閉塞に寄与せずに、層３０２～３０４、Ｌ２～Ｌ４が協働して、入射光が下にある高感度回路と相互作用するのを閉塞させ、例えば妨げることができる。

【００２８】

図示の実施形態では、４つの閉塞層３０１～３０４、Ｌ１～Ｌ４を含む保護チップ３００が、最上位の閉塞層３０４　Ｌ４と接合層３４０Ａのコンタクトパッド３５０Ａとの間に電気的接続を提供する垂直相互接続部３６０を有することができる。これらの実施形態では、能動チップ３１０を、保護チップ３００の１又は２以上の層と能動チップ３１０との間の電気的接続を通じて保護チップ３００の１又は２以上の属性をモニタするように構成することができる。いくつかの実施形態では、複数の光学的閉塞層３０１～３０４を、接合界面３１５を横切る方向に沿って重ね合って互いに間隔を空けて配置することができ

る。

【００２９】

例えば、いくつかの実施形態では、能動チップ３１０を、１又は２以上の層３０１～３０４、層３０１～３０４の一部、又は保護チップ３００の層内のストリップ３０６の受動的電気特性（例えば、静電容量）を測定するように構成することができる。他の実施形態では、能動チップ３１０を、保護チップ３００の層３０１～３０４、層３０１～３０４の一部、又は層３０１～３０４内の素子３０６の抵抗を測定するように構成することができる。これらの実施形態では、保護チップ３００の属性の変化を測定することによって（例えば、能動回路が接続される閉塞層３０１～３０４、閉塞層３０１～３０４の一部、又は閉塞層３０１～３０４内の素子３０６の抵抗及び／又は静電容量及び／又はインピーダンスの変化を測定することによって）アブレーション型ハッキング技術（ａｂｌａｔｉｖｅ　ｈａｃｋｉｎｇ　ｔｅｃｈｎｉｑｕｅｓ）を検出することができる。例えば、ＦＩＢプローブを使用して、能動チップ３１０に電気的に接続された保護チップ３００の閉塞層３０１～３０４の一部をアブレートすることができる。一例として、層３０４内の金属化物は容量性回路の第１の端子として機能し、層３０２内の金属化物は容量性回路の第２の端子として機能し、層３０３内の介在する誘電材料３０５は容量性回路の誘電体として機能することができる。能動チップ３１０は、閉塞層３０１～３０４の金属化物のアブレーションに起因する保護チップ３００の静電容量（他の実施形態では抵抗）の変化を検出することができる。これらの実施形態では、能動チップ３１０を、アブレーションが検出された時に高感度回路の動作を無効化し、及び／又は外部システム又はユーザにアラートメッセージを送信するように構成することができる。いくつかの実施形態では、閉塞素子の２又は３以上の隣接する層がこれらの層間に電気的接続を有さないことができる。例えば、保護チップ３００は、垂直相互接続部３６０で接合層３４０Ａの１又は２以上のコンタクトパッド３５０Ａに接続された第１の閉塞層（例えば、層３０４）と、接合層３５０Ａ又は第１の閉塞層に電気的に接続されていない（例えば、容量性回路の介在する誘電体として機能する）第２の閉塞層３０３とを有することができる。いくつかの実施形態では、接合層３４０Ａと第１の閉塞層３０４との間に第２の閉塞層３０３が位置する場合、第１の閉塞層３０４は、第２の閉塞層３０３をスキップして容量性回路の端子としての層３０４に接続するバイパスビアとして機能する垂直相互接続部３６０で接合層に接続することができる。いくつかの実施形態では、能動チップ３１０が、保護チップ３００の属性を継続的に測定することができる。他の実施形態では、能動チップ３１０が、保護チップ３００の属性を周期的に測定することができる。いくつかの実施形態では、能動チップ３１０を、一定期間にわたる保護チップ３００の属性の相対的変化（例えば、静電容量の変化）を検出するように構成することができる。他の実施形態では、能動チップ３１０を、保護チップ３００の属性を所定の基準値と比較するように構成することができる。従って、閉塞層３０１～３０４のうちの１つ又は２つ以上は、１又は２以上の閉塞層３０１～３０４の外部アクセスを検出するように構成された検出回路として機能することができる。検出回路のさらなる例は、米国特許第１１，３８５，２７８号全体を通じて見出すことができ、この文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。

【００３０】

図４Ａの実施形態では、保護チップ３００を能動チップ３１０の能動面（例えば、正面）３７０に接合することができ、コンタクトパッド３５０Ａ～Ｂは、接合界面３１５又はその付近において能動回路に電気的に接続される。図示の実施形態では、保護チップ３００を、接合先の能動チップ３１０の表面全体又は実質的に全体を覆うものとして示している。このような実施形態では、保護チップ３００が、能動チップ３１０の全活性化エリアの少なくとも１０％、少なくとも９０％、又は少なくとも９５％を覆うことができる。例えば、保護チップ３００は、能動チップ３１０の全活性化エリアの１０％～１００％、又は能動チップ３１０の全活性化エリアの９０％～９９％を覆うことができる。上述したように、他の実施形態では、保護チップ３００が、能動チップ３１０の高感度回路のみ又は高感度回路の一部のみを覆うように、能動チップ３１０のエリアの一部のみを覆うことが

できる。いくつかの実施形態では、高感度回路を能動チップ３１０の１又は２以上の高感度エリアに配置して、保護チップ３００がこれらの各領域の大部分又は全部を覆うようにすることができる。いくつかの実施形態では、保護チップ３００が、各高感度エリアの１％～２５％が覆われるように１又は２以上の高感度エリアの各々の一部を覆うことができる。いくつかの実施形態では、保護チップ３００が、各高感度エリアの最大２０％を覆うことができる。従って、保護チップ３００の閉塞ストリップ３０６は、互いに横向きに連続している必要はない。さらに、必須ではないが、１つの層の閉塞ストリップ３０６は別の層の閉塞ストリップ３０６と重なり合うことができる。本明細書（例えば、図２Ｂ）に示すいくつかの実施形態では、第１及び第２の層の各々の閉塞パターンが少なくとも部分的に重なり合わないことができる。

【００３１】

図４Ｂに、能動チップ３１０の背面３７２において能動チップ３１０に直接接合された保護チップ３００を示す。能動回路１１６は、チップ３１０の背面３７２よりも正面３７０に近い方に配置することができる。図４Ｂに示すように、保護チップ３００と能動チップ３１０の背面３７２との間の接合界面３１５はコンタクトパッドを含まないことができる。他の実施形態では、保護チップ３００及び能動チップ３１０の接合層３４０Ａ、Ｂがコンタクトパッドを含むことができる。さらに、いくつかの実施形態では、上述したように、閉塞層３０１～３０４の電気的特性をモニタしてＦＩＢ攻撃などの侵入を検出するために、コンタクトパッド３５０Ａ、Ｂが、能動チップ３１０の能動回路１１６と保護チップ３００の１又は２以上の閉塞層３０１～３０４との間に電気的接続を提供することができる。例えば、図示の実施形態では、１又は２以上の基板貫通ビア（ＴＳＶ）３３０が、能動チップ３１０の正面能動面の（単複の）コンタクトパッド３５０Ｂを保護チップ３００の対応する（単複の）コンタクトパッド３５０Ａに接続することができる。保護チップ３００の垂直相互接続部（図４Ａを参照）は、保護チップ３００の（単複の）コンタクトパッド３５０Ａを１又は２以上の閉塞層Ｌ１～Ｌ４（３０１～３０４）の金属材料３０６のうちの１つ又は２つ以上に接続することができる。さらに他の実施形態は、能動チップ３１０の能動面及び受動面にわたって能動チップ３１０に直接接合された複数の保護チップ３００を含むことができる。これらの実施形態では、保護チップ３００が、能動チップ３１０の両面を光プロービングから保護することができる。

【００３２】

図５Ａには、接合界面３１５にわたって能動チップ３１０の能動面３７０に直接接合された保護チップ３００の例示的な実施形態を示しており、保護チップ３００は、光学フィルタ素子を組み込んだ光学フィルタ層４２０をさらに含む。高感度チップの分析コストを増加させるために、誤解されやすい又は分かりにくいデータを攻撃者に与えて分析プロセスを遅らせることが望ましいと考えられる。このように、光信号の遮断に代えて又は加えて信号を変化させることが有益な場合もある。いくつかの実施形態では、光学フィルタ素子を、入射光線に位相シフトを引き起こすように構成することができる。従って、これらの実施形態では、（パターン化されたフィルタ素子を含むことができる）光学フィルタ素子が、攻撃者の信号を妨害する正又は負の干渉を生成することができる。いくつかの実施形態では、光学フィルタ素子が金属化層を含むことができる。いくつかの実施形態では、光学フィルタが屈折フィルタを含むことができる。他の実施形態では、光学材料が、光のフィルタリング、屈折及び／又は回折に適した他の材料及び構造を含むことができる。いくつかの実施形態では、光学フィルタ素子が、保護チップ３００内の複数の層を含むことができる。

【００３３】

図５Ｂには、接合界面３１５にわたって能動チップ３１０の能動面に直接接合された保護チップ３００の例示的な実施形態を示しており、保護チップ３００は、埋め込まれたランダム反射パターンと組み合わさって反射フィルタ素子４５７を形成する光学フィルタ層４２０をさらに含む。図５Ｂに示すように、レーザプローブからの光信号を変化させるために反射フィルタ素子４５７を使用することができる。これらの実施形態では、入射光線

４５５がプローブから離れて反射４５６し、受信光の見かけの強度を変化させる。これにより、例えばＮＩＲプローブに、プローブされた回路のエリアの不正確な密度読み取り値を報告させることができる。

【００３４】

再び図５Ａを参照すると、いくつかの実施形態では、光学フィルタ素子４２０が単一層の保護チップ３００を含むことができる。これらの実施形態では、１又は２以上の閉塞層３０１～３０３及び接合層３４０Ａ、Ｂをさらに含む保護チップ３００に光学フィルタ素子４２０を接合することができ、層３０１は接合層であることができる。他の実施形態では、保護チップ３００内で複数の光学フィルタ層４２０及び／又は閉塞層３０１～３０３を組み合わせることができる。さらに、１つの光学フィルタ素子は複数の層を含むことができる。例えば、１つの光学フィルタ素子は、フレネルレンズとして機能するように構成された単一の又は複数の層を含むことができる。いくつかの実施形態では、光学フィルタ素子が、能動チップ３１０の高感度エリアのみを覆うことができる。他の実施形態では、光学フィルタ素子を、能動チップ３１０のエリア全体を覆うように構成することができる。

【００３５】

本明細書（例えば、図１～図５）に示す実施形態には、直接接合された妨害及び能動チップ（例えば、３００及び３１０）を示しているが、他の実施形態では、はんだ、非導電性ペーストなどの接着剤を使用して妨害素子３００を能動チップ３１０に接合することもできる。さらに、いくつかの実施形態では、妨害素子３００が能動回路を含まない（例えば、トランジスタを含まない）こともできる。

【００３６】

直接接合法及び直接接合構造の例

本明細書に開示する様々な実施形態は、介在する接着剤を伴わずに２つの素子（例えば、素子３００、３１０）を互いに直接接合できる直接接合構造に関する。１又は２以上の（集積デバイスダイ、ウェハなどの）半導体素子を互いに積層又は接合して接合構造を形成することができる。１つの素子の導電性コンタクトパッドを別の素子の対応する導電性コンタクトパッド（例えば、コンタクトパッド３５０Ａ、Ｂ）に電気的に接続することができる。接合構造では、いずれかの好適な数の素子を積層させることができる。

【００３７】

いくつかの実施形態では、接着剤を使用せずに素子が互いに直接接合される。様々な実施形態では、第１の素子（例えば、保護又は閉塞素子）の非導電又は誘電材料を、接着剤を使用せずに第２の素子（例えば、能動チップ）の対応する非導電性又は誘電性フィールド領域（例えば、３４１Ａ、Ｂ）に直接接合することができる。非導電材料は、第１の素子の非導電性接合領域又は接合層（例えば、３４０Ａ、Ｂ）と呼ぶことができる。いくつかの実施形態では、誘電体－誘電体接合技術（ｄｉｅｌｅｃｔｒｉｃ－ｔｏ－ｄｉｅｌｅｃｔｒｉｃ　ｂｏｎｄｉｎｇ　ｔｅｃｈｎｉｑｕｅｓ）を使用して、第１の素子の非導電材料を第２の素子の対応する非導電材料に直接接合することができる。例えば、誘電体－誘電体接合は、少なくとも米国特許第９，５６４，４１４号、第９，３９１，１４３号、及び第１０，４３４，７４９号に開示されている直接接合技術を使用して接着剤を使用せずに形成することができ、これらの各文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。

【００３８】

様々な実施形態では、介在する接着剤を伴わずにハイブリッド直接接合を形成することができる。例えば、誘電接合面を高い平滑度に研磨することができる。接合面を洗浄し、プラズマ及び／又はエッチング液に曝して表面を活性化させることができる。いくつかの実施形態では、活性化後又は活性化中（例えば、プラズマ及び／又はエッチングプロセス中）に表面を化学種（ｓｐｅｃｉｅｓ）で終端させることができる。理論にとらわれるわけではないが、いくつかの実施形態では、活性化プロセスが、接合面における化学結合を壊すために実行され、終端プロセスは、直接接合中の接合エネルギーを高めるさらなる化

学種を接合面において提供することができる。いくつかの実施形態では、活性化及び終端が同じステップで行われ、例えばプラズマ又はウェットエッチング液で表面の活性化及び終端が行われる。他の実施形態では、直接接合のために接合面を分離処理で終端させてさらなる化学種を提供することができる。様々な実施形態では、終端化学種（ｔｅｒｍｉｎａｔｉｎｇ　ｓｐｅｃｉｅｓ）が窒素を含むことができる。さらに、いくつかの実施形態では、接合面をフッ素に曝すことができる。例えば、層及び／又は接合界面付近には１又は複数のフッ素ピークが存在することができる。従って、直接接合構造では、２つの誘電材料間の接合界面（例えば、３１５）が、接合界面における窒素含有量及び／又はフッ素ピークが高い非常に滑らかな界面を含むことができる。活性化及び／又は終端処理のさらなる例は、米国特許第９，５６４，４１４号、第９，３９１，１４３号、及び第１０，４３４，７４９号全体を通じて見出すことができ、これらの各文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。

【００３９】

様々な実施形態では、第１の素子の導電性コンタクトパッドを第２の素子の対応する導電性コンタクトパッドに直接接合することもできる。例えば、ハイブリッド接合技術を使用して、上述したように調製された共有接合的に直接接合された誘電体－誘電体表面を含む接合界面に沿って導体－導体直接接合を提供することができる。様々な実施形態では、少なくとも米国特許第９，７１６，０３３号及び第９，８５２，９８８号に開示されている直接接合技術を使用して導体－導体（例えば、コンタクトパッド－コンタクトパッド）直接接合及び誘電体－誘電体ハイブリッド接合を形成することができ、これらの各文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。

【００４０】

例えば、誘電接合面は、上述したように介在する接着剤を伴わずに調製して互いに直接接合することができる。（非導電性誘電体フィールド領域によって取り囲むことができる）導電性コンタクトパッドも、介在する接着剤を伴わずに互いに直接接合することができる。いくつかの実施形態では、それぞれのコンタクトパッドを、誘電体フィールド領域又は非導電性接合領域の外面（例えば、上面）よりも下に、例えば２ｎｍ～２０ｎｍ又は４ｎｍ～１０ｎｍの範囲内などの３０ｎｍ未満、２０ｎｍ未満、１５ｎｍ未満又は１０ｎｍ未満だけ凹ませることができる。いくつかの実施形態では、非導電性接合領域を、接着剤を使用せずに室温で互いに直接接合させ、その後に接合構造をアニール処理することができる。アニール処理すると、コンタクトパッドが膨張して互いに接触して金属－金属直接接合を形成することができる。カリフォルニア州サンノゼのＸｐｅｒｉ社から市販されているＤｉｒｅｃｔ　Ｂｏｎｄ　Ｉｎｔｅｒｃｏｎｎｅｃｔ又はＤＢＩ（登録商標）などのハイブリッド接合技術を使用すると、直接接合界面にわたって接続されたパッドを有利に高密度化することができる（例えば、規則的配列構造のための小さな又は細かなピッチ）。いくつかの実施形態では、接合パッドのピッチ、又は接合された素子のうちの１つの素子の接合面に埋め込まれた導電性トレースのピッチが、４０ミクロン未満又は１０ミクロン未満、或いは２ミクロン未満であることができる。いくつかの用途では、接合パッドの寸法のうちの１つに対する接合パッドのピッチの比率が５未満又は３未満であり、時には２未満であることが望ましい。他の用途では、接合された素子のうちの１つの素子の接合面に埋め込まれた導電性トレースの幅が０．３～３ミクロンの範囲内であることができる。様々な実施形態では、コンタクトパッド及び／又はトレースが銅を含むことができるが、他の金属が適することもある。

【００４１】

このように、直接接合プロセスでは、介在する接着剤を伴わずに第１の素子を第２の素子に直接接合することができる。いくつかの構成では、第１の素子が、単一化された集積デバイスダイ、或いは単一化された保護又は閉塞素子などの、単一化された素子を含むことができる。他の構成では、第１の素子が、単一化された時に複数の集積デバイスダイを形成する複数（例えば、数十、数百、又はそれよりも多く）のデバイス領域を含むキャリア又は基板（例えば、ウェハ）を含むことができる。同様に、第２の素子も、単一化され

た集積デバイスダイなどの単一化された素子を含むことができる。他の構成では、第２の素子がキャリア又は基板（例えば、ウェハ）を含むことができる。

【００４２】

本明細書で説明したように、第１及び第２の素子は接着剤を使用せずに互いに直接接合することができ、これは堆積プロセスとは異なる。１つの用途では、接合構造における第１の素子の幅が第２の素子の幅と同様であることができる。他のいくつかの実施形態では、接合構造における第１の素子の幅が第２の素子の幅と異なることができる。接合構造における大きい方の素子の幅又は面積は、小さい方の素子の幅又は面積よりも少なくとも１０％大きいことができる。従って、第１及び第２の素子は非堆積素子（ｎｏｎ－ｄｅｐｏｓｉｔｅｄ　ｅｌｅｍｅｎｔｓ）を含むことができる。さらに、直接接合構造は、堆積層とは異なり、ナノボイド（ｎａｎｏｖｏｉｄｓ）が存在する欠陥領域を接合界面に沿って含むことがある。ナノボイドは、接合面の活性化（例えば、プラズマへの曝露）が原因で形成されることがある。上述したように、接合界面は、活性化プロセス及び／又は最後の化学処理プロセスからの材料の濃度を含むことができる。例えば、活性化に窒素プラズマを利用する実施形態では、接合界面において窒素ピークを形成することができる。活性化のために酸素プラズマを利用する実施形態では、接合界面において酸素ピークを形成することができる。いくつかの実施形態では、接合界面が、酸窒化ケイ素、酸炭窒化ケイ素、又は炭窒化ケイ素を含むことができる。本明細書で説明したように、直接接合は、ファンデルワールス結合（ｖａｎ　Ｄｅｒ　Ｗａａｌｓ　ｂｏｎｄ）よりも強い共有結合を含むことができる。接合層は、高い平滑度に平坦化された研磨面を含むこともできる。

【００４３】

様々な実施形態では、コンタクトパッド間の金属間接合を、接合界面にわたって銅粒が互いに成長するように結合することができる。いくつかの実施形態では、銅が、接合界面にわたる銅の拡散を高めるために、結晶面に沿って配向された粒子粒を有することができる。接合界面は、接合されたコンタクトパッド又はその付近の非導電性接合領域間に間隙が実質的に存在しないように、接合されたコンタクトパッドの少なくとも一部まで実質的に完全に延びることができる。いくつかの実施形態では、コンタクトパッドの下方に（例えば、銅を含むことができる）バリア層を設けることができる。しかしながら、他の実施形態では、例えば米国特許出願第２０１９／００９６７４１号に記載されるようにコンタクトパッドの下方にバリア層が存在しないこともでき、この文献はその全体が全ての目的で引用により本明細書に組み入れられる。

【００４４】

文脈において別途明確に必要としていない限り、本明細書及び特許請求の範囲全体を通じて、「含む、備える（ｃｏｍｐｒｉｓｅ、ｃｏｍｐｒｉｓｉｎｇ、ｉｎｃｌｕｄｅ、ｉｎｃｌｕｄｉｎｇ）」などの単語は、排他的又は網羅的な意味ではなく包含的な意味で、すなわち「含むけれどもそれに限定されない（ｉｎｃｌｕｄｉｎｇ，ｂｕｔ　ｎｏｔ　ｌｉｍｉｔｅｄ　ｔｏ）」という意味で解釈すべきである。

本明細書で一般的に使用される「結合された（ｃｏｕｐｌｅｄ）」という単語は、直接、或いは１又は２以上の中間要素を介して接続できる２又は３以上の要素を意味する。同様に、本明細書で一般的に使用される「接続された（ｃｏｎｎｅｃｔｅｄ）」という単語も、直接、或いは１又は２以上の中間要素を介して接続できる２又は３以上の要素を意味する。また、本出願において、「本明細書で（ｈｅｒｅｉｎ）」「上記で（ａｂｏｖｅ）」「下記で（ｂｅｌｏｗ）」及び同様の趣旨の単語を使用している場合、これらの単語は本出願全体を示すものであり、本出願のいずれか特定の部分を示すものではない。さらに、本明細書において、第１の要素を第２の要素「上に（ｏｎ）」又は第２の要素を「覆って（ｏｖｅｒ）」存在するものとして説明する場合、第１の要素は、第１及び第２の要素が直接接触するように第２の要素上に又は第２の要素を覆って直接存在することも、或いは第１及び第２の要素間に１又は２以上の要素が介在するように第２の要素上に又は第２の要素を覆って間接的に存在することもできる。上記の詳細な説明における単数又は複数を用いた単語は、文脈上可能な場合にはそれぞれ複数又は単数を含むこともできる。２又

は３以上の項目のリストを参照する際の「又は（ｏｒ）」という単語は、リスト内の項目のいずれか、リスト内の項目全て、及びリスト内の項目のいずれかの組み合わせ、といった単語の解釈を全て網羅する。

【００４５】

さらに、本明細書で使用する、とりわけ「～できる（ｃａｎ、ｃｏｕｌｄ、ｍｉｇｈｔ、ｍａｙ）」、及び「例えば（ｅ．ｇ．、ｆｏｒ　ｅｘａｍｐｌｅ、ｓｕｃｈ　ａｓ）」などの条件語は、別途明確に言及していない限り、又は使用する文脈内で別様に理解されない限り、一般に特定の特徴、要素及び／又は状態を含む実施形態もあれば、それらを含まない実施形態もあることを伝えるように意図される。従って、このような条件語は、一般に特徴、要素及び／又は状態が１又は２以上の実施形態に何としても必要であることを意味するように意図するものではない。

【００４６】

いくつかの実施形態を説明したが、これらの実施形態は一例として提示したものにすぎず、本開示の範囲を限定するように意図するものではない。実際に、本明細書で説明した新規の装置、方法及びシステムは他の様々な形態で具現化することもでき、さらに、本開示の趣旨から逸脱することなく、本明細書で説明した方法及びシステムの形態の様々な省略、置換及び変更を行うこともできる。例えば、ブロックについては所与の配置で示しているが、別の実施形態は、異なるコンポーネント及び／又は回路トポロジーを使用して同様の機能を実行することもでき、いくつかのブロックを削除、移動、追加、細分化、組み合わせ及び／又は変更することもできる。これらのブロックの各々は、様々な異なる方法で実装することができる。上述した様々な実施形態の要素及び行為のいずれかの好適な組み合わせを組み合わせてさらなる実施形態を提供することもできる。添付の特許請求の範囲及びその同等物は、本開示の範囲及び趣旨に含まれるような形態又は修正も対象とするように意図される。

【図面】

【図１】

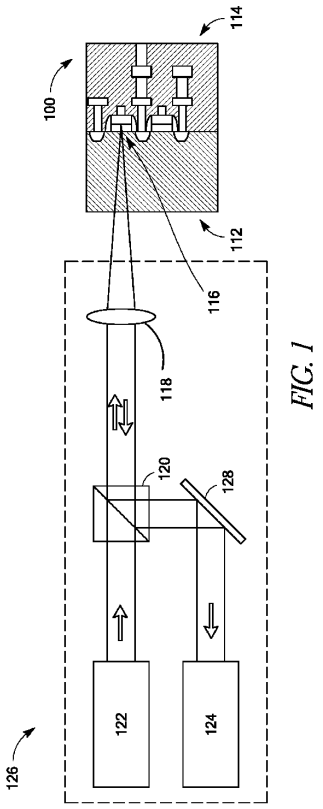


FIG. 1

【図２Ａ】

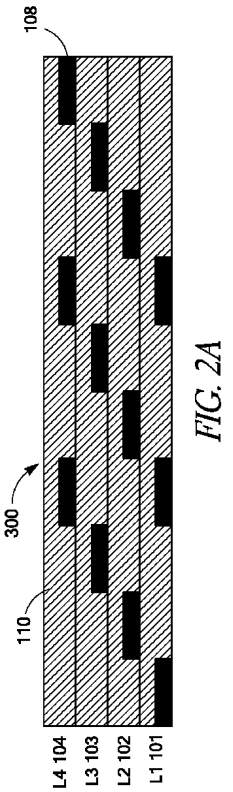


FIG. 2A

【図２Ｂ】

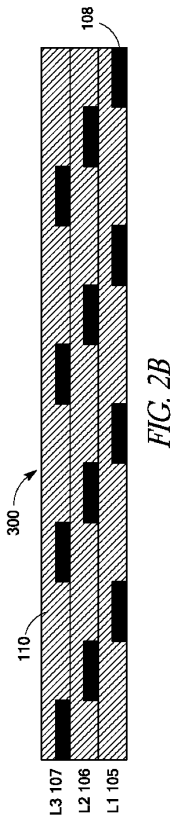


FIG. 2B

【図３】

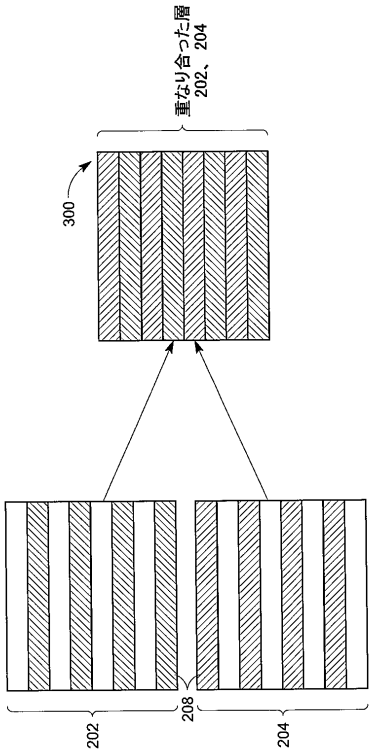


FIG. 3

【図４Ａ】

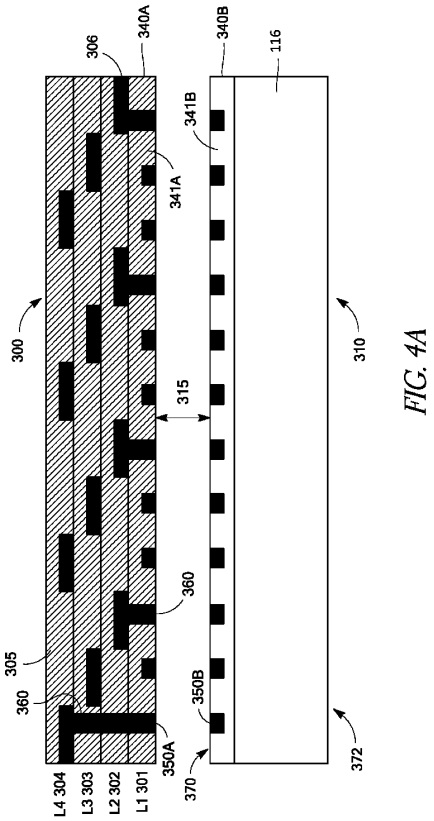


FIG. 4A

【図４Ｂ】

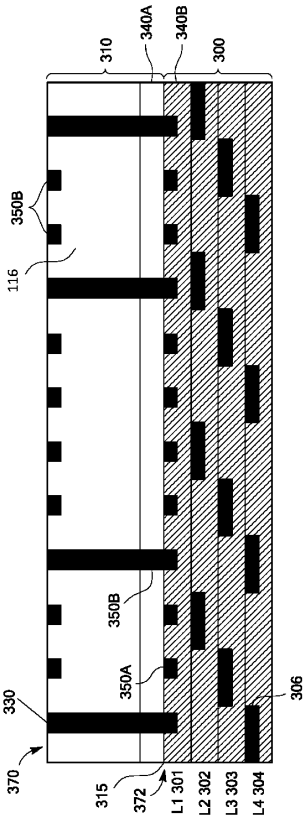


FIG. 4B

【図５Ａ】

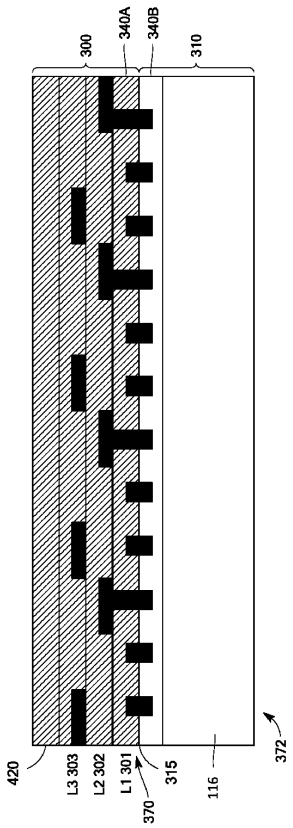


FIG. 5A

【図５Ｂ】

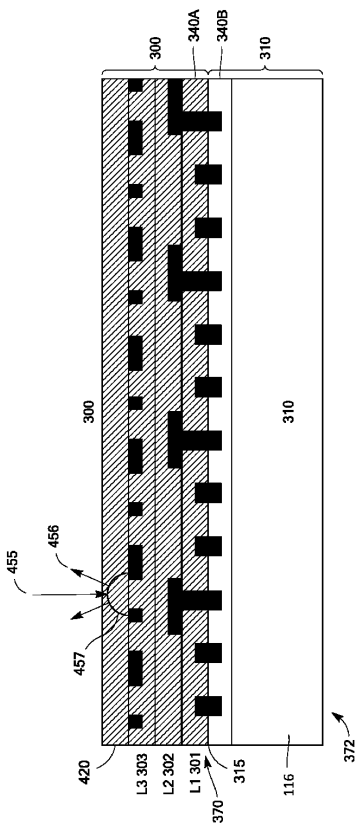


FIG. 5B

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/037211

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/552(2006.01)i; **H01L 23/00**(2006.01)i; **H01L 23/48**(2006.01)i; **H01L 25/16**(2006.01)i; **H01L 23/522**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/552(2006.01); B41M 3/14(2006.01); G01J 1/44(2006.01); H01L 21/66(2006.01); H01L 23/00(2006.01); H05K 1/16(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models
Japanese utility models and applications for utility models

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS(KIPO internal) & Keywords: security, active-circuitry, obstructive, inhibiting, light

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020-0328164 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 15 October 2020 (2020-10-15) Paragraphs 19-44; claim 1; and figure 3.	1-2,4-9,19-20, 46,59-61,69
Y		3,34-39,47-52
Y	US 2014-0035136 A1 (BROADCOM CORPORATION) 06 February 2014 (2014-02-06) Paragraph 47; and figures 7-10.	3,34-39,47-52
A	US 2021-0210439 A1 (SAMSUNG ELECTRONICS CO., LTD.) 08 July 2021 (2021-07-08) Paragraphs 23-32; and figures 1-4D.	1-9,19-20,34-39 ,46-52,59-61,69
A	US 2011-0090658 A1 (CHRISTIAN ADAMS et al.) 21 April 2011 (2011-04-21) The entire document.	1-9,19-20,34-39 ,46-52,59-61,69

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 November 2022	**07 November 2022**
Name and mailing address of the ISA/KR **Korean Intellectual Property Office** **189 Cheongsa-ro, Seo-gu, Daejeon** **35208, Republic of Korea** Facsimile No. **+82-42-481-8578**	Authorized officer **PARK, Hye Lyun** Telephone No. **+82-42-481-3463**

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/037211

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006-013507 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V. et al.) 09 February 2006 (2006-02-09) The entire document.	1-9,19-20,34-39,46-52,59-61,69

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/037211

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☑ Claims Nos.: **12, 14-17, 22-25, 28, 29, 31, 32, 42, 44, 45, 54, 55, 57, 58, 63, 65, 67**
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

Claims 12, 14-17, 22-25, 28, 29, 31, 32, 42, 44, 45, 54, 55, 57, 58, 63, 65 and 67 are not clear because they refer to multiple dependent claims, which do not comply with PCT Rule 6.4(a).

3. ☑ Claims Nos.: **10, 11, 13, 18, 21, 26, 27, 30, 33, 40, 41, 43, 53, 56, 62, 64, 66, 68, 70**
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2022/037211

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2020-0328164 A1	15 October 2020	CN 113646881 A	12 November 2021
		CN 113678243 A	19 November 2021
		KR 10-2021-0139461 A	22 November 2021
		KR 10-2021-0139483 A	22 November 2021
		US 11205625 B2	21 December 2021
		US 11373963 B2	28 June 2022
		US 2020-0328162 A1	15 October 2020
		US 2020-0328165 A1	15 October 2020
		WO 2020-210676 A1	15 October 2020
		WO 2020-210703 A1	15 October 2020
US 2014-0035136 A1	06 February 2014	CN 101889344 A	17 November 2010
		CN 101889344 B	24 April 2013
		EP 2220679 A1	25 August 2010
		EP 2220679 A4	26 February 2014
		KR 10-1083445 B1	14 November 2011
		KR 10-2010-0086083 A	29 July 2010
		US 2009-0146270 A1	11 June 2009
		US 2012-0256305 A1	11 October 2012
		US 2015-0137340 A1	21 May 2015
		US 8502396 B2	06 August 2013
		US 8890298 B2	18 November 2014
		WO 2009-073231 A1	11 June 2009
US 2021-0210439 A1	08 July 2021	CN 113161342 A	23 July 2021
		KR 10-2021-0089281 A	16 July 2021
US 2011-0090658 A1	21 April 2011	EP 2489072 A1	22 August 2012
		EP 2489072 A4	28 May 2014
		US 2011-0120764 A1	26 May 2011
		US 2012-0091456 A1	19 April 2012
		US 8659908 B2	25 February 2014
		US 8716606 B2	06 May 2014
		US 8947889 B2	03 February 2015
		WO 2011-046769 A1	21 April 2011
		WO 2011-046770 A1	21 April 2011
WO 2006-013507 A1	09 February 2006	CN 101027774 A	29 August 2007
		CN 101027774 B	26 October 2011
		EP 1774592 A1	18 April 2007
		JP 2008-507851 A	13 March 2008
		KR 10-2007-0039600 A	12 April 2007
		US 2008-0093712 A1	24 April 2008

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士　鈴木 博子

(74)代理人　100168871

弁理士　岩上 健

(72)発明者　ミルカリミ ローラ ウィルズ

アメリカ合衆国 カリフォルニア州 ９５１３４ サンノゼ オーチャード パークウェイ ３０２５

(72)発明者　カトカール ラジェッシュ

アメリカ合衆国 カリフォルニア州 ９５１３４ サンノゼ オーチャード パークウェイ ３０２５

Ｆターム（参考）　4M109　EE13 GA10