

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.⁴
H04N 9/07(45) 공고일자 1988년09월06일
(11) 공고번호 88-001698

(21) 출원번호	특1981-0003564	(65) 공개번호	특1983-0008324
(22) 출원일자	1981년09월23일	(43) 공개일자	1983년11월18일

(30) 우선권주장	190, 579 1980년09월25일 미국(US)
(71) 출원인	알 씨 에이 라이센싱 코포레이션 글렌 에이취. 브루스를 미합중국, 뉴저지, 프린스턴, 피, 오, 박스 2023, 투 인디펜던스 웨이

(72) 발명자	로버트 프레스톤 파커 미합중국, 인디아나 46220, 인디아나폴리스, 이스트 69번 스트리트 4912
----------	---

심사관 : 함상준 (책자공보 제1443호)**(54) 소신호용 샘플 및 헀드(hold)회로****요약**

내용 없음.

대표도**도1****명세서**

[발명의 명칭]

소신호용 샘플 및 헀드 (hold)회로

[도면의 간단한 설명]

제 1도는 본 발명에 따른 장치를 포함하는 칼라 텔레비전 수상기 일부분에 대한 블럭다이어그램.

제2도는 제 1도에 도시된 시스템 일부분에 대한 회로장치 도시도.

제3도는 제1도에 도시된 시스템의 또 다른 부분에 대한 회로장치로서 본 발명에 따른 샘플링 회로망을 포함하는 회로도.

제4도는 제3도에 도시된 샘플링 회로망의 작동을 이해하는데 도움이 되는 파형도.

제5도는 제3도의 회로 일부분에 대한 또 다른 장치 도시도.

* 도면의 주요부분에 대한 부호의 설명

10 : 텔레비전 신호처리회로 12 : 복조기 매트릭스

14a, 14b, 14c : 캐소드 신호처리회로 15 : 키네스코프

16a, 16b, 16c : 캐소드 전극 20 : 게이트

21 : 구동기 22 : 샘플링 회로망

28 : 펄스발생기 30 : 입력회로

65 : 연산증폭기

[발명의 상세한 설명]

본 발명은 샘플링처리와 연관된 샘플링 오프셋으로 인한 출력오차를 크게 감소시켜 출력샘플외 왜곡을 감소시키는 방법으로 저레벨 전기신호특성을 샘플링하는데 매우 적합한 장치에 관한 것이다.

합성 텔레비전신호를 처리하기 위한 텔레비전 수상기와 같은 신호처리시스템에 있어서, 상기 시스템에 의해 처리될 신호에 샘플정보가 포함될 필요가 있다. 정보샘플을 처리하는 회로에 의해 효과적으로 사용될 정보로 충분해 큰 레벨의 정보샘플을 얻기 위해서는 샘플링 처리에 크게 증폭시켜야 할

필요가 종종 있다. 상기 요구사항은 1981년 7월 7일 더블유. 힌에게 허여된 명칭이 "간접제거가 개선된 자동 키네스코프 바이어싱 시스템"인 미합중국 특허 제 4,277,788호에 기재된 바와 같은 칼라 텔레비전 수상기내의 키네스코스의 바이어스를 자동적으로 제어하기 위한 시스템에 있어서, 분명하다. 상기 시스템에서, 수볼트 범위에 걸쳐 키네스코프 바이어스를 자동적으로 제어할 수 있는 발생시킬 목적으로 수밀리볼트의 피크 진폭을 갖는 작은 펄스의 (가변)진폭을 샘플시킬 필요가 있다.

샘플링 처리시 저레벨 신호를 증폭시키기 위해서는 샘플링 처리와 연관된 전압 오프셋이 최소로 유지되어야 하며 오프셋이 샘플되는 정보와 함께 증폭되어서는 안되는 것을 요구한다. 그렇지 않으면, 오프셋은 출력정보샘플이 왜곡되거나 불분명해지기 쉽다. 따라서, 여기에 기재된 신호샘플링장치는 샘플링 오프셋때문일 수 있는 출력오차들을 크게 감소시키면서 예상 가능한 기준 출력샘플을 제공한다. 특히 샘플링 처리시 어떠한 샘플링 오프셋도 증폭되지 않을 수 있는 고 이득 샐블링 회로가 기재된다.

본 발명에 따라, 샘플될 특성을 포함하는 기준 간격 및 신호 간격을 갖는 입력신호를 샘플링하기 위한 회로는 신호입력 및 출력을 갖는 증폭기, 증폭기 신호 입력에 접속된 클램핑 회로망 및 출력신호 처리 회로망을 포함한다. 또한 이 회로는 증폭기 출력, 고정 회로망 및 신호처리 회로망에 접속된 스위칭 회로망을 포함한다. 상기 스위칭 회로망은 입력신호의 기준간격에 대응하는 클립핑 간격 성분과 입력신호의 신호간격에 대응하는 샘플링 간격성분과 입력신호의 신호간격에 대응하는 샘플링 간격성분을 포함하는 타이밍신호에 응답하여 그 작동시간이 맞추어진다. 클램핑 간격동안, 스위칭 회로망은 쿠극성 피드백 통로를 통해 증폭기의 출력을 증폭기의 입력에 있는 클램핑 회로망에 접속시키고, 증폭기 출력을 신호처리 회로망과 분리시키도록 작동한다. 샘플링 간격동안, 스위칭 회로망은 부극성 피드백 통로를 차단하고 증폭기의 출력을 신호처리 회로망에 접속시키도록 작동한다.

본 발명의 특징에 따라, 텔레비전 수상기내의 키네스코프에 의해 도전된 흑레벨 전류를 자동적으로 제어하고, 키네스코프 흑레벨 전류 도전 레벨을 나타내는 신호샘플을 유도하기 위한 시스템내에 샘플링 회로가 포함된다.

제1도에서, 텔레비전 신호처리회로(10)(이를테면, 비디오 검출기, 증폭기 및 어파기단을 포함)는 복조기-매트릭스(12)에 합성 칼라 텔레비전 신호의 분리된 휘도(Y) 및 색도(C)성분을 제공한다. 매트릭스(12)는 출력저레벨 칼라 영상표시신호 r, g, b를 제공한다. 상기 신호는 증폭되고 그렇지 않으면 칼라 키네스코프(15)의 캐소트 세기 제어전극(16a, 16b 및 16c)에 고레벨 증폭된 칼라 영상시노 R, G 및 B를 공급하는 키네스코프 캐소드 신호처리 회로망(14a, 14b 및 14c)내의 회로에 의해 처리된다. 상기 예에서, 키네스코프(15)는 캐소트 전극(16a, 16b 및 16c)을 포함하는 각각의 전자총과 연관되어 그리드(18)가 여기되는 자기-수령 인-라인(in-line)총 형태이다. 캐소드 신호처리 회로망(14a, 14b 및 14c)이 사이 실시예와 유사하므로, 회로망(14a)에 대한 다음의 설명은 회로망(14b, 14c)에 적용된다.

회로망(14a)에서, 키이된 게이트(10)(이를테면, 아날로그 전자스위치)는 퍼스발생기(28)에 의해 발생된 키잉신호 V_k 에 응답하여 매트릭스(12)로부터의 r신호추력을 키네스코프 구동기(21)의 비디오 신호입력에 인가하거나 차단한다. 구동기(21)은 키네스코프 캐소드(16a)에 인가될 고레벨 출력신호 R을 발생시키기 위한 신호증폭회로망을 포함한다. 캐소드(16a)는 샘플링 회로망(22)의 입력에 접속된다. 샘플링 회로망(22)은 기술되는 바와같이 캐소드(16a)에 도전된 흑레벨 전류를 제어하도록 구동기(21)내의 증폭회로의 바이어스를 조절하는 구동기(21)의 바이어스 제어 입력에 인가된 출력제어신호를 발생시키기 위한 펄스 발생기에 의해 발생된 타이밍 신호 V_s (신호 V_0 의 상보 위상 버전)와 타이밍 신호 V_c 에 의해 키이된다.

펄스 발생기(28)는 키네스코프(15)의 캐소트 전류가 탐지되는 주기적인 간격동안 출력전압펄스 V_c 를 발생시킨다. 상기 펄스는 정극성 및 고정된 진폭(이를테면 10내지 20볼트 범위이내)을 나타내며, 탐지되는 간격동안 그리드(18)가 순바이어스 되도록 키네스코프 그리드(18)에 인가된다. 제공된 신호 V_G 로부터 펄스 발생기(28)의 출력은 그리드 펄스간격 이외의 시간에서 그리드(18)에 대해 적절한 바이어스 전압을 공급한다.

펄스 발생기(28)에서 나온 신호 V_s , V_c , V_k 및 V_G 는 텔레비전 신호의 수직(필드)커선간격 및 수평(라인)커선간격에 대해 동기된다. 상기 신호는 수직 커선이 끝난 후 키네스코프에 의해 표시될 픽쳐 정보를 포함하는 텔레비전 신호의 픽쳐 간격이 시작하기 전까지의 기간동안에 발생된다. 즉, 상기 신호는 픽쳐정보가 없는 동안 몇개의 수평라인을 출력하는 보다 긴 시간간격동안 발생된다. 특히, 신호 V_k 는 신호 V_G 및 V_s 가 발생된동안 약 네개의 수평라인 기간의 "셋-업"간격 또는 기준을 둘러싸는 시간동안 게이트(20)를 비도전시킨다.

탐지간격동안, 키네스코스는 그리드 펄스 V_G 에 응답하여 캐소드 팔로우어의 기능을 하며, 탐지간격동안 그리드 펄스 V_G 와 유사한 위상버전이 키네스코프 캐소드 전극에 나타난다. 유도된 캐소드 펄스의 진폭은 캐소드 흑레벨 전류 도전레벨에 비례하나, 키네스코프 전자총 그리드 구동특성의 사이로 콘덕턴스가 비례적 낮기 때문에 그리드 펄스에 비해 크게 감쇠된다. 통상적으로 유도된 캐소드 출력펄스의 진폭은 상기 예에 있어서, 수밀리볼트 정도로 극히 작다.

신호 V_k 는 기준 및 탐지간격동안 매트릭스(12)의 출력이 구동기(21)와 키네스코프(15)에 인가되지 않도록 게이트(20)를 무능하게 만든다. 샘플링 회로망(22)은 신호 V_c 및 V_s 에 응답하여 신호 V_G 에 의해 유도된 캐소드 출력펄스의 크기를 나타내는 증폭된 출력샘플을 제공한다. 회로망(22)으로부터의 출력 샘플은 구동기(21)의 바이어스 동작점을 조작하는데 이용되며, 필요하다면, 구동기(21)의 출력에서 (캐소드)마이어스 레벨을 발생시키는 방향으로 닫힌 루프작용에 의해 캐소드 흑레벨 전류에 대한 소정의 정레벨을 발생시키는데 충분하다. 게이트(20)는 매트릭스(12)에서 나온 신호가 구동기(21)를 통해 키네스코프에 인가되도록 상기 시간 이외의 시간에서 도전되도록 한다.

제2도는 구동기(21)의 상세한 회로도이다. 구동기(21)는 트랜지스터(35)를 포함하는 액티브 부하 회로 및 증폭기 트랜지스터(35)를 포함한다. 정상적인 비디오 신호처리 조건하에서, r칼라신호는 단자 T₁, 게이트(20) 및 입력회로(30)를 통해 증폭트랜지스터(34)의 베이스 입력에 인가된다. 입력 r의 증폭된 버전은 트랜지스터(34)의 콜렉터 회로에서 발생되고, 출력 접속 회로망(40), 저항(52) 및 단자 T₂를 통해 키네스코프의 개소드(16a)에 인가된다. 게이트(20)에 의해 입력신호 r가 인가되지 안한 탐지간격동안, 캐소드 측레벨 전류레벨을 표시하는 유도된 캐소드 출력 웰스가 단자 T₂에 유도된다. 캐소드 출력 펄스는 저항 (55,56)을 포함하는 고임피던스 전압분배기에 의해 감지되며, 감지된 캐소드 출력 펄스는 단자 T₃를 통해 샘플링 회로망(22)의 입력에 인가된다. 샘플링 회로망(22)으로부터의 출력 제어전압은 단자 T₄를 통해 증폭 트랜지스터(34)의 베이스에 인가된다. 상기 예에서, 캐소드 흑레벨 전류 도전은 트랜지스터(34)의 베이스 바이어스 전류가 샘플링회로망(22)으로부터의 출력 제어 전압에 응답하여 증가되고 감소될 때 각각 증가되고 감소되도록 조절된다.

제3도는 보다 상세히 제1도는 샘플링 회로망(22)을 도시한다.

제3도에서, 단자 T₃를 통해 인가된 캐소드 출력 펄스는 샘플 및 헀드(hold)회로에 의해 처리되며 샘플 및 헀드회로는 증폭기(65)의 출력과 반전(-) 입력 사이에 접속된 스위치(68)(이를테면, 양방향 스위치)를 갖는 반전 연산증폭기(65)(이를테면, 전압 증폭기)와, 샘플링 스위치(78)(이를테면 양방향 스위치)를 통해 증폭기(65)의 출력에 접속된 피크검출 전하 저장 캐패시터(70)를 구비한다. 증폭기(65)의 비반전(+) 입력은 안정한 기준 전압원 V_{REF}에 접속된다. 감지된 캐소드 출력펄스는 단자 T₃와 캐패시터(84)를 통해 증폭기 (65)의 반전 입력에 인가된다.

기준간격뒤에 오는 탐지간격(t_m)동안, 스위치(68)는 신호 V_c의 부방향 타이밍 펄스 성분에 응답하여 비도전(도시된 바와 같이, 개방된)된다. 상기 시간에서, 샘플링 스위치(78)는 증폭기(65)(그리드 펄스 V_g)에 의해 유도된 캐소드 출력 펄스의 증폭되었지만 반전된 버전을 포함한다)의 출력을 캐패시터(70)에 접속시키는 신호 V_s 정방향 펄스 성분에 응답하여 도전(도시된 바와 같이, 닫힌)된다. 증폭기(65)에 의해 제공된 신호 이득이 1보다 배우 크고 전압증폭기(65)의 개방 루프 전압 이들과 일치하여, 적당한 크기의 전압 샘플이 전하저장 캐패시터(70)에 인가된다. 캐패스터(70)에 저장된 전압 샘플이 캐소드 출력펄스의 피크 대 피크 진폭을 표시하므로, 캐소드 흑레벨 전류 도전레벨을 나타내는 것이다. 캐피시터(70)상의 전압은 결합 회로망(85)(이를테면, 이득이 1인 버퍼 증폭기)를 통해 차동비교기(87)의 한 입력에 인가된다. 비교기(87)의 또다른 입력에는 기준전압원 V_{REF}에 접속된다. 감지된 캐소드 출력 펄스는 단자 T₃와 캐패시터(84)를 통해 증폭기(65)의 반전 입력에 인가된다.

기준간격뒤에 오는 탐지간격(t_m)동안, 스위치(68)는 신호 V_c의 부방향 타이밍 펄스 성분에 응답하여 비도전(도시된 바와 같이, 개방된)된다. 상기 시간에서, 샘플링 스위치(78)는 증폭기(65)(그리드 펄스 V_g에 의해 유도된 캐소드 출력 펄스의 증폭되었지만 반전된 버전을 포함한다)의 출력을 캐패시터(70)에 접속시키는 신호 V_s의 정방향 펄스 성분에 응답하여 도전(도시된 바와 같이, 닫힌)된다. 증폭기(65)에 의해 제공된 신호 이득이 1보다 매우 크고 전압증폭기(65)의 개방 루프 전압 이들과 일치하여, 적당한 크기의 전압 샘플이 전하저장 캐패시터(70)에 인가된다. 캐패시터(70)에 저장된 전압 샘플이 캐소드 흑리펄스의 피크 대 피크 진폭을 표시하므로, 캐소드 9 레벨 전류 도전레벨을 나타내는 것이다. 캐피시터(70)상의 전압은 결합 회로망(85)(이를테면, 이득이 1인 버퍼 증폭기)를 통해 차동비교기(87)의 한 입력에 인가된다. 비교기(87)의 또다른 입력에는 기준전압 V_{REF}과 캐패시터(70)의 샘플 전압의 차를 나타내는 반전출력에서 제어신호를 제공하는 입력 전압에 응답한다. 상기 제어전압은 닫힌 루르 피드백 작용에 의해 지나치게 높거나 낮은 캐소드 흑레벨 전류도전에 대한 보상방향으로 비디오 구동기의 바이어스를 제어하도록 단자 T₄를 통해 비디오 구동기(21)(제2도)에 인가된다.

캐패시터(70)상에 발생된 전압 샘플이 캐소드 출력펄스의 키프 진폭변화를 정확히 나타내게 하기 위해서는, 증폭기(65)로부터의 출력신호의 진폭이 예상할 수 있는 레벨로될 필요가 있다. 또한, 전압 샘플이 왜곡되지 않도록 샘플링 증폭기의 입력 오프셋에 기인될 수 있는 큰 오프셋 오차가 증폭기 출력신호와 무관하다는 것이 바람직하다. 이러한 결과 양쪽은 기준전압원 V_{REF}, 스위치(68) 및 캐패시터(84)를 갖는 증폭기(65) 장치에 의해 얻어진다.

각각의 탐지간격 t_m 보다 앞서는 기준간격동안, 스위치(68)는 신호 V_c에 응답하여 도전(닫힘)된다. 이러한 시간동안 샘플링 스위치(78)는 개방 또는 비도전 상태이다. 스위치(68)가 도전상태일 때, 증폭기(65)의 반전입력은 피드백 작용에 의해 증폭기(65)의 출력레벨로 클램프되며, 그후에 입력 캐패시터(84)와 사이호작용하여 V_{REF} 전위로 된다. 제4도는 파형으로부터 알 수 있는 상기 입력 클램핑 작용의 효과는 간격 t_m 동안 발생하는 정방향 캐소드 출력 펄수가 클램핑 작용에 의해 잘생된 안정한 기준레벨 V_{REF}에 대해 (가변) 피크 대 피크 진폭 ΔV 를 나타낸다. 샘플링 스위치(78)에 의해 인에이블 될 때, 캐패시터(70)는 고정된 클램핑 기준전압 V_{REF}과 캐소드 출력펄스의 증폭된(그러나 반전된) 피크 진폭 차이에 비례하는 전압 샘플을 발생한다.

증폭기(65), 스위치(68) 및 캐패시터(84)를 포함하는 기술된 입력 클램핑 장치 입력 오프셋과 스위치(68)와 연관된 오프셋이 증폭기(65)신호이득에 의해 증폭되지 않기 때문에 기술된 바와 같이 저레벨 신호를 샘플링하기 위한 시스템에 특히 유리하다. 그러므로 증폭기 출력오차가 크게 감소된다.

덧붙이면, 도시된 형태의 시스템에서는 샘플링 간격동안의 증폭기 입력시정수에 비해 클램핑 간격동안의 증폭기에 대한 빠른 입력 R_c 시 정수를 제공하여, 캐패시터(84)가 클램핑 간격동안 스위치(68)

를 통해 클램핑 기준레벨로 빨리 충전되고, 샘플링 간격에 걸쳐 전하를 보유하도록 하는 것이 바람직하다. 도시된 장치에서, 클램핑 목적에 대한 캐패시터(84)의 충전시간은 증폭기(65)으로 이득으로 나눈 스위치(68)의 도전 저항의 값마다 캐패시터(84)의 값에 의해 결정된다. 일반적으로 스위치(68)의 도전 저항값이 작고, 상기 예에서 전압증폭기(65)의 (개방루프)이득이 매우 크기 때문에, 상기 시정수의 유효저항성분은 사실상 무시할 수 있다. 그리하여, 스위치의 실제 저항값에 의해 결정된 시정수와 비교할때보다 빠른 클램핑 시정수를 초래한다. 샘플링간격동안의 입력시정수는 비교적 느린데(즉, 캐패시터(84)가 천천히 방전된다.) 상기 시정수가 캐패시터(84)의 값과 증폭기(65)의 입력 임피던스값의 곱으로 정해지기 때문에 상기 예에서는 높다.

제5도는 제3도에 도시된 증폭기(65), 스위치(68) 및 캐패시터(84)에 대한 또 다른 장치를 도시한 것이다.

제5도의 장치는 콜렉터 저항(92)의 값에 비례하는 신호이득을 갖는 신호 반전 공통에미터 증폭기 트랜지스터(90)를 포함하고 있다. 입력신호는 클램프 캐패시터(96)를 통해 반전신호 입력과 대응하는 트랜지스터(90)의 베이스 입력에 인가된다. 트랜지스터(90)의 콜렉터 전극에서 나타나는 반전된 출력신호는 제3도의 회로(70,78)와 대응하는 스위치된 전하 저장 회로에 공급된다. 스위치(98)(개방 또는 비도전 상태로 도시됨)는 프랜지스터(90)의 콜렉터 출력 및 베이스 입력 전극사이에 접속된다.

스위치(98)는 캐소드 출력 펄스가 트랜지스터(90)에 인가되어 트래지스터(90)의 콜렉터 출력에서 반전되고, 증폭된 형태로 나타나는 탐지간격동안 비도전된다. 그후에 증폭된 캐소드 펄스는 제3도와 관련하여 설명된바와 같이 처리된다.

비록 양호한 실시예를 참조로 본 발명이 기술되었지만, 예를들어, 아래에 지시된 바와같이 본 발명의 원리에 따라 본 발명의 다른 실시예들이 가능하다는 것을 알게된다.

샘플링 증폭기(이를테면, 제3도의 증폭기(65))가 비반전 증폭기인 경우에, 피드백 통로에 반전기를 사용함으로써 클램핑 간격동안 증폭기에 적절한 피드백이 제공된 수 있다.

샘플링 증폭기의 출력과 반전 입력사이에 접속된 피드백 저항은 샘플링 간격동안 증폭기에 대해 소정의 폐쇄루프 이득을 결정하기 위하여 증폭기 입력 신호통로에 저항과 함께 이용될 수 있다. 그러나, 상기 경우에 증폭기 입력 임피던스와 증폭기 입력 RC 시정수가 클램핑 및 샘플링 간격동안 허용할 수 있는 한계내에 있도록 주의시켜야 한다.

(57) 청구의 범위

청구항 1

제1스위치를 통하는 신호입력과 제2스위치를 통하는 저장 캐패시터에 접속된 신호출력을 갖는 증폭기와, 상기 스위치에 대한 타이밍 제어 신호원을 구비하는 신호 샘플링 회로에 있어서, 샘플되는 특성을 포함하는 신호간격과 기준간격을 포함하는 입력신호 샘플링을 위해서, 클램핑 회로망은 상기 증폭기(65)의 상기 신호입력에 접속되고, 상기 펄스 발생기(28)로부터 공급된 상기 타이밍 제어신호는 상기 입력신호의 기준간격에 대응하는 클램핑 간격성분(V_c)과 상기 입력신호의 신호간격에 대응하는 샘플링 간격 성분(V_s)을 포함하고, 상기 성분은 상기 스위치를 제어하도록 작동하는데, 상기 클램핑 간격동안, 스위치는 1)상기 증폭기 출력으로부터 상기 저장 캐패시터(70)를 분리시키고, 2)상기 클램핑간격동안 상기 신호입력에 있는 기준조건을 설정하도록 클램핑 회로망이 접속되게끔 상기 증폭기 출력으로부터 상기 신호입력에 부극성 피드백 통로를 설정시키며, 반면에, 상기 샘플링 간격동안, 스위치는 3)상기 증폭기 출력에 상기 저장 캐패시터를 접속시키고, 4)상기 부극성 피드백 통로를 해제하고 클램핑 회로망은 상기 신호입력에 접속된채 유지시켜서, 상기 신호입력에 있는 신호에 대응하는 샘플은 상기 저장캐패시터에 저장시키며, 상기 저장 캐패시터(70)는 저장 캐패시터 상에 저장된 샘플을 유지시키도록 샘플링 간격의 단부에 있는 상기 증폭기 출력으로부터 분리된 것을 특징으로 하는 신호 샘플링 회로.

청구항 2

제1항에 있어서, 상기 클램핑 회로망은 상기 증폭기 입력에 샘플되는 상기 신호를 접속시키도록 장치된 캐패시터(84)를 포함하고, 상기 저장 캐패시터(70)는 기준 레벨로 기준된 증폭기 출력신호에 응답하는 상기 샘플을 저장하는 것을 특징으로하는 신호 샘플링 회로.

청구항 3

제1항에 있어서, 상기 증폭기는 반전 신호입력, 비반전 입력, 출력을 포함하는 연산증폭기 반전 입력에 샘플되는 상기 신호를 접속시키도록 장치된 캐패시터(84)를 포함하고, 기준 전압원(V_{REF})은 상기 비반전 증폭기 입력에 인가되고, 상기 스위치(68)는 상기 부극성 피드백 통로를 설정하도록 상기 클램핑 간격동안 상기 반전 입력에 있는 상기 캐패시터에 상기 증폭기 출력을 접속시키는 것을 특징으로 하는 신호 샘플링 회로.

청구항 4

제1항에 있어서, 상기 증폭기는 제1 및 제2 작동 전위점 사이에 상기 트랜지스터의 메인 전류 도전 통로를 규정하는 출력 및 공통 전극, 입력 전극을 갖는 트랜지스터(90)를 포함하는 신호 반전 증폭기를 구비하고, 상기 클램핑 회로망은 상기 입력전극에 샘플되는 상기 신호를 접속시키도록 장치된 캐패시터(96)를 포함하고, 상기 스위치(98)는 상기 부극성 피드백 통로를 설정하도록 상기 클램핑 간격동안 상기 입력 전극에 있는 상기 캐패시터에 상기 증폭기 출력 전극을 접속시키는 것을 특징으로 하는 신호 샘플링 회로.

청구항 5

제1항에 있어서, 상기 회로는 캐소드 전극을 구비하는 세기 제어 전자총을 지닌 영상 재생 키네스코프를 포함하고, 텔레비전 수상기내의 키네스코프에 의해 도전된 흑레벨 전류를 자동적으로 제어하는 시스템내에 장치되고, 상기 입력신호는 상기 전자총에 접속된 비디오신호를 포함하고, 상기 신호 및 기준간격은 영상 블랭킹간격에서 발생하고, 주기적인 탐지간격동안 캐소드 전류 도전 레벨을 표시하는 시호 구동 회로는 강기 블랭킹 간격내의 상기 신호 간격과 대응하고, 상기 저장 캐패시터(70)상에 발생된 전압 샘플은 상기 탐지간격동안 증폭기 출력 신호에 응답하고, 상기 샘플을 이용하는 회로(85,87)는 키네스코프 흑레벨 전류 도전에 대한 소정의 레벨을 발생시키도록 상기 키네스코프의 바이어스를 조출하는 제어 전압을 발생시키는 것을 특징으로 하는 신호 샘플링 회로.

청구항 6

제5항에 있어서, 상기 클램핑 회로망은 상기 증폭기 입력에 상기 캐소드 출력 신호를 접속시키도록 장치된 캐패시터(84)를 포함하는 것을 특징으로 하는 신호 샘플링 회로.

청구항 7

제5항에 있어서, 상기 증폭기는 반전 신호입력, 비반전 입력, 출력을 포함하는 연산증폭기(65)를 구비하고, 상기 클램핑 회로망은 상기 증폭기 반전 입력에 샘플되는 상기 신호를 접속시키도록 장치된 캐패시터(84)를 포함하고, 기준전압원(V_{REF})은 상기 비반전 증폭기 입력에 인가되고, 상기 스위치(68)는 상기 부극성 피드백 통로를 설정하도록 상기 클램핑 간격동안 상기 반전 입력에 있는 상기 캐패시터에 상기 증폭기 출력을 접속시키는 것을 특징으로하는 신호 샘플링 회로.

청구항 8

제5항에 있어서, 상기 증폭기는 제1 및 제2작동 전위점 사이에 상기 트랜지스터에 대한 메인 전류 도전통로를 규정하는 출력 및 공통 전극, 입력 전극을 갖는 트랜지스터(90)을 포함하는 신호 반전 증폭기를 구비하고, 상기 클램핑 회로망은 상기 입력 전극에 샘플되는 상기신호를 접속시키도록 장치된 캐패시터(96)를 포함하고, 상기 스위치(98)는 상기 부극성 피드백 통로를 설정하도록 상기 클램핑 간격동안 상기 입력전극에 있는 상기 캐패시터에 상기 증폭기 출력 전극을 접속시키는 것을 특징으로 하는 신호 샘플링 회로.

청구항 9

제4 또는 8항에 있어서, 상기 입력, 출력 및 공통 전극은 각각 베이스, 콜렉터 및 에미터 전극에 대응하는 것을 특징으로 하는 신호 샘플링 회로.

청구항 10

제3, 4 또는 8항에 있어서, 상기 샘플링 간격동안 상기 증폭기의 신호이득은 상기 증폭기의 개방 루프신호 이득에 대응하는 것을 특징으로 하는 신호 샘플링 회로.

청구항 11

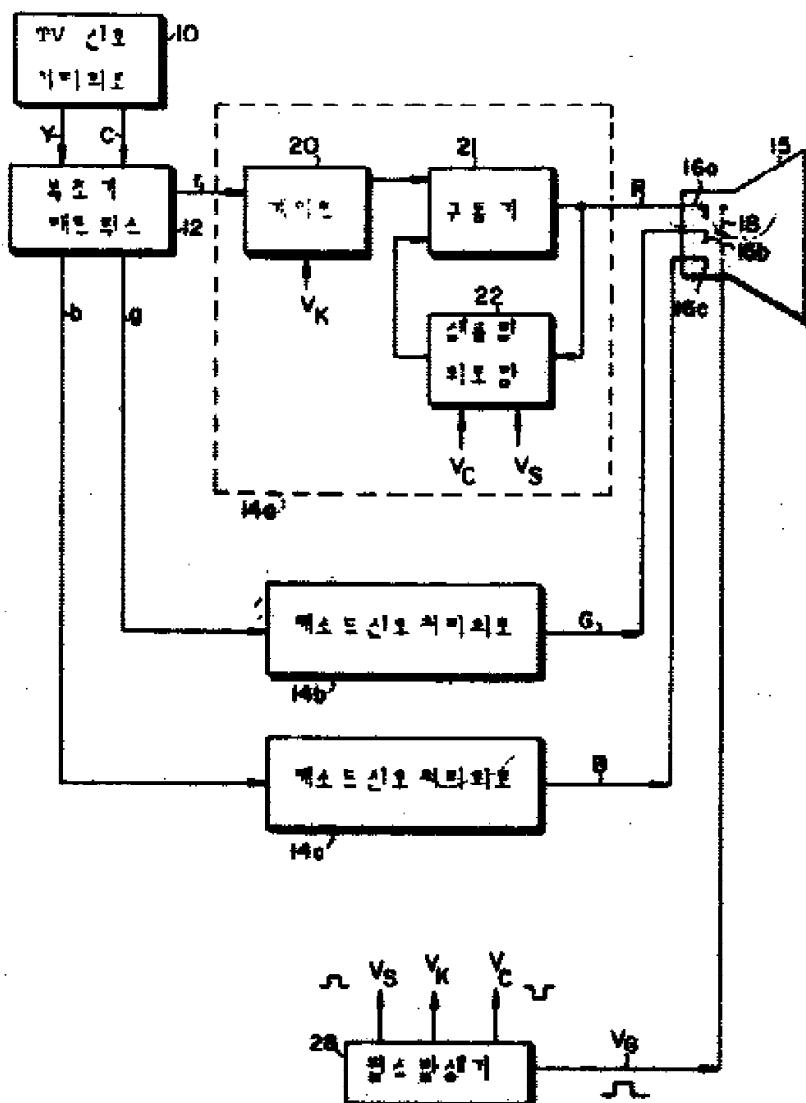
제1 또는 5항에 있어서, 상기 스위치(68)는 거의 제로 오프셋으로 상기 증폭기 입력에 출력과, 거의 제로 오프셋으로 상기 증폭기 출력에 접속된 입력을 갖는 것을 특징으로 한는 신호 샘플링 회로.

청구항 12

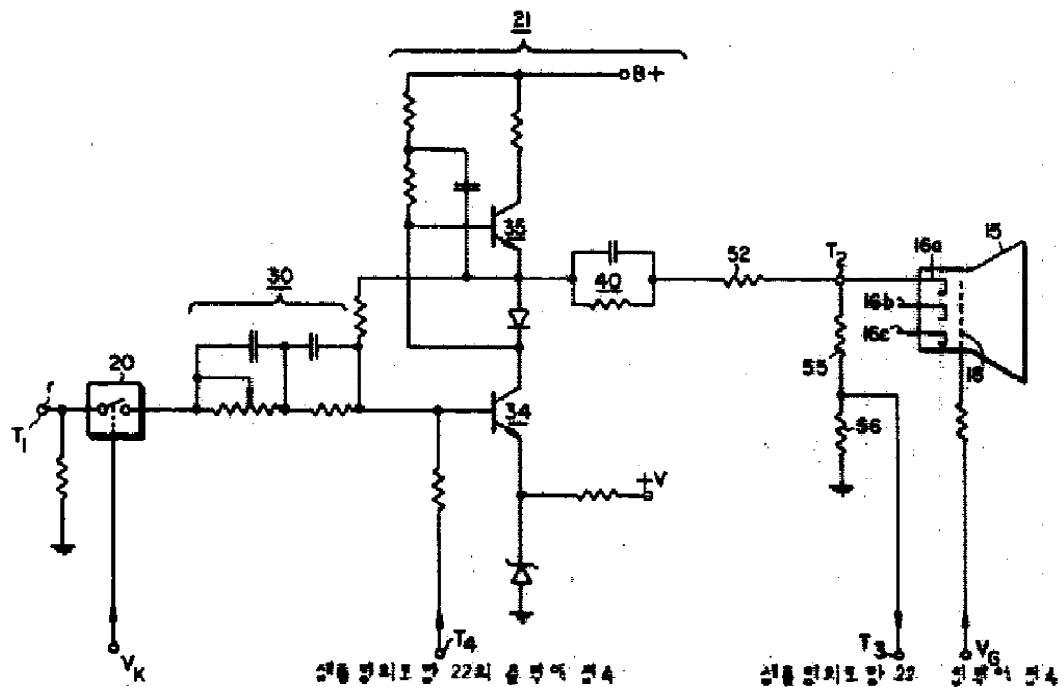
제5항에 있어서, 회로(87)를 구비하는 상기 이용회로는 상기 저장 캐패시터(70)상에 저장된 상기 샘플에 응답하고, 상기 제어전압에 대응하는 전압을 발생시키도록 상기 기준조건이 설정될때 상기 샘플 및 상기 비례기준 전압의 전압차를 표시하는 상기 신호 출력에서의 전압에 비례하는 기준 전압에 응답하는 것을 특징으로하는 신호 샘플링 회로.

도면

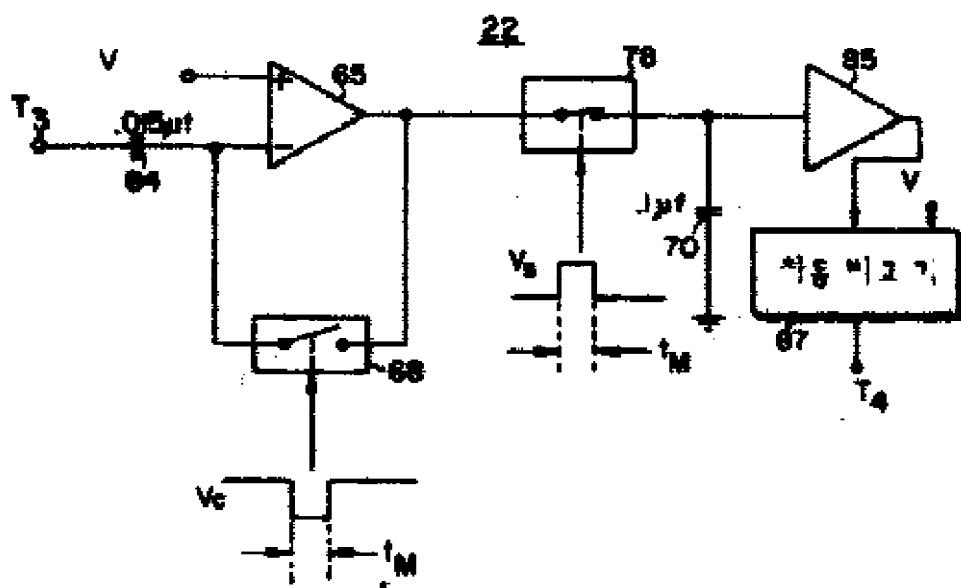
도면1



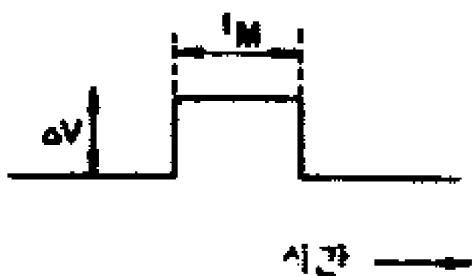
도면2



도면3



도면4



도면5

