

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190367 A1

(51) 国際特許分類:

H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号:

PCT/JP2024/006652

(72) 発明者: 赤池 瑞生(AKAIKE Mizuki); 〒2430014

(22) 国際出願日:

2024年2月22日(22.02.2024)

神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-037990 2023年3月10日(10.03.2023) JP

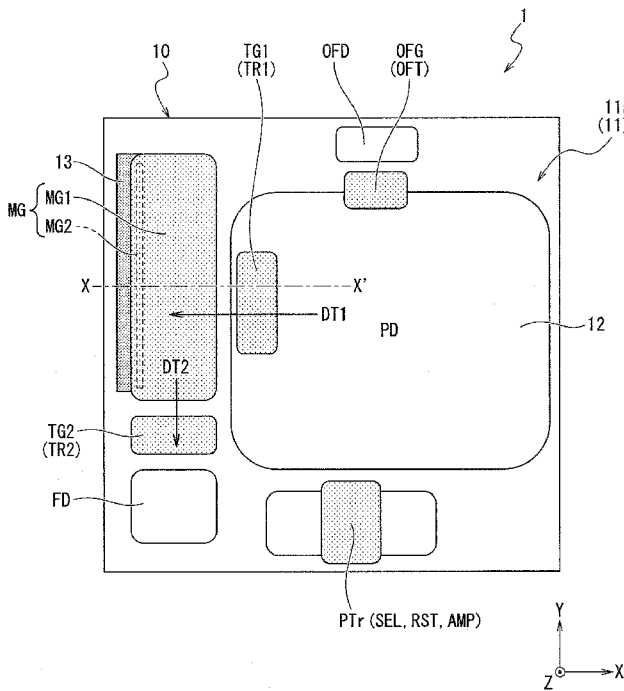
(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA
Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四
丁目3番1号 城山トラストタワー3 2階 弁理
士法人日栄国際特許事務所 Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社(SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: LIGHT DETECTION DEVICE

(54) 発明の名称: 光検出装置



(57) Abstract: The present invention provides a light detec-
tion device which is capable of achieving both an increase
in the capacity of a charge storage unit and an improvement
in the charge transfer characteristics. The light detection de-
vice comprises: a charge storage unit that is disposed part-
way through a transfer path through which charges are trans-
ferred from a photoelectric conversion unit to a floating dif-
fusion region; a first transfer transistor that transfers charges
from the photoelectric conversion unit to the charge storage
unit; and a control electrode that is disposed in a position
adjacent to the charge storage unit and controls the poten-
tial of the charge storage unit. The control electrode has a
first electrode part that is provided on a first surface of a
semiconductor substrate and is disposed in a position over-
lapping the charge storage unit in the thickness direction of
the semiconductor substrate, and a second electrode part that
is connected to the first electrode part and is embedded in
the depth direction of the semiconductor substrate. If the transfer
direction of the charges from the first transfer transistor to
the charge storage unit is defined as the first transfer direc-
tion, the second electrode part is disposed on the opposite
side of the first transfer transistor across the

WO 2024/190367 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

charge storage unit in the first transfer direction.

(57) 要約: 電荷蓄積部の容量増大と電荷の転送特性の向上とを両立させることが可能な光検出装置を提供する。光検出装置は、光電変換部から浮遊拡散領域へ電荷が転送される転送経路の途中に配置された電荷蓄積部と、光電変換部から電荷蓄積部へ電荷を転送する第1転送トランジスタと、電荷蓄積部と隣り合う位置に配置され、電荷蓄積部の電位を制御する制御電極と、を有する。制御電極は、半導体基板の第1面上に設けられ、半導体基板の厚さ方向において電荷蓄積部と重なる位置に配置された第1電極部と、第1電極部に接続し、半導体基板の第1面から半導体基板の深さ方向へ埋設された第2電極部と、を有する。第1転送トランジスタから電荷蓄積部への電荷の転送方向を第1転送方向とすると、第2電極部は、第1転送方向において電荷蓄積部を挟んで第1転送トランジスタの反対側に配置されている。

明 細 書

発明の名称：光検出装置

技術分野

[0001] 本開示は、光検出装置に関する。

背景技術

[0002] フォトダイオードから浮遊拡散領域への転送経路上に位置し、フォトダイオードで生じた電荷を一時的に蓄積する電荷蓄積部を有する受光素子が知られている（例えば、特許文献1参照）。特許文献1には、MOS容量からなる電荷蓄積部が、半導体基板に設けられたトレンチに絶縁層を介して埋め込まれた縦型状の埋込電極部を有することが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-97215号公報

発明の概要

発明が解決しようとする課題

[0004] 電荷蓄積部の電位を制御する電極を縦型状などの立体構造にすると、電荷蓄積部の容量は増大するが、電荷の転送経路が複雑化するため、電荷の転送特性は劣化する傾向がある。電荷蓄積部の容量増大と、電荷の転送特性はトレードオフの関係にある。

[0005] 本開示はこのような事情に鑑みてなされたもので、電荷蓄積部の容量増大と電荷の転送特性の向上とを両立させることが可能な光検出装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る光検出装置は、半導体基板内に設けられ、光を電荷に変換する光電変換部と、前記半導体基板に設けられ、前記光電変換部で生じた前記電荷が転送される浮遊拡散領域と、前記半導体基板に設けられ、前記光電変換部から前記浮遊拡散領域へ前記電荷が転送される転送経路の途中

に配置された電荷蓄積部と、前記転送経路のうち前記光電変換部から前記電荷蓄積部との間に配置され、前記光電変換部から前記電荷蓄積部へ前記電荷を転送する第1転送トランジスタと、前記電荷蓄積部と隣り合う位置に配置され、前記電荷蓄積部の電位を制御する制御電極と、を有する。前記制御電極は、前記半導体基板の第1面上に設けられ、前記半導体基板の厚さ方向において前記電荷蓄積部と重なる位置に配置された第1電極部と、前記第1電極部に接続し、前記半導体基板の前記第1面から前記半導体基板の深さ方向へ埋設された第2電極部と、を有する。前記第1転送トランジスタから前記電荷蓄積部への前記電荷の転送方向を第1転送方向とすると、前記第2電極部は、前記第1転送方向において前記電荷蓄積部を挟んで前記第1転送トランジスタの反対側に配置されている。

[0007] これによれば、第1電極部は、半導体基板の第1面上に配置されており、半導体基板の内部には配置されていない。また、第2電極部は、半導体基板の内部に配置されているが、その位置は電荷蓄積部の第1転送方向における突き当りの位置であり、電荷の転送経路ではない。制御電極は、電荷の転送を妨げないように制御電極が配置されているため、電荷の転送経路を単純化することができ、電荷の転送特性の向上が可能である。また、電荷蓄積部の第1転送方向における突き当りの位置は、第1転送方向に進む電荷が集まり易い位置である。この位置に第2電極部が配置されているため、電荷蓄積部への電荷蓄積が容易となり、電荷蓄積部の容量を効率良く増大させることが可能である。以上から、電荷蓄積部の容量増大と電荷の転送特性の向上とを両立させることができる。

図面の簡単な説明

[0008] [図1]図1は、本開示の実施形態1に係る撮像装置の構成例を示すブロック図である。

[図2]図2は、本開示の実施形態1に係る画素の構成例を示す回路図である。

[図3A]図3Aは、本開示の実施形態1に係る画素の構成例を示す平面図である。

[図3B]図3 Bは、本開示の実施形態1に係る画素の構成例を示す断面図である。

[図3C]図3 Cは、図3 Bに示す制御電極とその周辺部を拡大して示す断面図である。

[図4A]図4 Aは、本開示の実施形態1に係る撮像装置における画素の配置例1を示す平面図である。

[図4B]図4 Bは、図4 Aに示す平面図をX-X'線で切断した断面図である。

[図5A]図5 Aは、本開示の実施形態1に係る撮像装置における画素の配置例2を示す平面図である。

[図5B]図5 Bは、図5 Aに示す平面図をX-X'線で切断した断面図である。

[図6]図6は、本開示の実施形態1に係る撮像装置における画素の配置例3を示す平面図である。

[図7]図7は、本開示の実施形態1に係る撮像装置における画素の配置例4を示す平面図である。

[図8]図8は、本開示の実施形態1の変形例1に係る制御電極とその周辺部を示す断面図である。

[図9]図9は、本開示の実施形態1の変形例2に係る制御電極とその周辺部を示す断面図である。

[図10A]図10 Aは、本開示の実施形態2に係る撮像装置の画素の構成例を示す平面図である。

[図10B]図10 Bは、本開示の実施形態1に係る画素の構成例を示す断面図である。

[図11]図11は、本開示の実施形態2に係る撮像装置における画素の配置例1を示す平面図である。

[図12]図12は、本開示の実施形態2に係る撮像装置における画素の配置例2を示す平面図である。

[図13]図 1 3 は、本開示の実施形態 2 に係る撮像装置における画素の配置例 3 を示す平面図である。

[図14]図 1 4 は、本開示の実施形態 2 に係る撮像装置における画素の配置例 4 を示す平面図である。

[図15]図 1 5 は、本開示の実施形態 2 の変形例 1 に係る制御電極とその周辺部を示す断面図である。

[図16]図 1 6 は、本開示の実施形態 2 の変形例 2 に係る制御電極とその周辺部を示す断面図である。

[図17]図 1 7 は、本開示の実施形態 2 の変形例 3 に係る制御電極とその周辺部を示す断面図である。

[図18]図 1 8 は、本開示の実施形態 2 の変形例 4 に係る制御電極とその周辺部を示す断面図である。

[図19]図 1 9 は、本開示の実施形態 2 の変形例 5 に係る画素の構成例を示す平面図である。

[図20]図 2 0 は、本開示の実施形態 3 に係る撮像装置の画素の構成例を示す平面図である。

[図21]図 2 1 は、本開示の実施形態 3 に係る撮像装置における画素の配置例 1 を示す平面図である。

[図22]図 2 2 は、本開示の実施形態 3 に係る撮像装置における画素の配置例 2 を示す平面図である。

[図23A]図 2 3 A は、本開示の実施形態 4 に係る撮像装置の画素の構成例を示す平面図である。

[図23B]図 2 3 B は、本開示の実施形態 4 に係る画素の構成例を示す断面図である。

[図24A]図 2 4 A は、本開示の実施形態 4 に係る撮像装置における画素の配置例 1 を示す平面図である。

[図24B]図 2 4 B は、図 2 4 A に示す平面図を X 2 - X 2 ' 線で切断した断面図である。

[図25A]図25Aは、本開示の実施形態4に係る撮像装置における画素の配置例2を示す平面図である。

[図25B]図25Bは、図25Aに示す平面図をX2-X2'線で切断した断面図である。

[図26]図26は、本開示の実施形態4に係る撮像装置における画素の配置例3を示す平面図である。

[図27]図27は、本開示の実施形態4に係る撮像装置における画素の配置例4を示す平面図である。

[図28A]図28Aは、本開示の実施形態5に係る撮像装置の画素の構成例を示す平面図である。

[図28B]図28Bは、本開示の実施形態5に係る画素の構成例を示す断面図である。

[図29]図29は、本開示の実施形態5に係る撮像装置における画素の配置例1を示す平面図である。

[図30]図30は、本開示の実施形態5に係る撮像装置における画素の配置例2を示す平面図である。

[図31]図31は、本開示の実施形態5に係る撮像装置における画素の配置例3を示す平面図である。

[図32]図32は、本開示の実施形態5に係る撮像装置における画素の配置例4を示す平面図である。

[図33A]図33Aは、本開示の実施形態6に係る撮像装置の画素の構成例を示す平面図である。

[図33B]図33Bは、本開示の実施形態6に係る画素の構成例を示す断面図である。

[図33C]図33Cは、本開示の実施形態6に係る画素の構成例を示す断面図である。

[図34]図34は、本開示の実施形態7に係る間接ToF方式の測距装置の構成例を示す回路図である。

[図35A]図35Aは、本開示の実施形態7に係る画素の構成例を示す平面図である。

[図35B]図35Bは、図35Aに示す平面図をX5-X5'線で切断した断面図である。

[図36A]図36Aは、本開示の実施形態7に係る測距装置における画素の配置例1を示す平面図である。

[図36B]図36Bは、本開示の実施形態7に係る測距装置における画素の配置例1を示す断面図である。

[図37]図37は、本開示の実施形態7に係る測距装置における画素の配置例2を示す平面図である。

[図38A]図38Aは、本開示の実施形態8に係る画素の構成例を示す平面図である。

[図38B]図38Bは、本開示の実施形態8に係る画素の構成例を示す断面図である。

[図39A]図39Aは、本開示の実施形態8に係る測距装置における画素の配置例1を示す平面図である。

[図39B]図39Bは、本開示の実施形態8に係る測距装置における画素の配置例1を示す断面図である。

[図40]図40は、本開示の実施形態8に係る測距装置における画素の配置例2を示す平面図である。

発明を実施するための形態

[0009] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0010] 以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0011] 以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、X軸方向及びY軸方向は、後述の半導体基板11の表面11aに平行な方向である。Z軸方向は、半導体基板11の厚さ方向であり、半導体基板11の表面11aの法線方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。

[0012] また、以下の説明において、「平面視」とは、例えば、後述の半導体基板11の厚さ方向（例えば、Z軸方向）から見ることを意味する。

[0013] 以下、本開示の実施形態について、図面を参照しながら詳細に説明する。

<実施形態1>

（撮像装置の全体構成例）

図1は、本開示の実施形態1に係る撮像装置1（本開示の「光検出装置」の一例）の構成例を示すブロック図である。図1において、撮像装置1は、例えば裏面照射型のCMOSイメージセンサであり、画素アレイ部32、垂直駆動部33、カラム処理部34、水平駆動部35、出力部36及び駆動制御部37を備えて構成される。

[0014] 画素アレイ部32は、アレイ状に配置された複数の画素10を有する。画素10は、画素10の行数に応じた複数の水平信号線42を介して垂直駆動部33に接続され、画素10の列数に応じた複数の垂直信号線43を介してカラム処理部34に接続されている。すなわち、画素アレイ部32が有する複数の画素10は、水平信号線42および垂直信号線43が交差する点にそれぞれ配置されている。

[0015] 垂直駆動部33は、画素アレイ部32が有する複数の画素10の行ごとに、それぞれの画素10を駆動するための駆動信号（転送信号、選択信号、リセット信号、排出信号など）を、水平信号線42を介して順次供給する。

- [0016] カラム処理部34は、垂直信号線43を介して、それぞれの画素10から出力される画素信号に対してCDS (Correlated Double Sampling: 相関2重サンプリング) 処理を施すことで画素信号の信号レベルを抽出し、画素10の受光量に応じた画素データを取得する。
- [0017] 水平駆動部35は、画素アレイ部32が有する複数の画素10の列ごとに、それぞれの画素10から取得された画素データをカラム処理部34から出力させるための駆動信号を、カラム処理部34に順次供給する。
- [0018] 出力部36には、水平駆動部35の駆動信号に従ったタイミングでカラム処理部34から画素データが供給される。出力部36は、例えば、その画素データを増幅して、後段の画像処理回路に出力する。
- [0019] 駆動制御部37は、撮像装置1の内部の各ブロックの駆動を制御する。例えば、駆動制御部37は、各ブロックの駆動周期に従ったクロック信号を生成して、それぞれのブロックに供給する。
- [0020] 図2は、本開示の実施形態1に係る画素10の構成例を示す回路図である。図2に示すように、画素10は、フォトダイオードPD、第1転送トランジスタTR1、第2転送トランジスタTR2、電荷蓄積部MEM、制御電極MG、浮遊拡散領域（フローティングディフュージョン）FD、増幅トランジスタAMP、選択トランジスタSEL及びリセットトランジスタRST、排出トランジスタOFT、排出領域OFDを備えて構成される。なお、フォトダイオードPDが本開示の「光電変換部」の一例となる。
- [0021] フォトダイオードPDは、画素10に照射される光を受光して、その光の光量に応じた電荷を発生して蓄積する。
- [0022] 第1転送トランジスタTR1は、垂直駆動部33から供給される転送信号に従って駆動する。第1転送トランジスタTR1がオンになると、フォトダイオードPDに蓄積されている電荷が電荷蓄積部MEMに転送される。
- [0023] 第2転送トランジスタTR2は、垂直駆動部33から供給される転送信号に従って駆動する。第2転送トランジスタTR2がオンになると、電荷蓄積部MEMに蓄積されている電荷が浮遊拡散領域FDに転送される。

- [0024] 電荷蓄積部MEMは、第1転送トランジスタTR1を介してフォトダイオードPDから転送される電荷を一時的に蓄積する。電荷蓄積部MEMは、例えばMOSキャパシタである。
- [0025] 制御電極MGは、垂直駆動部33から供給される転送信号に従って、電荷蓄積部MEMの電位を制御する。制御電極MGは、例えばMOSキャパシタのゲート電極である。制御電極MGに供給される転送信号（電圧）により、電荷蓄積部MEMの電位が制御され、電荷蓄積部MEMの容量が制御される。
- [0026] 浮遊拡散領域FDは、第2転送トランジスタTR2と増幅トランジスタAMPのゲート電極との接続点に形成された所定の容量を有する浮遊拡散領域である。浮遊拡散領域FDは、第2転送トランジスタTR2を介して電荷蓄積部MEMから転送される電荷を蓄積する。
- [0027] 増幅トランジスタAMPは、図示しない電源VDDに接続されており、浮遊拡散領域FDに蓄積されている電荷に応じたレベルの画素信号を出力する。
- [0028] 選択トランジスタSELは、垂直駆動部33から供給される選択信号に従って駆動する。選択トランジスタSELがオンになると、増幅トランジスタAMPから出力される画素信号が選択トランジスタSELを介して垂直信号線43に読み出し可能な状態となる。
- [0029] リセットトランジスタRSTは、垂直駆動部33から供給されるリセット信号に従って駆動する。リセットトランジスタRSTがオンになると、浮遊拡散領域FDに蓄積されている電荷が、リセットトランジスタRSTを介して電源VDDに排出され、浮遊拡散領域FDがリセットされる。
- [0030] 排出トランジスタOFTは、垂直駆動部33から供給される排出信号に従って駆動する。排出トランジスタOFTがオンになると、フォトダイオードPDに蓄積されている不要電荷が、排出トランジスタOFTを介して排出領域OFDに排出され、フォトダイオードPDがリセットされる。排出領域OFDは電源VDDに接続されている。

[0031] 次に、画素10の動作について説明する。まず、露光開始前に、Highレベルの排出信号が排出トランジスタOFTに供給されることにより排出トランジスタOFTがオンされる。これにより、フォトダイオードPDに蓄積されている電荷が排出領域OFDを介して電源VDDに排出され、全ての画素10のフォトダイオードPDがリセットされる。フォトダイオードPDのリセット後、排出トランジスタOFTが、Lowレベルの排出信号によりオフされると、画素アレイ部32の全ての画素10で露光が開始される。

[0032] このように構成された画素10を有する撮像装置1では、グローバルシャッタ方式が採用され、全ての画素10に対して同時に、フォトダイオードPDから電荷蓄積部MEMに電荷を転送することができ、全ての画素10の露光タイミングを同一にすることができる。これにより、画像に歪みが発生することを回避することができる。

[0033] (画素の構成例)

図3Aは、本開示の実施形態1に係る画素10の構成例を示す平面図である。図3Aは、半導体基板11の表面11a（本開示の「第1面」の一例）の上方から画素10を見た場合の図である。

[0034] 図3Aに示す半導体基板11の導電型は、例えばP型である。図3Aに示すように、画素10の中央部の領域と、中央部から右側の領域の半導体基板11内には、N型半導体領域12が形成されている。N型半導体領域12は、フォトダイオードPDの一部を構成する。

[0035] フォトダイオードPDの周囲に、排出領域OFD、制御電極MG、第2転送トランジスタTR2、浮遊拡散領域FD、画素トランジスタPTrが配置されている。

[0036] 排出領域OFDと浮遊拡散領域FDはそれぞれ、N型半導体領域12よりもN型の不純物濃度が高いN+型半導体領域で構成されている。

[0037] 画素トランジスタPTrは、図2に示した選択トランジスタSEL、リセットトランジスタRST、増幅トランジスタAMP、の少なくとも1つ以上である。図3Aでは、例えば、これら3つのトランジスタ（選択トランジスタ

タSEL、リセットトランジスタRST、増幅トランジスタAMP)を1つの画素トランジスタPT_rで模式的に示している。

[0038] フォトダイオードPD、排出領域OFD、制御電極MG、第2転送トランジスタTR₂、浮遊拡散領域FD及び画素トランジスタPT_rの各素子又は各領域は、P型の半導体基板11(すなわち、P型領域)によって、互いに分離されている。

[0039] 半導体基板11の厚さ方向(例えば、Z軸方向において)、制御電極MGと重なる位置に電荷蓄積部MEMが配置されている。すなわち、制御電極MG下に絶縁膜を介して電荷蓄積部MEMが配置されている。

[0040] Z軸方向からの平面視で、第1転送トランジスタTR₁のゲート電極(以下、「第1転送ゲート」ともいう)TG₁は、例えばフォトダイオードPDの外周部と重なる位置に配置されている。例えば、第1転送トランジスタTR₁は、N型のMOSトランジスタである。第1転送トランジスタTR₁のソース領域は、フォトダイオードPDのN型半導体領域12である。第1転送トランジスタTR₁のドレイン領域は、電荷蓄積部MEMを構成しているN型半導体領域である。第1転送ゲートTG₁は、ゲート絶縁膜を介してP型の半導体基板11と隣り合う位置に配置されている。

[0041] このような配置により、第1転送トランジスタTR₁は、フォトダイオードPDで生じた電荷を電荷蓄積部MEMに転送することが可能となっている。なお、第1転送トランジスタTR₁から電荷蓄積部MEMへの電荷の転送方向を第1転送方向DT₁とすると、図3Aに示す画素10において第1転送方向DT₁は、例えばX軸方向となる。第1転送方向DT₁は、例えば、第1転送トランジスタTR₁と電荷蓄積部MEMとが最短距離で向かい合う方向でもある。

[0042] Z軸方向からの平面視で、第2転送トランジスタTR₂のゲート電極(以下、「第2転送ゲート」ともいう)TG₂は、例えばフォトダイオードPDの外側であって、制御電極MGと浮遊拡散領域FDとの間に配置されている。例えば、第2転送トランジスタTR₂は、N型のMOSトランジスタであ

る。第2転送トランジスタTR2のソース領域は、電荷蓄積部MEMを構成しているN型半導体領域である。第2転送トランジスタTR2のドレイン領域は、N+型の浮遊拡散領域FDである。第2転送ゲートTG2は、ゲート絶縁膜を介してP型の半導体基板11と隣り合う位置に配置されている。

[0043] このような配置により、第2転送トランジスタTR2は、電荷蓄積部MEMからフォトダイオードPDへ電荷を転送することが可能となっている。なお、第2転送トランジスタTR2から浮遊拡散領域FDへの電荷の転送方向を第2転送方向DT2とすると、図3Aに示す画素10において第2転送方向DT2は、例えばY軸方向となる。第2転送方向DT2は、例えば、電荷蓄積部MEMと第2転送トランジスタTR2とが最短距離で向かい合う方向でもある。

[0044] Z軸方向からの平面視で、排出トランジスタOFTのゲート電極（以下、「排出ゲート」ともいう）OFGは、例えばフォトダイオードPDの外周部と重なる位置に配置されている。例えば、排出トランジスタOFTは、N型のMOSトランジスタである。排出トランジスタOFTのソース領域は、フォトダイオードPDのN型半導体領域12である。排出トランジスタOFTのドレイン領域は、N+型の排出領域OFDである。排出ゲートOFGは、ゲート絶縁膜を介してP型の半導体基板11と隣り合う位置に配置されている。このような配置により、排出トランジスタOFTは、フォトダイオードPDで生じた電荷を排出領域OFDに排出することが可能となっている。

[0045] 図3Aに示すように、画素10の外周部には埋込絶縁膜13が設けられている。Z軸方向からの平面視で、埋込絶縁膜13は、制御電極MGを挟んで第1転送ゲートTG1の反対側に配置されている。埋込絶縁膜13は、例えば、シリコン酸化膜若しくはシリコン窒化膜、又は、シリコン酸化膜とシリコン窒化膜とを積層した膜である。

[0046] 図3Bは、本開示の実施形態1に係る画素10の構成例を示す断面図である。図3Bは、図3Aに示す平面図をX-X'線で切断した断面図である。図3Cは、図3Bに示す制御電極MGとその周辺部を拡大して示す断面図で

ある。図3B及び図3Cに示すように、半導体基板11には、表面11aから深さ方向（表面11aから裏面11bに向かう方向であり、例えばZ軸方向）にトレンチH1が設けられている。トレンチH1内に埋込絶縁膜13が配置されている。

[0047] 図3Cに示すように、制御電極MGは、第1電極部MG1と、第1電極部MG1に接続された第2電極部MG2とを有する。第1電極部MG1は、半導体基板11の表面11a上に設けられている。第2電極部MG2は、半導体基板11の表面11aから半導体基板11の深さ方向（例えば、Z軸方向）へ埋設されている。例えば、第2電極部MG2はトレンチH1内に配置されている。第1電極部MG1は、半導体基板11の表面11aに平行に設けられていることから、平面部と呼んでもよい。第2電極部MG2は、半導体基板11の表面11aと交差する方向（例えば、垂直方向）に設けられていることから、垂直部と呼んでもよい。

[0048] 制御電極MGと半導体基板11の間には絶縁膜14が設けられている。第2電極部MG2は絶縁膜14を介してトレンチH1内に配置されている。

[0049] 第2電極部MG2は、絶縁膜14を介して電荷蓄積部MEMと隣り合う面（図3B、図3Cでは、右側の面）と、その反対側の面（図3B、図3Cでは、左側の面）とを有する。第2電極部MG2の右側の面は、画素10の中央部を向く面である。第2電極部MG2の左側の面は、画素10の外周を向く面である。埋込絶縁膜13は、第2電極部MG2の左側の面とトレンチH1の側面との間に配置されている。埋込絶縁膜13は、トレンチH1内に配置されており、第2電極部MG2を挟んで電荷蓄積部MEMの反対側に位置する。

[0050] なお、本開示の実施形態1及び後述の他の実施形態において、第2電極部MG2は埋込絶縁膜13と隣接する部分のみに設けられている。制御電極MGにおいて、埋込絶縁膜13と隣接していない部分は、第2電極部MG2は設けられておらず、第1電極部MG1のみとなっている。

[0051] 埋込絶縁膜13は、トレンチH1の開口端から上方へ突出した端部131

を有する。この端部131上に第1電極部MG1の外周部が位置する。これにより、第1電極部MG1の外周部と半導体基板11の表面11aとの間の距離を広げることができるので、第1電極部MG1の外周部に電界が集中することを抑制することができる。

[0052] 電荷蓄積部MEMは、N型の半導体領域で構成されている。電荷蓄積部MEMは、絶縁膜14を介して制御電極MGと隣り合っている。例えば、電荷蓄積部MEMは、絶縁膜を介して第1電極部MG1と隣り合う領域に設けられている。また、電荷蓄積部MEMは、絶縁膜14を介して第2電極部MG2と隣り合う領域にも設けられている。電荷蓄積部MEMは、第1電極部MG1及び第2電極部MG2に沿って、半導体基板11の表面11aからトレンチH1の底部まで連続して設けられている。すなわち、電荷蓄積部MEMは、半導体基板11の表面11aからトレンチH1の側面を通りトレンチH1の底部まで連続して設けられている。

[0053] なお、図3B、図3Cに示すように、第1転送ゲートTG1及び制御電極MGの各側面には、絶縁膜で構成されるサイドウォールSWが設けられていてもよい。図示しないが、第2転送ゲートTG2の側面にも、絶縁膜で構成されるサイドウォールが設けられていてもよい。

[0054] 図4Aは、本開示の実施形態1に係る撮像装置1における画素の配置例1を示す平面図である。図4Bは、図4Aに示す平面図をX-X'線で切断した断面図である。図4A及び図4Bに示すように、撮像装置1は、半導体基板11の表面11aに平行な方向に並んで配置された（例えば、X軸方向及びY軸方向にそれぞれ並んで配置された）複数の画素10を有する。複数の画素10は、互いに隣接して配置されている。

[0055] 図5Aは、本開示の実施形態1に係る撮像装置1における画素の配置例2を示す平面図である。図5Bは、図5Aに示す平面図をX-X'線で切断した断面図である。図5A及び図5Bに示すように、撮像装置1は、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10、10-1を有してもよい。画素10は本開示の「第1画素」の一例であり、画素10-1は

本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10-1の形状は、画素10を左右反転させた形状である。画素10、10-1は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0056] 図6は、本開示の実施形態1に係る撮像装置1における画素の配置例3を示す平面図である。図6に示すように、撮像装置1は、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10、10-2を有してもよい。画素10は本開示の「第1画素」の一例であり、画素10-2は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10-2の形状は、画素10を上下反転させた形状（すなわち、左右反転させて、さらに180°回転させた形状）である。画素10、10-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0057] 図7は、本開示の実施形態1に係る撮像装置1における画素の配置例4を示す平面図である。図7に示すように、撮像装置1は、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10、10-1、10-2、10-3を有してもよい。画素10は本開示の「第1画素」の一例である。画素10-1、10-2、10-3は、それぞれが本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10-3の形状は、画素10を180°回転させた形状である。

[0058] 画素10、10-1、10-2、10-3は、X軸方向及びY軸方向にそれぞれ任意の順で交互に配置されていてもよい。また、画素10、10-1、10-2、10-3は、任意の組み合わせで互いに隣接して配置されていてもよい。例えば、図7に示す画素10、10-1、10-2、10-3を一組のユニットとし、このユニットがX軸方向及びY軸方向にそれぞれ繰り返し配置されていてもよい。このユニットが互いに隣接して配置されていてもよい。

[0059] 上記の配置例1から4に示されるように、本開示の実施形態1では、画素10を平面視で反転させた形状としてもよいし、回転させた形状としてもよいし、反転させて回転させた形状としてもよい。また、これらの画素10を

任意の組み合わせで並べて配置してもよい。これにより、撮像装置 1 における画素 10 のレイアウトの自由度を高めることができる。

[0060] (実施形態 1 の効果)

以上説明したように、本開示の実施形態 1 に係る撮像装置 1 は、半導体基板 11 内に設けられ、光を電荷に変換するフォトダイオード PD と、半導体基板 11 に設けられ、フォトダイオード PD で生じた電荷が転送される浮遊拡散領域 FD と、半導体基板 11 に設けられ、フォトダイオード PD から浮遊拡散領域 FD へ電荷が転送される転送経路の途中に配置された電荷蓄積部 MEM と、電荷の転送経路のうちフォトダイオード PD から電荷蓄積部 MEM との間に配置され、フォトダイオード PD から電荷蓄積部 MEM へ電荷を転送する第 1 転送トランジスタ TR1 と、電荷蓄積部 MEM と隣り合う位置に配置され、電荷蓄積部 MEM の電位を制御する制御電極 MG と、を有する。

[0061] 制御電極 MG は、半導体基板 11 の表面 11a 上に設けられ、半導体基板 11 の厚さ方向において電荷蓄積部 MEM と重なる位置に配置された第 1 電極部 MG1 と、第 1 電極部 MG1 に接続し、半導体基板 11 の表面 11a から半導体基板 11 の深さ方向へ埋設された第 2 電極部 MG2 と、を有する。

[0062] 第 1 転送トランジスタ TR1 から電荷蓄積部 MEM への電荷の転送方向を第 1 転送方向 DT1 とすると、第 2 電極部 MG2 は、第 1 転送方向 DT1 において電荷蓄積部 MEM を挟んで第 1 転送トランジスタ TR1 の反対側に配置されている。例えば、第 2 電極部 MG2 は、第 1 転送方向 DT1 において電荷蓄積部 MEM を挟んで第 1 転送トランジスタ TR1 の反対側にのみ、配置されている。

[0063] これによれば、第 1 電極部 MG1 は、半導体基板 11 の表面 11a 上に配置されており、半導体基板 11 の内部には配置されていない。また、第 2 電極部 MG2 は、半導体基板 11 の内部に配置されているが、その位置は電荷蓄積部 MEM の第 1 転送方向 DT1 における突き当りの位置であり、電荷の転送経路ではない。制御電極 MG は、電荷の転送を妨げないように配置され

ているため、電荷の転送経路を単純化することができ、電荷の転送特性（例えば、転送効率）の向上が可能である。

[0064] また、電荷蓄積部MEMの第1転送方向DT1における突き当りの位置は、第1転送方向DT1に進む電荷が集まり易い位置である。この位置に第2電極部MG2が配置されているため、電荷蓄積部MEMへの電荷蓄積が容易となり、電荷蓄積部MEMの容量を効率良く増大させることが可能である。

[0065] 以上から、撮像装置1は、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。

[0066] また、第2電極部MG2は、第1転送方向DT1における第1転送トランジスタTR1と電荷蓄積部MEMとの間には配置されていない。これにより、第2電極部MG2は、第1転送トランジスタTR1から電荷蓄積部MEMへの電荷の転送を妨げないようにすることができる。

[0067] 第2電極部MG2は、第2転送方向DT2における電荷蓄積部MEMと第2転送トランジスタTR2との間には配置されていない。これにより、第2電極部MG2は、第1転送トランジスタTR1から電荷蓄積部MEMへの電荷の転送を妨げないようにすることができる。

[0068] また、撮像装置1は、半導体基板11の表面11aから深さ方向に設けられたトレンチH1と、トレンチH1内に設けられた埋込絶縁膜13と、を有する。第2電極部MG2及び埋込絶縁膜13はトレンチH1内に配置されている。第2電極部MG2を挟んで電荷蓄積部MEMの反対側に埋込絶縁膜13が位置する。これによれば、埋込絶縁膜13は、第2電極部MG2を挟んで電荷蓄積部MEMの反対側（すなわち、第2電極部MG2の外側）に不要な電界や、不要な電荷蓄積領域、意図しないチャネルが形成されることを防ぐことができる。これにより、暗電流等のノイズ発生を抑制することができる。

[0069] （実施形態1の変形例）

制御電極MGと電荷蓄積部MEMとの間に配置される絶縁膜14は、部分的に膜厚が異なってもよい。

[0070] (1) 変形例 1

図 8 は、本開示の実施形態 1 の変形例 1 に係る制御電極 MG とその周辺部を示す断面図である。図 8 に示すように、制御電極 MG と半導体基板 11 との間に配置される絶縁膜 14 は、第 1 絶縁膜 141 と、第 2 絶縁膜 142 とを有してもよい。第 1 絶縁膜 141 は、第 1 電極部 MG1 と電荷蓄積部 MEM との間に設けられている。第 2 絶縁膜 142 は、第 2 電極部 MG2 と電荷蓄積部 MEM との間に設けられている。

[0071] 例えば、第 1 絶縁膜 141 と第 2 絶縁膜 142 は、互いに同一組成を有する。一例を挙げると、第 1 絶縁膜 141 と第 2 絶縁膜 142 は、それぞれシリコン酸化膜で構成されている。また、第 1 絶縁膜 141 と第 2 絶縁膜 142 は、互いに異なる膜厚を有する。一例を挙げると、第 1 絶縁膜 141 の膜厚は第 2 絶縁膜 142 の膜厚よりも薄い。

[0072] これによれば、例えば、トレンチ H1 の底部に位置する第 2 電極部 MG2 の角部には、電界が集中し易いが、この角部を含む領域に厚膜の第 2 絶縁膜 142 を設けることにより、電界集中を抑制することができる。これにより、電界集中が原因で暗電流等のノイズが発生することを抑制することができる。

[0073] 一方、半導体基板 11 の表面 11a は、上記の角部よりも電界が集中し難い。この電界が集中し難い表面 11a に薄膜の第 1 絶縁膜 141 を設けることにより、第 1 絶縁膜 141 下の電荷蓄積部 MEM に電荷をより多く蓄積することが可能となる。暗電流等のノイズ発生を抑制しつつ、電荷蓄積部 MEM の容量をさらに増大することが可能である。

[0074] (2) 変形例 2

図 9 は、本開示の実施形態 1 の変形例 2 に係る制御電極 MG とその周辺部を示す断面図である。図 9 に示すように、制御電極 MG と半導体基板 11 との間に配置される絶縁膜 14 は、第 1 絶縁膜 141、第 3 絶縁膜 143 及び第 4 絶縁膜 144 とを有してもよい。第 1 絶縁膜 141 は、第 1 電極部 MG1 と電荷蓄積部 MEM との間と、第 2 電極部 MG2 と電荷蓄積部 MEM との

間とにそれぞれ設けられている。第3絶縁膜143は、第1電極部MG1と第2電極部MG2とが接続する領域の角部（すなわち、トレンチH1の開口端の角部）と電荷蓄積部MEMとの間に設けられている。第4絶縁膜144は、トレンチH1の底部から、トレンチH1の側面と埋込絶縁膜13との間を、半導体基板11の表面11aまで設けられている。

[0075] 例えば、第1絶縁膜141、第3絶縁膜143及び第4絶縁膜144は、互いに同一組成を有する。一例を挙げると、第1絶縁膜141、第3絶縁膜143及び第4絶縁膜144は、それぞれシリコン酸化膜で構成されている。

[0076] また、第1絶縁膜141と、第3絶縁膜143は互いに異なる膜厚を有する。例えば、第3絶縁膜143の膜厚は、第1絶縁膜141の膜厚よりも厚い。厚膜の第3絶縁膜143によって、トレンチH1の開口端の角部での電界集中を抑制することができ、暗電流等のノイズ発生を抑制することができる。薄膜の第1絶縁膜141によって、電荷蓄積部MEMの容量をさらに増大することが可能である。

[0077] さらに、第1絶縁膜141と、第4絶縁膜144は互いに異なる膜厚を有する。例えば、第4絶縁膜144の膜厚は、第1絶縁膜141の膜厚よりも厚い。厚膜の第4絶縁膜144によって、トレンチH1の底部の角部での電界集中を抑制することができ、暗電流等のノイズ発生を抑制することができる。

[0078] <実施形態2>

上記の実施形態1では、第2電極部MG2を、第1転送方向DT1において電荷蓄積部MEMを挟んで第1転送トランジスタTR1の反対側のみに配置することを説明した。しかしながら、本開示の実施形態において、第2電極部MG2の配置はこれに限定されない。第2電極部MG2は、上記第1転送トランジスタTR1の反対側に加えて、他の領域にも配置してもよい。

[0079] 図10Aは、本開示の実施形態2に係る撮像装置1Aの画素10Aの構成例を示す平面図である。図10Bは、本開示の実施形態1に係る画素10A

の構成例を示す断面図である。図10Bは、図10Aに示す平面図をX1-X1'線で切断した断面図である。なお、図10Aに示す平面図には、X-X'線と、X1-X1'線とが記載されている。図10Aに示す平面図をX-X'線で切断した断面図とその拡大図は、図3B、図3Cの各図と同じであるため、その図示は省略する。

[0080] 図10A及び図10Bに示す画素10Aにおいて、図3Aから図3Cに示した画素10との違いは、トレンチH1、第2電極部MG2及び埋込絶縁膜13の配置である。それ以外の構成は同じであるため、その説明は省略する。

[0081] 図10A及び図10Bに示す画素10Aでは、第1転送方向DT1における第1転送トランジスタTR1と電荷蓄積部MEMとの間、及び、第2転送方向DT2における電荷蓄積部MEMと第2転送トランジスタTR2との間を除いて、トレンチH1、第2電極部MG2及び埋込絶縁膜13は、電荷蓄積部MEMの周縁の全域に沿って配置されている。

[0082] 例えば、図10Bに示す断面では、電荷蓄積部MEMの両側にトレンチH1が設けられている。トレンチH1内に第2電極部MG2と埋込絶縁膜13とが配置されている。トレンチH1内において、埋込絶縁膜13は第2電極部MG2を挟んで電荷蓄積部MEMの反対側に配置されている。

[0083] 実施形態2においても、実施形態1と同様に、複数の画素10Aを並べて配置することができる。

[0084] 図11は、本開示の実施形態2に係る撮像装置1A（本開示の「光検出装置」の一例）における画素の配置例1を示す平面図である。図11に示すように、撮像装置1Aは、半導体基板11の表面11aに平行な方向に並んで配置された（例えば、X軸方向及びY軸方向にそれぞれ並んで配置された）複数の画素10Aを有する。複数の画素10Aは、互いに隣接して配置されている。

[0085] 図12は、本開示の実施形態2に係る撮像装置1Aにおける画素の配置例2を示す平面図である。図12に示すように、撮像装置1Aは、X軸方向及

びY軸方向にそれぞれ並んで配置された複数の画素10A、10A-1を有してもよい。画素10Aは本開示の「第1画素」の一例であり、画素10A-1は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10A-1の形状は、画素10Aを左右反転させた形状である。画素10A、10A-1は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0086] 図13は、本開示の実施形態2に係る撮像装置1Aにおける画素の配置例3を示す平面図である。図13に示すように、撮像装置1Aは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10A、10A-2を有してもよい。画素10Aは本開示の「第1画素」の一例であり、画素10A-2は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10A-2の形状は、画素10Aを上下反転させた形状である。画素10A、10A-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0087] 図14は、本開示の実施形態2に係る撮像装置1Aにおける画素の配置例4を示す平面図である。図14に示すように、撮像装置1Aは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10A、10A-1、10A-2、10A-3を有してもよい。画素10Aは本開示の「第1画素」の一例である。画素10A-1、10A-2、10A-3は、それぞれが本開示の「第2画素」の一例である。

[0088] Z軸方向からの平面視で、画素10A-3の形状は、画素10Aを180°回転させた形状である。

[0089] 画素10A、10A-1、10A-2、10A-3は、X軸方向及びY軸方向にそれぞれ任意の順で交互に配置されていてもよい。また、画素10A、10A-1、10A-2、10A-3は、任意の組み合わせで互いに隣接して配置されていてもよい。例えば、図14に示す画素10A、10A-1、10A-2、10A-3を一組のユニットとし、このユニットがX軸方向及びY軸方向にそれぞれ繰り返し配置されていてもよい。このユニットが互

いに隣接して配置されていてもよい。

[0090] 上記の配置例 1 から 4 に示されるように、本開示の実施形態 2 では、画素 10A を平面視で反転させた形状としてもよいし、回転させた形状としてもよいし、反転させて回転させた形状としてもよい。また、これらの画素 10A を任意の組み合わせで並べて配置してもよい。これにより、撮像装置 1A における画素 10A のレイアウトの自由度を高めることができる。

[0091] 本開示の実施形態 2 に係る撮像装置 1A においても、実施形態 1 に係る撮像装置 1 と同様に、制御電極 MG は電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極 MG の第 2 電極部 MG2 は、電荷蓄積部 MEM の第 1 転送方向 DT1 における突き当りの位置に配置されているため、電荷蓄積部 MEM の容量を効率良く増大させることが可能である。これにより、電荷蓄積部 MEM の容量増大と電荷の転送特性の向上とを両立させることができる。

[0092] また、制御電極 MG の第 2 電極部 MG2 は、第 1 転送方向 DT1 における第 1 転送トランジスタ TR1 と電荷蓄積部 MEM との間と、第 2 転送方向 DT2 における電荷蓄積部 MEM と第 2 転送トランジスタ TR2 との間とを除いて、電荷蓄積部 MEM の周縁の全域に沿って配置されている。これにより、第 2 電極部 MG2 と電荷蓄積部 MEM との対向面積が増えるので、電荷蓄積部 MEM の容量をさらに増大させることが可能である。

[0093] (実施形態 2 の変形例)

(1) 変形例 1

図 15 は、本開示の実施形態 2 の変形例 1 に係る制御電極 MG とその周辺部を示す断面図である。図 15 に示す断面図において、図 10B に示した断面図との違いは、トレンチ H1 の表面 11a からの深さを深くし、第 2 電極部 MG2 の深さ方向（例えば、Z 軸方向）への長さを長くした点にある。

[0094] 図 15 に示すように、電荷蓄積部 MEM は、第 2 電極部 MG2 によって両側から挟まれている。この変形例 1 では、第 1 電極部 MG1 の幅方向（例えば、X 軸方向）の長さを W とし、第 2 電極部 MG2 の表面 11a から深さ方

向（例えば、Z軸方向）への長さを L とすると、 $W < L$ となっている。すなわち、制御電極MGは、平面部である第1電極部MG1よりも、掘込部である第2電極部MG2の方が長くなっている。

[0095] これにより、制御電極MGの平面視による面積の増大を抑えつつ（すなわち、電荷蓄積部MEMの平面視による面積の増大を抑えつつ）、電荷蓄積部MEMの容量を増大させることが可能となる。これにより、画素を微細化できる可能性がある。

[0096] （2）変形例2

図16は、本開示の実施形態2の変形例2に係る制御電極MGとその周辺部を示す断面図である。図16に示すように、第2電極部MG2は、制御電極MGの一方の側に位置する第3電極部MG21と、制御電極MGの一方の側に位置する第4電極部MG22とを有する。例えば、第3電極部MG21は画素の外周に近い側に位置し、第4電極部MG22は画素の中央に近い側に位置する。この変形例2では、第3電極部MG21の表面11aから深さ方向（例えば、Z軸方向）への長さ L_1 と、第3電極部MG21の表面11aから深さ方向（例えば、Z軸方向）への長さ L_2 とが異なる。例えば、 $L_1 > L_2$ となっている。

[0097] 第3電極部MG21の直下近傍までフォトダイオードPDを広げて配置することができる。例えば、半導体基板11の厚さ方向（例えば、Z軸方向）において、第4電極部MG22はフォトダイオードPDと重なる位置に配置され、第3電極部MG21はフォトダイオードPDと重ならない位置に配置されている。これにより、フォトダイオードPDの面積増加が可能となるため、飽和電荷量（ Q_s ）を増大させることが可能である。

[0098] （3）変形例3

実施形態2においても、実施形態1の変形例1と同様の構成を採ることができる。図17は、本開示の実施形態2の変形例3に係る制御電極MGとその周辺部を示す断面図である。図17に示すように、この変形例3においても、第1絶縁膜141と第2絶縁膜142は、互いに同一組成を有する。例

例えば、第1絶縁膜141と第2絶縁膜142は、それぞれシリコン酸化膜で構成されている。また、第1絶縁膜141と第2絶縁膜142は、互いに異なる膜厚を有する。例えば、第1絶縁膜141の膜厚は第2絶縁膜142の膜厚よりも薄い。これにより、角部での電界集中を抑制し、暗電流等のノイズ発生を抑制しつつ、電荷蓄積部MEMの容量をさらに増大することが可能である。

[0099] (4) 変形例4

実施形態2においても、実施形態1の変形例2と同様の構成を採ることができる。図18は、本開示の実施形態2の変形例4に係る制御電極MGとその周辺部を示す断面図である。図18に示すように、この変形例4においても、第1絶縁膜141、第3絶縁膜143及び第4絶縁膜144は、互いに同一組成を有する。例えば、第1絶縁膜141、第3絶縁膜143及び第4絶縁膜144は、それぞれシリコン酸化膜で構成されている。

[0100] 第1絶縁膜141と、第3絶縁膜143は互いに異なる膜厚を有する。例えば、トレンチH1の開口端の角部近傍に配置された第3絶縁膜143の膜厚は、第1絶縁膜141の膜厚よりも厚い。また、第1絶縁膜141と、第4絶縁膜144は互いに異なる膜厚を有する。例えば、トレンチH1の側面と埋込絶縁膜13との間に配置された第4絶縁膜144の膜厚は、第1絶縁膜141の膜厚よりも厚い。これにより、角部での電界集中を抑制し、暗電流等のノイズ発生を抑制しつつ、電荷蓄積部MEMの容量をさらに増大することが可能である。

[0101] (5) 変形例5

図19は、本開示の実施形態2の変形例5に係る画素10AAの構成例を示す平面図である。図19に示す画素10AAにおいて、図10Aに示した画素10Aとの違いは、Z軸方向からの平面視で、制御電極MGが有する複数の角部MG-Cの少なくとも一つ以上が、複数の鈍角又は曲線で構成されるように面取りされている点である。図19では、制御電極MGが有する4つの角部MG-Cのうち、3つの角部が面取りされている。3つの角部の各

々は、2つの鈍角（例えば、内角が135°）で構成されるように面取りされている。

[0102] 図19に示す平面図をX-X'線で切断した断面図とその拡大図は、図3B、図3Cの各図と同じである。この変形例5においても、上記の実施形態2と同様に、複数の画素10AAをX軸方向及びY軸方向に並べて配置してよい。複数の画素10AAの少なくとも一部について、平面視による形状が、画素10AAを反転させた形状、画素10AAを回転させた形状、又は、画素10AAを反転させて、さらに回転させた形状であってもよい。また、これらの画素10AAを任意の組み合わせで並べて配置してもよい。これにより、撮像装置1Aにおける画素10Fのレイアウトの自由度を高めることができる。

[0103] この変形例5は、上記の実施形態2と同様の効果を奏する。また、制御電極MGの角部MG-Cが面取りされているので、角部MG-Cでの電界集中を抑制することができる。これにより、暗電流等のノイズ発生をさらに抑制することが可能である。

[0104] <実施形態3>

上記の実施形態1、2では、Z軸方向からの平面視で、制御電極MGの形状が矩形、または角部MG-Cが面取りされた矩形である場合を示した。しかしながら、本開示の実施形態において、制御電極MGの平面視による形状は矩形に限定されない。例えば、制御電極MGの平面視による形状はL字型であってもよい。L字型の角部の少なくとも一部が面取りされていてもよい。

[0105] 図20は、本開示の実施形態3に係る撮像装置1Bの画素10Bの構成例を示す平面図である。図20に示す画素10Bにおいて、図3Aから図3Cに示した画素10との違いは、Z軸方向からの平面視で、制御電極MGの形状がL字型である点である。また、このL字型の外周に沿って埋込絶縁膜13が設けられている点である。それ以外の構成は同じであるため、その説明は省略する。なお、図20に示す平面図をY-Y'線で切断した断面図とそ

の拡大図は、図 3 B、図 3 C の各図と同じである。

[0106] 図 20 に示すように、画素 10B が有する制御電極 MG の平面視による形状は L 字型である。制御電極 MG は、平面視で、X 軸方向に延設された第 1 部位 MGA と、Y 軸方向に延設された第 2 部位 MGB とを有する。第 1 部位 MGA の X 軸方向における一方の端部に、第 2 部位 MGB の Y 軸方向における一方の端部が接続して、L 字型を構成している。

[0107] 制御電極 MG の周縁のうち、画素 10B の中央に近い側の周縁を内周とし、画素 10B の中央から遠い側を外周とすると、第 2 電極部 MG2 は、制御電極 MG の外周に沿って設けられている。これにより、第 2 電極部 MG2 は、少なくとも、第 1 転送方向 DT1 において電荷蓄積部 MEM を挟んで第 1 転送トランジスタ TR1 の反対側に配置されている。また、第 2 電極部 MG2 と同様に、埋込絶縁膜 13 も、制御電極 MG の外周に沿って設けられている。

[0108] 制御電極 MG の平面視による形状が L 字型であるため、その下方に位置する電荷蓄積部 MEM も L 字型となり、電荷の転送経路も L 字型となる。制御電極 MG の平面視による形状が直線型の場合と比べて、画素 10B 内で制御電極 MG の長さを長くすることが容易である。制御電極 MG の下方に位置する電荷蓄積部 MEM の容量を増大させることが容易である。

[0109] また、図 20 に示すように、制御電極 MG の角部 MGC の少なくとも一部が、平面視で面取りされている。例えば、L 字型を有する制御電極 MG において、X 軸方向に延設された第 1 部位 MGA と Y 軸方向に延設された第 2 部位 MGB との接続部の角部 MGC が、面取りされている。これにより、角部 MGC での電界集中を抑制することができ、暗電流等のノイズ発生をさらに抑制することが可能である。

[0110] 実施形態 3 においても、実施形態 1、2 と同様に、複数の画素 10B を並べて配置することができる。複数の画素 10B の少なくとも一部の形状を、画素 10B を反転させた形状、画素 10B を回転させた形状、又は、画素 10B を反転させて、さらに回転させた形状としてもよい。以下、配置例 1、

2を示す。

[0111] 図21は、本開示の実施形態3に係る撮像装置1B（本開示の「光検出装置」の一例）における画素の配置例1を示す平面図である。図21に示すように、撮像装置1Bは、半導体基板11の表面11aに平行な方向に並んで配置された（例えば、X軸方向及びY軸方向にそれぞれ並んで配置された）複数の画素10Bを有する。複数の画素10Bは、互いに隣接して配置されている。

[0112] 図22は、本開示の実施形態3に係る撮像装置1Bにおける画素の配置例2を示す平面図である。図22に示すように、撮像装置1Bは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10B、10B-1、10B-2、10B-3を有してもよい。画素10Bは本開示の「第1画素」の一例である。画素10B-1、10B-2、10B-3は、それぞれが本開示の「第2画素」の一例である。

[0113] Z軸方向からの平面視で、画素10B-1の形状は、画素10Bを左右反転させた形状である。画素10B-2の形状は、画素10Bを上下反転させた形状である。画素10B-3の形状は、画素10Bを180°回転させた形状である。

[0114] 画素10B、10B-1、10B-2、10B-3は、X軸方向及びY軸方向にそれぞれ任意の順で交互に配置されていてもよい。また、画素10B、10B-1、10B-2、10B-3は、任意の組み合わせで互いに隣接して配置されていてもよい。例えば、図22に示す画素10B、10B-1、10B-2、10B-3を一組のユニットとし、このユニットがX軸方向及びY軸方向にそれぞれ繰り返し配置されていてもよい。このユニットが互いに隣接して配置されていてもよい。

[0115] 上記の配置例1、2に示されるように、本開示の実施形態3では、画素10Bを平面視で反転させた形状としてもよいし、回転させた形状としてもよいし、反転させて回転させた形状としてもよい。また、これらの画素10Bを任意の組み合わせで並べて配置してもよい。これにより、撮像装置1Bに

おける画素 10B のレイアウトの自由度を高めることができる。

[0116] 本開示の実施形態 3 に係る撮像装置 1B においても、実施形態 1 に係る撮像装置 1 と同様に、制御電極 MG は電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極 MG の第 2 電極部 MG2 は、電荷蓄積部 MEM の第 1 転送方向 DT1 における突き当りの位置に配置されているため、電荷蓄積部 MEM の容量を効率良く増大させることが可能である。これにより、電荷蓄積部 MEM の容量増大と電荷の転送特性の向上とを両立させることができる。

[0117] また、制御電極 MG の平面視による形状が L 字型であるため、電荷の転送方向における制御電極 MG の長さ（すなわち、電荷蓄積部 MEM の長さ）を長くすることが容易である。これにより、電荷蓄積部 MEM により多くの電荷を蓄積することができるので、画素の信号出力を増大させることが可能である。

[0118] （実施形態 3 の変形例）

（1）変形例 1

上記の実施形態 3 では、第 2 電極部 MG2 が、制御電極 MG の外周に沿って設けられていることを説明した。しかしながら、本開示の実施形態 3 はこれに限定されない。例えば、Y 軸方向に延設された第 2 部位 MGB は、第 1 電極部 MG1 のみで構成されていてもよい。X 軸方向に延設された第 1 部位 MGA の外周にのみ、第 2 電極部 MG2 が配置されていてもよい。さらに、第 1 部位 MGA の外周のうち、第 1 転送方向 DT1 において電荷蓄積部 MEM を挟んで第 1 転送トランジスタ TR1 の反対側に位置する領域にのみ、第 2 電極部 MG2 が配置されていてもよい。

[0119] このような構成であっても、電荷の転送を妨げないように第 2 電極部 MG2 が配置されることによって、電荷蓄積部 MEM の容量増大と電荷の転送特性の向上とを両立させることができる。

[0120] （2）変形例 2

上記の実施形態 3 では、制御電極 MG の角部 MGC の少なくとも一部が

、平面視で面取りされていることを説明した。しかしながら、本開示の実施形態3はこれに限定されない。制御電極MGの角部MG-Cは面取りされていなくてもよい。このような構成であって、電荷の転送を妨げないように第2電極部MG2が配置されることによって、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。

[0121] <実施形態4>

本開示の実施形態では、隣り合う画素間に画素間分離部を配置してもよい。画素間分離部は、半導体基板11を貫通する貫通分離部でもよいし、半導体基板11の表面11a側（または、裏面11b側）から半導体基板11の厚さ方向の途中位置まで設けられた非貫通分離部であってもよい。また、第2電極部MG2に沿って配置される埋込絶縁膜13の少なくとも一部が、画素間分離部で兼用されていてもよい。

[0122] 図23Aは、本開示の実施形態4に係る撮像装置1C（本開示の「光検出装置」の一例）の画素10Cの構成例を示す平面図である。図23Bは、本開示の実施形態4に係る画素10Cの構成例を示す断面図である。図23Bは、図23Aに示す平面図をX2-X2'線で切断した断面図である。

[0123] 図23A及び図23Bに示す画素10Cにおいて、図3Aから図3Cに示した画素10との違いは、画素10Cの外周部に画素間分離部16が配置されている点と、第2電極部MG2に沿って配置される埋込絶縁膜13の一部が画素間分離部16で兼用されている点である。それ以外の構成は同じであるため、その説明は省略する。

[0124] 図23A及び図23Bに示すように、撮像装置1Cは、画素間分離部16を有する。画素間分離部16は、例えば、シリコン酸化膜又はシリコン窒化膜等の絶縁膜で構成されている。画素間分離部16は、画素10Cの外周部に配置されており、隣り合う一方の画素10Cと他方の画素10Cとの間を電氣的に分離している。

[0125] 画素10Cでは、画素間分離部16が、第2電極部MG2に沿って配置される埋込絶縁膜13の一部を兼ねている。すなわち、埋込絶縁膜13の一部

が画素間分離部 16 で置き換えられている。

[0126] 複数の画素 10C の各々が、フォトダイオード PD と、第 1 転送トランジスタ TR1、電荷蓄積部 MEM、制御電極 MG、第 2 転送トランジスタ TR2、浮遊拡散領域 FD、リセットトランジスタ RST、増幅トランジスタ AMP、及び選択トランジスタ SEL を有する。実施形態 4 においても、上記の実施形態 1 から 3 と同様に、画素 10C の配置について、複数の配置例を採ることができる。

[0127] 図 24A は、本開示の実施形態 4 に係る撮像装置 1C における画素の配置例 1 を示す平面図である。図 24B は、図 24A に示す平面図を X2-X2' 線で切断した断面図である。図 24A 及び図 24B に示すように、撮像装置 1C は、半導体基板 11 の表面 11a に平行な方向に並んで配置された（例えば、X 軸方向及び Y 軸方向にそれぞれ並んで配置された）複数の画素 10C を有する。複数の画素 10C は、互いに隣接して配置されている。

[0128] 図 25A は、本開示の実施形態 4 に係る撮像装置 1C における画素の配置例 2 を示す平面図である。図 25B は、図 25A に示す平面図を X2-X2' 線で切断した断面図である。図 25A 及び図 25B に示すように、撮像装置 1C は、X 軸方向及び Y 軸方向にそれぞれ並んで配置された複数の画素 10C、10C-1 を有してもよい。画素 10C は本開示の「第 1 画素」の一例であり、画素 10C-1 は本開示の「第 2 画素」の一例である。Z 軸方向からの平面視で、画素 10C-1 の形状は、画素 10C を左右反転させた形状である。画素 10C、10C-1 は、X 軸方向及び Y 軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0129] 図 26 は、本開示の実施形態 4 に係る撮像装置 1C における画素の配置例 3 を示す平面図である。図 26 に示すように、撮像装置 1C は、X 軸方向及び Y 軸方向にそれぞれ並んで配置された複数の画素 10C、10C-2 を有してもよい。画素 10C は本開示の「第 1 画素」の一例であり、画素 10C-2 は本開示の「第 2 画素」の一例である。Z 軸方向からの平面視で、画素 10C-2 の形状は、画素 10C を上下反転させた形状である。画素 10C

、10C-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0130] 図27は、本開示の実施形態4に係る撮像装置1Cにおける画素の配置例4を示す平面図である。図27に示すように、撮像装置1Cは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10C、10C-1、10C-2、10C-3を有してもよい。画素10Cは本開示の「第1画素」の一例である。画素10C-1、10C-2、10C-3は、それぞれが本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10C-3の形状は、画素10Cを180°回転させた形状である。

[0131] 画素10C、10C-1、10C-2、10C-3は、X軸方向及びY軸方向にそれぞれ任意の順で交互に配置されていてもよい。また、画素10C、10C-1、10C-2、10C-3は、任意の組み合わせで互いに隣接して配置されていてもよい。例えば、図27に示す画素10C、10C-1、10C-2、10C-3を一組のユニットとし、このユニットがX軸方向及びY軸方向にそれぞれ繰り返し配置されていてもよい。このユニットが互いに隣接して配置されていてもよい。

[0132] 上記の配置例1から4に示されるように、本開示の実施形態4では、画素10Cを平面視で反転させた形状としてもよいし、回転させた形状としてもよいし、反転させて回転させた形状としてもよい。また、これらの画素10Cを任意の組み合わせで並べて配置してもよい。これにより、撮像装置1Cにおける画素10Cのレイアウトの自由度を高めることができる。

[0133] 本開示の実施形態4に係る撮像装置1Cにおいても、実施形態1に係る撮像装置1と同様に、制御電極MGは電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極MGの第2電極部MG2は、電荷蓄積部MEMの第1転送方向DT1における突き当りの位置に配置されているため、電荷蓄積部MEMの容量を効率良く増大させることが可能である。これにより、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。また、埋込絶縁膜13の少なくとも

一部が、画素間分離部 1 6 で兼用されるため、兼用した分だけ埋込絶縁膜 1 3 の面積を低減することが可能である。これにより、画素 1 0 C のさらなる微細化、低面積化が可能である。

[0134] <実施形態 5>

上記の実施形態 4 では、本開示の「埋込酸化膜」の一部が画素間分離部 1 6 で兼用されることを説明した。しかしながら、本開示の実施形態では、本開示の「埋込酸化膜」の一部ではなく、「埋込酸化膜」の全てが画素間分離部 1 6 で兼用されていてもよい。

[0135] 図 2 8 A は、本開示の実施形態 5 に係る撮像装置 1 C の画素 1 0 D の構成例を示す平面図である。図 2 8 B は、本開示の実施形態 5 に係る画素 1 0 D の構成例を示す断面図である。図 2 8 B は、図 2 8 A に示す平面図を X 3 - X 3 ' 線で切断した断面図である。

[0136] 図 2 8 A 及び図 2 8 B に示す画素 1 0 D において、図 2 5 A 及び図 2 5 B に示した画素 1 0 C との違いは、本開示の「埋込酸化膜」の全てが画素間分離部 1 6 で兼用されている点と、制御電極 MG が画素間分離部 1 6 に沿って長く形成され、かつ第 2 電極部 MG 2 が深く形成されている点と、制御電極 MG の平面視による幅（図 2 5 A では、X 軸方向の幅）が部分的に異なっている点である。それ以外の構成は同じであるため、その説明は省略する。

[0137] 図 2 8 A 及び図 2 8 B に示すように、画素 1 0 D では、図 2 8 A 及び図 2 8 B 等 に示した埋込絶縁膜 1 3 はない。第 2 電極部 MG 2 は画素間分離部 1 6 に沿って配置されており、画素間分離部 1 6 が本開示の「埋込酸化膜」の一例となる。このような構成であっても、電荷の転送を妨げないようにより第 2 電極部 MG 2 が配置されることによって、電荷蓄積部 MEM の容量増大と電荷の転送特性の向上とを両立させることができる。また、埋込絶縁膜 1 3 の全てが画素間分離部 1 6 で兼用されるため、画素 1 0 C のさらなる微細化、低面積化が可能である。

[0138] また、図 2 8 A に示すように、制御電極 MG が画素間分離部 1 6 に沿って長く形成されている。図 2 8 B に示すように、制御電極 MG の第 2 電極部 M

G 2 は、半導体基板 1 1 の表面 1 1 a から深さ方向（例えば、Z 軸方向）へ長く形成されている。例えば、第 2 電極部 M G 2 の表面 1 1 a から深さ方向への長さを L とし、トレンチゲート構造を有する第 1 転送ゲート T G 1 の表面 1 1 a からの深さ方向への長さを L_{TG} とすると、 L は L_{TG} よりも長い ($L > L_{TG}$)。

[0139] これによれば、制御電極 M G の平面部である第 1 電極部 M G 1 の面積を低減しつつ、電荷蓄積部 M E M の容量を画素間分離部 1 6 に沿って増やすことができるので、画素 1 0 D の微細化に有利である。

[0140] また、制御電極 M G において、第 2 転送トランジスタ T R 2 と向かい合う部分の幅 W_1 （図 2 8 A では、X 軸方向の幅）は、他の部分の幅 W_2 よりも大きい ($W_1 > W_2$)。これにより、第 2 転送トランジスタ T R 2 による、電荷蓄積部 M E M から浮遊拡散領域 F D への電荷の転送効率を向上することが可能である。

[0141] 実施形態 5 においても、上記の実施形態 1 から 4 と同様に、画素 1 0 D の配置について、複数の配置例を採ることができる。

[0142] 図 2 9 は、本開示の実施形態 5 に係る撮像装置 1 D（本開示の「光検出装置」の一例）における画素の配置例 1 を示す平面図である。図 2 9 に示すように、撮像装置 1 D は、半導体基板 1 1 の表面 1 1 a に平行な方向に並んで配置された（例えば、X 軸方向及び Y 軸方向にそれぞれ並んで配置された）複数の画素 1 0 D を有する。複数の画素 1 0 D は、互いに隣接して配置されている。

[0143] 図 3 0 は、本開示の実施形態 5 に係る撮像装置 1 D における画素の配置例 2 を示す平面図である。図 3 0 に示すように、撮像装置 1 D は、X 軸方向及び Y 軸方向にそれぞれ並んで配置された複数の画素 1 0 D、1 0 D - 1 を有してもよい。画素 1 0 D は本開示の「第 1 画素」の一例であり、画素 1 0 D - 1 は本開示の「第 2 画素」の一例である。Z 軸方向からの平面視で、画素 1 0 D - 1 の形状は、画素 1 0 D を左右反転させた形状である。画素 1 0 D、1 0 D - 1 は、X 軸方向及び Y 軸方向にそれぞれ交互に、かつ隣接して配

置されている。

[0144] 図31は、本開示の実施形態5に係る撮像装置1Dにおける画素の配置例3を示す平面図である。図31に示すように、撮像装置1Dは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10D、10D-2を有してもよい。画素10Dは本開示の「第1画素」の一例であり、画素10D-2は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10D-2の形状は、画素10Dを上下反転させた形状である。画素10D、10D-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0145] 図32は、本開示の実施形態5に係る撮像装置1Dにおける画素の配置例4を示す平面図である。図32に示すように、撮像装置1Dは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10D、10D-1、10D-2、10D-3を有してもよい。画素10Dは本開示の「第1画素」の一例である。画素10D-1、10D-2、10D-3は、それぞれが本開示の「第2画素」の一例である。

[0146] Z軸方向からの平面視で、画素10D-3の形状は、画素10Dを180°回転させた形状である。

[0147] 画素10D、10D-1、10D-2、10D-3は、X軸方向及びY軸方向にそれぞれ任意の順で交互に配置されていてもよい。また、画素10D、10D-1、10D-2、10D-3は、任意の組み合わせで互いに隣接して配置されていてもよい。例えば、図32に示す画素10D、10D-1、10D-2、10D-3を一組のユニットとし、このユニットがX軸方向及びY軸方向にそれぞれ繰り返し配置されていてもよい。このユニットが互いに隣接して配置されていてもよい。

[0148] 上記の配置例1から4に示されるように、本開示の実施形態5では、画素10Dを平面視で反転させた形状としてもよいし、回転させた形状としてもよいし、反転させて回転させた形状としてもよい。また、これらの画素10Dを任意の組み合わせで並べて配置してもよい。これにより、撮像装置1D

における画素１０Ｄのレイアウトの自由度を高めることができる。

[0149] 本開示の実施形態５に係る撮像装置１Ｄにおいても、実施形態１に係る撮像装置１と同様に、制御電極ＭＧは電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極ＭＧの第２電極部ＭＧ２は、電荷蓄積部ＭＥＭの第１転送方向ＤＴ１における突き当りの位置に配置されているため、電荷蓄積部ＭＥＭの容量を効率良く増大させることが可能である。これにより、電荷蓄積部ＭＥＭの容量増大と電荷の転送特性の向上とを両立させることができる。また、埋込絶縁膜１３の全てが画素間分離部１６で兼用されるため、画素１０Ｃのさらなる微細化、低面積化が可能である。

[0150] ＜実施形態６＞

本開示の実施形態では、フォトダイオードＰＤと電荷蓄積部ＭＥＭとの間に遮光膜が設けられていてもよい。

[0151] 図３３Ａは、本開示の実施形態６に係る撮像装置１Ｅ（本開示の「光検出装置」の一例）の画素１０Ｅの構成例を示す平面図である。図３３Ｂ及び図３３Ｃは、本開示の実施形態６に係る画素１０Ｅの構成例を示す断面図である。図３３Ｂは、図３３Ａに示す平面図をＸ４－Ｘ４′線で切断した断面図である。図３３Ｃは、図３３Ａに示す平面図をＹ４－Ｙ４′線で切断した断面図である。

[0152] 図３３Ａから図３３Ｃに示すように、画素１０Ｅにおいて、画素間分離部１６は、遮光膜１７と、遮光膜１７の両側から挟むように設けられた絶縁膜１８とを有する。遮光膜１７は、例えば銅（Ｃｕ）、アルミニウム（Ａｌ）、又はタングステン（Ｗ）で構成されている。絶縁膜１８は、例えばシリコン酸化膜、又は、シリコン窒化膜で構成されている。これにより、隣接する画素間を遮光することができ、混色の発生等を防ぐことができる。

[0153] また、遮光膜１７と絶縁膜１８は、画素１０Ｅの外周部だけでなく、画素１０Ｅの外周部から画素１０Ｅの中央部まで延設されており、フォトダイオードＰＤと電荷蓄積部ＭＥＭとの間に介在している。例えば、フォトダイオ

ードPDと電荷蓄積部MEMとの間は、遮光膜17で仕切られている。

[0154] これにより、半導体基板11の裏面11bからフォトダイオードPDに入射した光は、遮光膜17で遮光される。半導体基板11の裏面11bに入射した光が、フォトダイオードPDを透過して、電荷蓄積部MEMへ入射することを防ぐことができ、電荷蓄積部MEMで光電変換が生じることを防ぐことができる。

[0155] 本開示の実施形態6においても、上記の実施形態1から5と同様に、複数の画素10EをX軸方向及びY軸方向に並べて配置してよい。複数の画素10Eの少なくとも一部について、平面視による形状が、画素10Eを反転させた形状、画素10Eを回転させた形状、又は、画素10Eを反転させて、さらに回転させた形状であってもよい。また、これらの画素10Eを任意の組み合わせで並べて配置してもよい。これにより、撮像装置1Eにおける画素10Eのレイアウトの自由度を高めることができる。

[0156] 本開示の実施形態6に係る撮像装置1Eにおいても、実施形態1に係る撮像装置1と同様に、制御電極MGは電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極MGの第2電極部MG2は、電荷蓄積部MEMの第1転送方向DT1における突き当りの位置に配置されているため、電荷蓄積部MEMの容量を効率良く増大させることが可能である。これにより、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。

[0157] <実施形態7>

上記の実施形態1から6では、本開示の光検出装置の一例として、グローバルシャッタ方式の撮像装置を説明した。しかしながら、本開示の光検出装置は、グローバルシャッタ方式の撮像装置に限定されない。本開示の光検出装置は、例えば間接TOF方式の測距装置に適用してもよい。

[0158] 図34は、本開示の実施形態7に係る間接TOF方式の測距装置2（本開示の「光検出装置」の一例）の構成例を示す回路図である。図34に示すように、図3に示すように、画素10Fは、光を電荷に変換する光電変換部と

してフォトダイオードPDと、排出トランジスタOFTとを有する。さらに、画素10Fは、第1転送トランジスタTR1、電荷蓄積部MEM、制御電極MG、第2転送トランジスタTR2、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELをそれぞれ2個ずつ有する。

[0159] なお、図34では、これら各符号に枝番-1、-2を付している。しかし、枝番-1、-2を用いて区別して説明する必要がないときは、枝番を省略する。

[0160] 図34に示すように、画素10Fにおいては、フォトダイオードPDで生じた電荷を、第1転送トランジスタTR1-1、Tr1-2が振り分ける。第1転送トランジスタTR1-1、TR1-2のソースは、フォトダイオードPDに電氣的に接続され、第1転送トランジスタTR1-1、TR1-2のドレインは、電荷蓄積部MEM-1、MEM-2にそれぞれ電氣的に接続される。そして、第1転送トランジスタTR1-1、TR1-2は、自身のゲートに印加された電圧に応じて導通状態になり、フォトダイオードPDに蓄積された電荷を電荷蓄積部MEM-1、MEM-2にそれぞれ転送する。

[0161] 測距装置2では、第1転送トランジスタTR1-1、TR1-2のゲートに印加される電圧を、互いに異なるタイミングで変化させることにより、フォトダイオードPDに蓄積された電荷を2つある電荷蓄積部MEM-1、MEM-2のいずれかに振り分ける。

[0162] また、図34に示すように、画素10Fにおいては、第2転送トランジスタTR2-1、TR2-2のソースは、電荷蓄積部MEM-1、MEM-2に電氣的に接続される。さらに、第2転送トランジスタTR2-1、TR2-2のドレインは、浮遊拡散領域FD-1、FD-2に電氣的に接続される。そして、第2転送トランジスタTR2-1、TR2-2は、自身のゲートに印加された電圧に応じて導通状態になり、電荷蓄積部MEM-1、MEM-2に蓄積された電荷を浮遊拡散領域FD-1、FD-2に転送することができる。なお、本開示の実施形態6においては、2つの電荷蓄積部MEM-

1、MEM-2があるため、第2転送トランジスタTR2-1、TR2-2は、1つの浮遊拡散領域FDを共有することも可能である。

[0163] また、浮遊拡散領域FD-1、FD-2は、電荷を電圧に変換して信号として出力する増幅トランジスタAMP-1、AMP-2のゲートに電氣的に接続される。また、増幅トランジスタAMP-1、AMP-2のソースは、選択信号に従って、変換によって得た上記信号を信号線VSL1、VSL2に出力する選択トランジスタSEL-1、SEL-2のドレインに接続される。さらに、増幅トランジスタAMP-1、AMP-2のドレインは、電源VDDに電氣的に接続される。

[0164] また、選択トランジスタSEL-1、SEL-2のソースは、変換された電圧を信号として伝達する上記信号線VSL1、VSL2に電氣的に接続され、さらに上述したカラム処理部34（例えば、図1参照）に電氣的に接続される。さらに、選択トランジスタSEL-1、SEL-2のゲートは、信号を出力する行を選択する選択線（図示省略）に電氣的に接続され、さらに上述した垂直駆動部33（例えば、図1参照）に電氣的に接続される。すなわち、浮遊拡散領域FD-1、FD-2に蓄積された電荷は、選択トランジスタSEL-1、SEL-2の制御により、増幅トランジスタAMP-1、AMP-2によって電圧に変換され、信号線VSL1、VSL2に出力されることとなる。

[0165] また、図34に示すように、浮遊拡散領域FD-1、FD-2は、蓄積した電荷をリセットするためのリセットトランジスタRST-1、RST-2のソースに電氣的に接続される。リセットトランジスタRST-1、RST-2のゲートは、リセット信号線（図示省略）に電氣的に接続され、さらに上述した垂直駆動部33に電氣的に接続される。また、リセットトランジスタRST-1、RST-2のドレインは、電源VDDに電氣的に接続される。そして、リセットトランジスタRST-1、RST-2は、自身のゲートに印加された電圧に応じて導通状態になり、浮遊拡散領域FD-1、FD-2に蓄積された電荷をリセット（電源VDDへ排出）することができる。

[0166] 図35Aは、本開示の実施形態7に係る画素10Fの構成例を示す平面図である。図35Bは、本開示の実施形態7に係る画素10の構成例を示す断面図である。図35Bは、図35Aに示す平面図をX5-X5'線で切断した断面図である。

[0167] 図35A及び図35Bに示すように、画素10F内において、第1転送トランジスタTR1-1、TR1-2は、画素10Fの中心を通る仮想直線（例えば、Y軸に平行な仮想直線）を挟んで、左右対称に配置されている。同様に、制御電極MG-1、MG-2、電荷蓄積部MEM-1、MEM-2、第2転送トランジスタTR2-1、TR2-2、浮遊拡散領域FD-1、FD-2も、画素10Fの中心を通る仮想直線（例えば、Y軸に平行な仮想直線）を挟んで、左右対称に配置されている。

[0168] 図35A及び図35Bに示すように、画素10Fの外周部には埋込絶縁膜13が設けられている。Z軸方向からの平面視で、埋込絶縁膜13は、制御電極MG-1を挟んで第1転送ゲートTG1-1の反対側に配置されている。また、埋込絶縁膜13は、制御電極MG-2を挟んで第1転送ゲートTG1-2の反対側に配置されている。第1転送ゲートTG1-1に隣接して配置された埋込絶縁膜13-1と、第1転送ゲートTG1-2に隣接して配置された埋込絶縁膜13-2は、画素10Fの中心を通る仮想直線（例えば、Y軸に平行な仮想直線）を挟んで、左右対称に配置されている。

[0169] 実施形態7においても、上記の実施形態1から6と同様に、画素10Fの配置について、複数の配置例を採ることができる。

[0170] 図36Aは、本開示の実施形態7に係る測距装置2における画素の配置例1を示す平面図である。図36Bは、本開示の実施形態7に係る測距装置2における画素の配置例1を示す断面図である。図36Bは、図36Aに示す平面図をX5-X5'線で切断した断面図である。図36A及び図36Bに示すように、測距装置2は、半導体基板11の表面11aに平行な方向に並んで配置された（例えば、X軸方向及びY軸方向にそれぞれ並んで配置された）複数の画素10Fを有する。複数の画素10Fは、互いに隣接して配置

されている。

[0171] 図37は、本開示の実施形態7に係る測距装置2における画素の配置例2を示す平面図である。図37に示すように、測距装置2は、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10F、10F-2を有してもよい。画素10Fは本開示の「第1画素」の一例であり、画素10F-2は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10F-2の形状は、画素10Fを上下反転させた形状である。画素10F、10F-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0172] 上記の配置例1、2に示されるように、本開示の実施形態7においても、上記の実施形態1から6と同様に、複数の画素10FをX軸方向及びY軸方向に並べて配置してよい。複数の画素10Fの少なくとも一部について、平面視による形状が、画素10Fを反転させた形状、画素10Fを回転させた形状、又は、画素10Fを反転させて、さらに回転させた形状であってもよい。また、これらの画素10Fを任意の組み合わせで並べて配置してもよい。これにより、測距装置2における画素10Fのレイアウトの自由度を高めることができる。

[0173] 本開示の実施形態7に係る測距装置2においても、実施形態1に係る撮像装置1と同様に、制御電極MGは電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極MGの第2電極部MG2は、電荷蓄積部MEMの第1転送方向DT1における突き当りの位置に配置されているため、電荷蓄積部MEMの容量を効率良く増大させることが可能である。これにより、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。

[0174] <実施形態8>

図38Aは、本開示の実施形態8に係る画素10Gの構成例を示す平面図である。図38Bは、本開示の実施形態8に係る画素10Gの構成例を示す断面図である。図38Bは、図38Aに示す平面図をX6-X6'線で切断

した断面図である。

[0175] 図38A及び図38Bに示す画素10Gにおいて、図35A及び図35Bに示した画素10Fとの違いは、排出トランジスタOFTが2つの排出トランジスタOFT-1、OFT-2に分けられている点と、排出領域OFDが2つの排出領域OFD-1、OFD-2に分けられている点と、第2電極部MG2が第1転送トランジスタTR1の反対側に加えて、他の領域にも配置されている点である。

[0176] 図38Aに示すように、排出トランジスタOFT-1、OFT-2は、画素10Gの中心を通る仮想直線（例えば、X軸に平行な仮想直線）を挟んで、上下対称に配置されている。同様に、排出領域OFD-1、OFD-2も、画素10Gの中心を通る仮想直線（例えば、X軸に平行な仮想直線）を挟んで、上下対称に配置されている。

[0177] また、図38A及び図38Bに示すように、画素10Gでは、第1転送方向DT1における第1転送トランジスタTR1と電荷蓄積部MEMとの間、及び、第2転送方向DT2における電荷蓄積部MEMと第2転送トランジスタTR2との間を除いて、トレンチH1、第2電極部MG2及び埋込絶縁膜13は、電荷蓄積部MEMの周縁の全域に沿って配置されている。

[0178] 実施形態8においても、上記の実施形態1から7と同様に、画素10Gの配置について、複数の配置例を採ることができる。

[0179] 図39Aは、本開示の実施形態8に係る測距装置2A（本開示の「光検出装置」の一例）における画素の配置例1を示す平面図である。図39Bは、本開示の実施形態8に係る測距装置2Aにおける画素の配置例1を示す断面図である。図39Bは、図39Aに示す平面図をX6-X6'線で切断した断面図である。図39A及び図39Bに示すように、測距装置2Aは、半導体基板11の表面11aに平行な方向に並んで配置された（例えば、X軸方向及びY軸方向にそれぞれ並んで配置された）複数の画素10Gを有する。複数の画素10Gは、互いに隣接して配置されている。

[0180] 図40は、本開示の実施形態8に係る測距装置2Aにおける画素の配置例

2を示す平面図である。図40に示すように、測距装置2Aは、X軸方向及びY軸方向にそれぞれ並んで配置された複数の画素10G、10G-2を有してもよい。画素10Gは本開示の「第1画素」の一例であり、画素10G-2は本開示の「第2画素」の一例である。Z軸方向からの平面視で、画素10G-2の形状は、画素10Gを上下反転させた形状である。画素10G、10G-2は、X軸方向及びY軸方向にそれぞれ交互に、かつ隣接して配置されている。

[0181] 上記の配置例1、2に示されるように、本開示の実施形態8においても、上記の実施形態1から7と同様に、複数の画素10GをX軸方向及びY軸方向に並べて配置してよい。複数の画素10Gの少なくとも一部について、平面視による形状が、画素10Gを反転させた形状、画素10Gを回転させた形状、又は、画素10Gを反転させて、さらに回転させた形状であってもよい。また、これらの画素10Gを任意の組み合わせで並べて配置してもよい。これにより、測距装置2における画素10Gのレイアウトの自由度を高めることができる。

[0182] 本開示の実施形態8に係る測距装置2Aにおいても、実施形態1に係る撮像装置1と同様に、制御電極MGは電荷の転送を妨げないように配置されており、電荷の転送経路が単純化されている。また、制御電極MGの第2電極部MG2は、電荷蓄積部MEMの第1転送方向DT1における突き当りの位置に配置されているため、電荷蓄積部MEMの容量を効率良く増大させることが可能である。これにより、電荷蓄積部MEMの容量増大と電荷の転送特性の向上とを両立させることができる。

[0183] <その他の実施形態>

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0184] 例えば、図3B及び図3Cでは、ゲート絶縁膜14が、制御電極MGと電

荷蓄積部MEMとの間だけでなく、サイドウォールSWと半導体基板11の表面11aとの間や、トレンチH1の側面と埋込絶縁膜13との間まで延設され、さらに、サイドウォールSW外側の表面11a上まで延設されている態様を示した。しかしながら、図3B及び図3Cにおいて、ゲート絶縁膜14は、サイドウォールSWと半導体基板11の表面11aとの間や、トレンチH1の側面と埋込絶縁膜13との間には存在しなくてもよい。ゲート絶縁膜14は、サイドウォールSW外側の表面11a上に存在しなくてもよい。

[0185] 一方、図35Bでは、ゲート絶縁膜14が、サイドウォールSWと半導体基板11の表面11aとの間や、トレンチH1の側面と埋込絶縁膜13との間に存在せず、サイドウォールSW外側の表面11a上にも存在しない態様を示した。しかしながら、図35Bにおいて、ゲート絶縁膜14は、サイドウォールSWと半導体基板11の表面11aとの間や、トレンチH1の側面と埋込絶縁膜13との間に存在してもよく、サイドウォールSW外側の表面11a上まで延設されていてもよい。

[0186] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0187] なお、本開示は以下のような構成も取ることができる。

(1)

半導体基板内に設けられ、光を電荷に変換する光電変換部と、
前記半導体基板に設けられ、前記光電変換部で生じた前記電荷が転送される浮遊拡散領域と、

前記半導体基板に設けられ、前記光電変換部から前記浮遊拡散領域へ前記電荷が転送される転送経路の途中に配置された電荷蓄積部と、

前記転送経路のうち前記光電変換部から前記電荷蓄積部との間に配置され、前記光電変換部から前記電荷蓄積部へ前記電荷を転送する第1転送トラン

ジスタと、

前記電荷蓄積部と隣り合う位置に配置され、前記電荷蓄積部の電位を制御する制御電極と、を有し、

前記制御電極は、

前記半導体基板の第 1 面上に設けられ、前記半導体基板の厚さ方向において前記電荷蓄積部と重なる位置に配置された第 1 電極部と、

前記第 1 電極部に接続し、前記半導体基板の前記第 1 面から前記半導体基板の深さ方向へ埋設された第 2 電極部と、を有し、

前記第 1 転送トランジスタから前記電荷蓄積部への前記電荷の転送方向を第 1 転送方向とすると、

前記第 2 電極部は、前記第 1 転送方向において前記電荷蓄積部を挟んで前記第 1 転送トランジスタの反対側に配置されている、光検出装置。

(2)

前記半導体基板の厚さ方向からの平面視で前記制御電極は複数の角部を有し、

前記複数の角部の少なくとも 1 つ以上は、前記平面視で複数の鈍角又は曲線で構成されるように面取りされている、前記 (1) に記載の光検出装置。

(3)

前記第 2 電極部は、前記第 1 転送方向における前記第 1 転送トランジスタと前記電荷蓄積部との間には配置されていない、前記 (1) 又は (2) に記載の光検出装置。

(4)

前記転送経路のうち前記電荷蓄積部と前記浮遊拡散領域との間に配置され、前記電荷蓄積部から前記浮遊拡散領域へ前記電荷を転送する第 2 転送トランジスタを有し、

前記電荷蓄積部から前記第 2 転送トランジスタへの前記電荷の転送方向を第 2 転送方向とすると、

前記第 2 電極部は、前記第 2 転送方向における前記第 2 転送トランジスタ

と前記電荷蓄積部との間には配置されていない、前記（１）から（３）のいずれか１項に記載の光検出装置。

（５）

前記第２電極部は、

前記第１転送方向における前記第１転送トランジスタと前記電荷蓄積部との間と、前記第２転送方向における前記電荷蓄積部と前記第２転送トランジスタとの間とを除いて、前記電荷蓄積部の周縁の全域に沿って配置されている、前記（４）に記載の光検出装置。

（６）

前記制御電極と前記電荷蓄積部との間に設けられた絶縁膜を有する、前記（１）から（５）のいずれか１項に記載の光検出装置。

（７）

前記絶縁膜は、

前記第１電極部と前記電荷蓄積部との間に設けられた第１絶縁膜と、

前記第２電極部と前記電荷蓄積部との間に設けられた第２絶縁膜と、を有し、

前記第１絶縁膜の膜厚は前記第２絶縁膜の膜厚よりも薄い、前記（６）に記載の光検出装置。

（８）

前記半導体基板の前記第１面から深さ方向に設けられたトレンチと、

前記トレンチ内に設けられた埋込絶縁膜と、を有し、

前記第２電極部及び前記埋込絶縁膜は前記トレンチ内に配置されており、

前記第２電極部を挟んで前記電荷蓄積部の反対側に前記埋込絶縁膜が位置する、前記（１）から（７）のいずれか１項に記載の光検出装置。

（９）

前記半導体基板に設けられ、前記半導体基板の一方の面に平行な方向に並んで配置される複数の画素と、

前記複数の画素のうちの隣り合う一方の画素と他方の画素との間を分離す

る画素間分離部と、を備え、

前記複数の画素の各々が、

前記光電変換部と、前記浮遊拡散領域と、前記電荷蓄積部と、前記第 1 転送トランジスタと、前記制御電極と、を含む前記 (1) から (7) のいずれか 1 項に記載の光検出装置。

(10)

前記複数の画素は、

第 1 画素と、

前記第 1 画素と隣り合う第 2 画素とを有し、

前記半導体基板の厚さ方向からの平面視で、

前記第 2 画素の形状は、前記第 1 画素を反転させた形状、前記第 1 画素を回転させた形状、又は、前記第 1 画素を反転させて、さらに回転させた形状である、前記 (9) に記載の光検出装置。

(11)

前記複数の画素の各々は、

前記半導体基板の前記第 1 面から深さ方向に設けられたトレンチと、

前記トレンチ内に設けられた埋込絶縁膜と、を有し、

前記第 2 電極部及び前記埋込絶縁膜は前記トレンチ内に配置されており、

前記第 2 電極部を挟んで前記電荷蓄積部の反対側に前記埋込絶縁膜が位置する、前記 (9) 又は (10) に記載の光検出装置。

(12)

前記画素間分離部が前記埋込絶縁膜の一部を兼ねている、前記 (11) に記載の光検出装置。

(13)

前記電荷蓄積部は、前記半導体基板の前記第 1 面から前記トレンチの側面を通り前記トレンチの底部まで連続して設けられている、前記 (8)、(11)、(12) のいずれか 1 項に記載の光検出装置。

(14)

前記埋込絶縁膜は前記トレンチの開口端から上方へ突出した端部を有し、
前記端部上に前記第 1 電極部の外周部が位置する、前記 (8)、(11)
から(13)のいずれか 1 項に記載の光検出装置。

(15)

前記第 2 電極部は、
第 3 電極部と、

前記第 1 面から深さ方向への長さが前記第 3 電極部よりも短い第 4 電極部
と、を有する、前記 (1) から前記 (14) のいずれか 1 項に記載の光検出
装置。

(16)

前記半導体基板の厚さ方向において、

前記第 4 電極部は前記光電変換部と重なる位置に配置され、

前記第 3 電極部は前記光電変換部と重ならない位置に配置されている、前
記 (15) に記載の光検出装置。

符号の説明

[0188] 1、1A、1B、1C、1D、1E 撮像装置

2、2A 測距装置

10、10-1、10-2、10-3、10A、10A-1、10A-2、
10A-3、10AA、10B、10B-1、10B-2、10B-3、1
0C、10C-1、10C-2、10C-3、10D、10D-1、10D
-2、10D-3、10E、10F、10F-2、10G、10G-2 画
素

11 半導体基板

11a 表面

11b 裏面

12 N型半導体領域

13、13-1、13-2 埋込絶縁膜

14、18 絶縁膜

1 6 画素間分離部

1 7 遮光膜

3 2 画素アレイ部

3 3 垂直駆動部

3 4 カラム処理部

3 5 水平駆動部

3 6 出力部

3 7 駆動制御部

4 2 水平信号線

4 3 垂直信号線

1 3 1 端部

1 4 1 第1絶縁膜

1 4 2 第2絶縁膜

1 4 3 第3絶縁膜

1 4 4 第4絶縁膜

AMP、AMP-1、AMP-2 増幅トランジスタ

DT1 第1転送方向

DT2 第2転送方向

FD、FD-1、FD-2 浮遊拡散領域

H1 トレンチ

MEM、MEM-1、MEM-2 電荷蓄積部

MG、MG-1、MG-2 制御電極

MG1 第1電極部

MG2 第2電極部

MG21 第3電極部

MG22 第4電極部

MGA 第1部位

MGB 第2部位

MG-C 角部

OFD、OFD-1、OFD-2 排出領域

OFG 排出ゲート

OFT、OFT-1、OFT-2 排出トランジスタ

PD フォトダイオード

PT_r 画素トランジスタ

RST、RST-1、RST-2 リセットトランジスタ

SEL、SEL-1、SEL-2 選択トランジスタ

SW サイドウォール

TG1、TG1-1、TG1-2 第1転送ゲート

TG2 第2転送ゲート

ToF 間接

Tr1-2、TR1、TR1-1、TR1-2 第1転送トランジスタ

TR2、TR2-1、TR2-2 第2転送トランジスタ

VDD 電源

VSL1、VSL2 信号線

請求の範囲

- [請求項1] 半導体基板内に設けられ、光を電荷に変換する光電変換部と、
 前記半導体基板に設けられ、前記光電変換部で生じた前記電荷が転送される浮遊拡散領域と、
 前記半導体基板に設けられ、前記光電変換部から前記浮遊拡散領域へ前記電荷が転送される転送経路の途中に配置された電荷蓄積部と、
 前記転送経路のうち前記光電変換部から前記電荷蓄積部との間に配置され、前記光電変換部から前記電荷蓄積部へ前記電荷を転送する第1転送トランジスタと、
 前記電荷蓄積部と隣り合う位置に配置され、前記電荷蓄積部の電位を制御する制御電極と、を有し、
 前記制御電極は、
 前記半導体基板の第1面上に設けられ、前記半導体基板の厚さ方向において前記電荷蓄積部と重なる位置に配置された第1電極部と、
 前記第1電極部に接続し、前記半導体基板の前記第1面から前記半導体基板の深さ方向へ埋設された第2電極部と、を有し、
 前記第1転送トランジスタから前記電荷蓄積部への前記電荷の転送方向を第1転送方向とすると、
 前記第2電極部は、前記第1転送方向において前記電荷蓄積部を挟んで前記第1転送トランジスタの反対側に配置されている、光検出装置。
- [請求項2] 前記半導体基板の厚さ方向からの平面視で前記制御電極は複数の角部を有し、
 前記複数の角部の少なくとも1つ以上は、前記平面視で複数の鈍角又は曲線で構成されるように面取りされている、請求項1に記載の光検出装置。
- [請求項3] 前記第2電極部は、前記第1転送方向における前記第1転送トランジスタと前記電荷蓄積部との間には配置されていない、請求項1に記載

載の光検出装置。

[請求項4] 前記転送経路のうち前記電荷蓄積部と前記浮遊拡散領域との間に配置され、前記電荷蓄積部から前記浮遊拡散領域へ前記電荷を転送する第2転送トランジスタを有し、

前記電荷蓄積部から前記第2転送トランジスタへの前記電荷の転送方向を第2転送方向とすると、

前記第2電極部は、前記第2転送方向における前記第2転送トランジスタと前記電荷蓄積部との間には配置されていない、請求項1に記載の光検出装置。

[請求項5] 前記第2電極部は、

前記第1転送方向における前記第1転送トランジスタと前記電荷蓄積部との間と、前記第2転送方向における前記電荷蓄積部と前記第2転送トランジスタとの間とを除いて、前記電荷蓄積部の周縁の全域に沿って配置されている、請求項4に記載の光検出装置。

[請求項6] 前記制御電極と前記電荷蓄積部との間に設けられた絶縁膜を有する、請求項1に記載の光検出装置。

[請求項7] 前記絶縁膜は、

前記第1電極部と前記電荷蓄積部との間に設けられた第1絶縁膜と、

前記第2電極部と前記電荷蓄積部との間に設けられた第2絶縁膜と、を有し、

前記第1絶縁膜の膜厚は前記第2絶縁膜の膜厚よりも薄い、請求項6に記載の光検出装置。

[請求項8] 前記半導体基板の前記第1面から深さ方向に設けられたトレンチと、

前記トレンチ内に設けられた埋込絶縁膜と、を有し、

前記第2電極部及び前記埋込絶縁膜は前記トレンチ内に配置されており、

前記第 2 電極部を挟んで前記電荷蓄積部の反対側に前記埋込絶縁膜が位置する、請求項 1 に記載の光検出装置。

[請求項9] 前記半導体基板に設けられ、前記半導体基板の一方の面に平行な方向に並んで配置される複数の画素と、

前記複数の画素のうちの隣り合う一方の画素と他方の画素との間を分離する画素間分離部と、を備え、

前記複数の画素の各々が、

前記光電変換部と、前記浮遊拡散領域と、前記電荷蓄積部と、前記第 1 転送トランジスタと、前記制御電極と、を含む請求項 1 に記載の光検出装置。

[請求項10] 前記複数の画素は、

第 1 画素と、

前記第 1 画素と隣り合う第 2 画素とを有し、

前記半導体基板の厚さ方向からの平面視で、

前記第 2 画素の形状は、前記第 1 画素を反転させた形状、前記第 1 画素を回転させた形状、又は、前記第 1 画素を反転させて、さらに回転させた形状である、請求項 9 に記載の光検出装置。

[請求項11] 前記複数の画素の各々は、

前記半導体基板の前記第 1 面から深さ方向に設けられたトレンチと、

前記トレンチ内に設けられた埋込絶縁膜と、を有し、

前記第 2 電極部及び前記埋込絶縁膜は前記トレンチ内に配置されており、

前記第 2 電極部を挟んで前記電荷蓄積部の反対側に前記埋込絶縁膜が位置する、請求項 9 に記載の光検出装置。

[請求項12] 前記画素間分離部が前記埋込絶縁膜の一部を兼ねている、請求項 1 に記載の光検出装置。

[請求項13] 前記電荷蓄積部は、前記半導体基板の前記第 1 面から前記トレンチ

の側面を通り前記トレンチの底部まで連続して設けられている、請求項 8 に記載の光検出装置。

[請求項14] 前記埋込絶縁膜は前記トレンチの開口端から上方へ突出した端部を有し、
前記端部上に前記第 1 電極部の外周部が位置する、請求項 8 に記載の光検出装置。

[請求項15] 前記第 2 電極部は、
第 3 電極部と、
前記第 1 面から深さ方向への長さが前記第 3 電極部よりも短い第 4 電極部と、を有する、請求項 1 に記載の光検出装置。

[請求項16] 前記半導体基板の厚さ方向において、
前記第 4 電極部は前記光電変換部と重なる位置に配置され、
前記第 3 電極部は前記光電変換部と重ならない位置に配置されている、請求項 15 に記載の光検出装置。

1

33

42

10

43

32

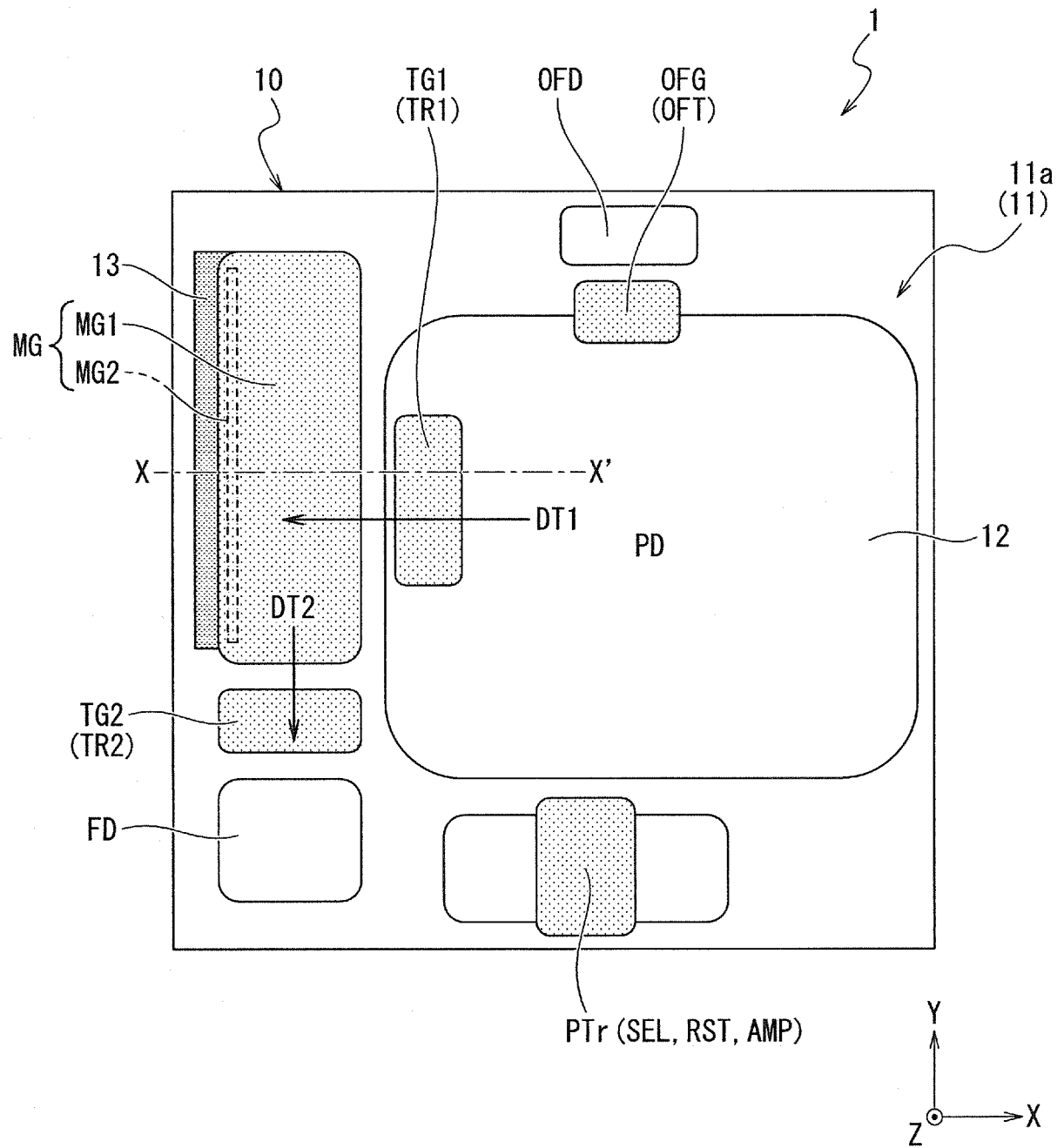
34

36

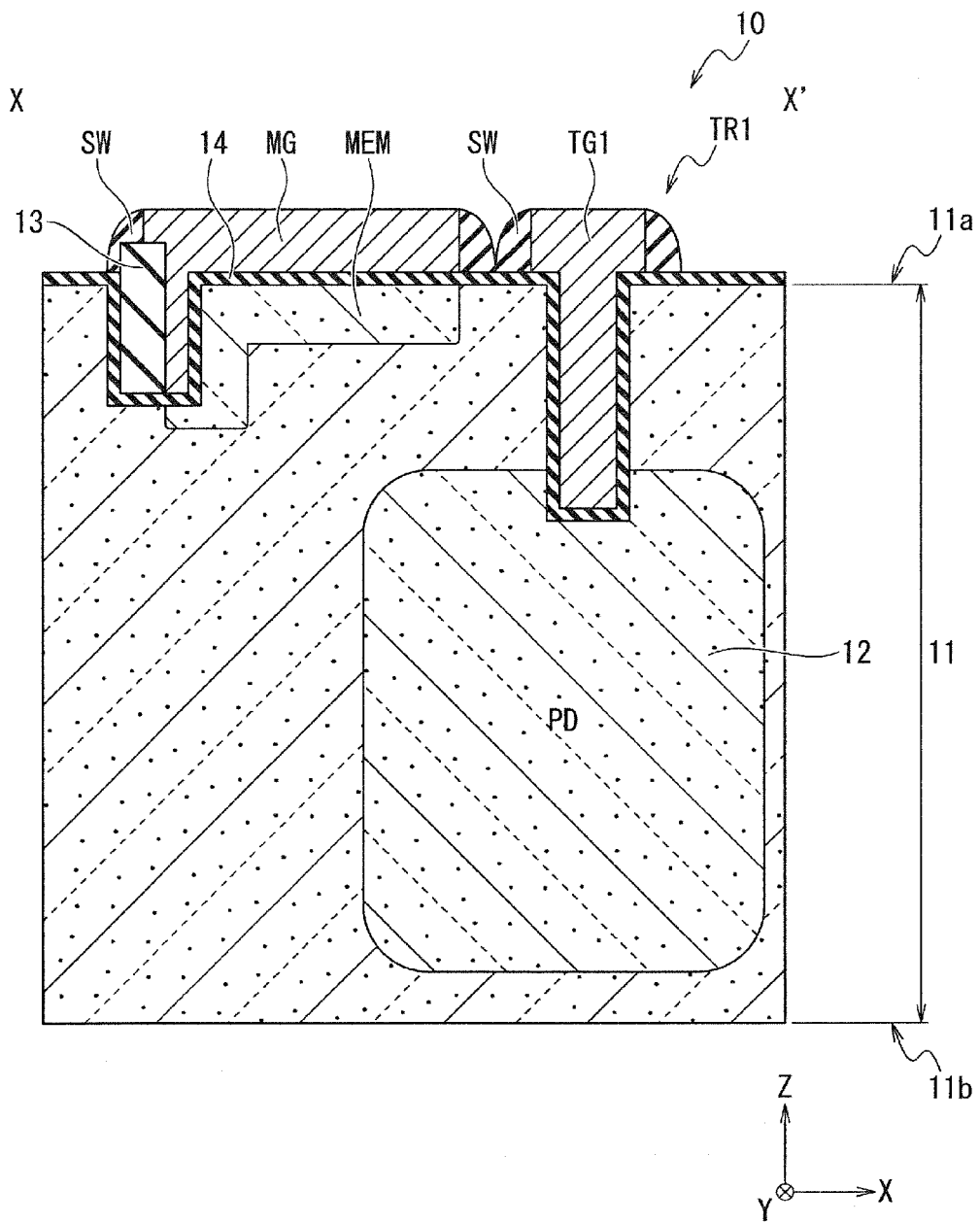
35

37

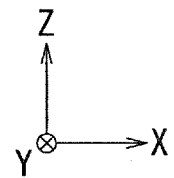
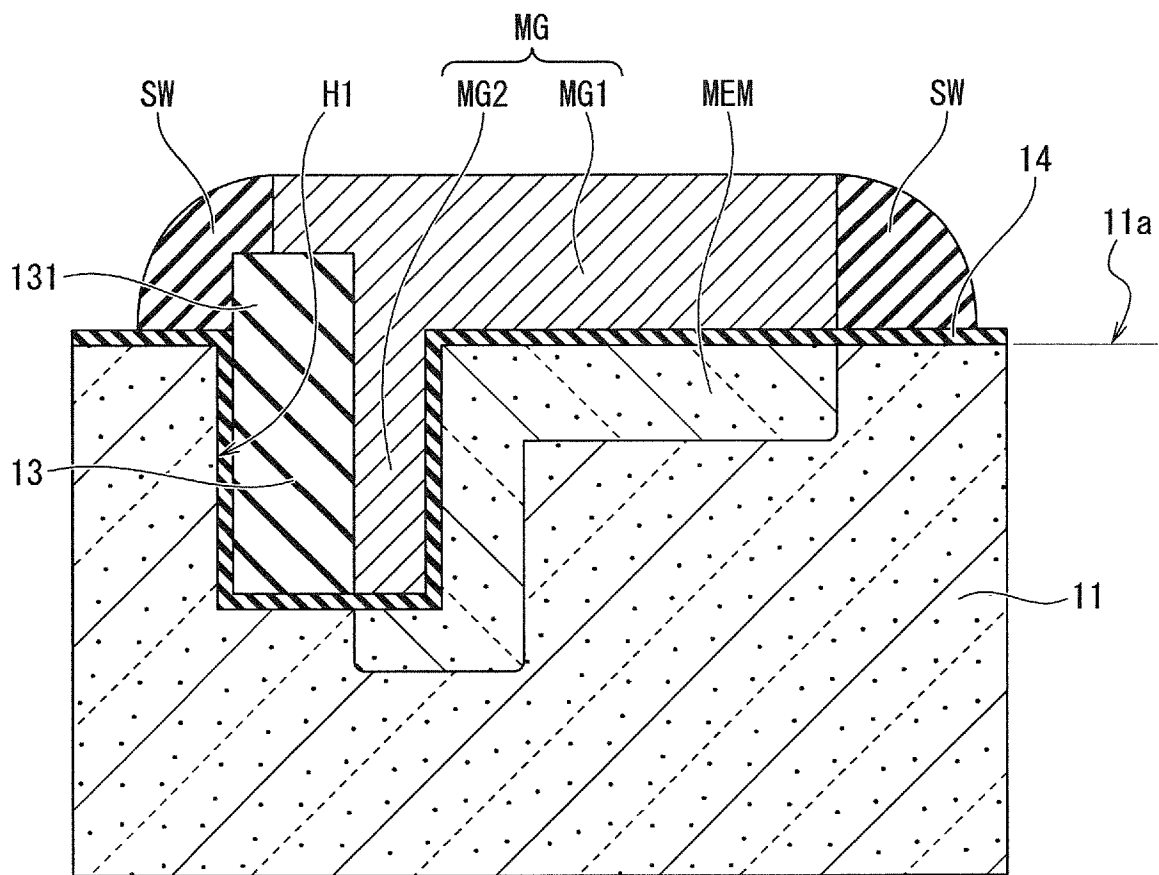
[図3A]



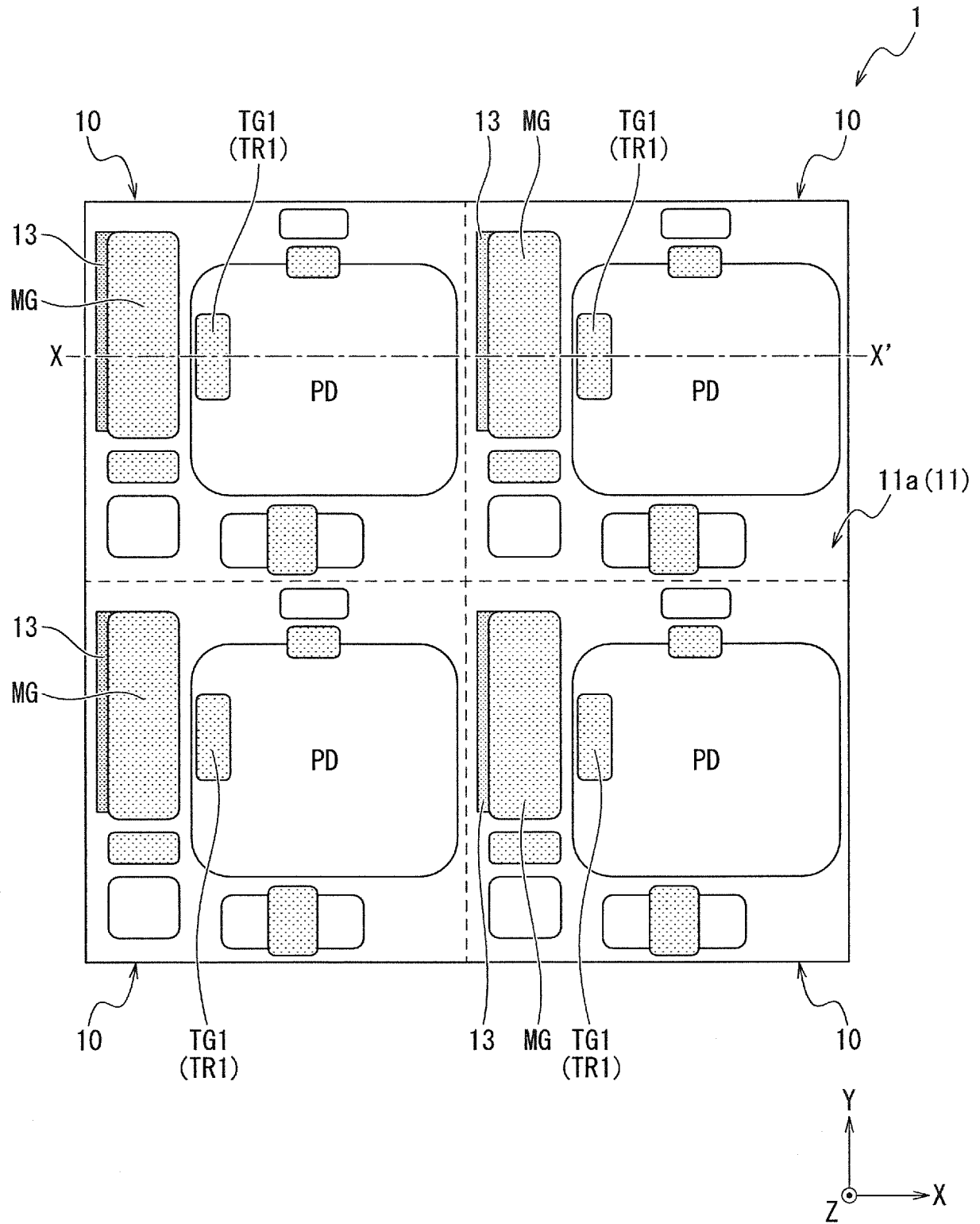
[図3B]



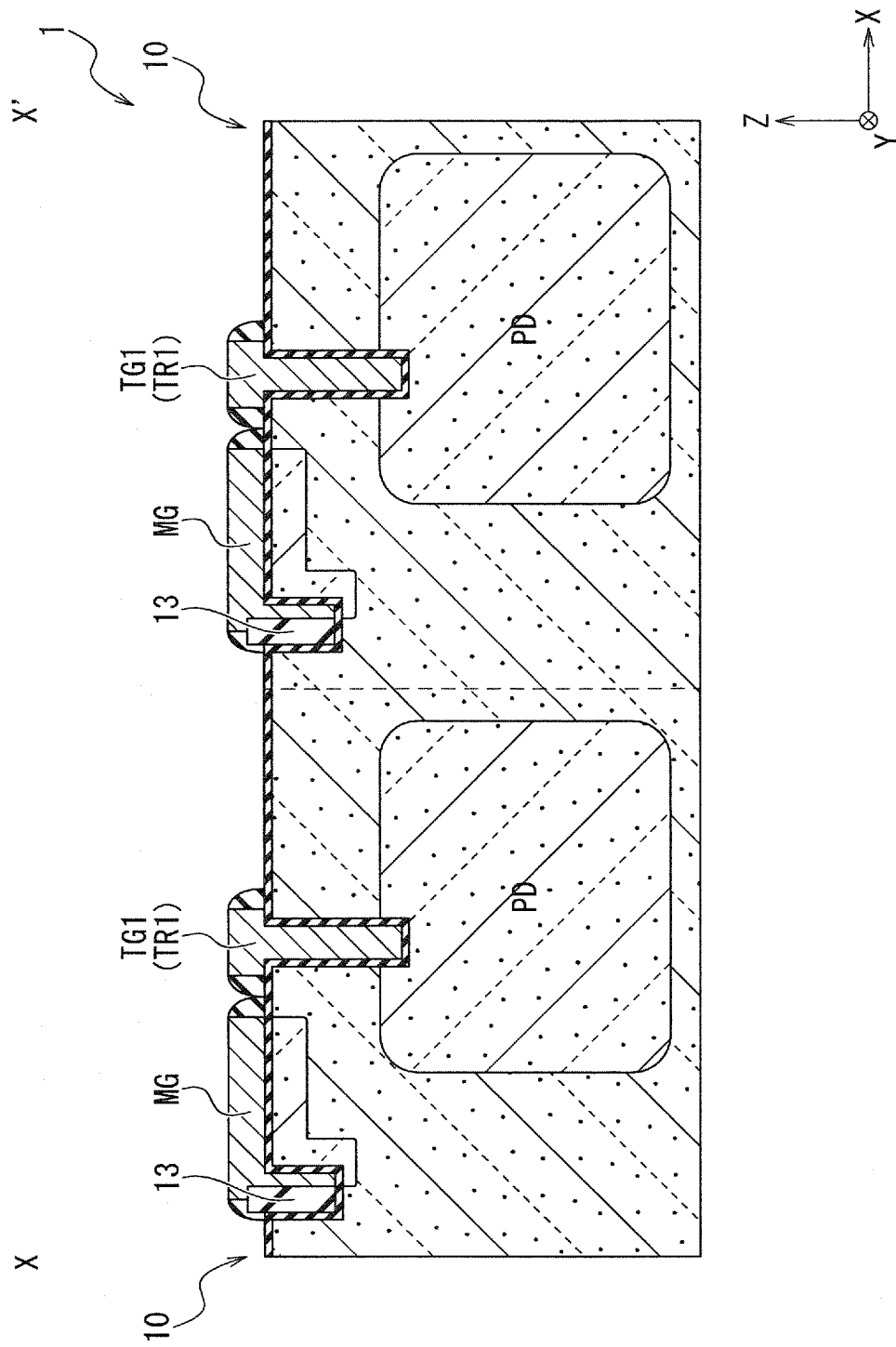
[図3C]



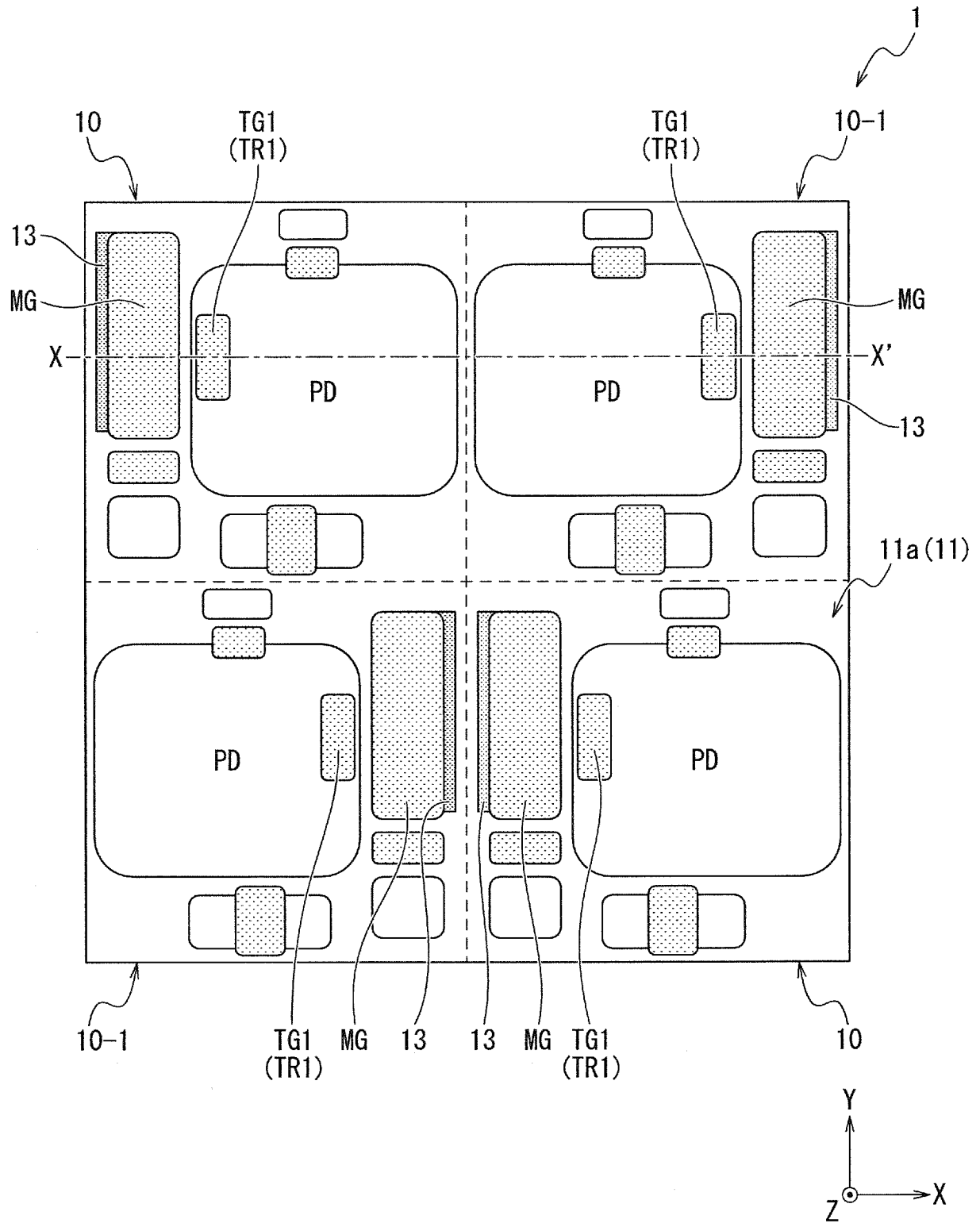
[図4A]



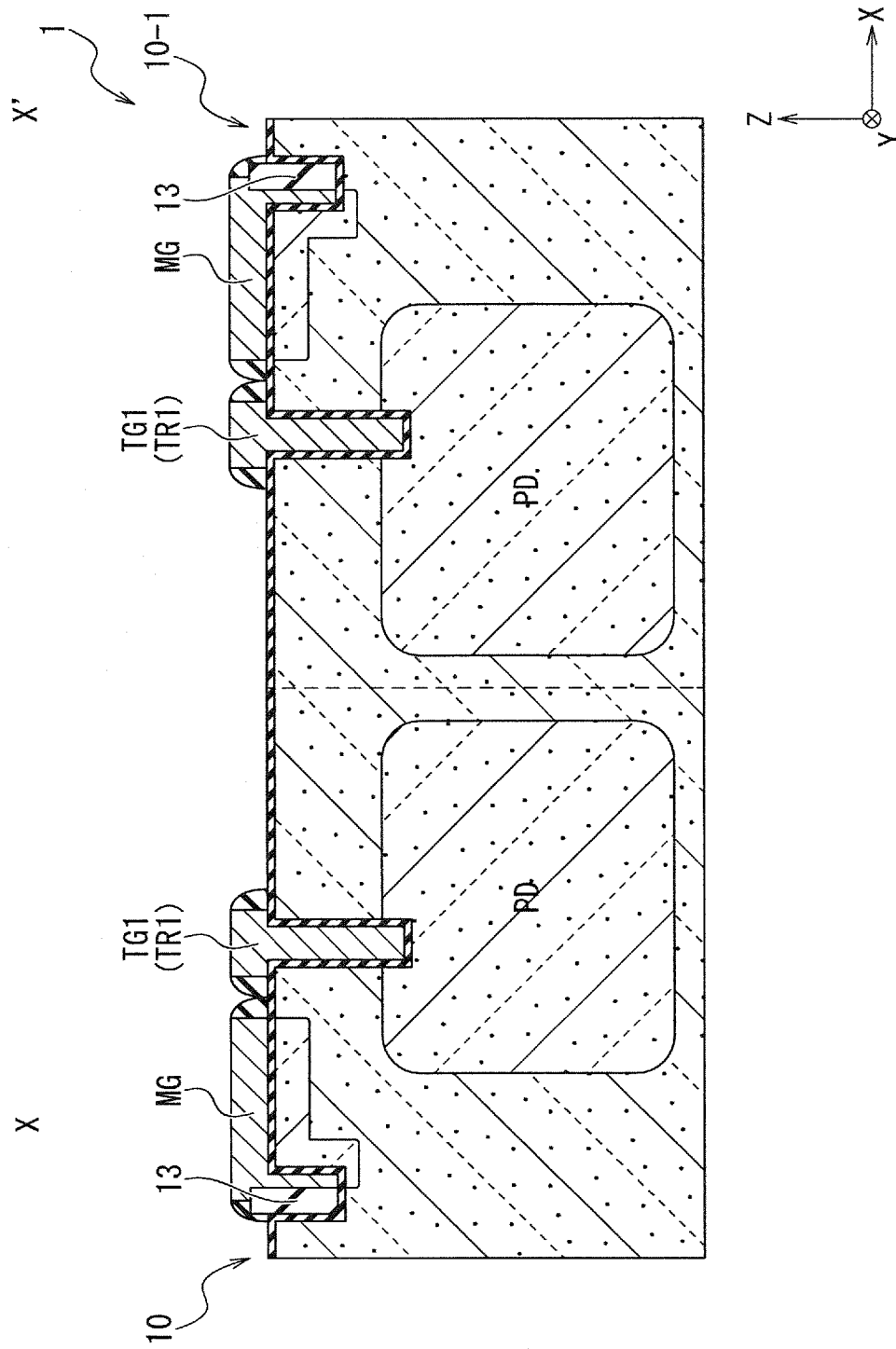
[図4B]



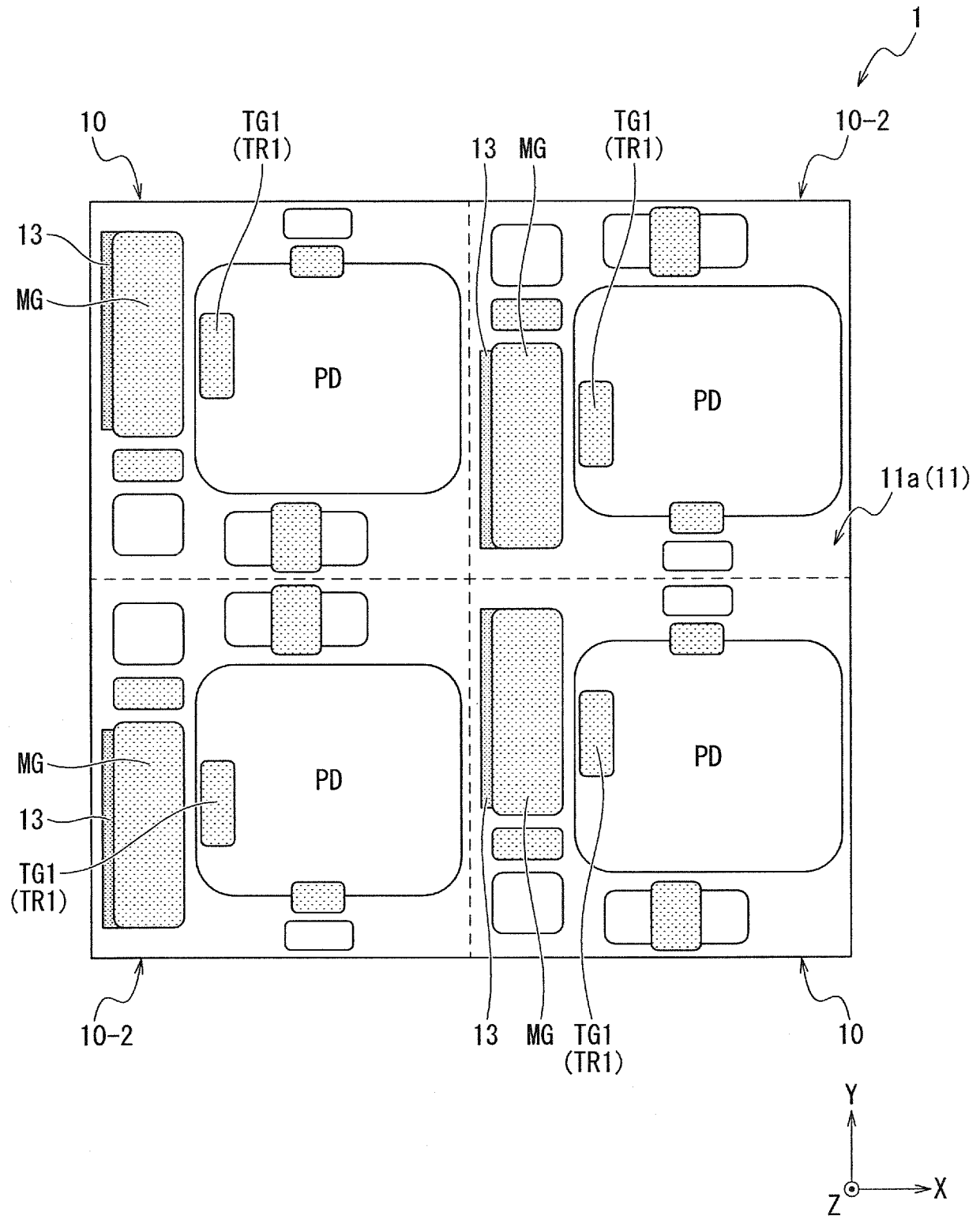
[図5A]



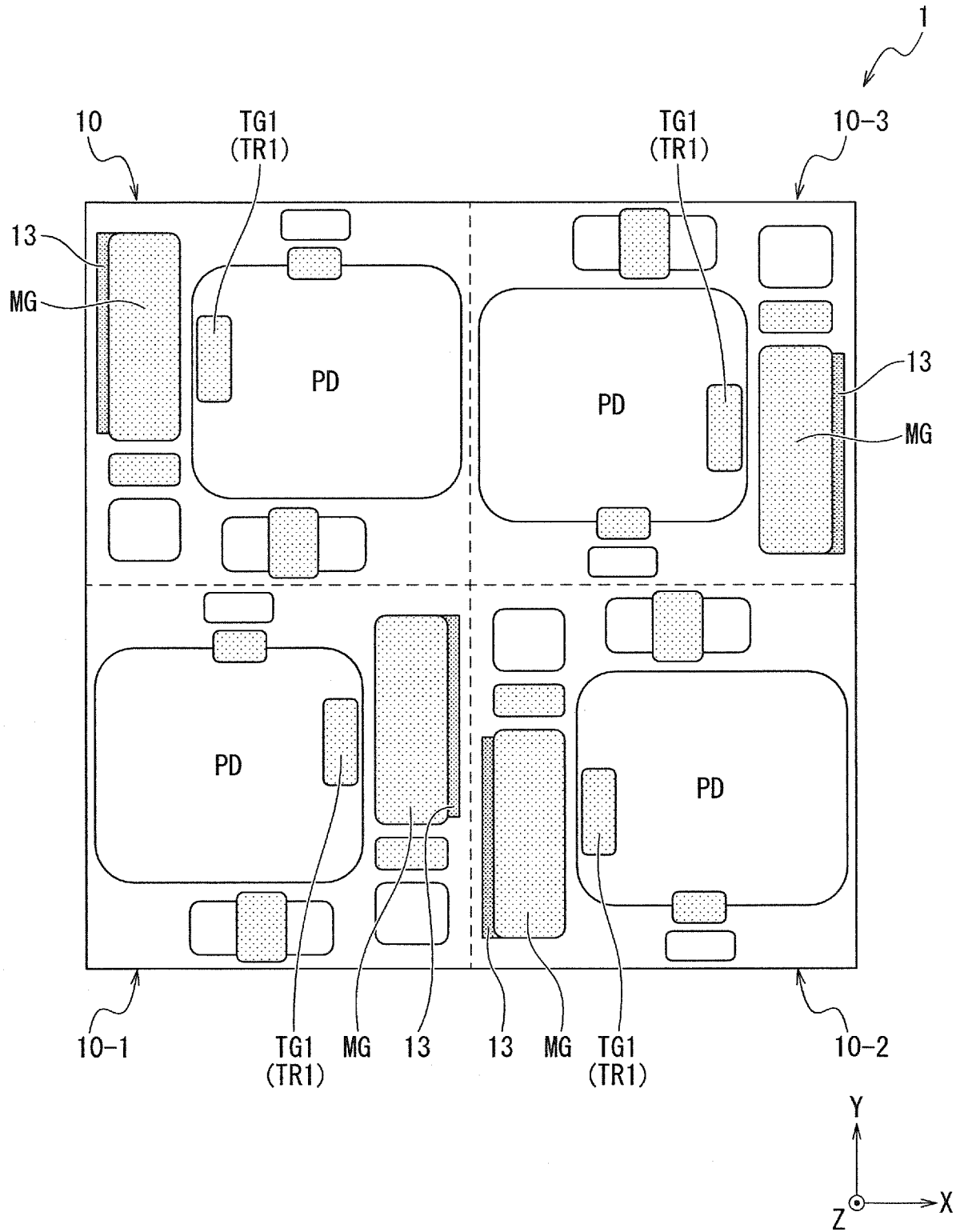
[図5B]



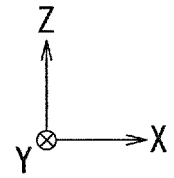
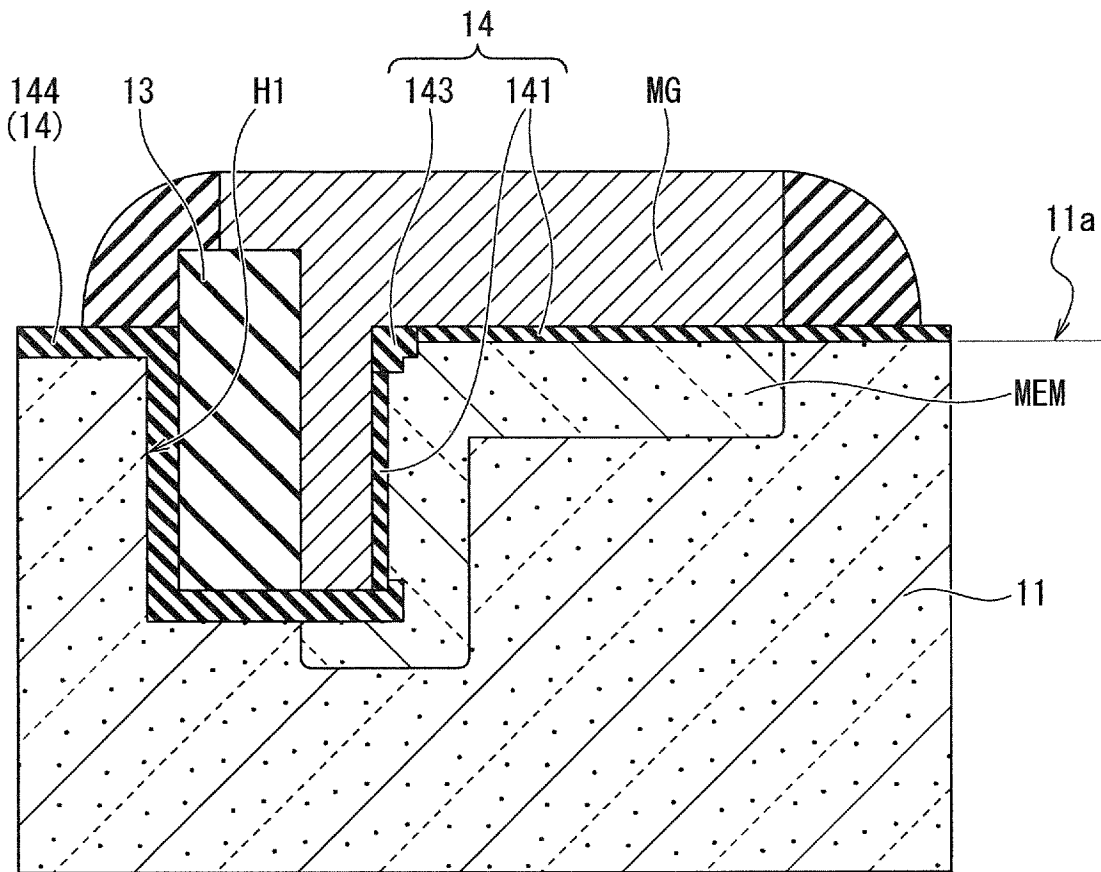
[図6]



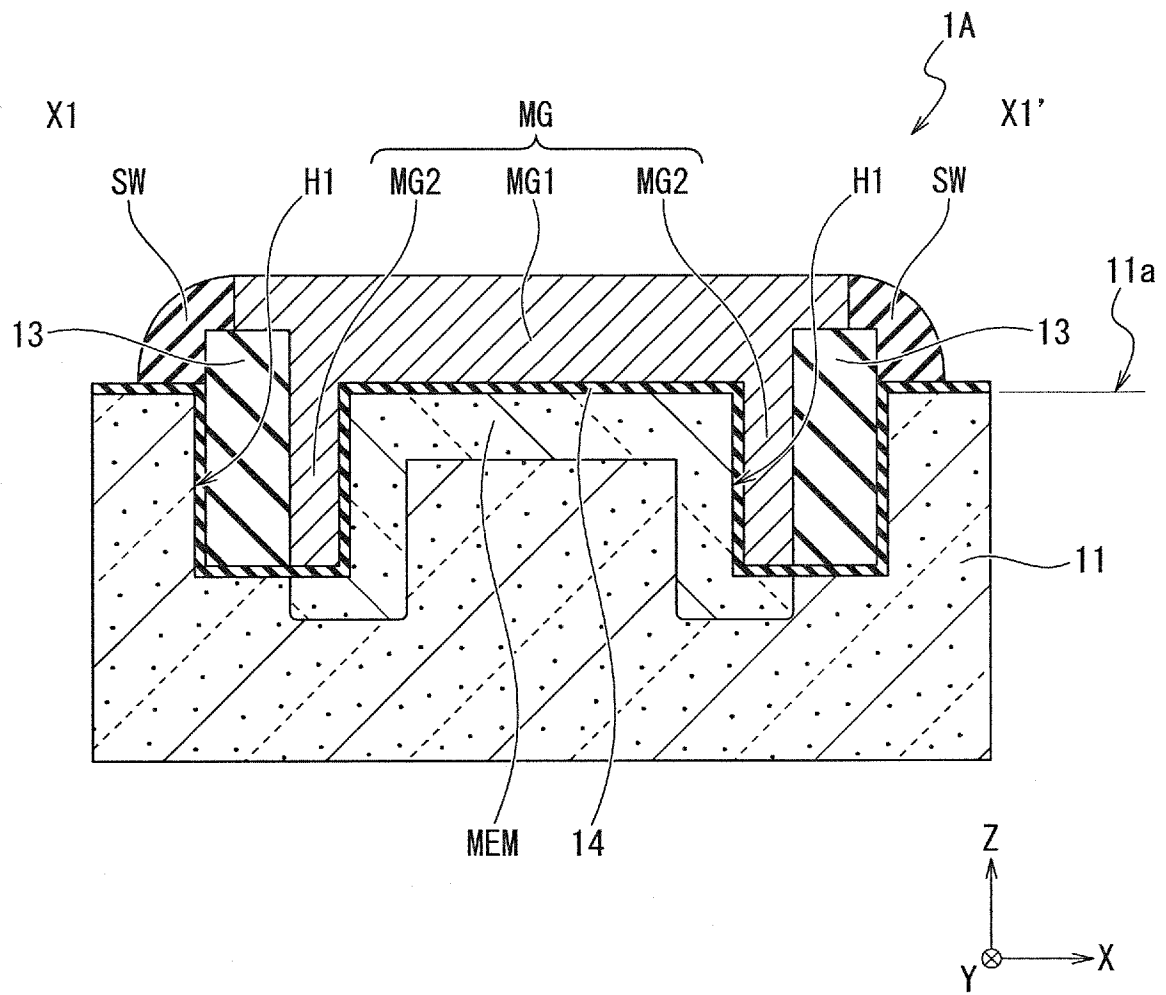
[図7]



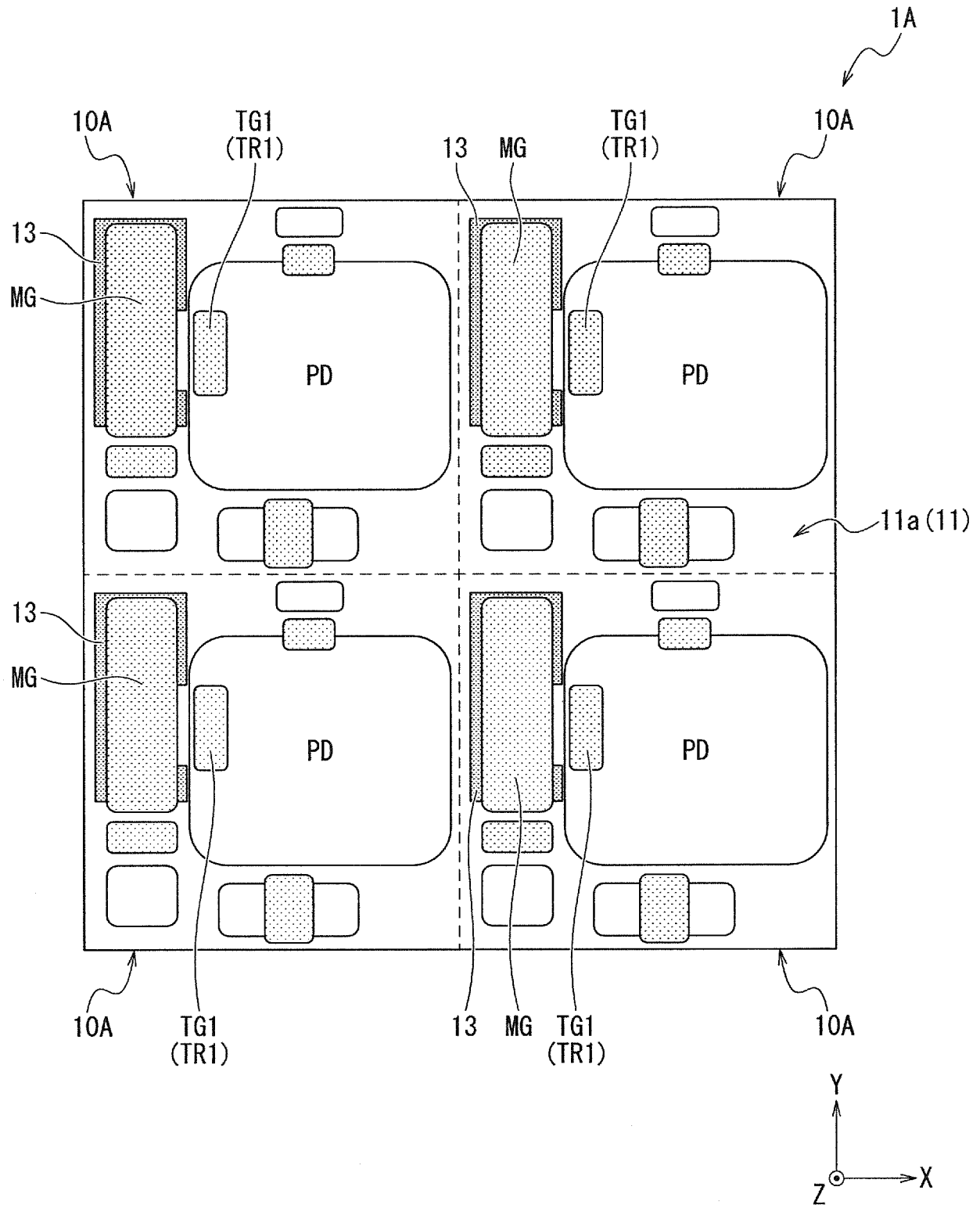
[図9]



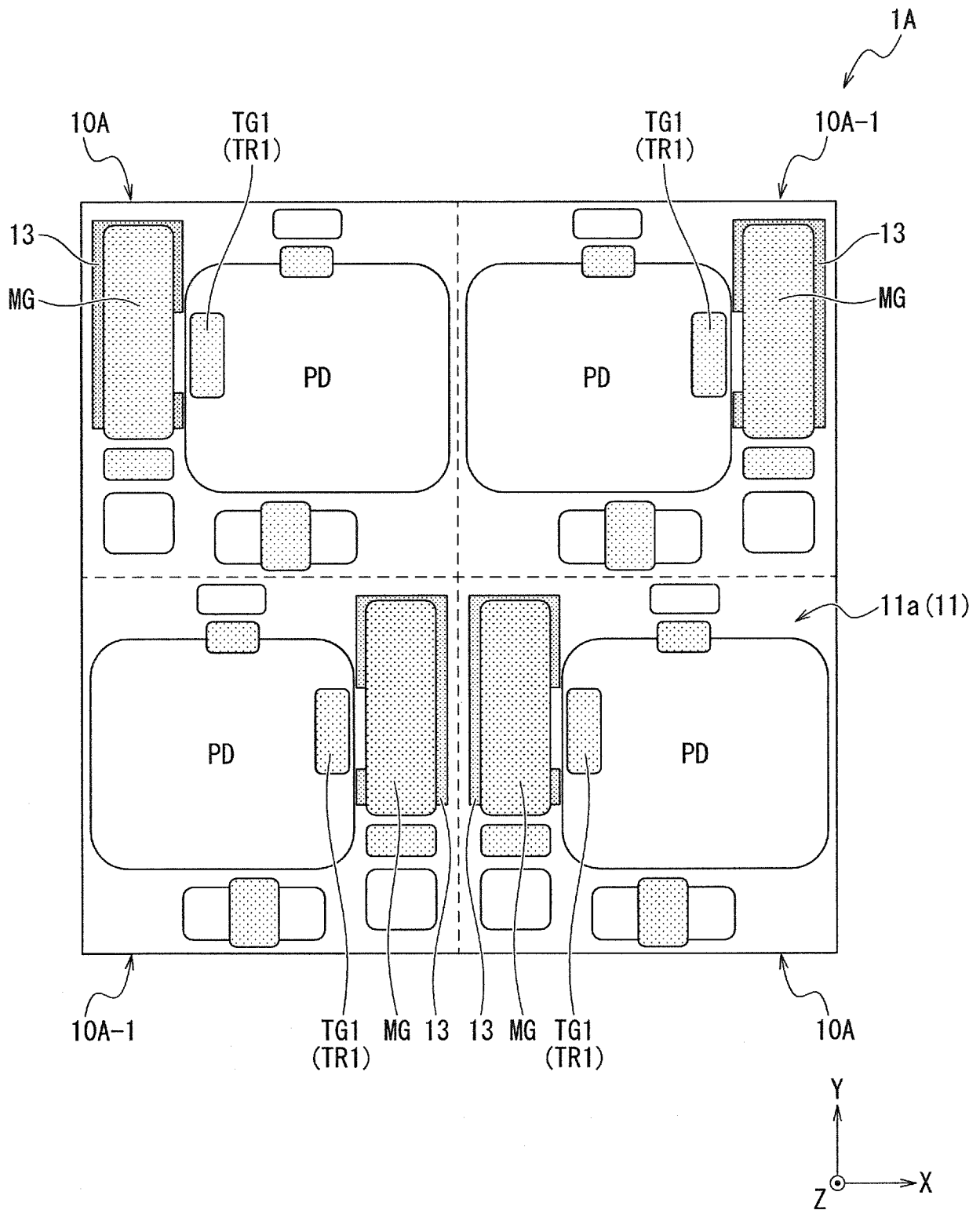
[図10B]



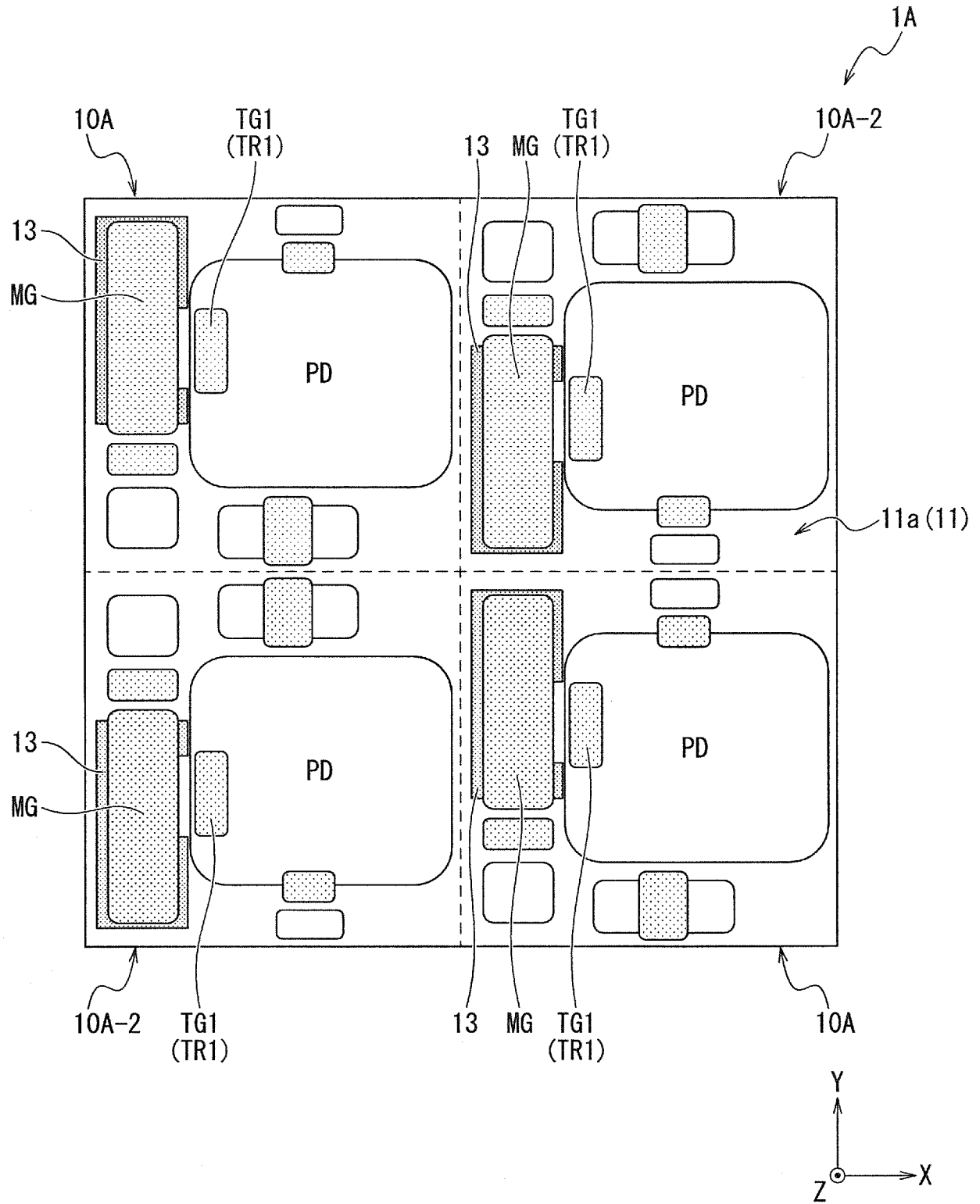
[図11]



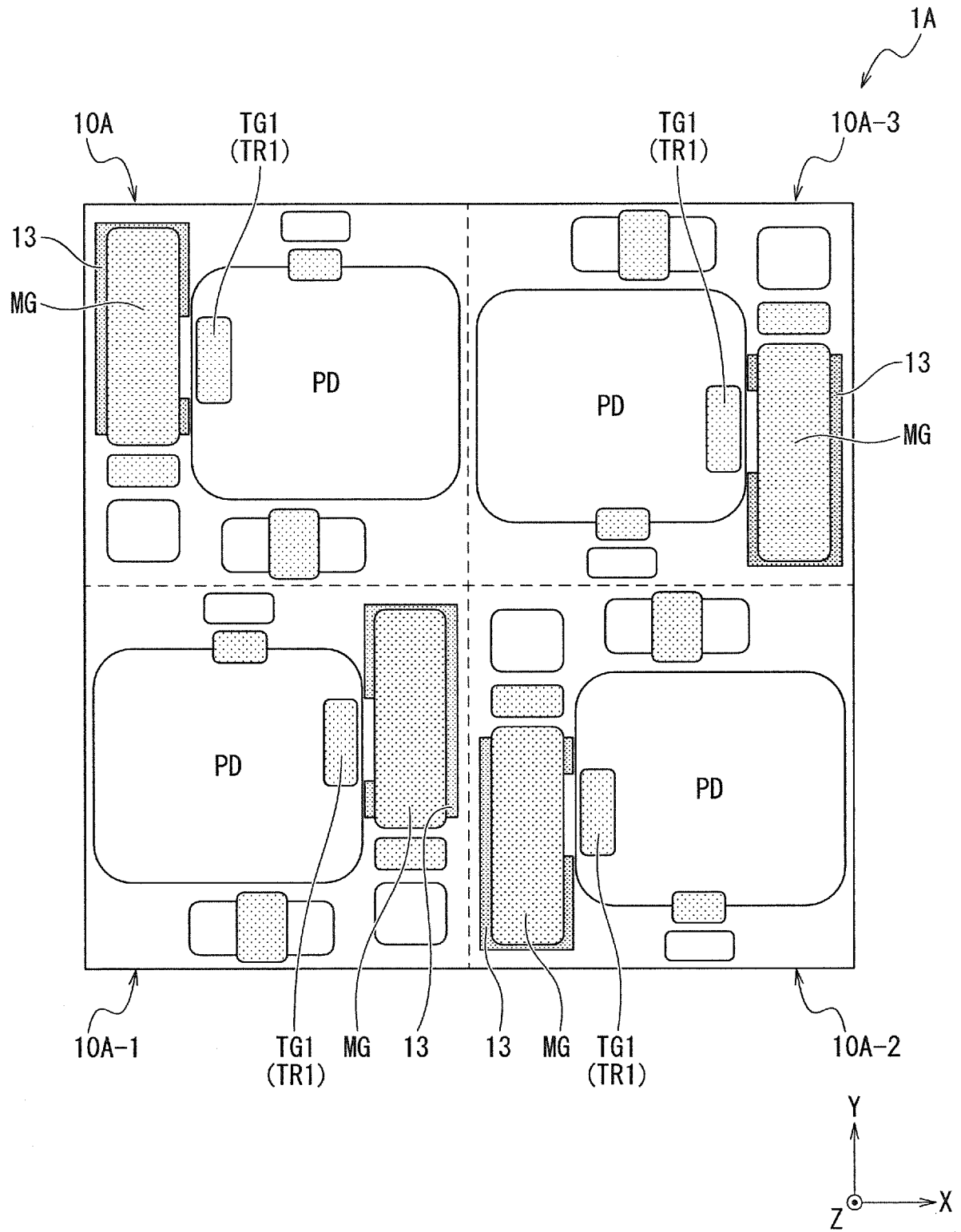
[図12]



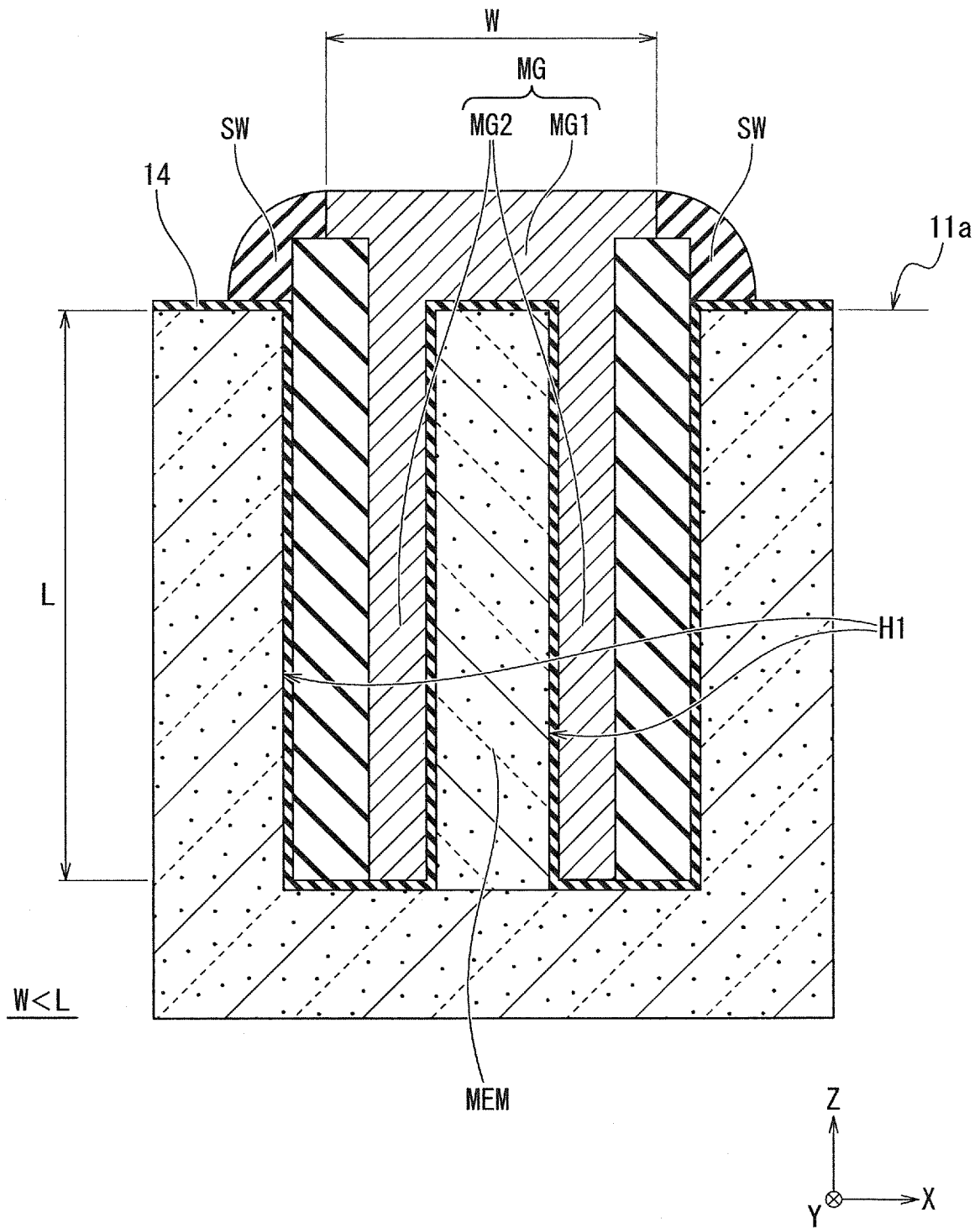
[図13]



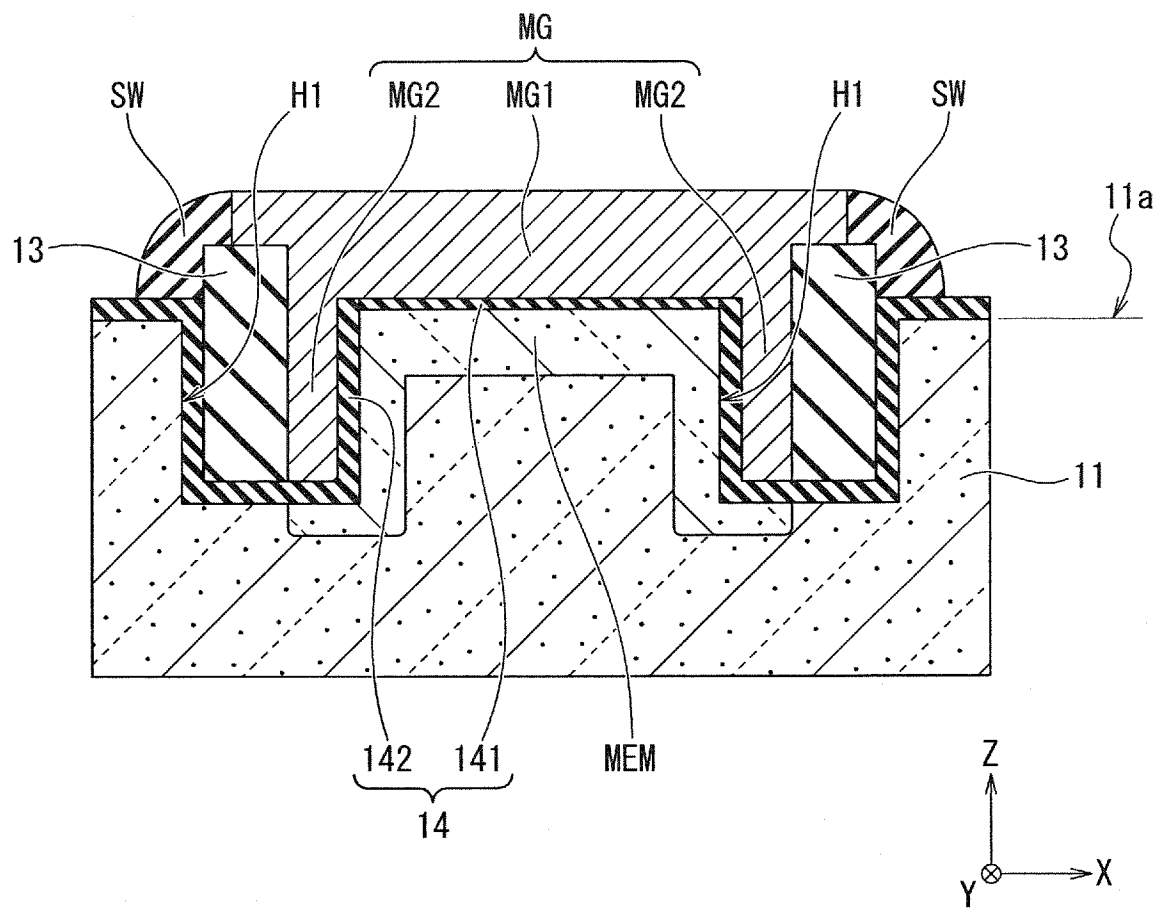
[図14]



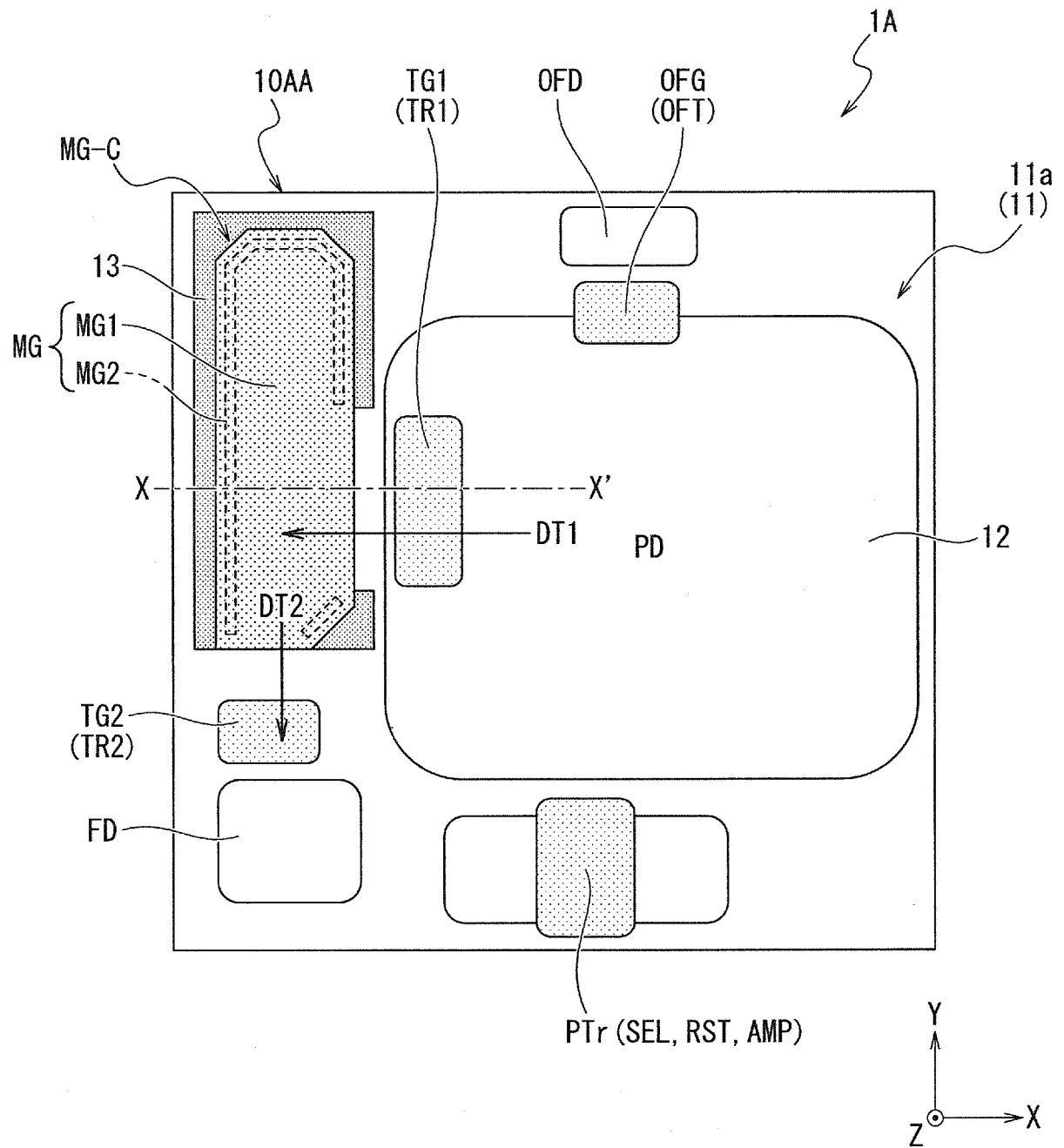
[図15]



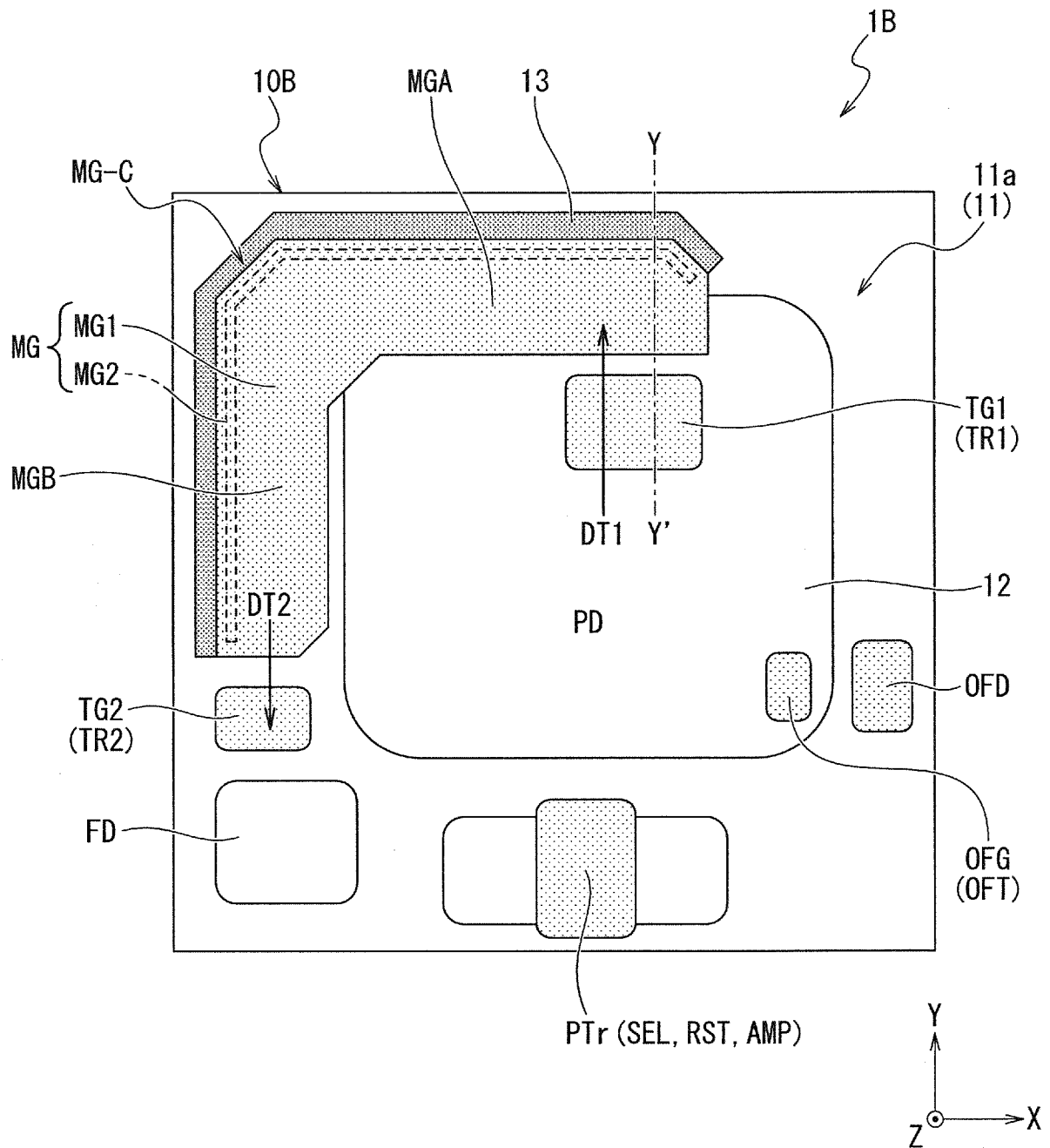
[図17]



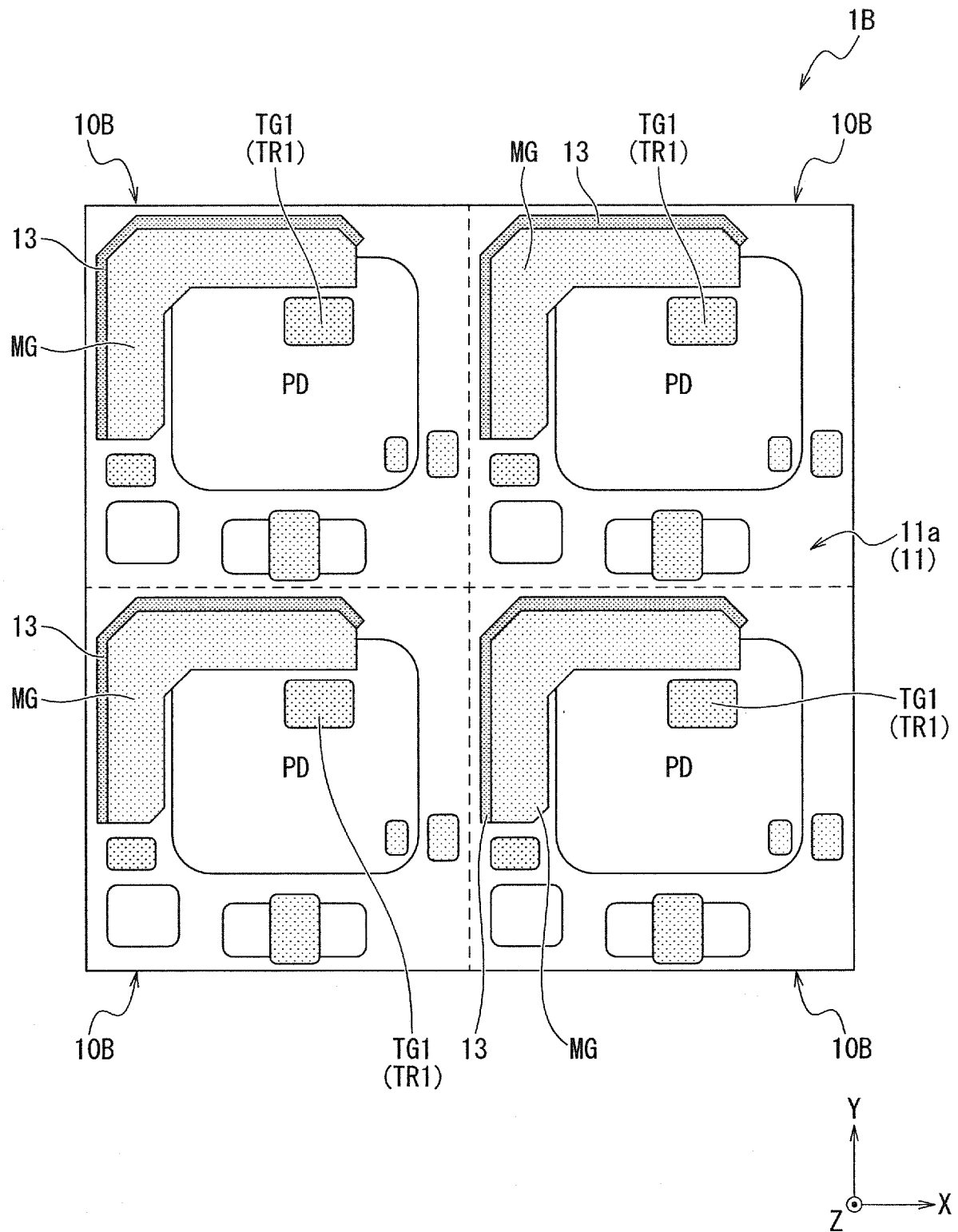
[図19]



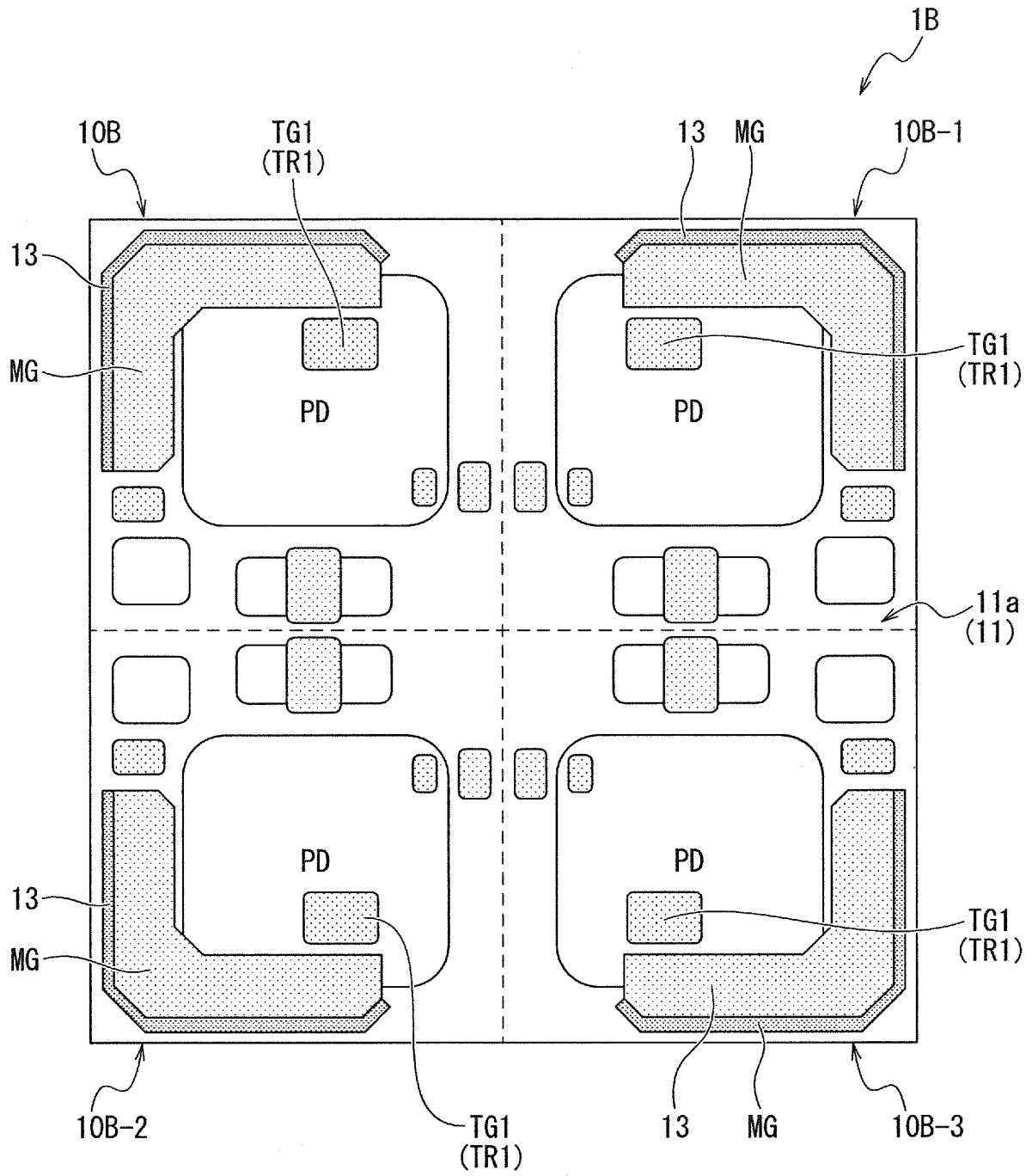
[図20]



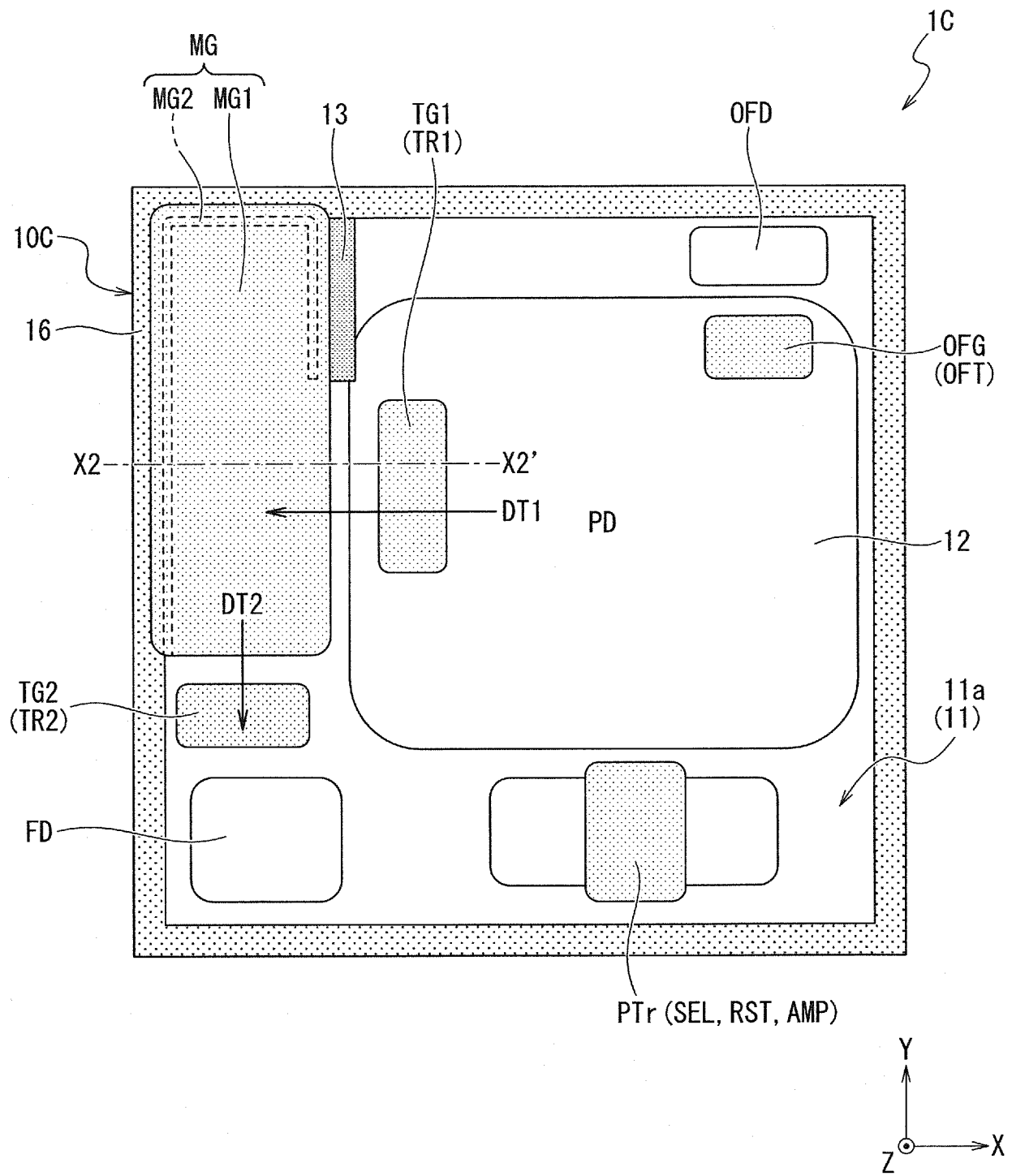
[図21]



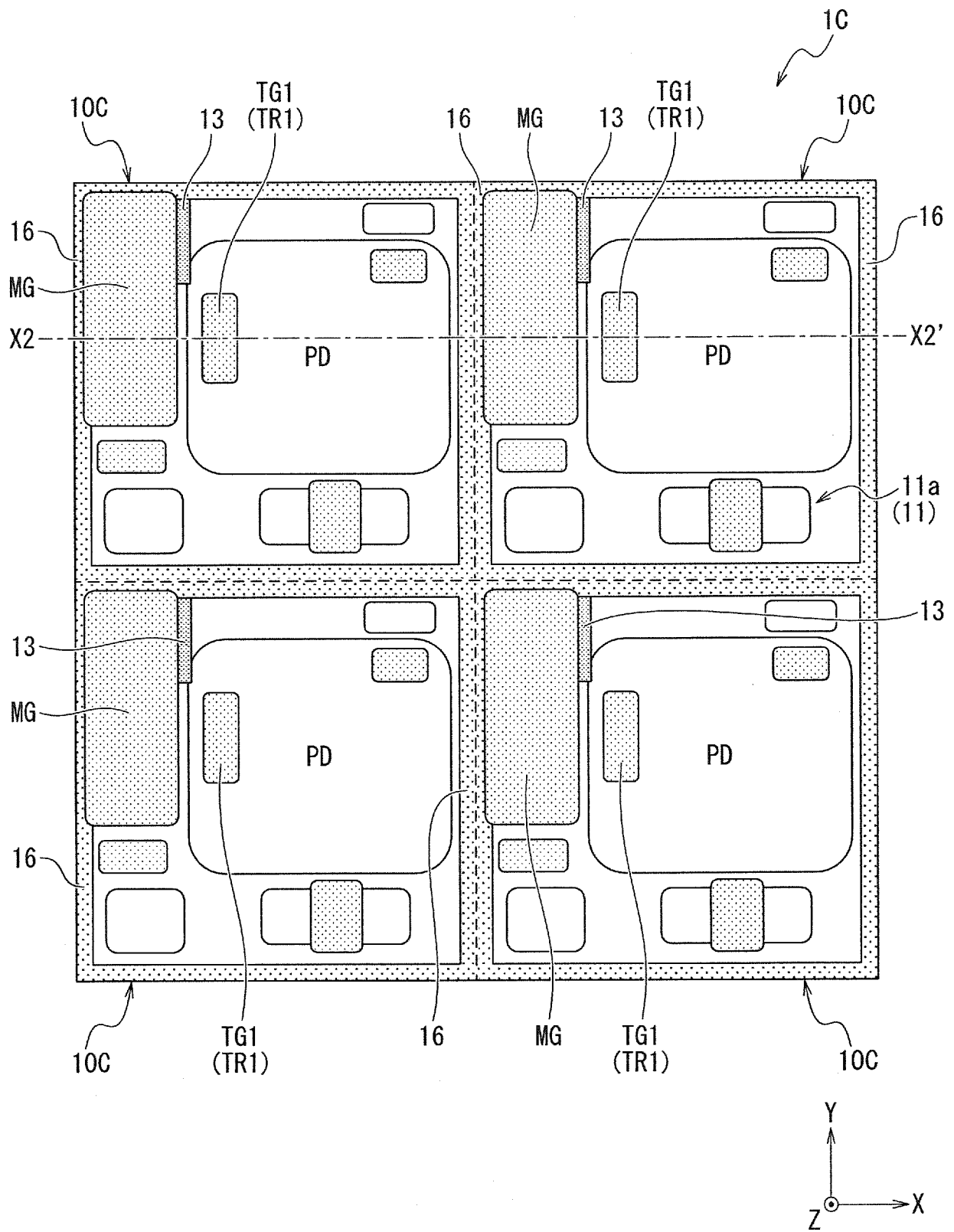
[図22]



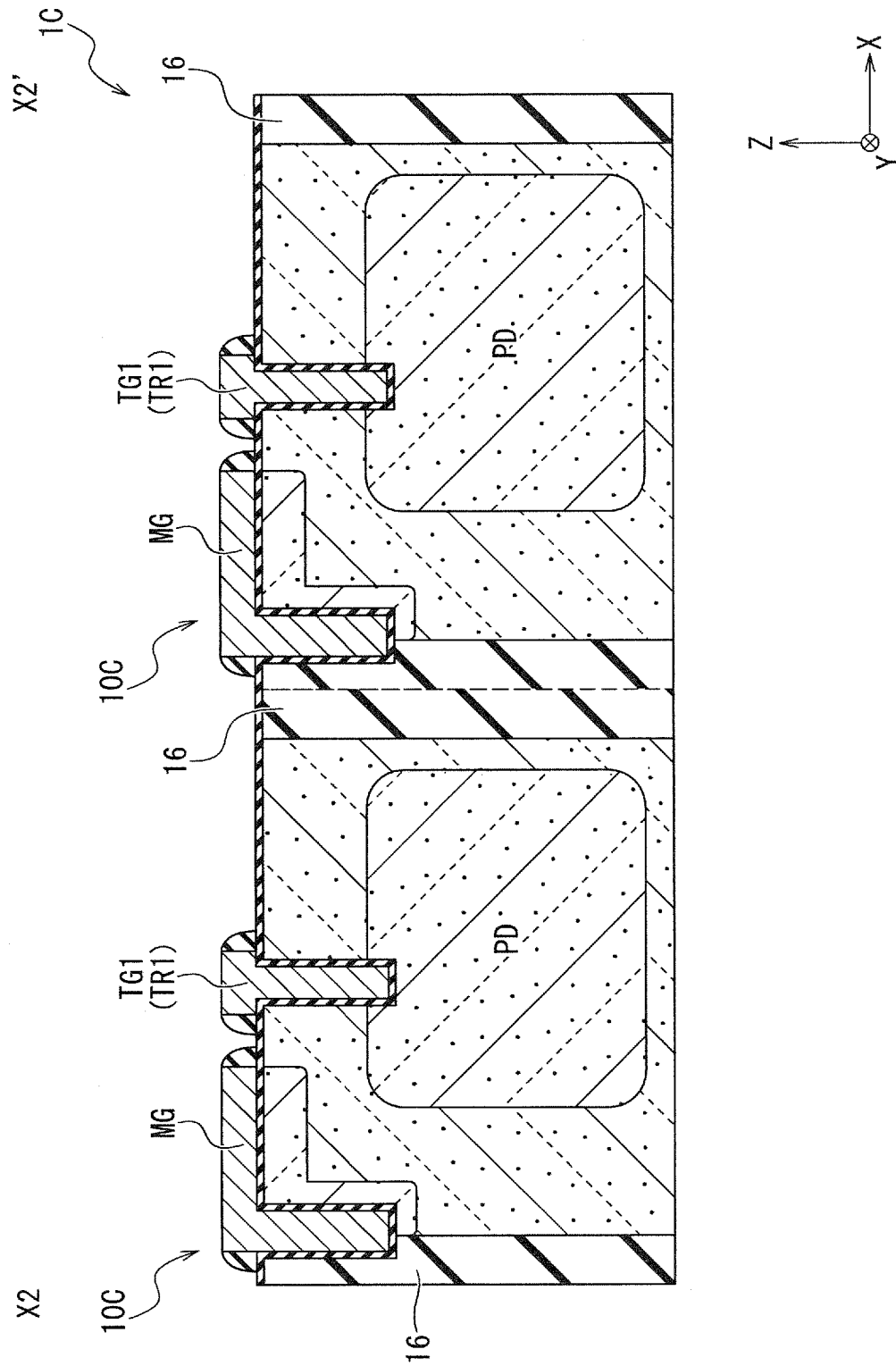
[図23A]



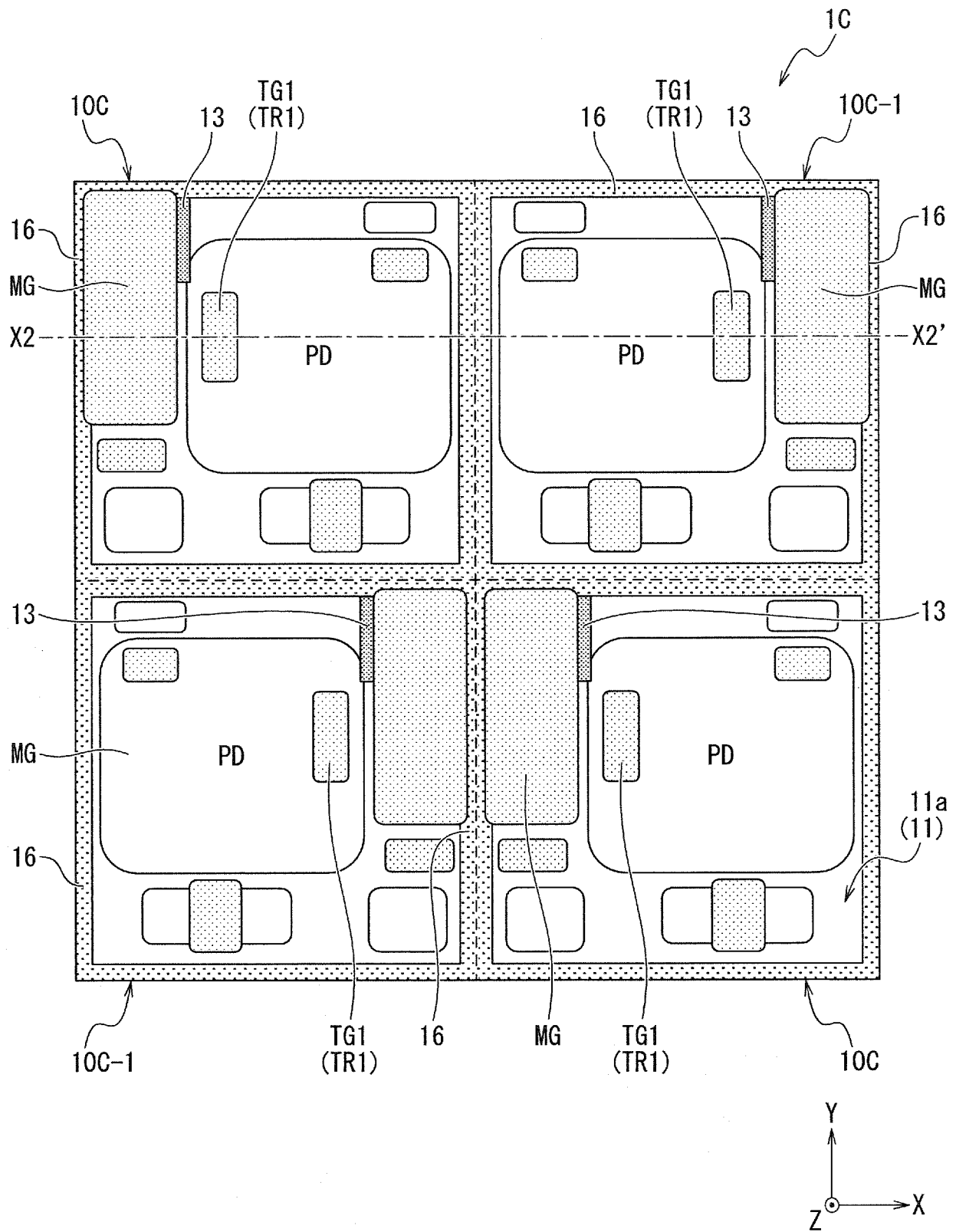
[図24A]



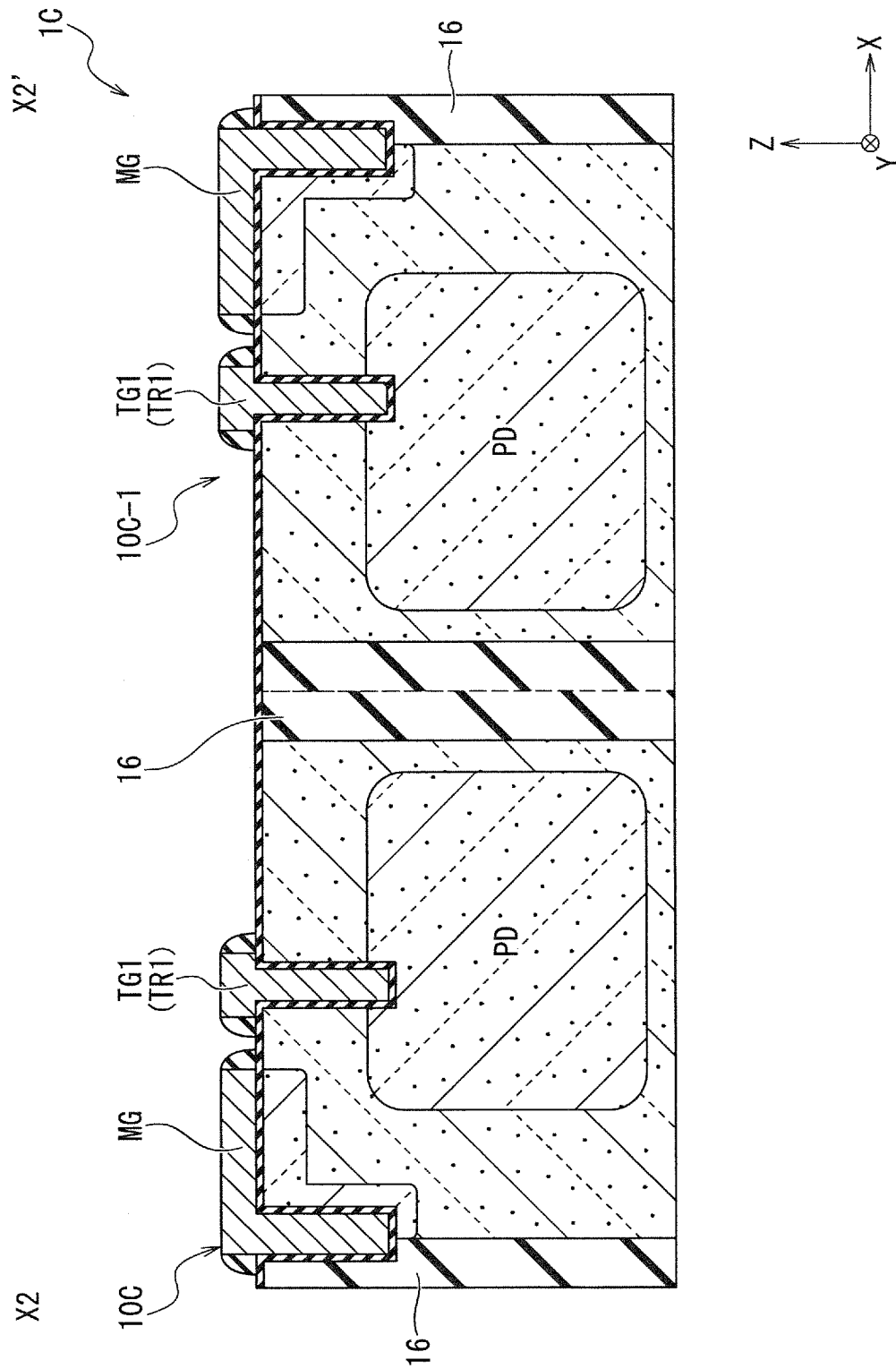
[図24B]



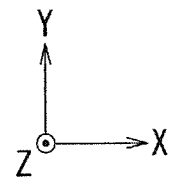
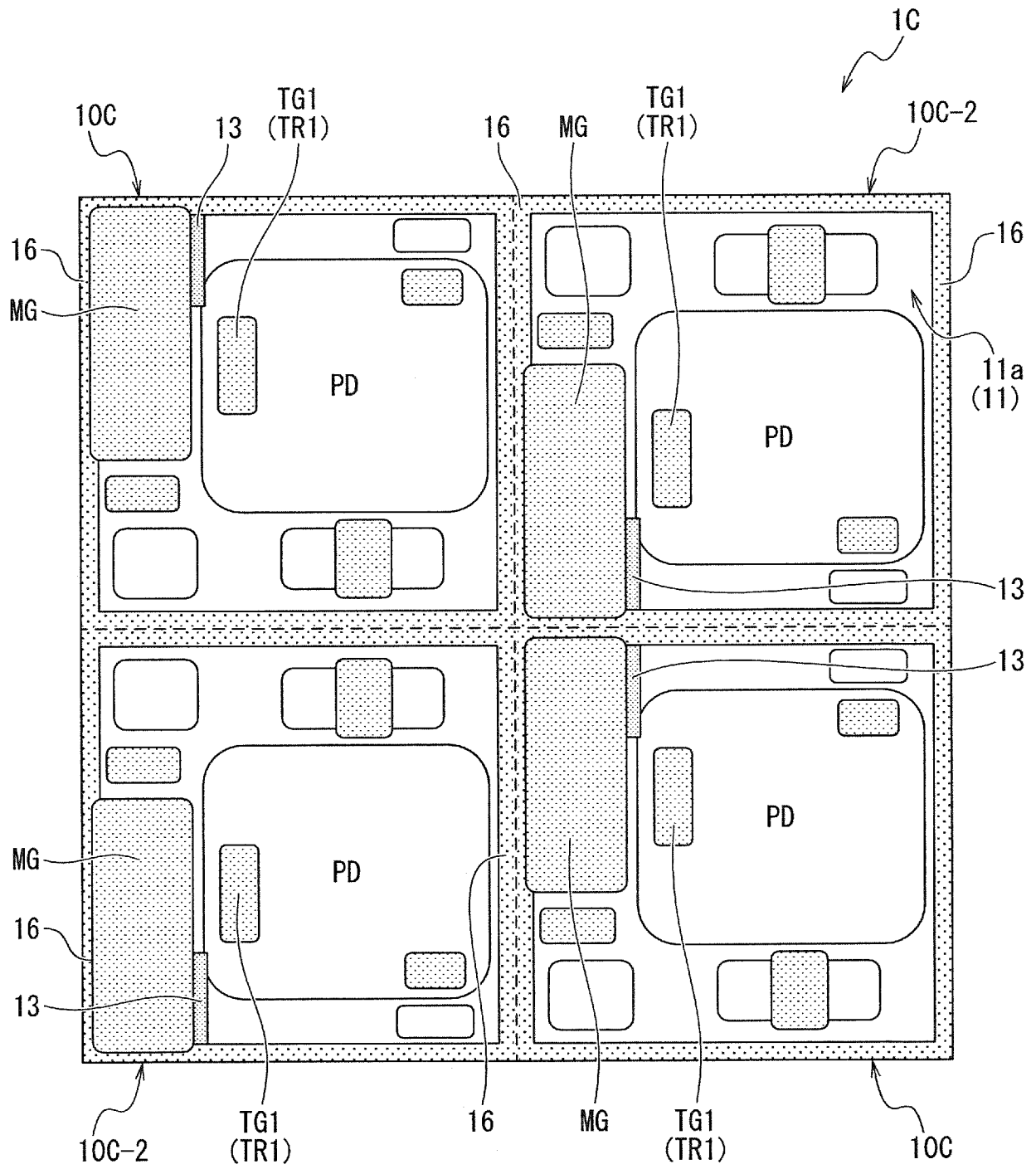
[図25A]



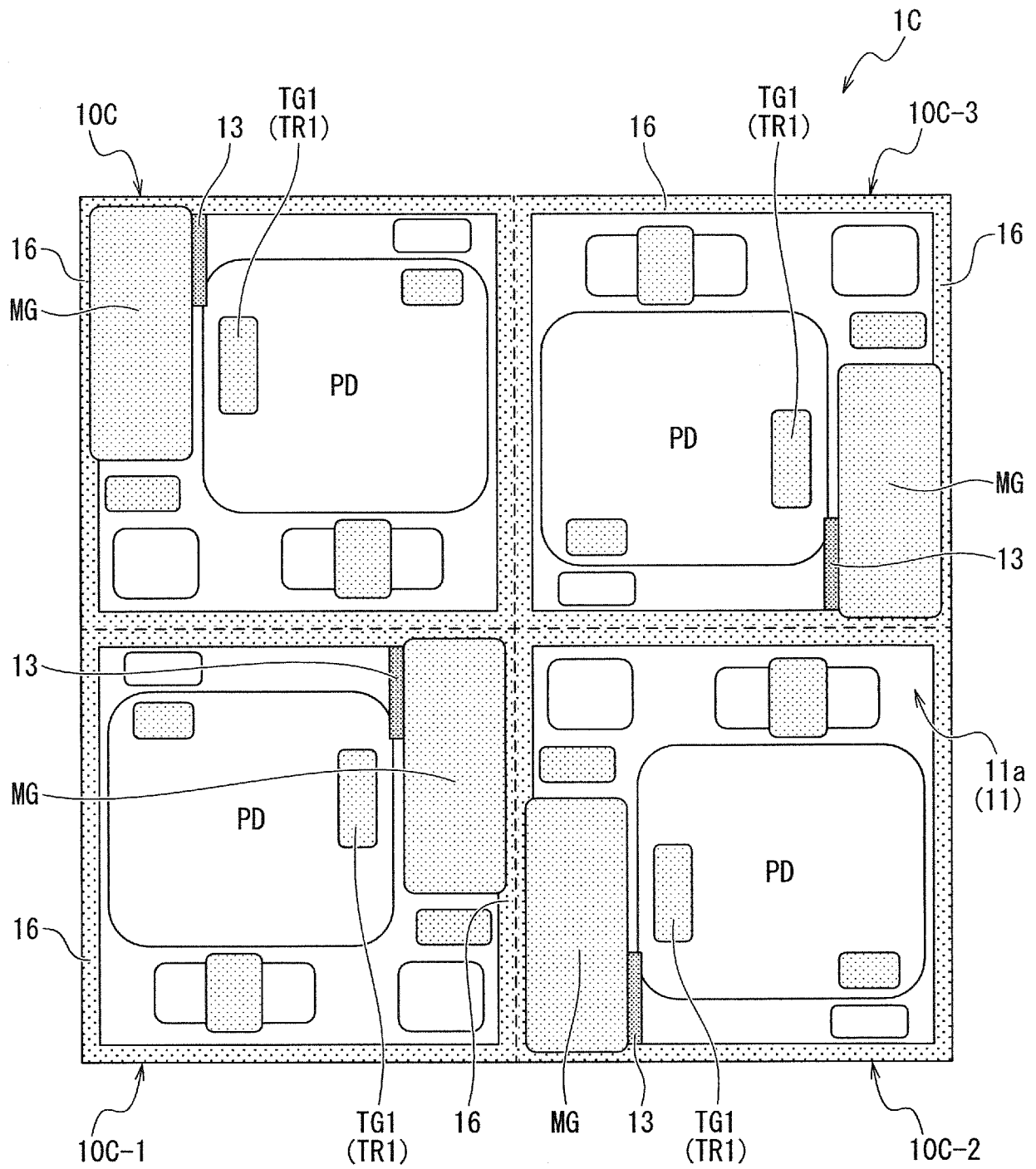
[図25B]



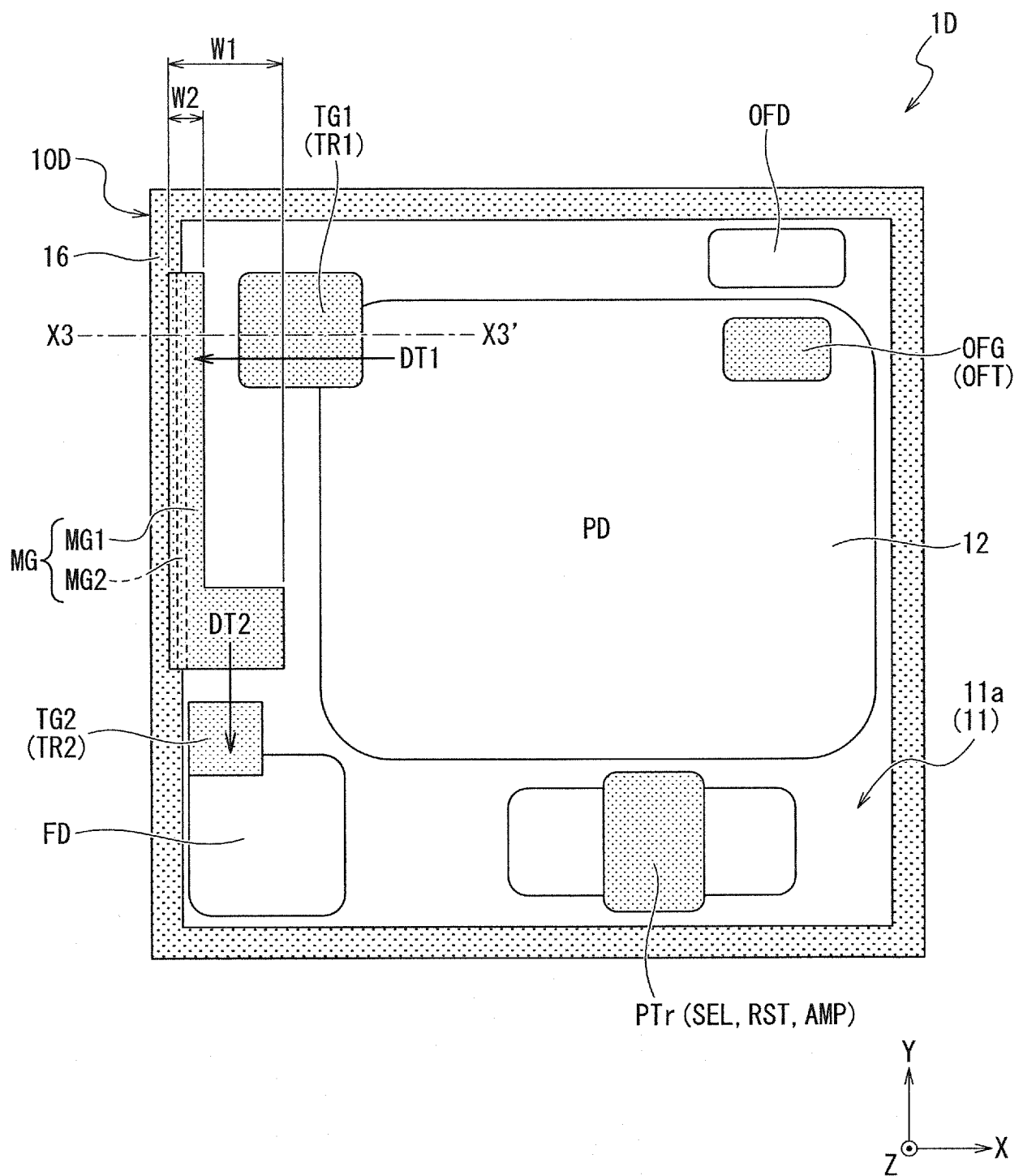
[図26]



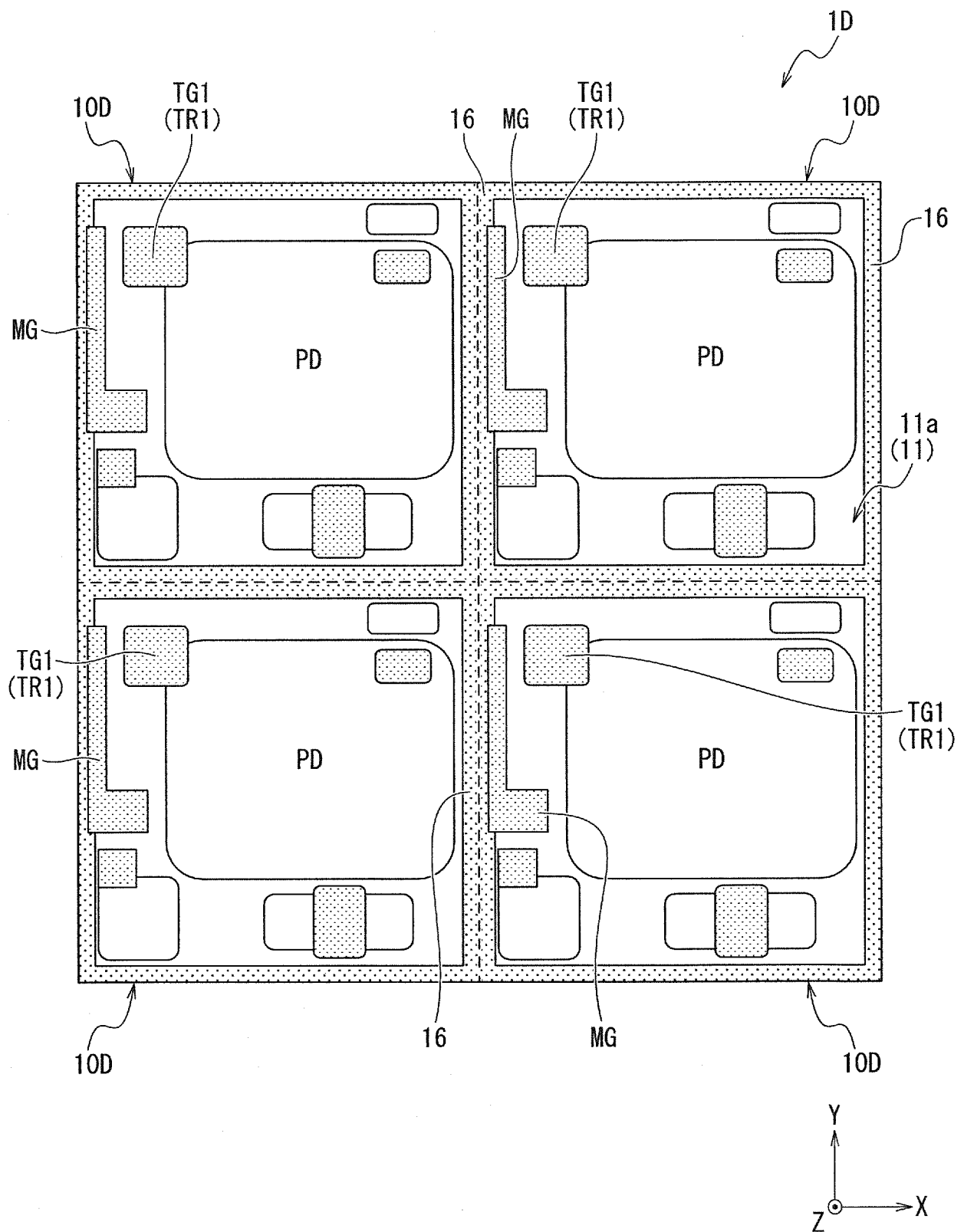
[図27]



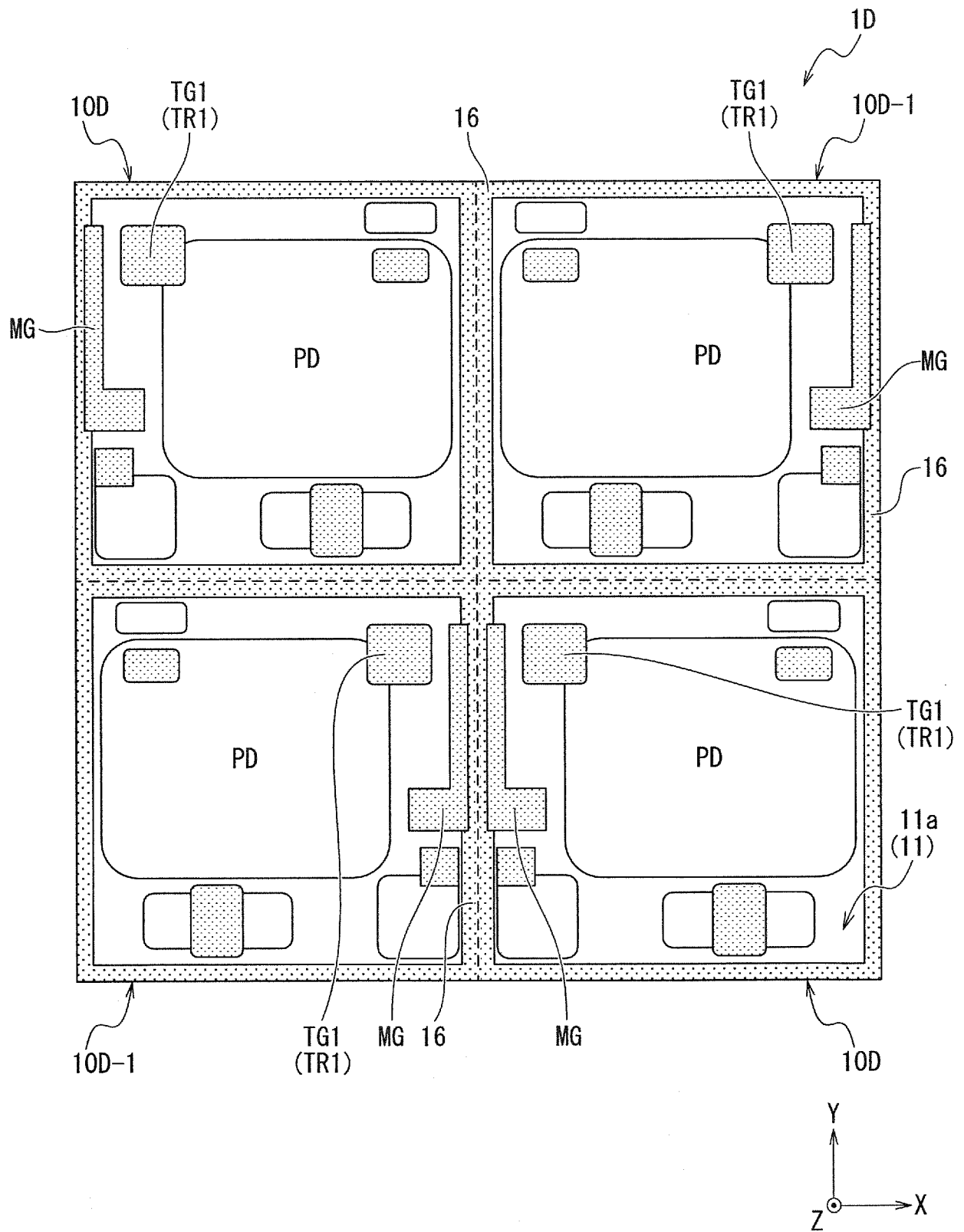
[図28A]



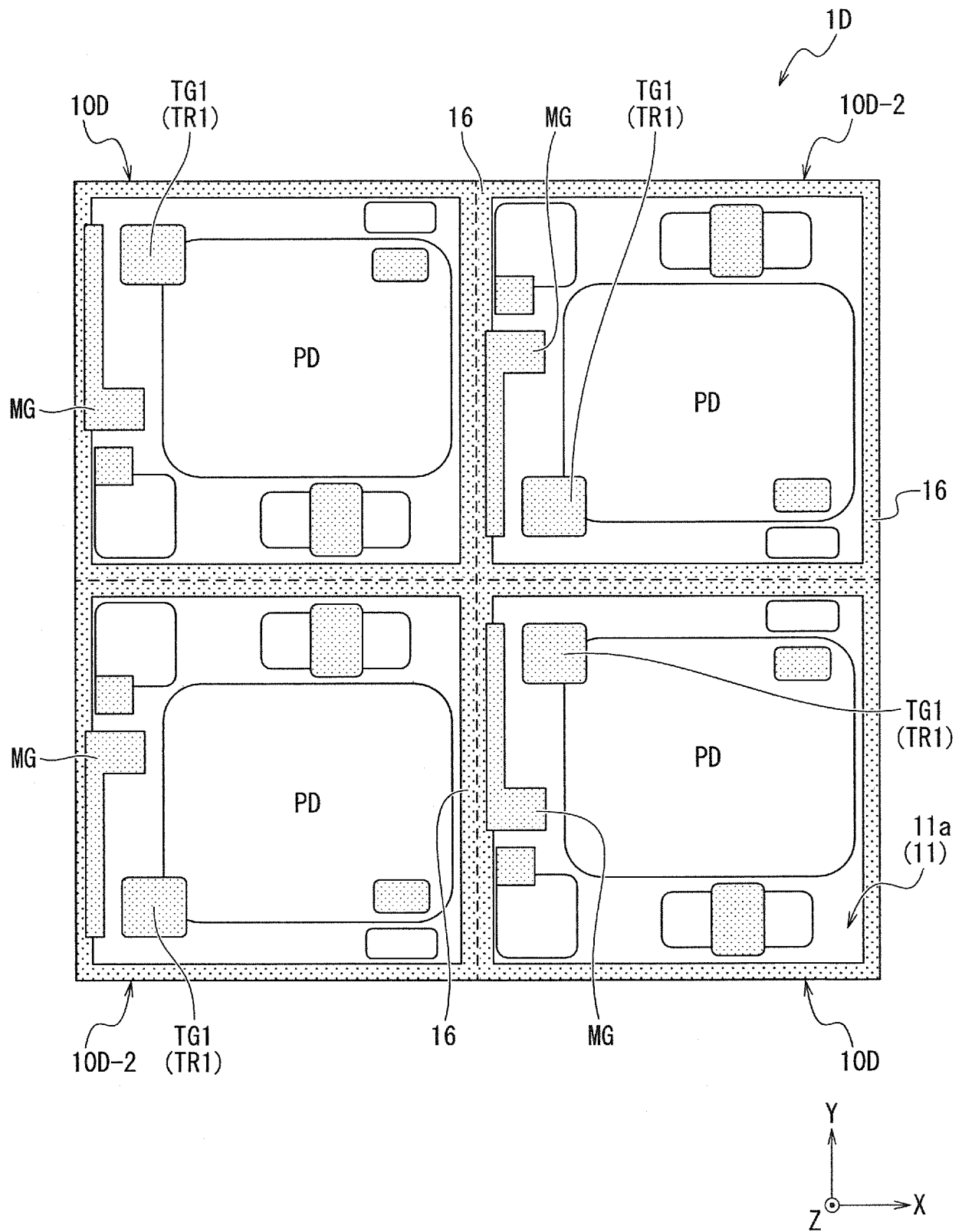
[図29]



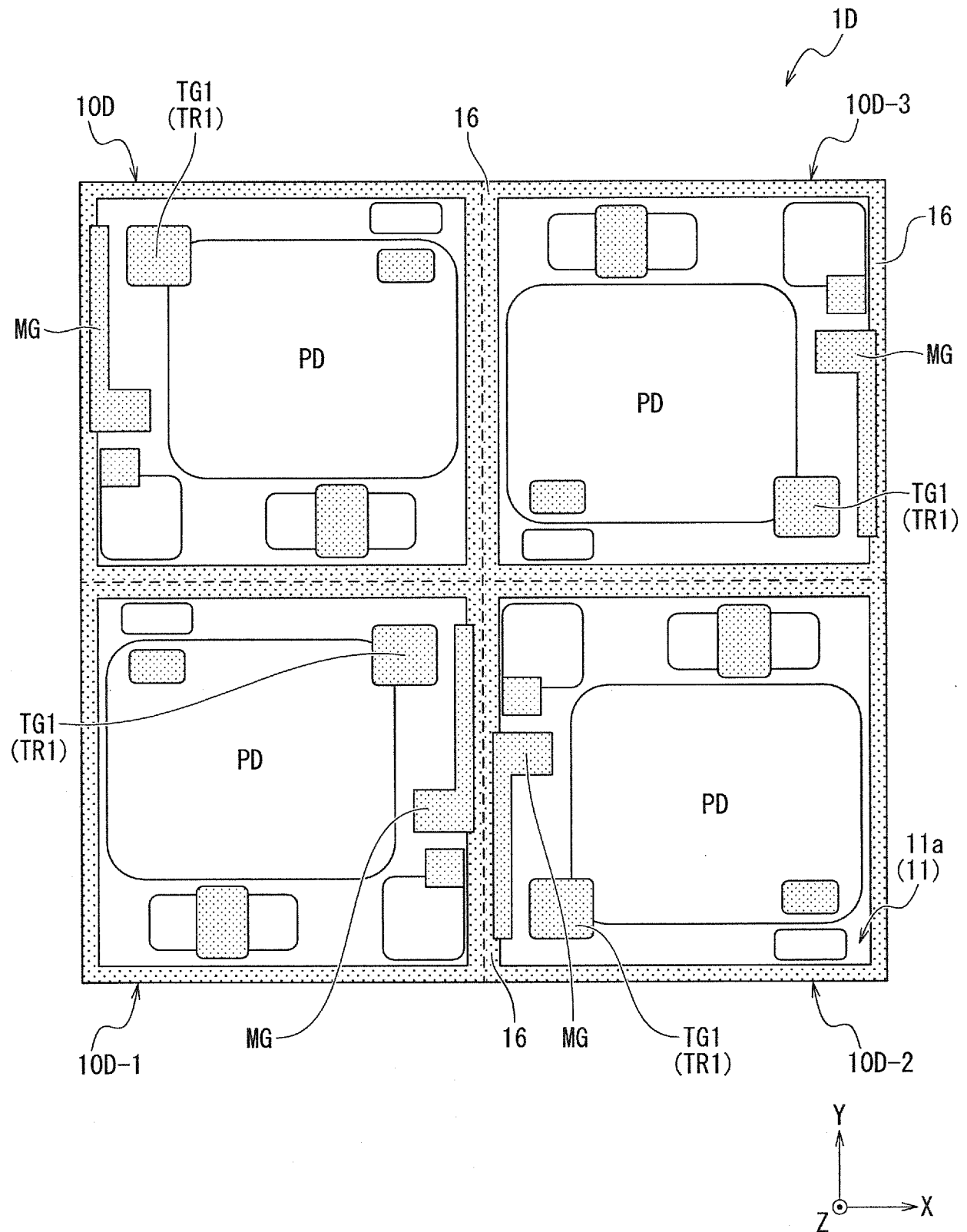
[図30]



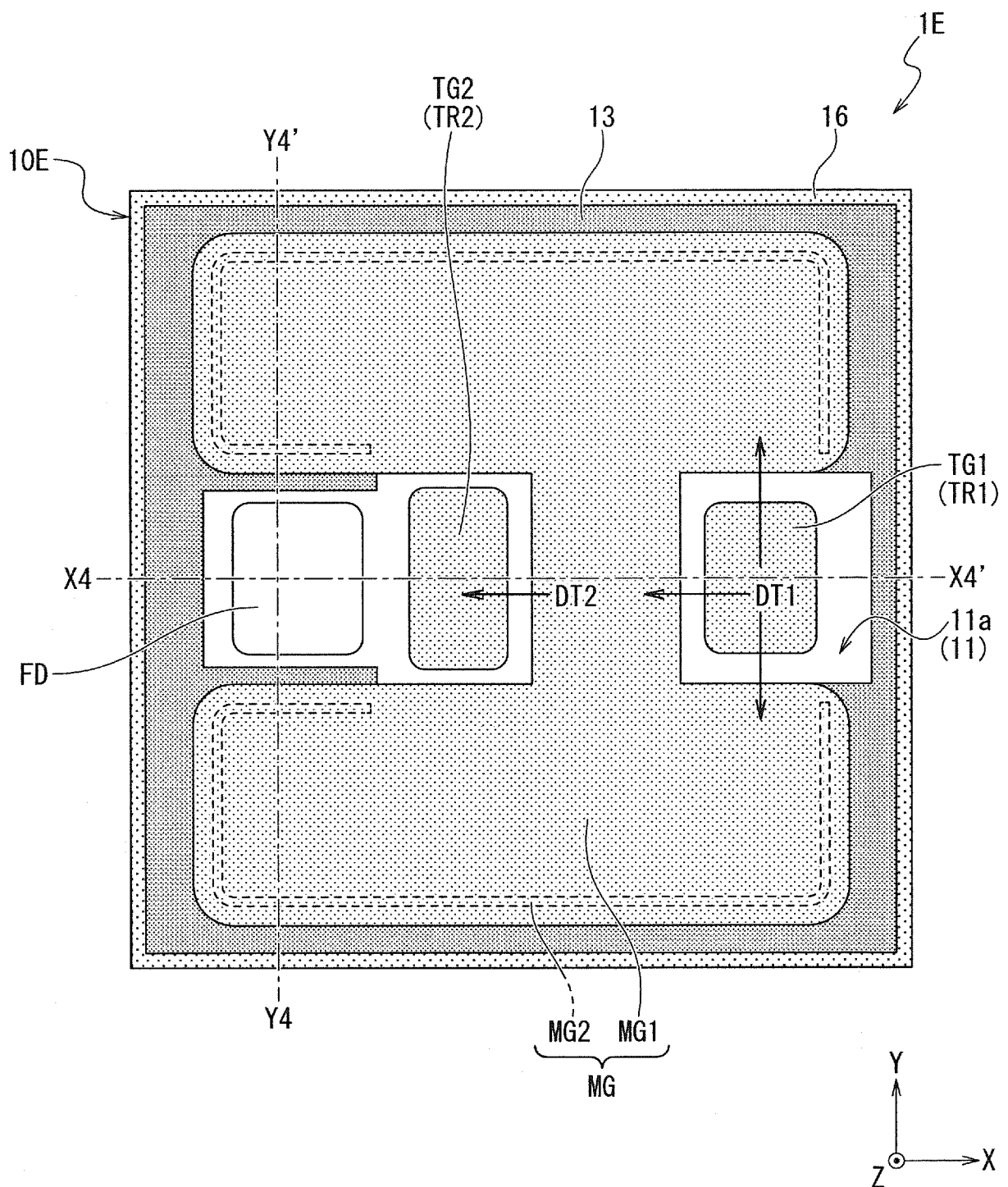
[図31]

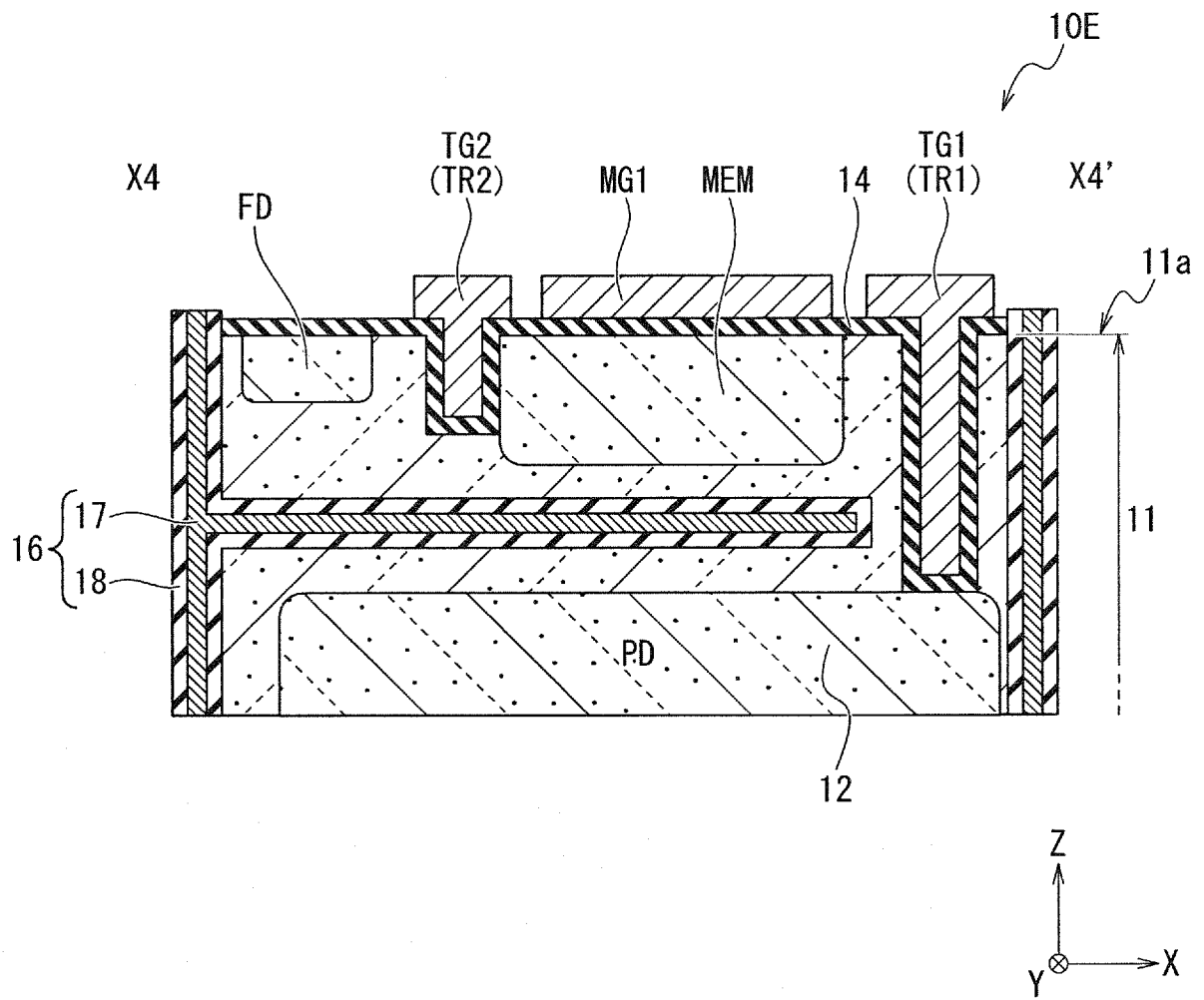


[図32]

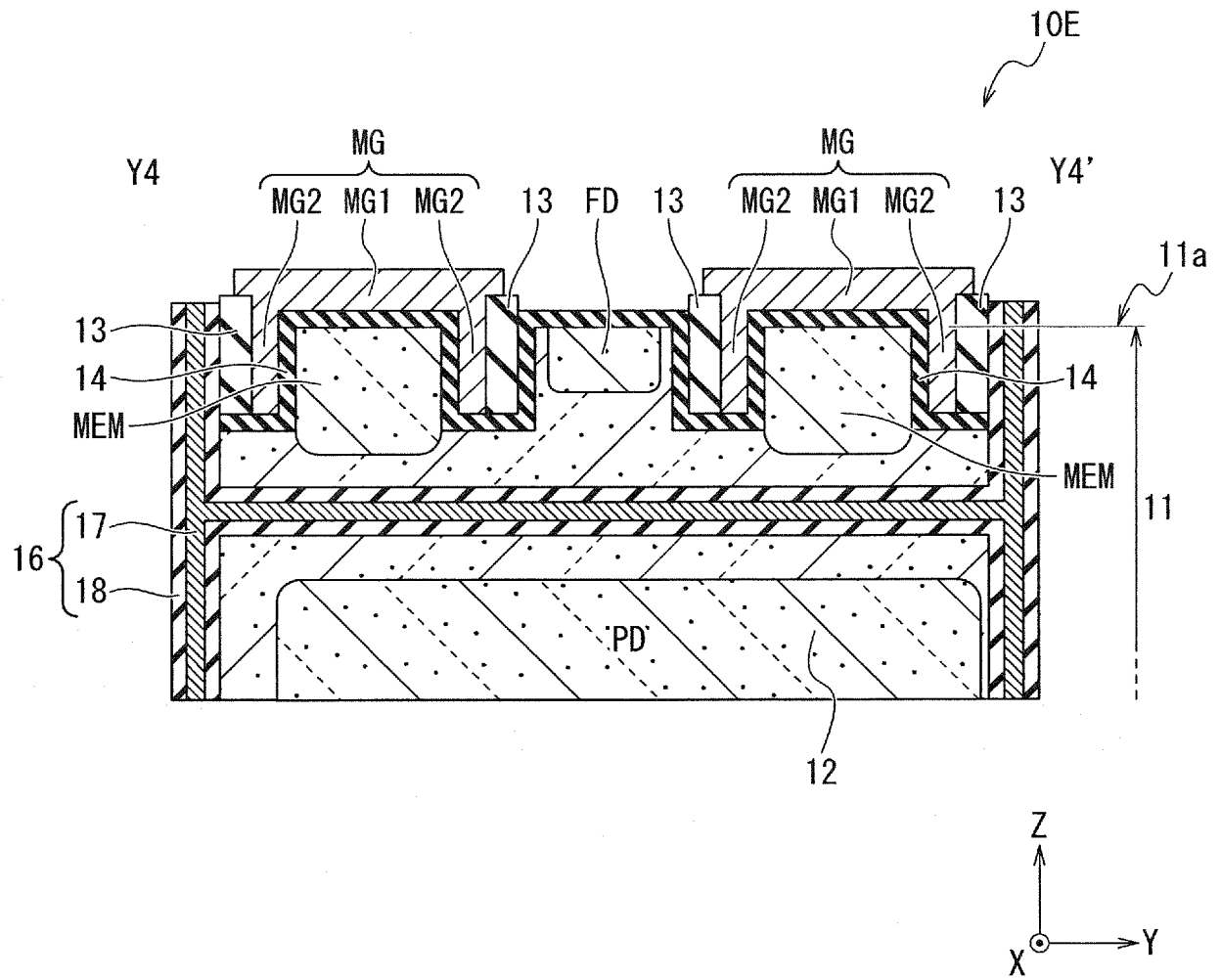


[図33A]

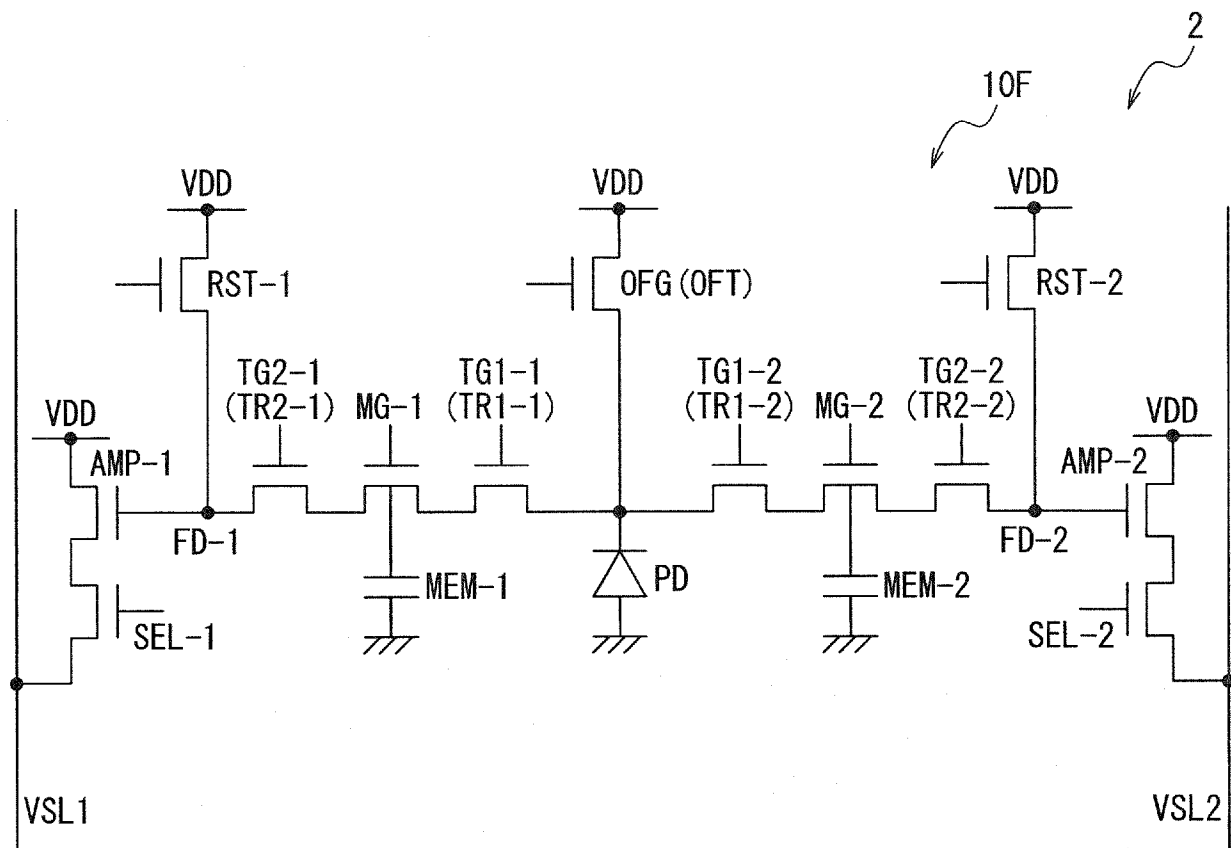




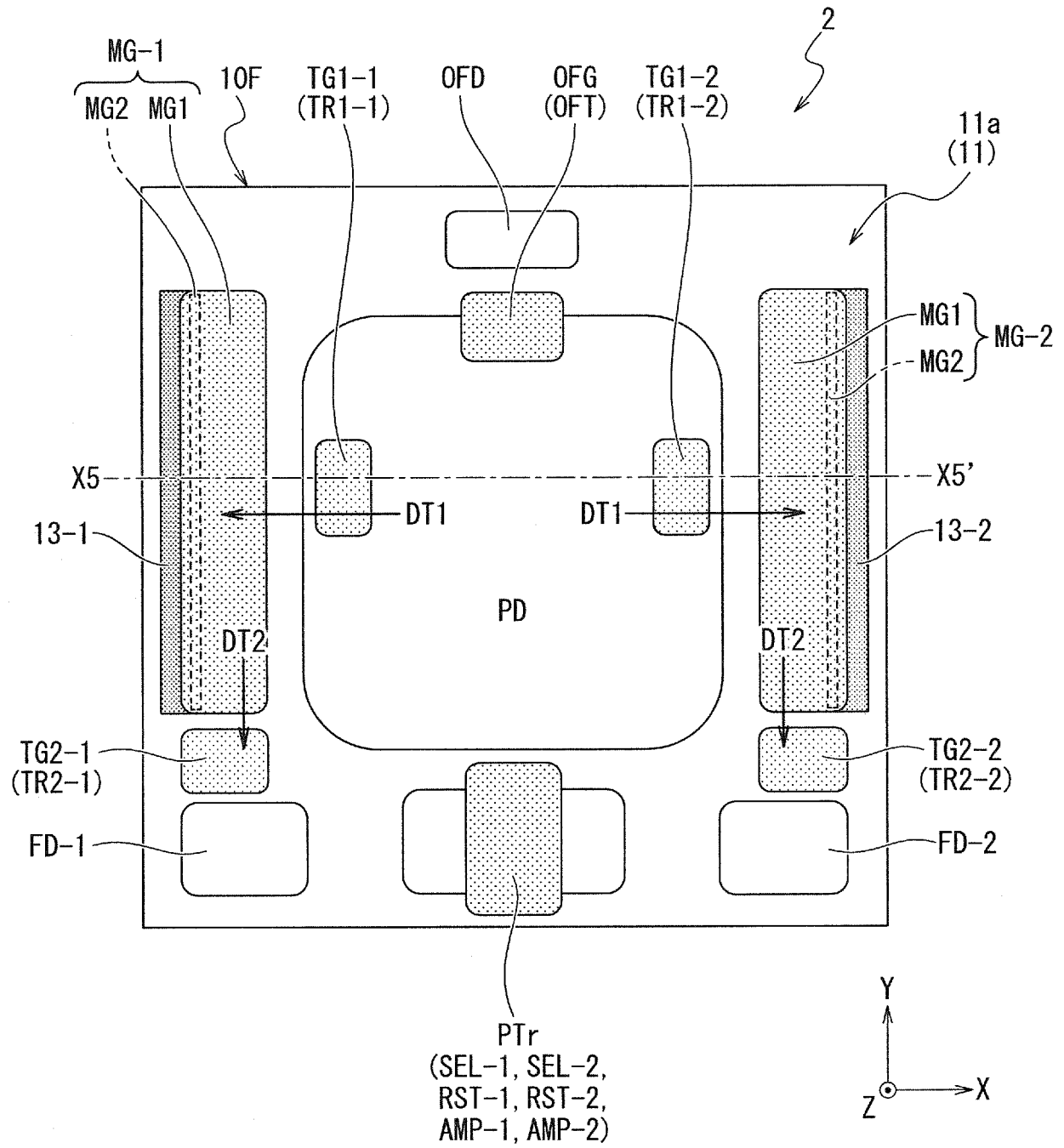
[図33C]



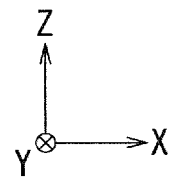
[図34]



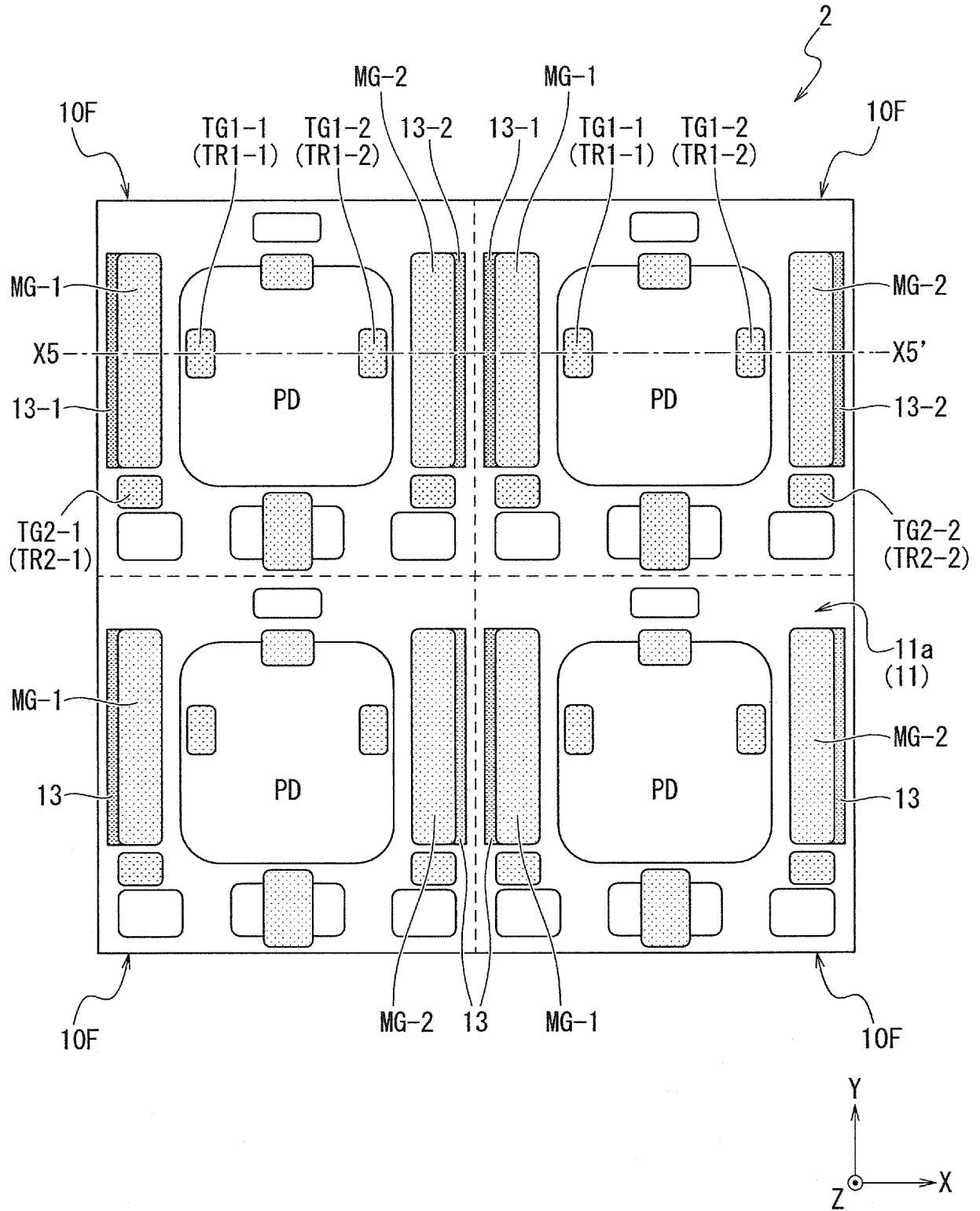
[図35A]



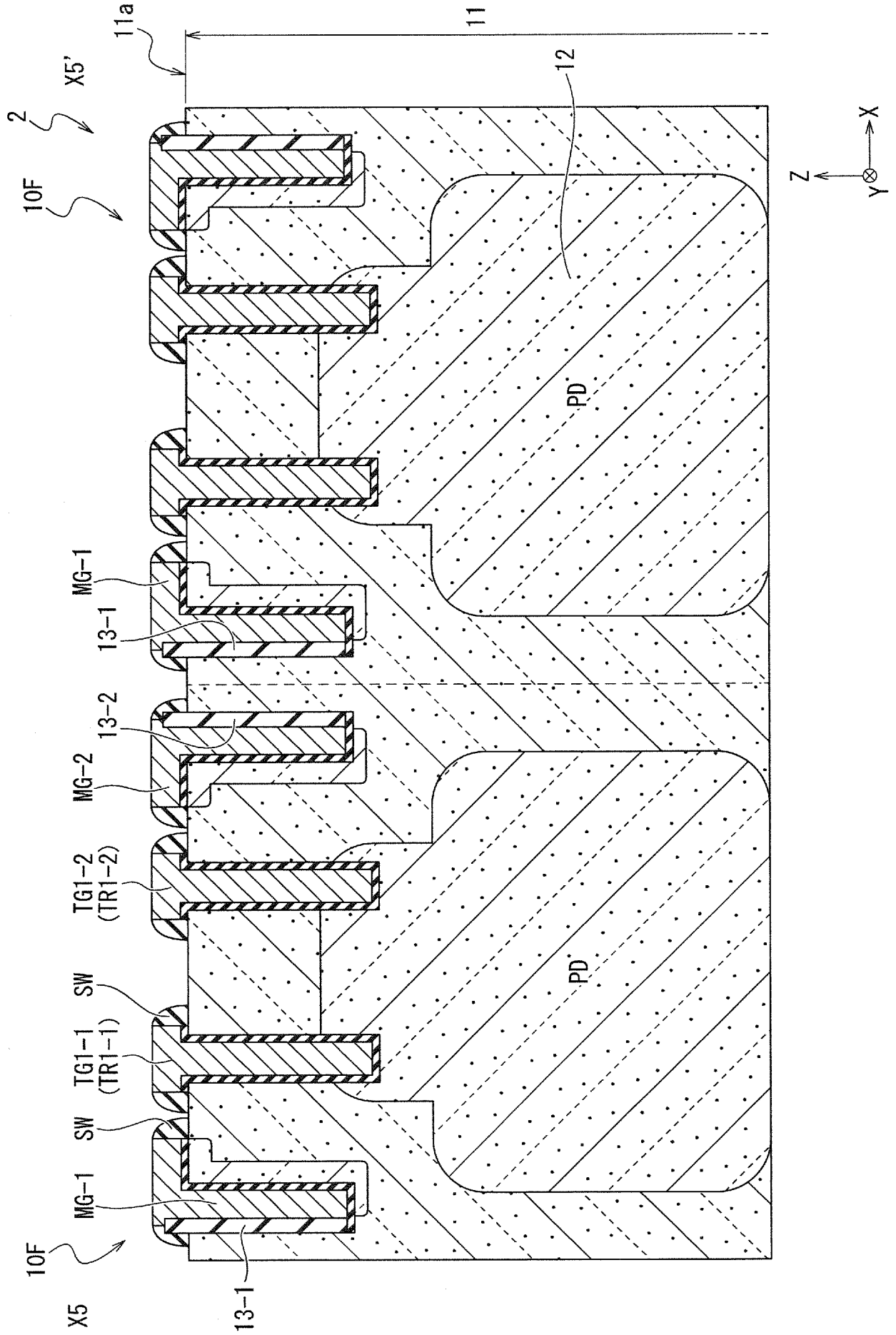
This cross-sectional view shows the device structure along line X5-X5'. It features a substrate 11 with a patterned layer 12. A large region is labeled PD. On the surface, there are two main groups of structures. The first group, labeled MG-1, consists of a gate stack 13-1 with a gate 14 and a hard mask H1, and a memory stack MEM-1. The second group, labeled MG-2, consists of a gate stack 13-2 with a gate 14 and a hard mask H1, and a memory stack MEM-2. Between these groups are two spacers labeled SW. The top surface is labeled 11a. The cross-section is labeled 10F.



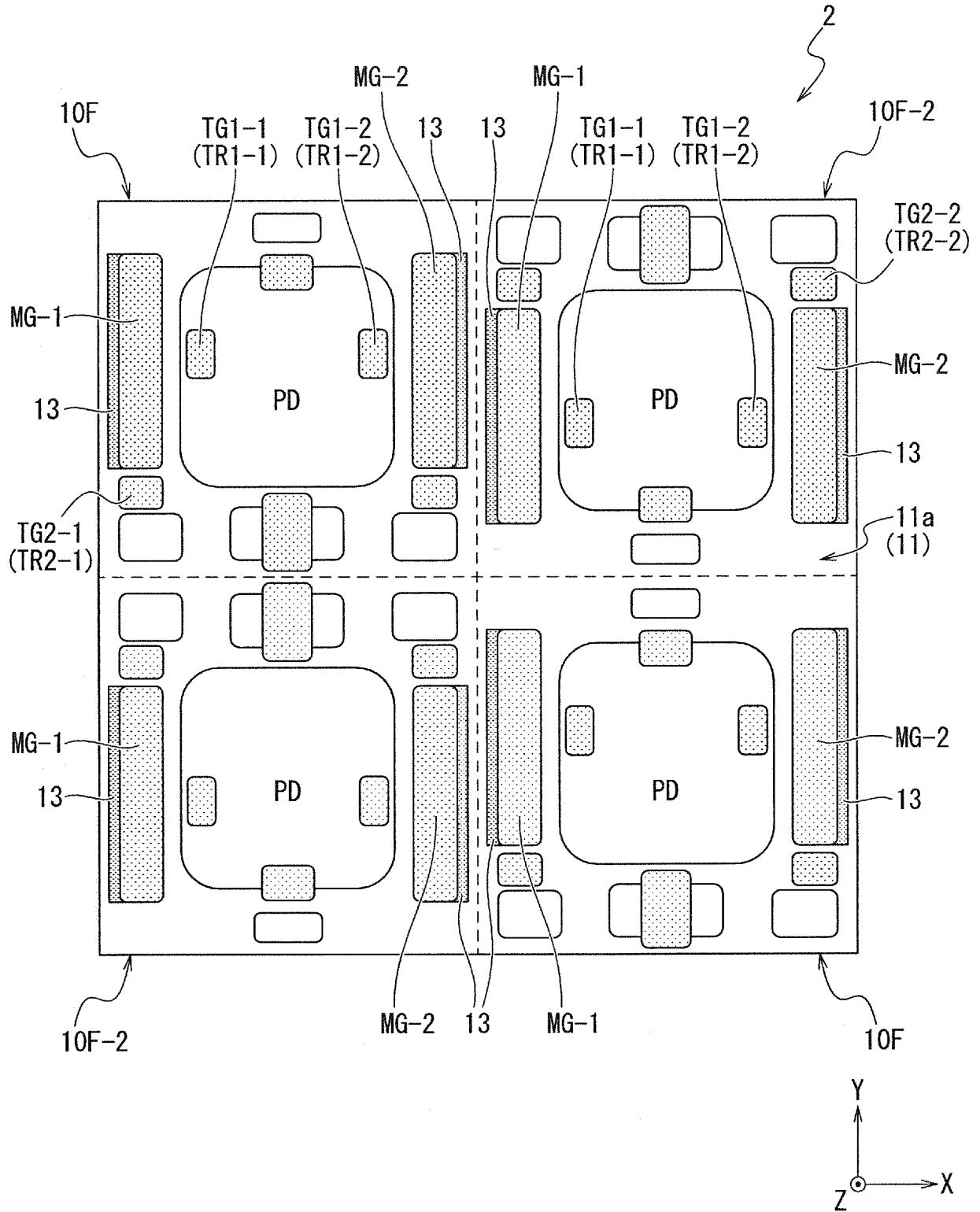
[図36A]



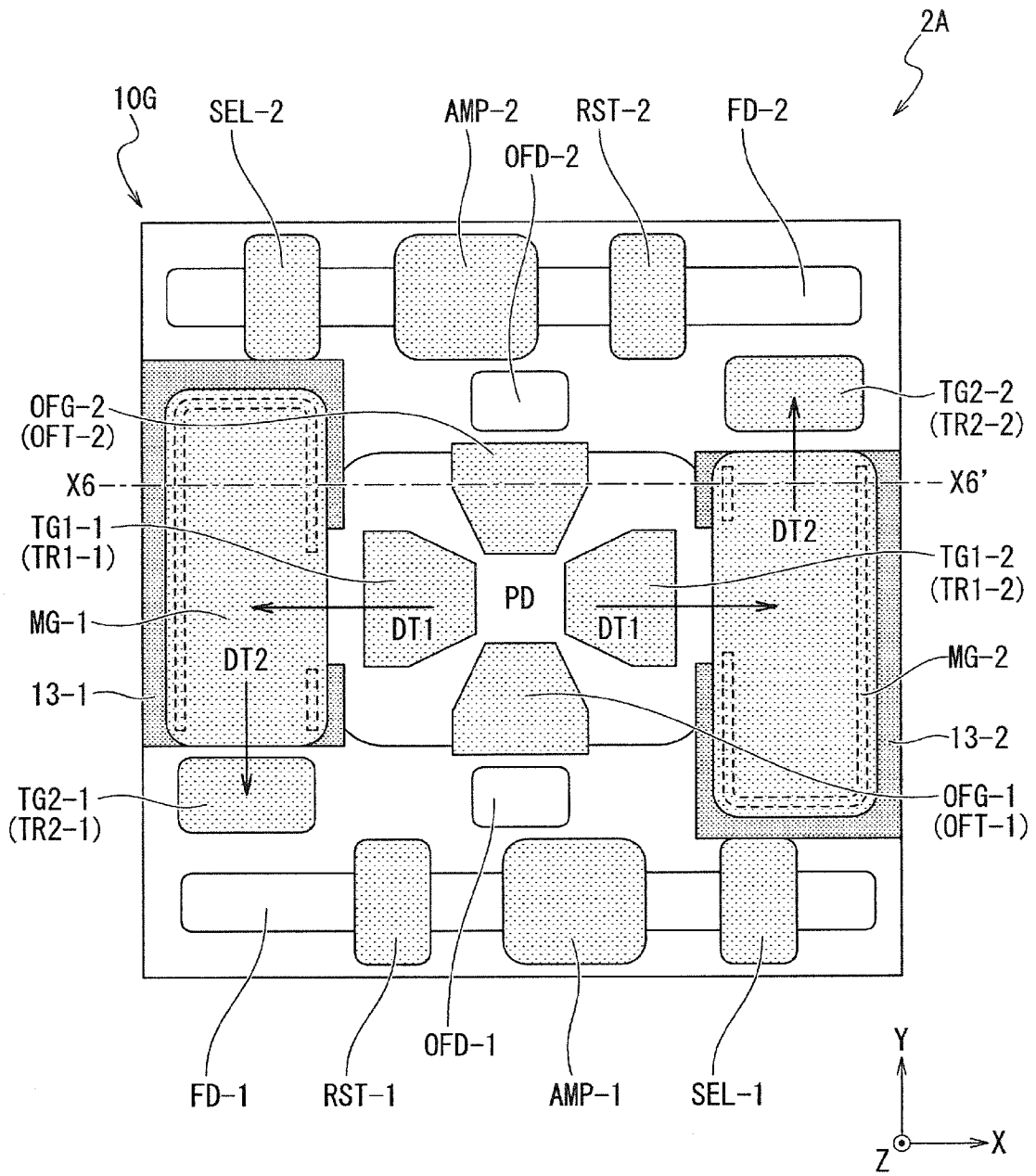
[図36B]



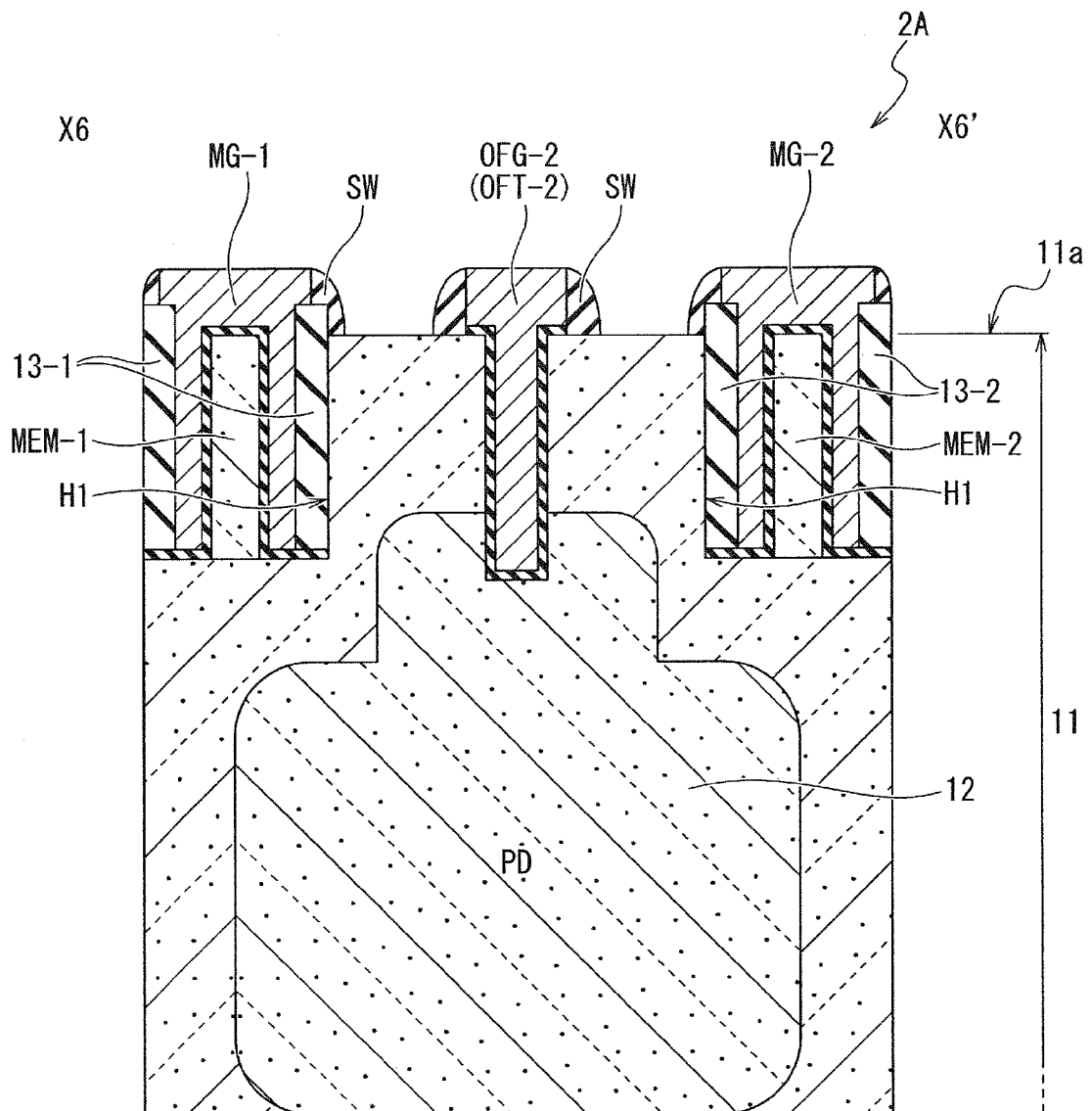
[図37]



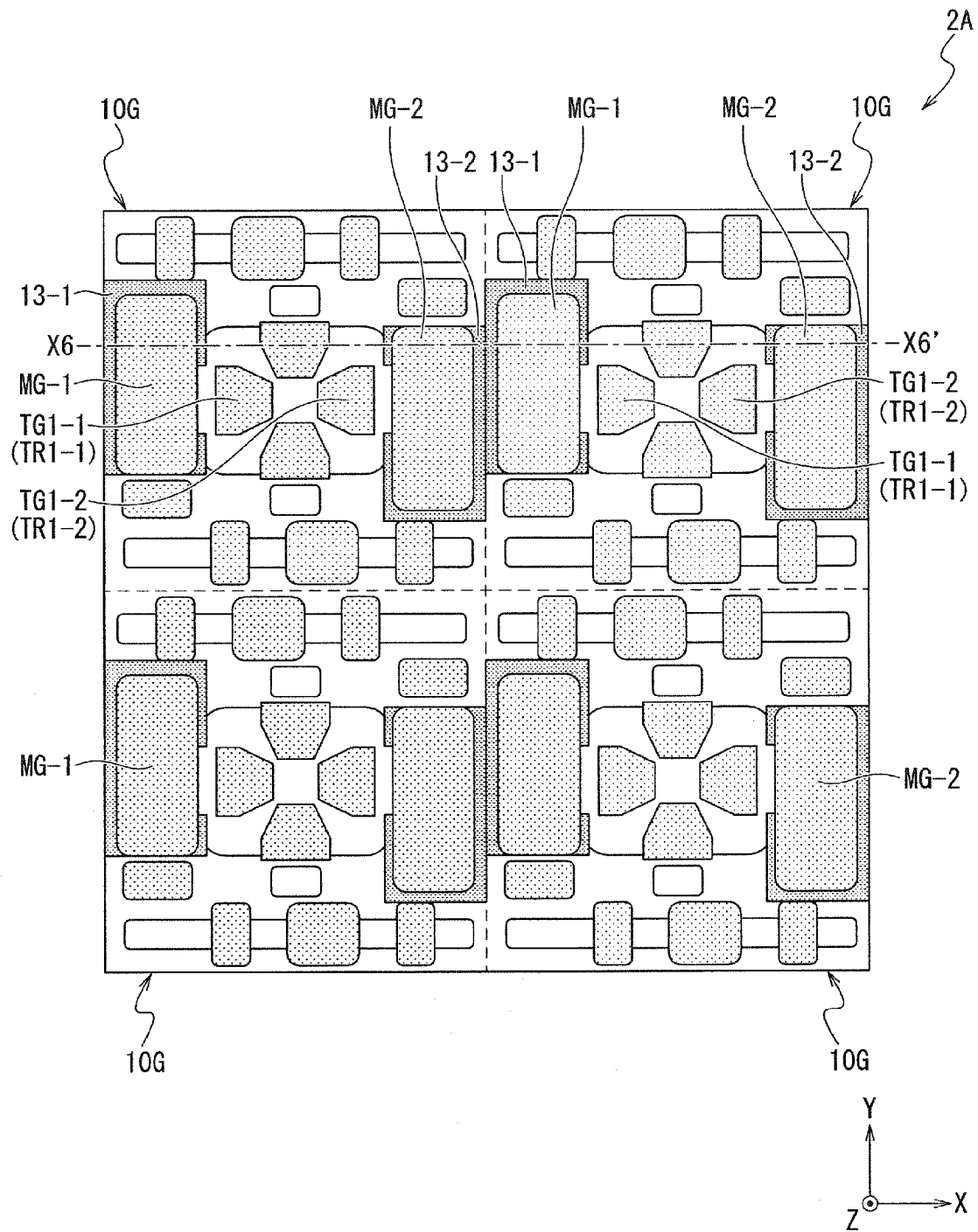
[図38A]



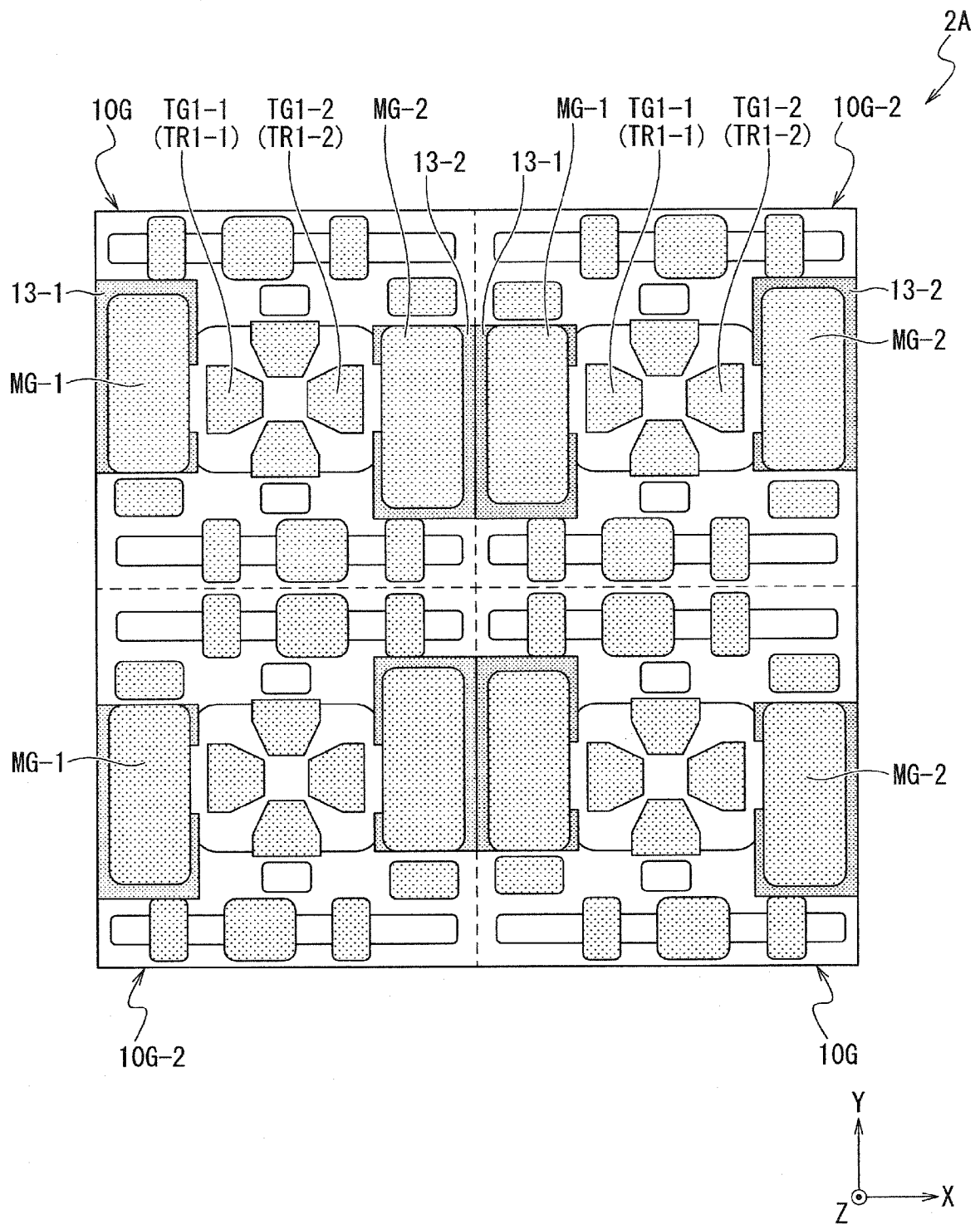
[図38B]



[図39A]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/006652

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i FI: H01L27/146 A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-157031 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 14 October 2022 (2022-10-14) paragraphs [0018], [0025], [0040]-[0049], [0074], [0088], [0141], fig. 1-36	1-4, 6, 15
Y		9, 10
A		5, 7, 8, 11-14, 16
Y	WO 2021/131844 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 July 2021 (2021-07-01) paragraph [0069], fig. 1-31	9, 10
Y	JP 2012-209342 A (FUJIFILM CORPORATION) 25 October 2012 (2012-10-25) paragraphs [0049], [0051], fig. 1-13	10
A	JP 2020-35916 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 05 March 2020 (2020-03-05) paragraphs [0010]-[0095], fig. 1-35	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 15 April 2024		Date of mailing of the international search report 23 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/006652

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-157031	A	14 October 2022	WO 2022/209427 A1 paragraphs [0018], [0025], [0040]-[0049], [0074], [0088], [0141], fig. 1-36	
WO	2021/131844	A1	01 July 2021	US 2023/0013285 A1 paragraph [0133], fig. 1-31 EP 4084090 A1	
JP	2012-209342	A	25 October 2012	US 9143713 B2 column 6, lines 48-51, column 7, lines 5-9 WO 2012/132099 A1	
JP	2020-35916	A	05 March 2020	US 2021/0203873 A1 paragraphs [0053]-[0142], fig. 1-35 WO 2020/045142 A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i
FI: H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2024年
日本国実用新案登録公報 1996 - 2024年
日本国登録実用新案公報 1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-157031 A（ソニーセミコンダクタソリューションズ株式会社）14.10.2022 (2022 - 10 - 14) 段落0018, 0025, 0040-0049, 0074, 0088, 0141, 図1-36	1-4, 6, 15
Y		9, 10
A		5, 7, 8, 11-14, 16
Y	WO 2021/131844 A1（ソニーセミコンダクタソリューションズ株式会社）01.07.2021 (2021 - 07 - 01) 段落0069, 図1-31	9, 10
Y	JP 2012-209342 A（富士フイルム株式会社）25.10.2012（2012 - 10 - 25） 段落0049, 0051, 図1-13	10
A	JP 2020-35916 A（ソニーセミコンダクタソリューションズ株式会社）05.03.2020 (2020 - 03 - 05) 段落0010-0095, 図1-35	1-16

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

15. 04. 2024

国際調査報告の発送日

23. 04. 2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小山 満 5F 9458

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/006652

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-157031	A	14.10.2022	W0 2022/209427 A1 段落0018, 0025, 0040-0049, 0074, 0088, 0141, 図1-36	
W0	2021/131844	A1	01.07.2021	US 2023/0013285 A1 段落0133, 図1-31	
				EP 4084090 A1	
JP	2012-209342	A	25.10.2012	US 9143713 B2 第6欄第48-51行, 第7欄第5-9 行	
				W0 2012/132099 A1	
JP	2020-35916	A	05.03.2020	US 2021/0203873 A1 段落0053-0142, 図1-35	
				W0 2020/045142 A1	