(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/132655 A1

(51) 国際特許分類:
H01L 31/04 (2006.01)

(21) 国際出願番号: PCT/JP2012/054233

(22) 国際出願日: 2012 年 2 月 22 日(22.02.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-068852 2011 年 3 月 25 日(25.03.2011) JP

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 **(SANYO ELECTRIC CO., LTD.)** [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 三島　孝博 **(MISHIMA, Takahiro)** [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内 Osaka (JP). 重松　正人 **(SHIGEMATSU, Masato)** [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内 Osaka (JP). 橋口　大樹 **(HASHIGUCHI, Taiki)** [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号 三洋電機株式会社内 Osaka (JP).

(74) 代理人: 特許業務法人ＹＫＩ国際特許事務所 **(YKI Patent Attorneys)**; 〒1800004 東京都武蔵野市吉祥寺本町一丁目３４番１２号 Tokyo (JP).

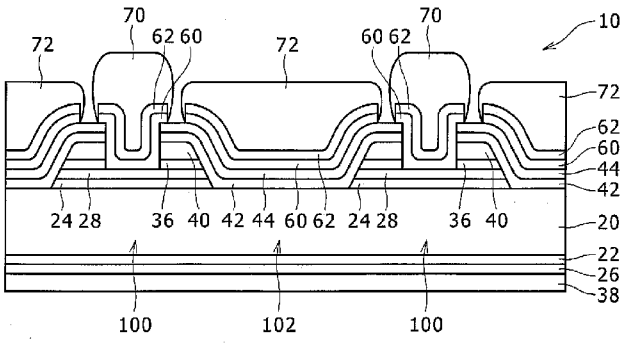
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: BACK-JUNCTION PHOTOELECTRIC CONVERSION ELEMENT AND METHOD FOR MANUFACTURING BACK-JUNCTION PHOTOELECTRIC CONVERSION ELEMENT

(54) 発明の名称 : 裏面接合型の光電変換素子及び裏面接合型の光電変換素子の製造方法

[図1]



(57) **Abstract**: In this photoelectric conversion element (10), an n-type region (100) containing an n-type amorphous semiconductor layer (28) and a p-type region (102) containing a p-type amorphous semiconductor layer (44) are provided on the back surface of a semiconductor substrate (20), namely an n-type single-crystal silicon substrate. An electrode (70) for the n-type region is connected to the n-type amorphous semiconductor layer (28) via base electrodes (60 and 62) through an opening provided in a layered insulation layer consisting of a silicon-oxide layer (36) and a silicon-nitride layer (40). When forming said opening in the silicon-oxide layer (36), residue from the silicon nitride thereabove is removed via lift-off.

(57) 要約:　光電変換素子（１０）には、ｎ型のシリコン単結晶基板である半導体基板（２０）の裏面に、ｎ型非晶質半導体層（２８）を含むｎ型領域（１００）と、ｐ型非晶質半導体層（４４）を含むｐ型領域（１０２）が設けられる。ｎ型領域用の電極（７０）は、酸化シリコン層（３６）と窒化シリコン層（４０）の積層構造の絶縁層に開口部を設け、その開口部を通して、下地電極（６０），（６２）を介して、ｎ型非晶質半導体層（２８）と接続される。酸化シリコン層（３６）の開口部を形成する際に、その上の窒化シリコンの残渣は、リフトオフによって除去される。

WO 2012/132655 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

裏面接合型の光電変換素子及び裏面接合型の光電変換素子の製造方法

技術分野

[0001] 本発明は、裏面接合型の光電変換素子及び裏面接合型の光電変換素子の製造方法に係り、特に、光電変換素子を形成するｐ型領域とｎ型領域を作り分けるために絶縁層を用いる裏面接合型の光電変換素子及び裏面接合型の光電変換素子の製造方法に関する。

背景技術

[0002] 太陽電池は、光起電力装置、あるいは光電変換素子とも呼ばれるが、クリーンなエネルギ源として期待され、光電変換効率を向上させるために、様々な構造が用いられる。

[0003] 例えば、特許文献１には、ヘテロ接合を有する光起電力装置として、ｎ型単結晶シリコン上にｉ型非晶質シリコンおよびｐ型非晶質シリコンをそれぞれ積層する構成が開示されている。

[0004] また、特許文献２には、太陽電池として、第１半導体層の両隣に配設される一対の第２半導体層と、一方の第２半導体層上から第１半導体層上まで跨って形成される絶縁層と、他方の第２半導体層上から第１半導体層上まで跨って形成される絶縁層を備える構成が開示されている。ここでは、透明電極層と収集電極層は、絶縁層上に形成される一対の分離溝によって、第１半導体層用の電極と第２半導体層用の電極とに分離される。

先行技術文献

特許文献

[0005] 特許文献1：特開平７－１４２７５３号公報

特許文献2：特開２００９－２００２６７号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献２に記載される太陽電池は、受光面と反対側の裏面に第１半導体層用の電極と第２半導体層用の電極を設けるものである。このような構造は、裏面接合型の光電変換素子と呼ばれ、受光面に電極が配置されないので、受光面積を広く取れ、光電変換効率を向上させることができる。

[0007] 裏面接合型の光電変換素子では、裏面にｐｎ接合を形成するので、ｐ型領域とｎ型領域を作り分けるために絶縁層が用いられる。電極はこの絶縁層を開口してｐ型領域またはｎ型領域と接続される。ところが、絶縁層によっては、開口工程において、絶縁層の残渣が残ってしまうことが生じる。そのためにせっかくの変換効率向上が妨げられる。

[0008] 本発明の目的は、絶縁層の開口の際の残渣を確実に除去して、変換効率の向上を確保できる裏面接合型の光電変換素子及び裏面接合型の光電変換素子の製造方法を提供することである。

課題を解決するための手段

[0009] 本発明に係る裏面接合型の光電変換素子は、受光面と、受光面の反対側の裏面とを有する第１導電型の半導体基板と、裏面に配置され、半導体基板に接続し第１導電型を有する非晶質半導体層を含んで構成される第１導電型領域と、裏面に配置され、第２導電型を有する非晶質半導体層を含んで構成され、半導体基板とｐｎ接合を形成する第２導電型領域と、第１導電型領域または第２導電型領域のいずれか一方の領域の非晶質半導体層の上に形成される絶縁層と、絶縁層に設けられた開口部を通して、その下部に設けられる非晶質半導体層に接続し、外部に引き出される電極層と、を備え、絶縁層は、その下部に設けられる非晶質半導体層に接触して設けられる第１絶縁層と、第１絶縁層の上に形成される第２絶縁層であって、第１絶縁層の開口部を形成する際に、リフトオフによって除去される膜質を有する第２絶縁層と、を含むことを特徴とする。

[0010] 本発明に係る裏面接合型の光電変換素子の製造方法は、第１導電型のシリコン基板の受光面とは反対側の裏面にｐｎ接合が形成される裏面接合型の光電変換素子の製造方法であって、第１導電型を有する非晶質半導体層を含ん

で構成され、半導体基板に接続する第１導電型領域を裏面に形成する工程と、第２導電型を有する非晶質半導体層を含んで構成され、半導体基板とｐｎ接合を形成する第２導電型領域を裏面に形成する工程と、第１導電型領域または第２導電型領域のいずれか一方の領域の非晶質半導体層の上に絶縁層を形成する工程と、絶縁層を開口する工程と、絶縁層に設けられた開口部を通して、その下部に設けられる非晶質半導体層に接続し、外部に引き出される電極層を形成する工程と、を含み、絶縁層を形成する工程は、絶縁層の下部に設けられる非晶質半導体層に接触して第１絶縁層を形成する工程と、第１絶縁層の上に第２絶縁層を形成する工程と、を含み、絶縁層を開口する工程は、第２絶縁層を開口する工程と、第２絶縁層に対するエッチングレートよりも第１絶縁層に対するエッチングレートが速く、第１絶縁層に対するエッチングレートよりも絶縁層の下部に設けられる非晶質半導体層に対するエッチングレートが遅いエッチングレートを有するエッチング剤で第１絶縁層を開口する工程と、を含むことを特徴とする。

発明の効果

[0011] 上記構成により、裏面接合型の光電変換素子において、絶縁層は、その下部に設けられる非晶質半導体層に接触して設けられる第１絶縁層と、第１絶縁層の上に形成される第２絶縁層であって、第１絶縁層の開口部を形成する際に、リフトオフによって除去される膜質を有する第２絶縁層とを含む。このように、第１絶縁層を設けることで第２絶縁層の開口の際に際の残渣をリフトオフにより確実に除去できる。

図面の簡単な説明

[0012] [図1]本発明に係る実施の形態における裏面接合型の光電変換素子の断面図である。

[図2]本発明に係る実施の形態における裏面接合型の光電変換素子の製造方法の手順を示すフローチャートである。

[図3]図２のＳ１０の様子を示す図である。

[図4]図２のＳ１１の様子を示す図である。

[図5]図２のＳ１２の様子を示す図である。

[図6]図２のＳ１４の様子を示す図である。

[図7]図２のＳ１６の様子を示す図である。

[図8]図２のＳ１８の様子を示す図である。

[図9]図２のＳ２０の様子を示す図である。

[図10]図２のＳ２２，２３の様子を示す図である。

[図11]図１０において、リフトオフが行われる様子を説明する図である。

[図12]図１０の工程の後、レジストが除去される様子を示す図である。

[図13]図２のＳ４０の様子を示す図である。

[図14]図２のＳ４２の様子を示す図である。

[図15]図２のＳ４４の様子を示す図である。

[図16]図２のＳ４６の様子を示す図である。

[図17]比較例としての裏面接合型の光電変換素子の断面図である。

[図18]比較例としての裏面接合型の光電変換素子の製造方法の手順を示すフローチャートである。

[図19]比較例におけるＳ１０の様子を示す図である。

[図20]比較例におけるＳ１２の様子を示す図である。

[図21]比較例におけるＳ１４の様子を示す図である。

[図22]比較例におけるＳ１６の様子を示す図である。

[図23]比較例におけるＳ１８の様子を示す図である。

[図24]比較例におけるＳ２０の様子を示す図である。

[図25]比較例におけるＳ２２の様子を示す図である。

[図26]比較例におけるＳ４０の様子を示す図である。

[図27]比較例におけるＳ４２の様子を示す図である。

[図28]比較例におけるＳ４４の様子を示す図である。

[図29]比較例におけるＳ４６の様子を示す図である。

発明を実施するための形態

[0013] 以下に図面を用いて本発明に係る実施の形態につき、詳細に説明する。以

下では、半導体基板の導電型をｎ型として説明するが、これをｐ型としても構わない。また、非晶質半導体層の形成の順序を、ｎ型を先とし、ｐ型をその後としたが、これを入れ替えても構わない。また、コンタクトのための絶縁層の開口部をｎ型非晶質半導体層のところに設けるものとしたが、これをｐ型非晶質半導体層のところに設けるものとしてもよい。また、以下では、ｐ型非晶質半導体層とｎ型非晶質半導体層の他に、ｉ型非晶質半導体層を用いる。そこで、ｐｎ接合の間にｉ型非晶質半導体層を含まれていても、これはｐｎ接合に属するものである。

[0014] 以下では、絶縁層をSiO_2とSiN_Xの二層構造としたが、二層以上の多層構造であっても構わない。例えば、SiN_Xを膜質の異なるシリコン窒化膜の積層構造としてもよい。以下で説明する材質、膜厚等は、説明のための例示であって、裏面接合型の光電変換素子の仕様に応じ適宜変更が可能である。

[0015] 以下では、全ての図面において同様の要素には同一の符号を付し、重複する説明を省略する。また、本文中の説明においては、必要に応じそれ以前に述べた符号を用いるものとする。

[0016] 図１は、裏面接合型の光電変換素子１０の断面図である。裏面接合型の光電変換素子１０は、その受光面の反対側の裏面に、光電変換を行うｐｎ接合を形成し、電極も裏面にのみ設けるものである。このように、受光面に電極を一切配置しないので、受光面積が広く取れ、面積当たりの光電変換効率が向上する。図１では、紙面の下側が受光面側で、上側が裏面である。なお、以下では、特に断らない限り、裏面接合型の光電変換素子１０のことを、単に光電変換素子１０と呼ぶことにする。

[0017] 光電変換素子１０には、ｎ型のシリコン単結晶基板である半導体基板２０の裏面に、ｎ型領域１００とｐ型領域１０２が設けられる。ｎ型領域１００は、半導体基板２０に接続し、これと同じ導電型であるｎ型非晶質半導体層２８を含んで構成される。図１では、半導体基板２０とｎ型非晶質半導体層２８との間に、ｉ型非晶質半導体層２４が設けられるが、ｉ型非晶質半導体層２４は必ずしも必須の構成要素ではない。ｐ型領域１０２は、ｐ型非晶質

半導体層４４を含んで構成され、半導体基板２０とｐｎ接合を形成する。図１では、半導体基板２０とｐ型非晶質半導体層４４との間に、ｉ型非晶質半導体層４２が設けられるが、ｉ型非晶質半導体層４２は必ずしも必須の構成要素ではない。

[0018] ｎ型領域用の電極７０は、ｎ型非晶質半導体層２８に接続されるめっき電極である。電極７０は、ＳｎとＣｕの積層構造である。ｎ型領域用の電極７０とｎ型非晶質半導体層２８との間に設けられる下地電極６０，６２は、電極７０をめっきする際に用いられるシード層である。下地電極６０，６２は、透明電極層６０とＣｕ層６２の積層構造である。

[0019] ｐ型領域用の電極７２は、ｐ型非晶質半導体層４４に接続されるめっき電極である。電極７２は、電極７０と同様に、ＳｎとＣｕの積層構造であり、下地電極６０，６２を用いてめっきによって形成される。ｎ型領域用の電極７０とｐ型領域用の電極７２を比べると、前者の電極高さの方が後者の電極高さよりも高い。これは、前者の下地電極６０，６２の表面積を後者の下地電極６０，６２の表面積よりも小さく設定したためである。すなわち、下地電極６０，６２を共通にしてめっきを行うと、その表面積の差によってめっき電流密度が異なり、小さい表面積の方が速く成長するためである。

[0020] 図１に示されるように、ｐ型領域用の電極７２は、下地電極６０，６２を介して、ｐ型非晶質半導体層４４の上に直接的に設けられる。これに対し、ｎ型領域用の電極７０は、酸化シリコン層３６と窒化シリコン層４０の積層構造の絶縁層に開口部を設け、その開口部を通して、下地電極６０，６２を介して、ｎ型非晶質半導体層２８と接続される。以下で説明するように、この光電変換素子１０においては、絶縁層が酸化シリコン層３６と窒化シリコン層４０の積層構造であることが特徴である。ここで、窒化シリコン層４０の厚さは、１０ｎｍから５００ｎｍ程度であるが、酸化シリコン層３６の厚さは自然酸化膜の厚さよりも厚く、数ｎｍから２００ｎｍ程度でよい。

[0021] 半導体基板２０の受光面である表面に設けられるｉ型非晶質半導体層２２とｎ型非晶質半導体層２６は、光電変換が行われる半導体基板２０のパッシ

ベーション層としての機能を有する層である。反射防止層３８は、受光面における反射を抑制する機能を有する絶縁膜層である。

[0022] 図２は、光電変換素子１０の製造手順を示すフローチャートである。この手順を図３から図１６の図を用いて説明する。

[0023] 最初に、ｎ型のシリコン単結晶基板である半導体基板２０が準備される。面方位としては（１００）が好ましい。受光面となる表面には、光入射効率を高めるため、テキスチャ構造とすることが好ましい。例えば、シリコンのエッチングの面異方性を利用して、（１１１）面で囲まれるピラミッド状の凹凸を表面に設けることができる。半導体基板２０は、次の工程のために、全体が適当な洗浄液で清浄にされる。

[0024] 清浄な表面とされた半導体基板２０について、次に、ｉ型非晶質半導体層と、ｎ型非晶質半導体層が順次デポジションされる（Ｓ１０）。デポジションは、堆積とも呼ばれ、薄膜を形成する工程のことである。この工程は、プラズマＣＶＤ装置を用いて行うことができる。ｉ型非晶質半導体層とｎ型非晶質半導体層は、半導体基板２０の表面と裏面に共に形成される。図３には、表面にｉ型非晶質半導体層２２とｎ型非晶質半導体層２６が形成され、裏面にｉ型非晶質半導体層２４とｎ型非晶質半導体層２８が形成される様子が示されている。

[0025] 次に、裏面に酸化シリコン層のデポジションが行われる（Ｓ１１）。酸化シリコンの代表はSiO_2である。この工程は、プラズマＣＶＤ装置を用いて行なわれる。酸化シリコン層の厚さは、自然酸化膜が１ｎｍ以下であるので、これより厚い数ｎｍから２００ｎｍ程度が好ましい。酸化シリコン層を設ける役割の１つは、ｎ型非晶質半導体層２４の表面を保護し、これによって光電変換効率を向上させることである。もう１つの役割は、ＨＦ（弗酸）に溶けやすいので、後述する絶縁膜開口処理のときに、SiN_Xの残渣をリフトオフにより除去して、清浄なｎ型非晶質半導体層２４の表面とすることである。この役割を利用するために、SiO_2を設けているのが、光電変換素子１０の特徴である。図４には、裏面において、ｎ型非晶質半導体層２８の上に

酸化シリコン層３６が形成される様子が示される。

[0026] 次に、窒化シリコン層のデポジションが行われる（Ｓ１２）。この工程もプラズマＣＶＤ装置を用いて行なわれる。窒化シリコンの代表はSi_3N_4であるが、プラズマＣＶＤ装置の製造条件によっては必ずしもSi_3N_4の組成とならない。一般的にはSiN_xの組成となる。窒化シリコン層４０の厚さは、１０ｎｍから５００ｎｍ程度である。

[0027] 図５では、裏面において、酸化シリコン層３６の上に窒化シリコン層４０が形成される様子が示される。受光面となる表面には、反射防止層３８が形成される。反射防止層３８としては、窒化シリコン膜を用いることができるので、裏面の窒化シリコン層４０と同じ膜を受光面側にも同時に形成してもよい。しかし、裏面の窒化シリコン層４０は、以後のパターニングのために用いられるものでエッチング特性が重要であるのに対し、反射防止層３８は光学的特性が重要である。そこで、裏面の窒化シリコン層４０と反射防止層３８とは、膜特性が異なる絶縁膜とすることがよい。以下では、裏面の窒化シリコン層４０と受光面側の反射防止層３８とは区別して説明を進める。

[0028] なお、裏面の窒化シリコン層４０としては、例えば、膜組成を変えることによって、エッチング特性が耐アルカリ性のものと、耐酸性のものと区別して形成することができる。工程の組み方によっては、酸化シリコン層３６側を耐酸性の特性の膜とし、その上に耐アルカリ性の膜とすることができる。例えば、レジスト膜をアルカリで除去するものとするときは、レジスト膜に接する側の窒化シリコン層を耐アルカリ性のものとすることがよい。

[0029] 次に、ｐ型領域１０２に相当する部分を開口するため、窒化シリコン層４０を部分的に除去する（Ｓ１４）。この処理にはフォトリソグラフィ技術が用いられる。すなわち、窒化シリコン層４０の全面に感光性レジスト膜を塗布し、窒化シリコン層４０を除去したい部分のレジスト膜を露光して、現像によりその部分のレジスト膜を取り除く。この処理はレジスト膜のパターニングである。そして、レジスト膜をエッチングマスクとして、適当なエッチング液を用いてレジスト膜のない部分の窒化シリコン層４０を除去する。エ

ッチング液としてはＨＦと硝酸の混合液である弗硝酸を用いることができる。エッチングの後は水洗が行われる。

[0030] 図６には、パターニングされたレジスト膜８０と、このレジスト膜８０をエッチングマスクとして、残された窒化シリコン層４０が示されている。その後、レジスト膜８０は除去される。レジスト膜８０はアルカリに溶けるので、苛性ソーダ（ＮａＯＨ）を用いて、窒化シリコン層４０をそのままとしてレジスト膜８０のみを除去することができる。

[0031] 次に、ｐ型領域１０２に相当する部分の半導体基板２０を露出させるため、窒化シリコン層４０をエッチングマスクとして、その下のｎ型非晶質半導体層２８とｉ型非晶質半導体層２４が除去される（Ｓ１６）。ここでは、非晶質半導体層がアルカリに溶けることを利用し、苛性ソーダ（ＮａＯＨ）が用いられる。具体的には、有機洗浄、苛性ソーダ、塩酸（ＨＣｌ）と過酸化水素（H_2O_2）の混合液であるＳＣ２、弗酸、水洗の順で処理が行われる。弗酸が用いられるのは、ＳＣ２によって酸化膜が形成されるので、それを除去するためである。

[0032] 図７には、窒化シリコン層４０の形状に、酸化シリコン層３６とｎ型非晶質半導体層２８とｉ型非晶質半導体層２４が残され、それ以外の部分に半導体基板２０が露出された様子が示される。このようにして、ｐ型領域１０２の部分の開口が行われる。

[0033] 次に、ｉ型非晶質半導体層４２とｐ型非晶質半導体層４４が全面にデポジションされる（Ｓ１８）。この工程は、プラズマＣＶＤ装置を用いて行なわれる。図８には、開口されたｐ型領域１０２の部分において、ｎ型のシリコン単結晶基板である半導体基板２０に接触して、ｉ型非晶質半導体層４２とｐ型非晶質半導体層４４が配置される様子が示される。なお、窒化シリコン層４０の上にも、ｉ型非晶質半導体層４２とｐ型非晶質半導体層４４が堆積する。

[0034] そして、次に、ｎ型非晶質半導体層２８に電極をコンタクトさせるための開口処理が行われる。コンタクトとは、電気的に導通をとることである。図

８に示されるように、ｎ型非晶質半導体層２８の上には、酸化シリコン層３６、窒化シリコン層４０、ｉ型非晶質半導体層４２、ｐ型非晶質半導体層４４が存在しているので、これらを順番に除去する処理が行われる。

[0035] 最初に、ｐ型非晶質半導体層４４とｉ型非晶質半導体層４２の除去が行われる（Ｓ２０）。この処理にはフォトリソグラフィ技術が用いられる。すなわち、レジスト膜を塗布し、塗布されたレジスト膜について、ｎコンタクトの部分を露光と現像で除去するパターニングが行われる。レジスト膜には、耐酸性と耐アルカリ性を有する溶剤溶解型が用いられる。これによって、苛性ソーダ（ＮａＯＨ）を用いて、ｐ型非晶質半導体層４４とｉ型非晶質半導体層４２を除去することができる。その後洗浄が行われる。図９には、レジスト膜８２の開口部８３の部分のｐ型非晶質半導体層４４とｉ型非晶質半導体層４２が除去された様子が示される。

[0036] 次に、レジスト膜８２を残したままで、窒化シリコン層４０の除去（Ｓ２２）と酸化シリコン層３６の除去（Ｓ２３）が行われる。ここでは、弗酸が用いられる。弗酸は、窒化シリコン層４０も酸化シリコン層３６もエッチングできるが、窒化シリコン層４０に対するエッチングレートよりも酸化シリコン層３６に対するエッチングレートがかなり速い。また、酸化シリコン層３６に対するエッチングレートよりもｐ型非晶質半導体層２８に対するエッチングレートが遅い。すなわち、弗酸を用いると、まず窒化シリコン層４０がエッチングされ、酸化シリコン層３６に達すると、急速に酸化シリコン層３６がエッチングされるが、ｐ型非晶質半導体層２８に達するとエッチングが止まる。なお、これらの工程の際に、受光面側の反射防止層３８がエッチングされないように、保護膜を設けることが好ましい。

[0037] プラズマＣＶＤで形成した窒化シリコンは、弗酸によって除去できるとされるが、実際には、微小な残渣が残り、それを完全に除去するにはかなりの時間を要することがある。その原因としては、例えば、プラズマＣＶＤ装置で形成した窒化シリコンがSi_3N_4の化学量論的な組成ではなく、$Si_{3.5}N_4$のように、Ｓｉ組成が過剰に多い可能性があることが考えられる。このように

、窒化シリコン層４０の除去の際に残渣があると、電極とｎ型非晶質半導体層２８との電気的接触が妨げられ、光電変換素子１０の光電変換効率が低下することになる。

[0038] 上記のように、窒化シリコン層４０とｎ型非晶質半導体層２８との間に、酸化シリコン層３６を配置すると、弗酸を用いて酸化シリコン層３６を容易に除去できる。その際に、酸化シリコン層３６の上に窒化シリコン層４０の残渣があっても、いわゆるリフトオフ現象によって、酸化シリコン層３６の上の窒化シリコンが除去される。上記では、窒化シリコン層４０をリフトオフによって除去するために酸化シリコン層３６と弗酸を用いたが、それ以外でも、絶縁層の残渣をリフトオフで除去しえる中間膜と、その中間膜の除去剤とを組み合わせて用いることができる。

[0039] 図１０は、レジスト膜８２を残したままで、窒化シリコン層４０と酸化シリコン層３６が除去されて、ｎ型非晶質半導体層２８のコンタクトのための開口部８３が形成された様子が示される。

[0040] 図１１は、リフトオフ現象で、酸化シリコン層３６の上の窒化シリコンの残渣４１が除去される様子を模式的に示す図である。ここに示されるように、ＨＦとして示した弗酸は、窒化シリコンの残渣４１の隙間から酸化シリコン層３６に到達し、酸化シリコン層３６を溶かすことができる。酸化シリコン層３６が溶解すると、窒化シリコンの残渣４１は酸化シリコン層３６から浮かされて分離される。これによって、酸化シリコン層３６の除去と共に、窒化シリコンの残渣４１も除去される。

[0041] このように、Ｓ２０、Ｓ２２，Ｓ２３の工程において、レジスト膜８２を用いて、ｐ型非晶質半導体層４４、ｉ型非晶質半導体層４２、窒化シリコン層４０、酸化シリコン層３６が順次除去されて開口部８３が形成される。その後、適当な有機溶剤を用いてレジスト膜８２が除去される。図１１は、レジスト膜８２が除去された状態を示す図である。

[0042] 次に、下地電極形成が行われる（Ｓ４０）。下地電極は、めっき電極を形成するための導電性のシード層である。具体的には、ＴＣＯ（Ｔｒａｎｓｐ

ａｒｅｎｔ　Ｃｏｎｄｕｃｔｉｖｅ　Ｏｘｉｄｅ）層と呼ばれる透明電極層を全面に形成し、その上にＣｕ層を全面に形成する。透光性導電層としては、インジウム錫酸化物等を用いることができる。

[0043] 透明電極層であるＴＣＯ層の厚さは１００ｎｍ程度、Ｃｕ層の厚さは１００ｎｍから１μｍ程度である。この工程は、スパッタ装置を用いて処理される。図１３には、下地電極６０，６２として、透明電極層６０とＣｕ層６２の積層構造が全面に形成される様子が示される。

[0044] つぎに、電極分離用のレジスト膜が形成される（Ｓ４２）。これは、ｎ型領域用の電極７０とｐ型領域用の電極７２を電気的に分離してめっきするためである。ここでは、レジスト膜を塗布して、露光、現像によってパターニングを行い、ｎ型領域部分とｐ型領域部分の境界に分離溝を形成する。図１４には、分離溝８５が形成されたレジスト膜８４が示されている。

[0045] そして、電極用のレジスト膜を用いて、下地電極のエッチングが行われる（Ｓ４４）。エッチングには、塩化第二鉄と塩酸（ＨＣｌ）が用いられる。図１５には、このエッチングによって、分離溝８５のところの下地電極６０，６２が除去された様子が示される。

[0046] その後、レジスト膜が除去される（Ｓ４６）。レジスト膜除去には、苛性ソーダ（ＮａＯＨ）が用いられる。図１６にはレジスト膜が除去され、下地電極６０，６２が分離部８６によって、ｎ型領域１００用と、ｐ型領域１０２用とに分離された様子が示される。

[0047] 次にめっき電極の形成が行われる（Ｓ４８）。具体的には、硫酸（H_2SO_4）による洗浄、めっき浴を用いたＣｕの電解めっきとその後の洗浄、めっき浴を用いたＳｎの電解めっきとその後の洗浄が順次行われる。Ｃｕめっき層の厚さは１０μｍから２０μｍ程度、Ｓｎめっき層の厚さは１μｍから５μｍである。このようにして、図１で説明した構造の光電変換素子１０が完成する。

[0048] 次に、酸化シリコン層を用いない光電変換素子の構造と製造方法を比較例として説明する。図１７は、図１に対応する図で、絶縁層として、窒化シリ

コン層４０のみを用い、酸化シリコン層を用いない光電変換素子１２の断面図である。絶縁層が窒化シリコン層４０のみであることを除けば図１と同様の構成であるので、詳細な説明を省略する。

[0049] 図１８は、比較例の光電変換素子１２の製造手順を示すフローチャートである。図２と比較すると、酸化シリコン層デポジションのＳ１１の工程と、ｎコンタクトのための酸化シリコン層の除去のＳ２３の工程が省略されていることが分かる。

[0050] 図１９から図２９は、図１８の手順における様子を示す図である。図１９は、図３に対応する図であるが、ここでは、表面にｉ型非晶質半導体層２２とｎ型非晶質半導体層２６が形成され、裏面にｉ型非晶質半導体層２４とｎ型非晶質半導体層２８が形成される様子が示されている。この構造は、図３と全く同じである。

[0051] 図２０以下は、酸化シリコン層の形成が行われないことから、図３から図１６で説明した構造と異なっている。図２０は窒化シリコン層４０の形成を示す図で、図５に相当するが、ｎ型非晶質半導体層２８と窒化シリコン層４０との間に酸化シリコン層３６が形成されていない。

[0052] 以下、図２１と図６、図２２と図７、図２３と図８、図２４と図９において、いずれも酸化シリコン層３６がないことが相違する。そして、図１０で説明した酸化シリコン層３６の除去工程がなく、図１１で説明したリフトオフによる窒化シリコンの残渣４１の除去も行われない。

[0053] その後、図２５と図１２、図２６と図１３、図２７と図１４、図２８と図１５、図２９と図１６と、処理内容は同じであるが、いずれも、ｎ型領域１００における絶縁層に酸化シリコン層３６がないことが相違する。

[0054] このように、窒化シリコン層４０と非晶質半導体層との間に、酸化シリコン層３６を配置することで、窒化シリコン層４０の開口処理の際に、仮に残渣４１があっても、これを良好に除去することができる。

産業上の利用可能性

[0055] 本発明に係る裏面接合型の光電変換素子及び裏面接合型の光電変換素子の

製造方法は、太陽光発電システム等に利用できる。

符号の説明

[0056] １０，１２　光電変換素子、２０　半導体基板、２２，２４　ｎ型非晶質半導体層、２６，２８　ｉ型非晶質半導体層、３６　酸化シリコン層、３８　反射防止層、４０　窒化シリコン層、４１　残渣、４２，４４　ｐ型非晶質半導体層、６０，６２　下地電極（６０　透明電極層、６２　Ｃｕ層）、７０，７２　電極、８０，８２，８４　レジスト膜、８３　開口部、８５　分離溝、８６　分離部、１００　ｎ型領域、１０２　ｐ型領域。

請求の範囲

［請求項1］ 受光面と、前記受光面の反対側の裏面とを有する第１導電型の半導体基板と、

前記裏面に配置され、前記半導体基板に接続し前記第１導電型を有する非晶質半導体層を含んで構成される第１導電型領域と、

前記裏面に配置され、第２導電型を有する非晶質半導体層を含んで構成され、前記半導体基板とｐｎ接合を形成する第２導電型領域と、

前記第１導電型領域または前記第２導電型領域のいずれか一方の領域の非晶質半導体層の上に形成される絶縁層と、

前記絶縁層に設けられた開口部を通して、その下部に設けられる前記非晶質半導体層に接続し、外部に引き出される電極層と、

を備え、

前記絶縁層は、

その下部に設けられる前記非晶質半導体層に接触して設けられる第１絶縁層と、

第１絶縁層の上に形成される第２絶縁層であって、前記第１絶縁層の開口部を形成する際に、リフトオフによって除去される膜質を有する第２絶縁層と、

を含むことを特徴とする裏面接合型の光電変換素子。

［請求項2］ 請求項１に記載の裏面接合型の光電変換素子において、

前記第１絶縁層が酸化シリコン層であり、

前記第２絶縁層が窒化シリコン層であることを特徴とする裏面接合型の光電変換素子。

［請求項3］ 第１導電型のシリコン基板の受光面とは反対側の裏面にｐｎ接合が形成される裏面接合型の光電変換素子の製造方法であって、

前記第１導電型を有する非晶質半導体層を含んで構成され、前記半導体基板に接続する第１導電型領域を前記裏面に形成する工程と、

第２導電型を有する非晶質半導体層を含んで構成され、前記半導体

基板とｐｎ接合を形成する第２導電型領域を前記裏面に形成する工程と、

前記第１導電型領域または前記第２導電型領域のいずれか一方の領域の非晶質半導体層の上に絶縁層を形成する工程と、

前記絶縁層を開口する工程と、

前記絶縁層に設けられた開口部を通して、その下部に設けられる前記非晶質半導体層に接続し、外部に引き出される電極層を形成する工程と、

を含み、

前記絶縁層を形成する工程は、

前記絶縁層の下部に設けられる前記非晶質半導体層に接触して第１絶縁層を形成する工程と、

前記第１絶縁層の上に第２絶縁層を形成する工程と、

を含み、

前記絶縁層を開口する工程は、

前記第２絶縁層を開口する工程と、

前記第２絶縁層に対するエッチングレートよりも前記第１絶縁層に対するエッチングレートが速く、前記第１絶縁層に対するエッチングレートよりも前記絶縁層の下部に設けられる前記非晶質半導体層に対するエッチングレートが遅いエッチングレートを有するエッチング剤で前記第１絶縁層を開口する工程と、

を含むことを特徴とする裏面接合型の光電変換素子の製造方法。

［請求項4］ 請求項３に記載の裏面接合型の光電変換素子の製造方法において、

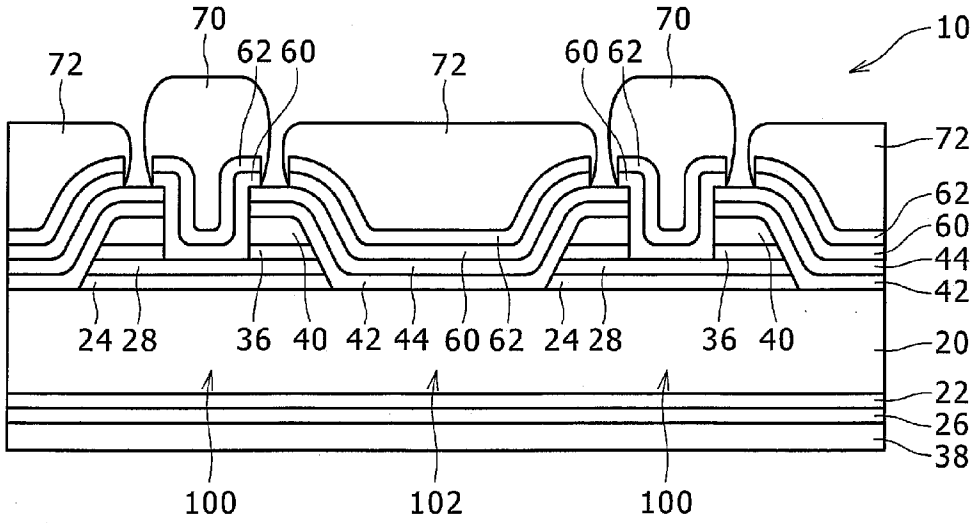
前記第１絶縁層を形成する工程は、前記第１絶縁層として酸化シリコン層を形成し、

前記第２絶縁層を形成する工程は、前記第２絶縁層として窒化シリコン層を形成し、

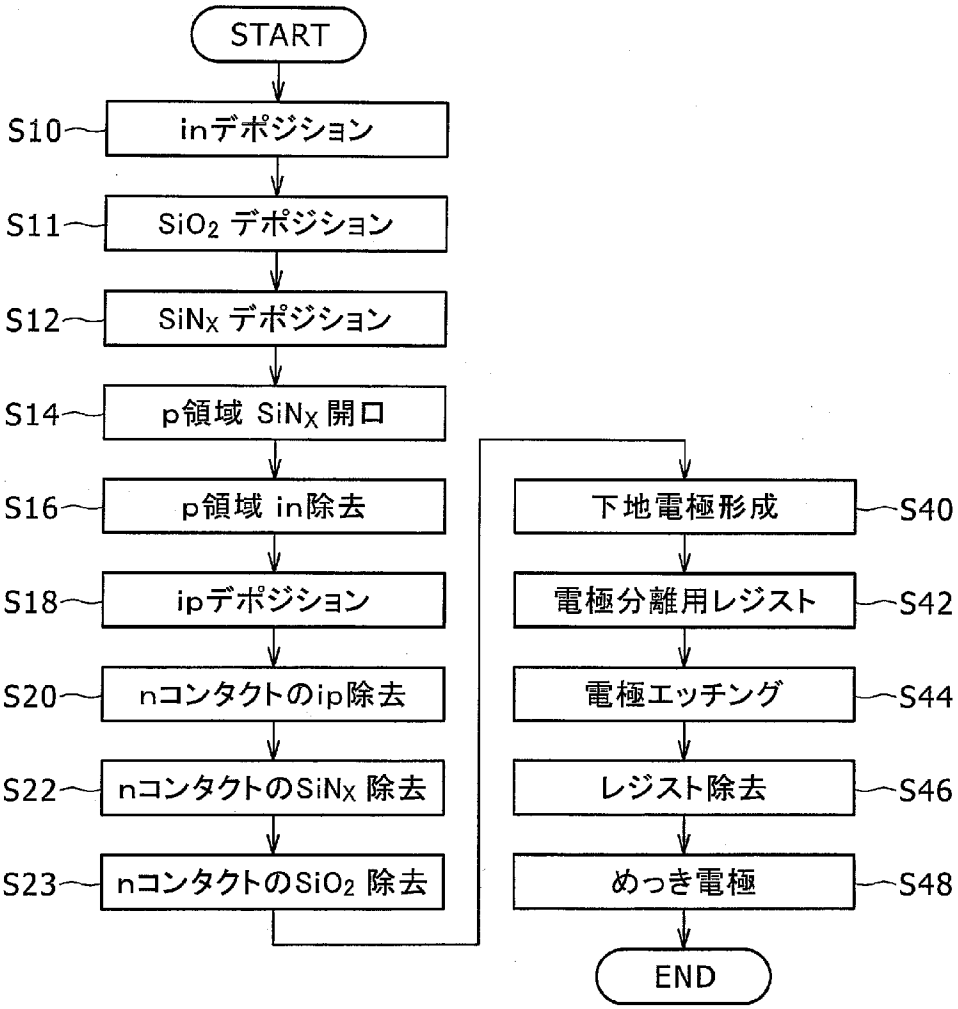
前記絶縁層を開口する工程は、

前記第１絶縁層を開口する前記エッチング剤として、ＨＦを含むエッチング液を用いることを特徴とする裏面接合型の光電変換素子の製造方法。

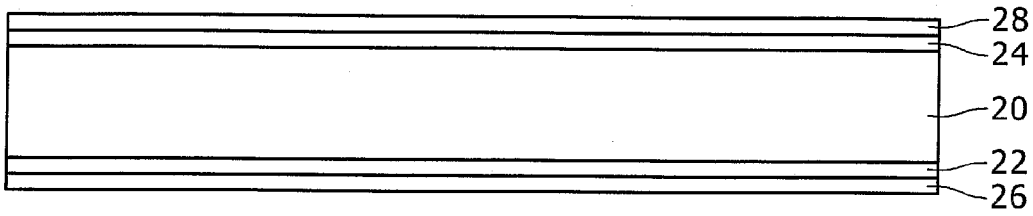
[図1]


70
62 60
72
72
60 62
70
10
72
62
60
44
42
24 28
36 40 42 44 60 62 24 28
36 40
20
22
26
38
100
102
100

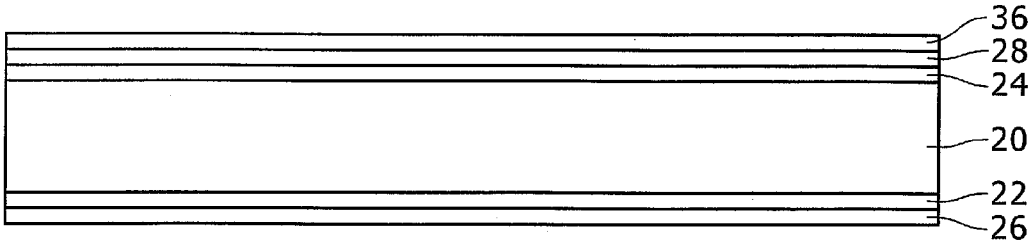
[図2]


START
S10 inデポジション
S11 SiO2 デポジション
S12 SiNX デポジション
S14 p領域 SiNX 開口
S16 p領域 in除去
S18 ipデポジション
S20 nコンタクトのip除去
S22 nコンタクトのSiNX 除去
S23 nコンタクトのSiO2 除去
下地電極形成 S40
電極分離用レジスト S42
電極エッチング S44
レジスト除去 S46
めっき電極 S48
END

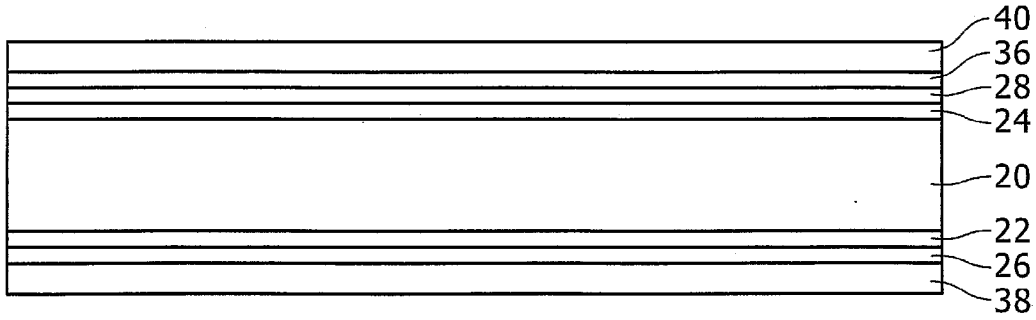
[図3]


28
24
20
22
26

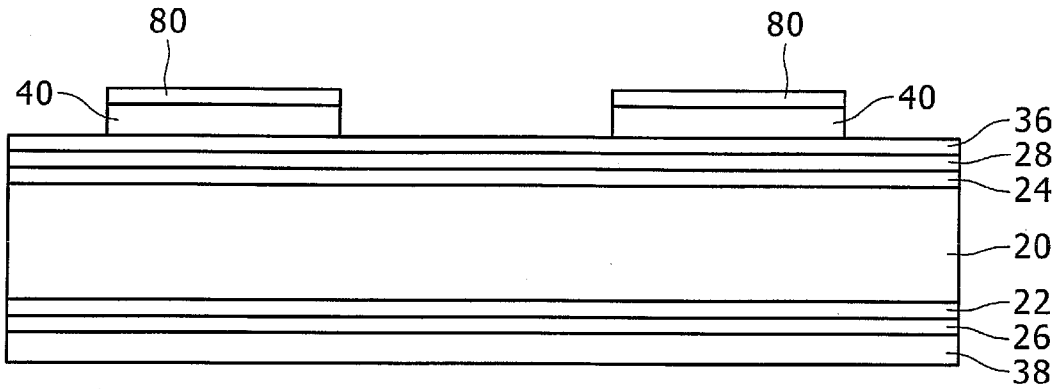
[図4]


36
28
24
20
22
26

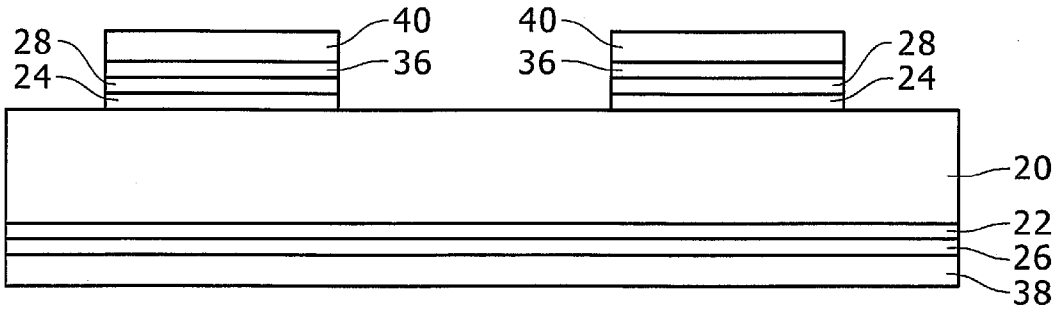
[図5]


40
36
28
24
20
22
26
38

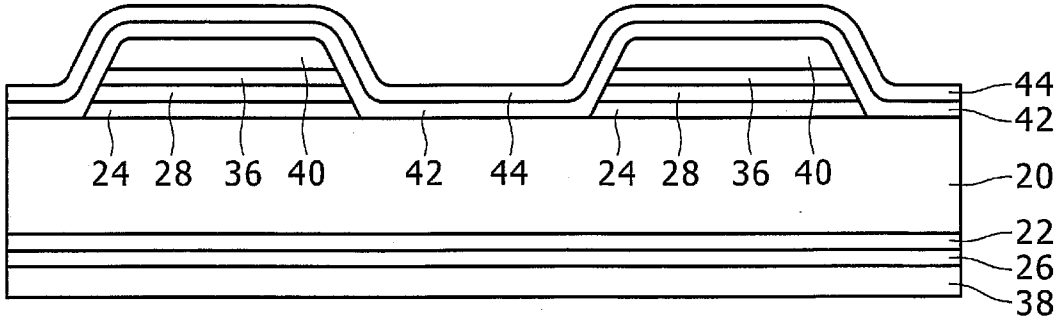
[図6]


80
80
40
40
36
28
24
20
22
26
38

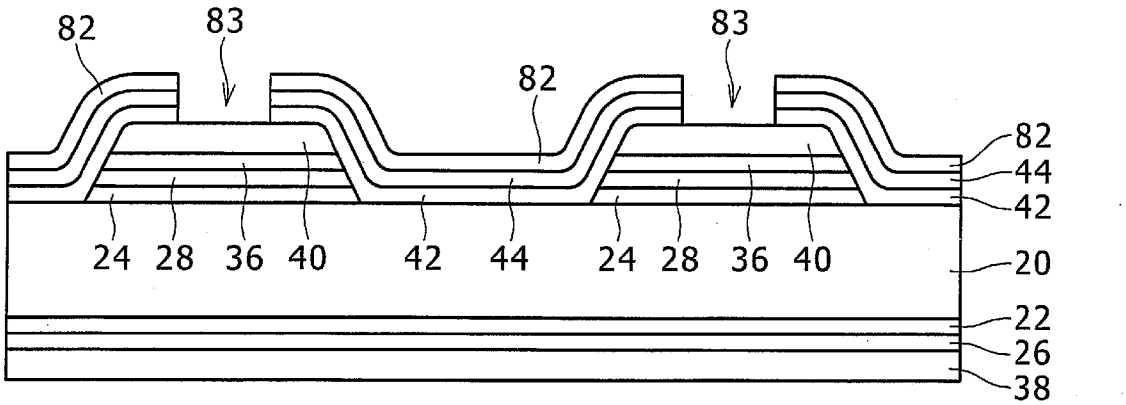
[図7]


28
24
40
36
40
36
28
24
20
22
26
38

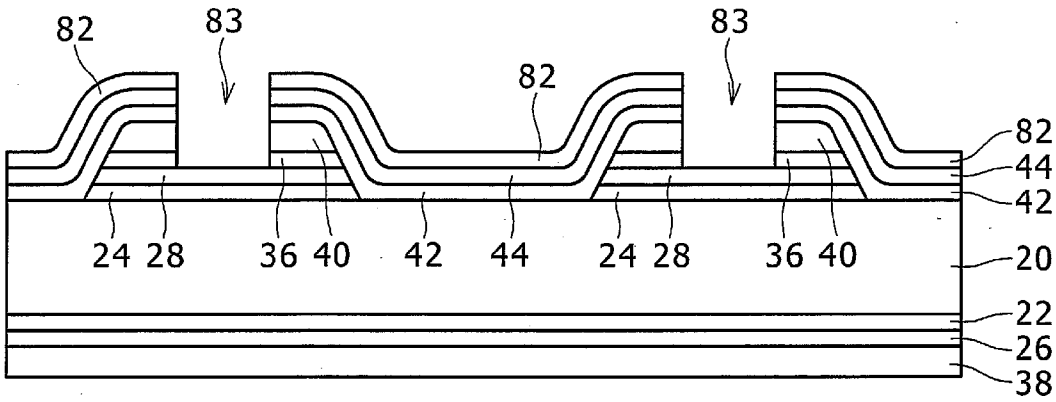
[図8]


44
42
24
28
36
40
42
44
24
28
36
40
20
22
26
38

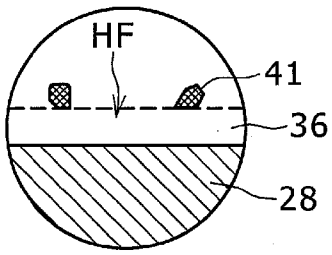
[図9]


82
83
82
83
82
44
42
24
28
36
40
42
44
24
28
36
40
20
22
26
38

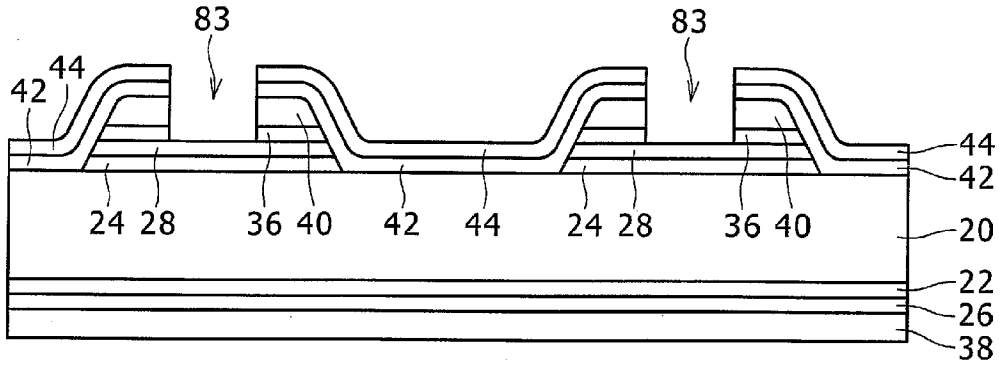
[図10]



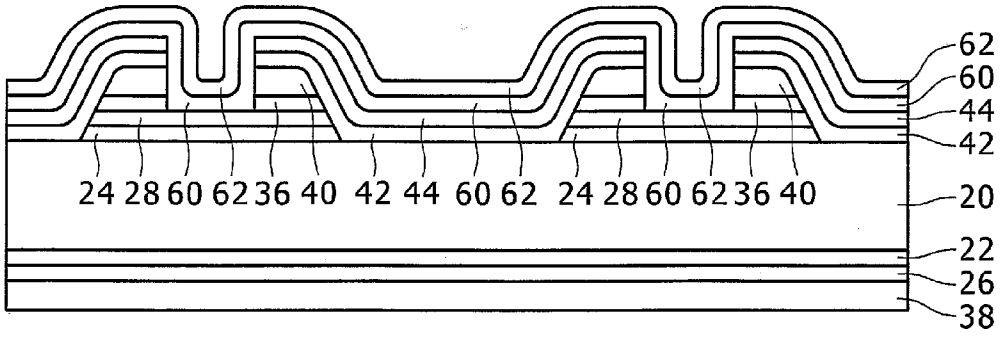
[図11]



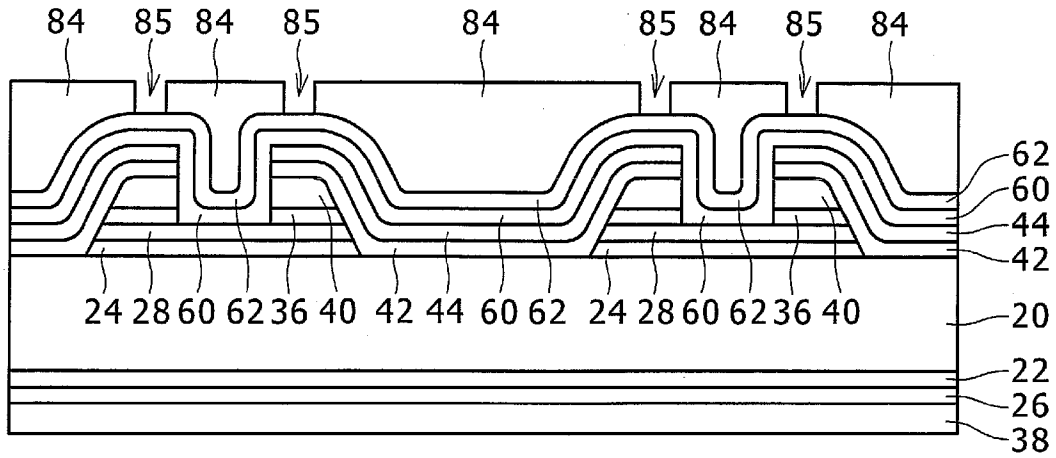
[図12]



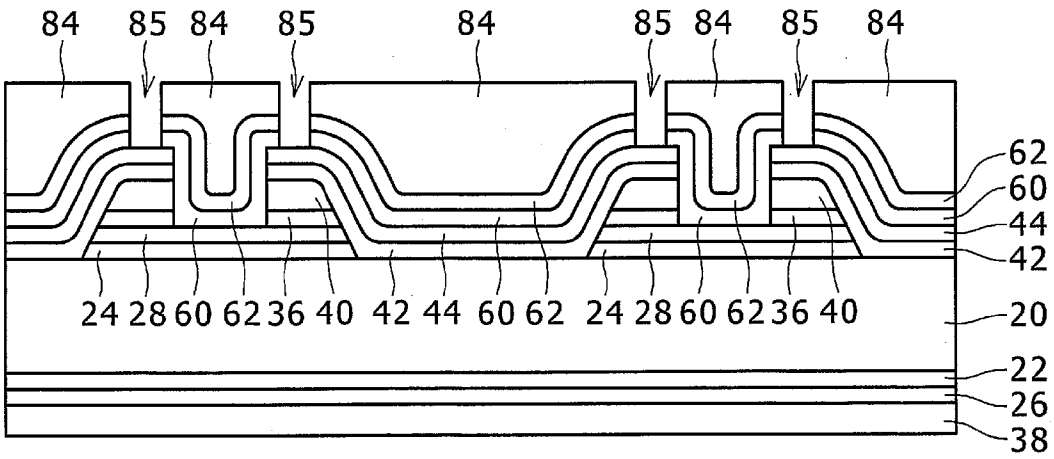
[図13]



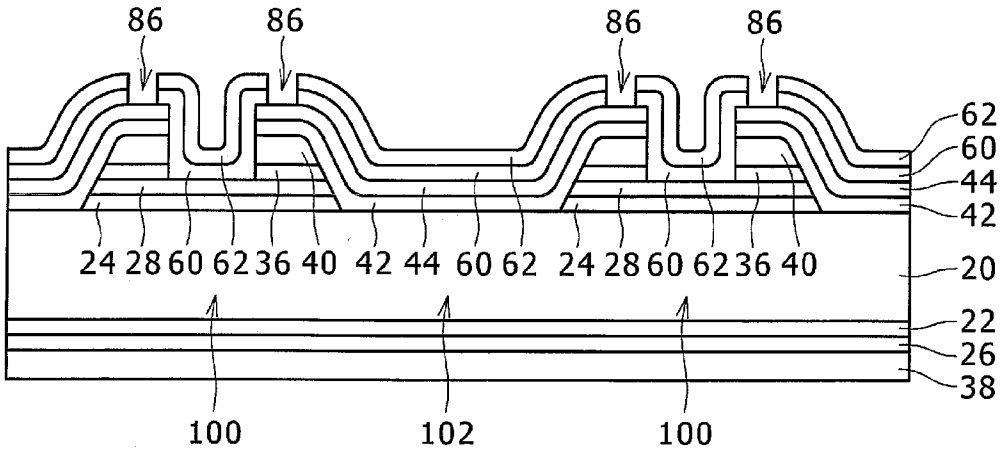
[図14]


84 85 84 85 84 85 84 85 84
62
60
44
42
24 28 60 62 36 40 42 44 60 62 24 28 60 62 36 40
20
22
26
38

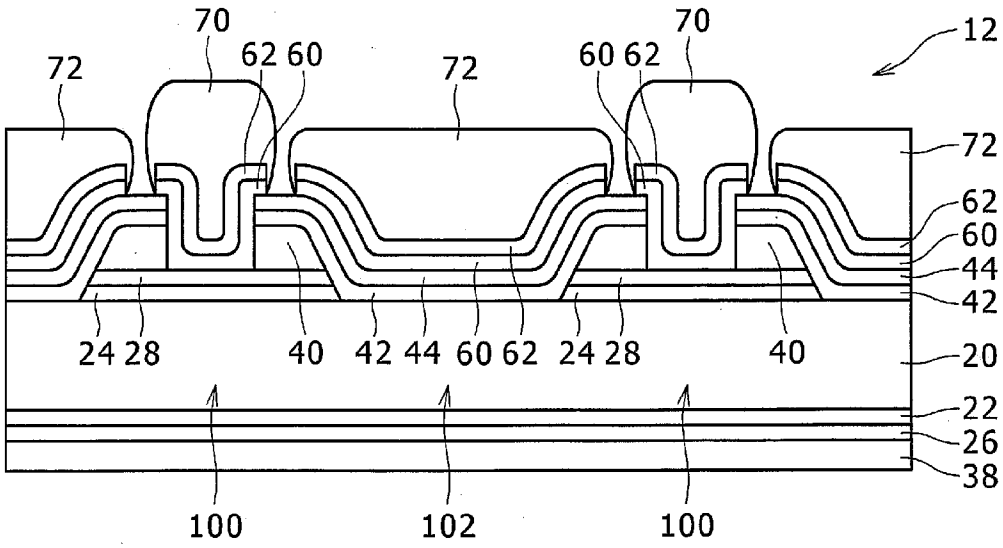
[図15]


84 85 84 85 84 85 84 85 84
62
60
44
42
24 28 60 62 36 40 42 44 60 62 24 28 60 62 36 40
20
22
26
38

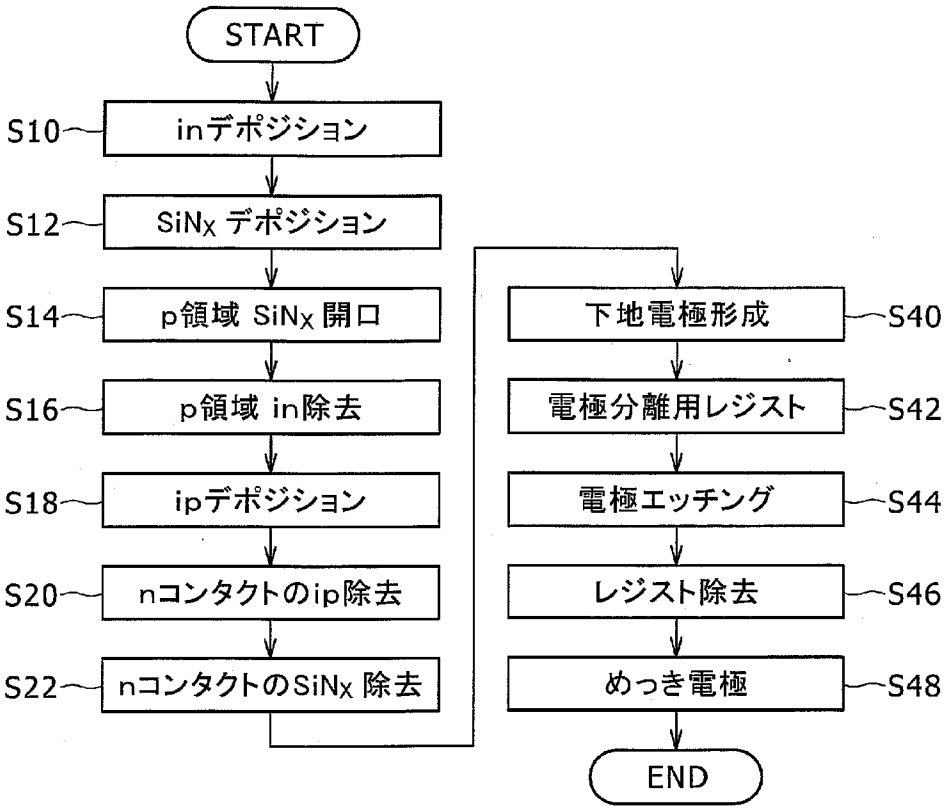
[図16]


86 86 86 86
62
60
44
42
24 28 60 62 36 40 42 44 60 62 24 28 60 62 36 40
20
22
26
38
100 102 100

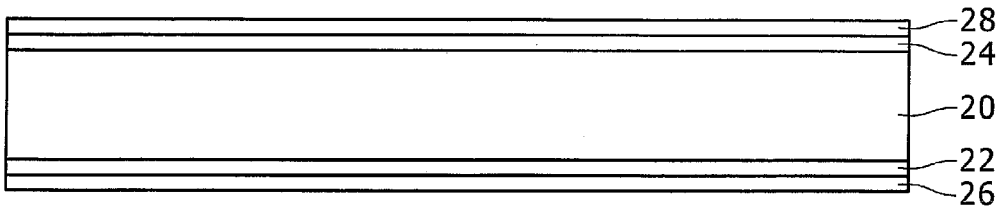
[図17]


70
62 60
72
70
60 62
12
72
62
60
44
42
24 28
40
42 44
60 62
24 28
40
20
22
26
38
100
102
100

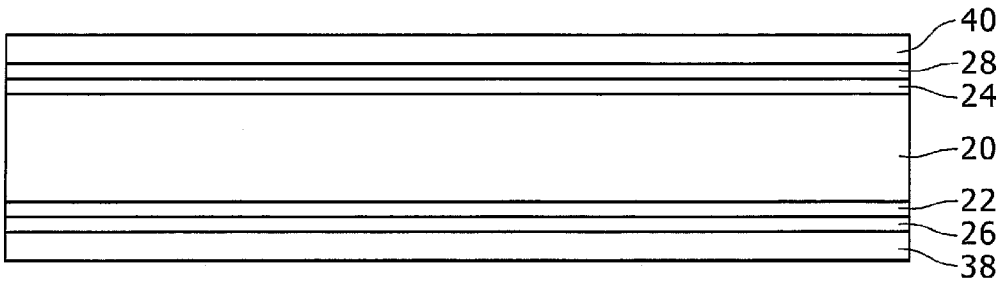
[図18]


START
S10
inデポジション
S12
SiNx デポジション
S14
p領域 SiNx 開口
S16
p領域 in除去
S18
ipデポジション
S20
nコンタクトのip除去
S22
nコンタクトのSiNx 除去
下地電極形成
S40
電極分離用レジスト
S42
電極エッチング
S44
レジスト除去
S46
めっき電極
S48
END

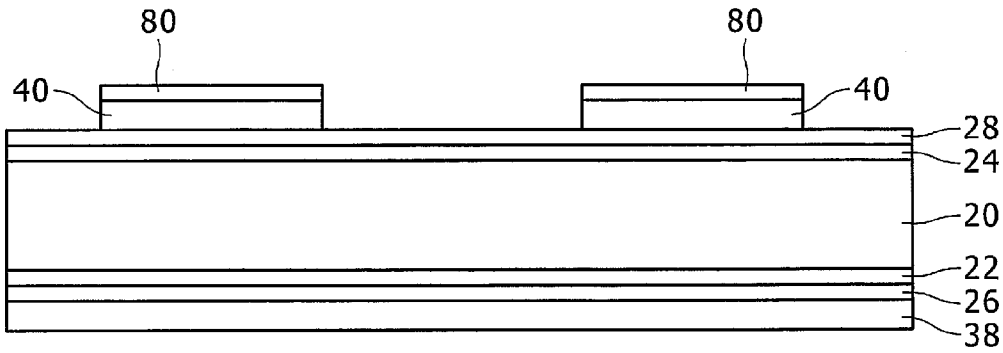
[図19]



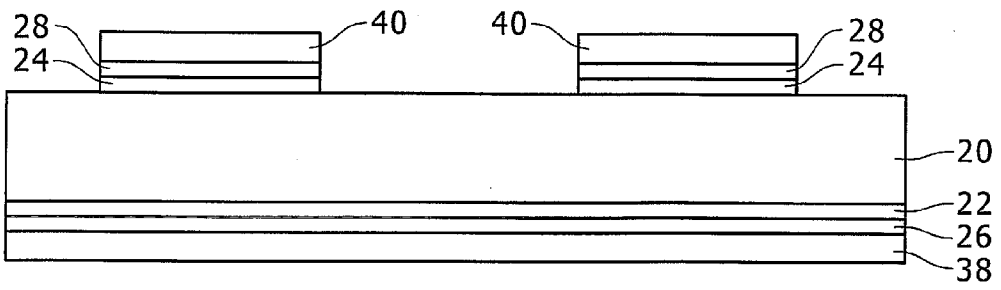
[図20]



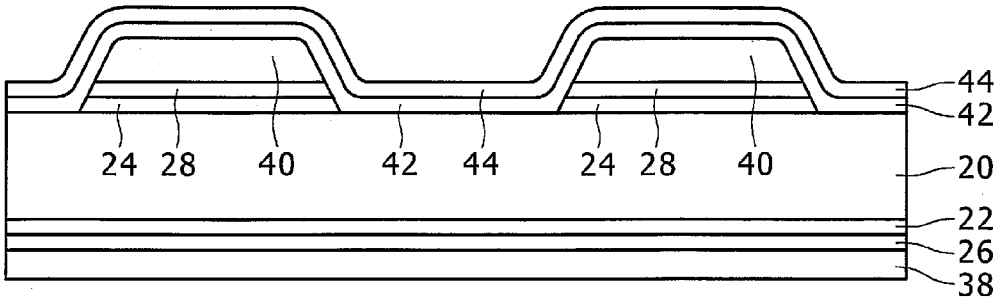
[図21]



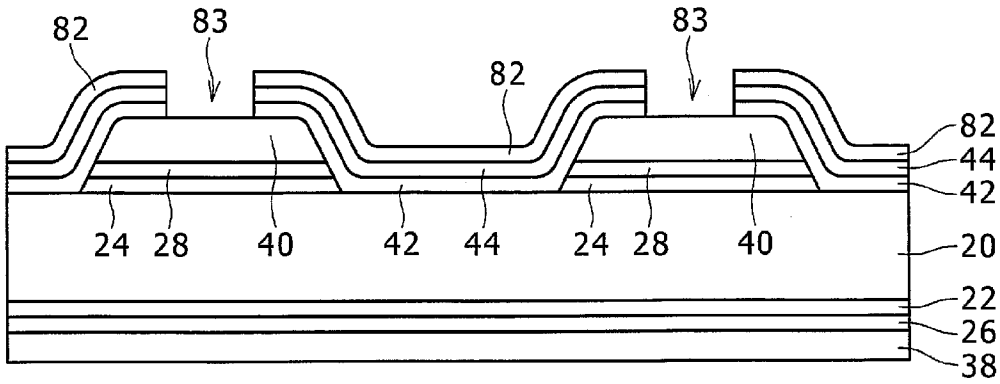
[図22]



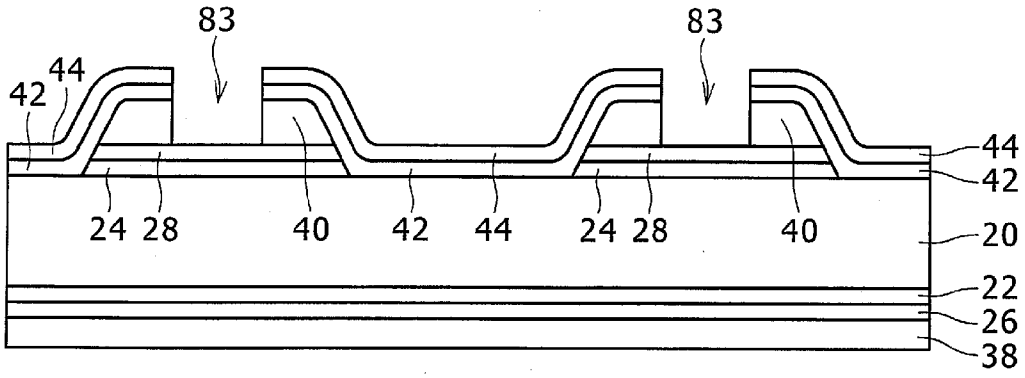
[図23]



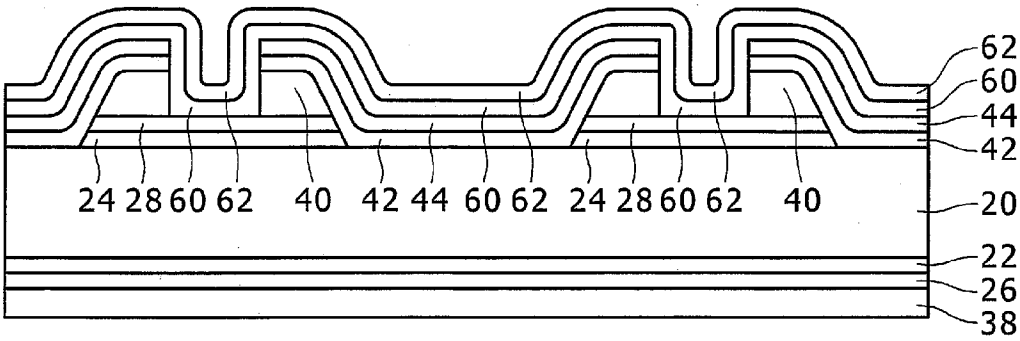
[図24]



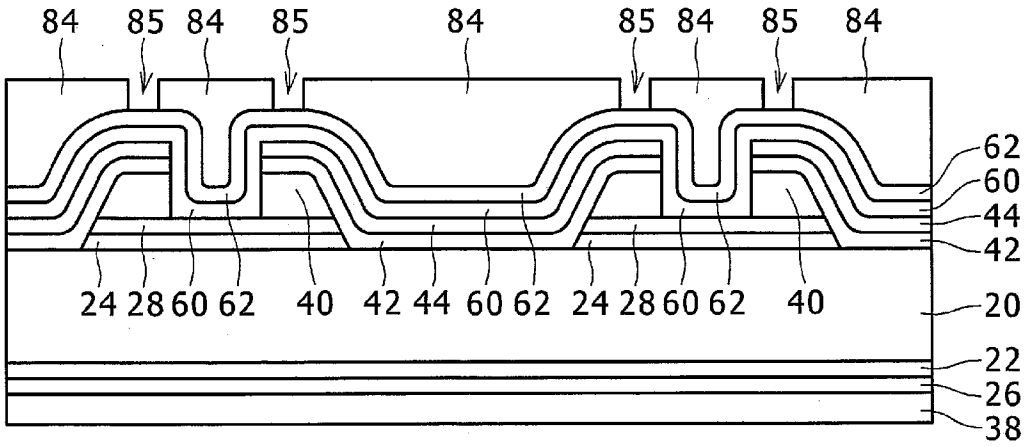
[図25]



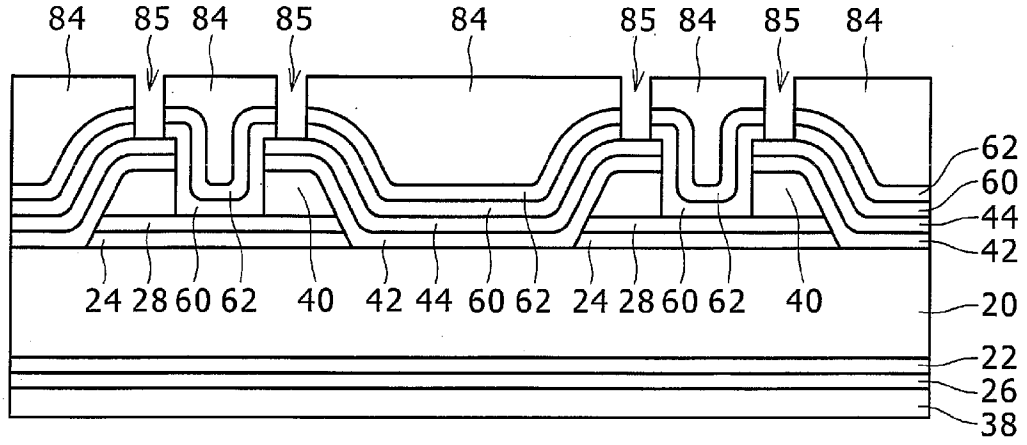
[図26]



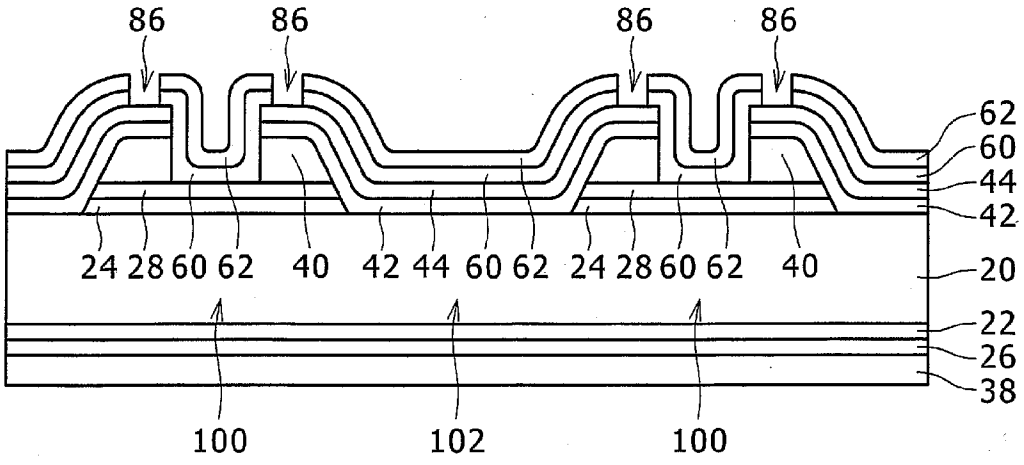
[図27]


84
85
84
85
84
85
84
85
84
62
60
44
42
24
28
60
62
40
42
44
60
62
24
28
60
62
40
20
22
26
38

[図28]


84
85
84
85
84
85
84
85
84
62
60
44
42
24
28
60
62
40
42
44
60
62
24
28
60
62
40
20
22
26
38

[図29]


86
86
86
86
62
60
44
42
24
28
60
62
40
42
44
60
62
24
28
60
62
40
20
22
26
38
100
102
100

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/054233

A. CLASSIFICATION OF SUBJECT MATTER
H01L31/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/04-31/078

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/113750 A1 (Sanyo Electric Co., Ltd.), 07 October 2010 (07.10.2010), entire text; all drawings (Family: none)	1-4
E,A	JP 2012-49193 A (Sanyo Electric Co., Ltd.), 08 March 2012 (08.03.2012), entire text; all drawings & WO 2012/026428 A1	1-4
P,A	JP 2012-33666 A (Sanyo Electric Co., Ltd.), 16 February 2012 (16.02.2012), entire text; all drawings & WO 2012/014983 A1	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 April, 2012 (11.04.12)	24 April, 2012 (24.04.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/054233

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2012-28718 A (Sanyo Electric Co., Ltd.), 09 February 2012 (09.02.2012), entire text; all drawings & WO 2012/014960 A1	1-4
P,A	JP 2012-33810 A (Sanyo Electric Co., Ltd.), 16 February 2012 (16.02.2012), entire text; all drawings & WO 2012/017914 A1	1-4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５４２３３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04 - 31/078

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2010/113750 A1（三洋電機株式会社）2010.10.07, 全文、全図（ファミリーなし）	１－４
E，A	JP 2012-49193 A（三洋電機株式会社）2012.03.08, 全文、全図 & WO 2012/026428 A1	１－４
P，A	JP 2012-33666 A（三洋電機株式会社）2012.02.16, 全文、全図 & WO 2012/014983 A1	１－４

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １１．０４．２０１２	国際調査報告の発送日 ２４．０４．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　９３１５ 岡田　吉美 電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｐ，Ａ	JP 2012-28718 A（三洋電機株式会社）2012.02.09，全文、全図 & WO 2012/014960 A1	１－４
Ｐ，Ａ	JP 2012-33810 A（三洋電機株式会社）2012.02.16，全文、全図 & WO 2012/017914 A1	１－４