



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I807693 B

(45)公告日：中華民國 112 (2023) 年 07 月 01 日

(21)申請案號：111109583

(22)申請日：中華民國 111 (2022) 年 03 月 16 日

(51)Int. Cl. : **G11C17/16 (2006.01)****G11C17/18 (2006.01)**

(30)優先權：2021/08/13 美國

63/232,668

2021/11/29 美國

17/536,414

(71)申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)

300091 新竹科學園區園區二路 47 號 305 室

(72)發明人：陳綸寓 CHEN, LUN-CHUN (TW)；陳俊任 CHEN, JIUN-REN (TW)；何秉隆 HO, PING-LUNG (TW)；陳信銘 CHEN, HSIN-MING (TW)

(74)代理人：祁明輝；葉明源

(56)參考文獻：

TW 457687B

TW I701589B

TW I733567B

TW 202042223A

審查人員：陳明德

申請專利範圍項數：18 項 圖式數：7 共 41 頁

(54)名稱

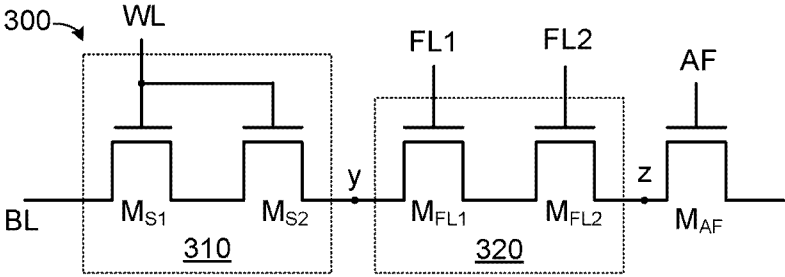
反熔絲型一次編程記憶胞及其相關的記憶胞陣列結構

(57)摘要

本發明為一種反熔絲型一次編程記憶胞，包括：一第一選擇元件、一第一跟隨元件與一第一反熔絲電晶體。該第一選擇元件的一第一端連接至一第一位元線。該第一選擇元件的一第二端連接至一第一節點。該第一選擇元件的一選擇端連接至一第一字元線。該第一跟隨元件的一第一端連接至該第一節點。該第一跟隨元件的一第二端連接至一第二節點。該第一跟隨元件的一第一控制端連接至一第一跟隨控制線。該第一反熔絲電晶體的一第一汲/源端連接至該第二節點。該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線。該第一反熔絲電晶體的一第二汲/源端為浮接。

An antifuse-type one time programming memory cell includes a select device, a following device and an antifuse transistor. A first terminal of the select device is connected with a bit line. A second terminal of the select device is connected with a first node. A select terminal of the select device is connected with a word line. A first terminal of the following device is connected with the first node. A second terminal of the following device is connected with a second node. A control terminal of the following device is connected with a following control line. A first drain/source terminal of the antifuse transistor is connected with the second node. A gate terminal of the antifuse transistor is connected with an antifuse control line. A second drain/source terminal of the antifuse transistor is in a floating state.

指定代表圖：



第3A圖

符號簡單說明：
300:反熔絲 OTP 記憶
胞
310:選擇元件
320:跟隨元件



I807693

【發明摘要】

【中文發明名稱】反熔絲型一次編程記憶胞及其相關的記憶胞陣列結構

【英文發明名稱】ANTIFUSE-TYPE ONE TIME PROGRAMMING MEMORY

CELL AND CELL ARRAY STRUCTURE WITH SAME

【中文】

本發明為一種反熔絲型一次編程記憶胞，包括：一第一選擇元件、一第一跟隨元件與一第一反熔絲電晶體。該第一選擇元件的一第一端連接至一第一位元線。該第一選擇元件的一第二端連接至一第一節點。該第一選擇元件的一選擇端連接至一第一字元線。該第一跟隨元件的一第一端連接至該第一節點。該第一跟隨元件的一第二端連接至一第二節點。該第一跟隨元件的一第一控制端連接至一第一跟隨控制線。該第一反熔絲電晶體的一第一汲/源端連接至該第二節點。該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線。該第一反熔絲電晶體的一第二汲/源端為浮接。

【英文】

An antifuse-type one time programming memory cell includes a select device, a following device and an antifuse transistor. A first terminal of the select device is connected with a bit line. A second terminal of the select device is connected with a first node. A select terminal of the select device is connected with a word line. A first terminal of the following device is connected with the first node. A second terminal of the following device is connected with a second node. A control terminal of the following device is connected with a following control line. A first drain/source

terminal of the antifuse transistor is connected with the second node. A gate terminal of the antifuse transistor is connected with an antifuse control line. A second drain/source terminal of the antifuse transistor is in a floating state.

【指定代表圖】 第（ 3A ）圖。

【代表圖之符號簡單說明】

300: 反熔絲OTP記憶胞

310: 選擇元件

320: 跟隨元件

【特徵化學式】

無

【發明說明書】

【中文發明名稱】反熔絲型一次編程記憶胞及其相關的記憶胞陣列結構

【英文發明名稱】 ANTIFUSE-TYPE ONE TIME PROGRAMMING MEMORY
CELL AND CELL ARRAY STRUCTURE WITH SAME

【技術領域】

【0001】 本發明是有關於一種非揮發性記憶體(Non-volatile memory)，且特別是有關於一種反熔絲型一次編程記憶胞(antifuse-type one time programming memory cell)及其相關的記憶胞陣列結構(cell array structure)。

【先前技術】

【0002】 眾所周知，非揮發性記憶體在斷電之後仍舊可以保存其資料內容。一般來說，當非揮發性記憶體製造完成並出廠後，使用者即可以編程(program)非揮發性記憶體，進而將資料記錄在非揮發性記憶體中。

【0003】 而根據編程的次數，非揮發性記憶體可進一步區分為：多次編程的記憶體(multi-time programming memory，簡稱MTP記憶體)、一次編程的記憶體(one time programming memory，簡稱OTP記憶體)或者光罩式唯讀記憶體(Mask ROM記憶體)。

【0004】 基本上，使用者可以對MTP記憶體進行多次的編程，用以多次修改儲存資料。而使用者僅可以編程一次OTP記憶體，一旦OTP記憶體編程完成之後，其儲存資料將無法修改。而Mask ROM記憶體於出廠之後，所有的儲存資料

已經記錄在其中，使用者僅能夠讀取Mask ROM記憶體中的儲存資料，而無法進行編程。

【0005】 再者，OTP記憶體根據其特性可區分為熔絲型(fuse-type)OTP記憶體與反熔絲型(antifuse-type)OTP記憶體。熔絲型OTP記憶體的記憶胞(memory cell)尚未進行編程(program)時，其為低電阻值的儲存狀態；而進行編程之後的記憶胞，其具備高電阻值的儲存狀態。

【0006】 相反地，反熔絲型OTP記憶體的記憶胞尚未進行編程(program)時，其具備高電阻值的儲存狀態；而進行編程之後的記憶胞，其具備低電阻值的儲存狀態。

【0007】 請參照第1A圖，其所繪示為習知反熔絲OTP記憶胞。反熔絲OTP記憶胞100包括一選擇電晶體(select transistor) M_S 與一反熔絲電晶體(antifuse transistor) M_{AF} 。選擇電晶體 M_S 的第一汲/源端(drain/source terminal)連接至位元線BL，選擇電晶體 M_S 的閘極端連接至字元線WL，選擇電晶體 M_S 的第二汲/源端連接至反熔絲電晶體 M_{AF} 的第一汲/源端，反熔絲電晶體 M_{AF} 的閘極端連接至反熔絲控制線(antifuse control line)AF，反熔絲電晶體 M_{AF} 的第二汲/源端為浮接(floating)。

【0008】 由於反熔絲電晶體 M_{AF} 的第二汲/源端為浮接，所以反熔絲電晶體 M_{AF} 可視為一電容器(capacitor)。也就是說，反熔絲OTP記憶胞100為一電晶體與一電容器記憶胞(1T1C cell)。

【0009】 請參照第1B圖與第1C圖，其所繪示為習知反熔絲OTP記憶胞進行編程動作(program action)與編程抑制動作(program inhibit action)的偏壓示意圖。

【0010】 如第1B圖所示，於編程動作時，位元線 BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收開啟電壓(turn on voltage) V_{ON} 。舉例來說，編程電壓 V_{PP} 為5V，開啟電壓 V_{ON} 為2.5V。

【0011】 於編程動作時，選擇電晶體 M_S 開啟(turn on)，位元線BL的接地電壓(0V)傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力(voltage stress)為編程電壓 V_{PP} ，造成反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間呈現低電阻值。亦即，反熔絲OTP記憶胞100為低電阻值的儲存狀態。

【0012】 如第1C圖所示，於編程抑制動作時，位元線 BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收關閉電壓(turn off voltage) V_{OFF} 。舉例來說，關閉電壓 V_{OFF} 為0V。

【0013】 於編程抑制動作時，選擇電晶體 M_S 關閉(turn off)，位元線BL的接地電壓(0V)無法傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力很小，反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)未破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間仍維持在高電阻值。亦即，反熔絲OTP記憶胞100為高電阻值的儲存狀態。

【0014】 另外，如第1C圖所示，於編程抑制動作時，選擇電晶體 M_S 關閉。此時，選擇電晶體 M_S 會產生漏電流(leakage current)。例如，衝擊電流(punch current) I_{Punch} 以及閘極誘導汲極漏電流(gate induced drain leakage current，簡稱GIDL) I_{GIDL} 。

【0015】 如第1C圖所示，當選擇電晶體 M_S 關閉時，選擇電晶體 M_S 第二汲/源端的電壓約為 $(V_{PP}-V_{tAF})$ 。其中， V_{tAF} 為反熔絲電晶體 M_{AF} 的臨限電壓(threshold voltage)，約為1V，所以選擇電晶體 M_S 第二汲/源端的電壓約為4V(5V-1V)。

【0016】 再者，選擇電晶體 M_S 關閉時，第一汲/源端與第二汲/源端的之間的電壓差(voltage difference)，會造成衝擊電流 I_{Punch} 的產生，而電壓差越大衝擊電流 I_{Punch} 也越大。以第1C圖為例，選擇電晶體 M_S 第一汲/源端與第二汲/源端的之間的電壓差約為4V，會產生較大的衝擊電流 I_{Punch} ，且衝擊電流 I_{Punch} 由選擇電晶體 M_S 的第二汲/源端流向與第一汲/源端。

【0017】 另外，選擇電晶體 M_S 第二汲/源端與閘極端之間的電壓差(voltage difference)會造成閘極誘導汲極漏電流 I_{GIDL} 的產生，電壓差越大閘極誘導汲極漏電流 I_{GIDL} 也越大。以第1C圖為例，選擇電晶體 M_S 第二汲/源端與閘極端之間的電壓差約為4V，會產生較大的閘極誘導汲極漏電流 I_{GIDL} ，且閘極誘導汲極漏電流 I_{GIDL} 由選擇電晶體 M_S 的第二汲/源端流向選擇電晶體 M_S 的體極端(body terminal)。

【0018】 請參照第2A圖，其所繪示為習知另一反熔絲OTP記憶胞。反熔絲OTP記憶胞200包括一選擇電晶體 M_S 、一跟隨電晶體(following transistor) M_{FL} 與一反熔絲電晶體 M_{AF} 。選擇電晶體 M_S 的第一汲/源端連接至位元線BL，選擇電晶體 M_S 的閘極端連接至字元線WL，選擇電晶體 M_S 的第二汲/源端連接至跟隨電晶體(follow transistor) M_{FL} 的第一汲/源端，跟隨電晶體 M_{FL} 的閘極端連接至跟隨控制線(following control line)FL，跟隨電晶體 M_{FL} 的第二汲/源端連接至反熔絲電晶體 M_{AF} 的第一汲/源端，反熔絲電晶體 M_{AF} 的閘極端連接至反熔絲控制線AF，反熔絲電晶體 M_{AF} 的第二汲/源端為浮接(floating)。

【0019】 由於反熔絲電晶體 M_{AF} 的第二汲/源端為浮接，所以反熔絲電晶體 M_{AF} 可視為一電容器(capacitor)。也就是說，反熔絲OTP記憶胞200為二電晶體與一電容器記憶胞(2T1C cell)。

【0020】 請參照第2B圖與第2C圖，其所繪示為習知反熔絲OTP記憶胞進行編程動作與編程抑制動作的偏壓示意圖。

【0021】 如第2B圖所示，於編程動作時，位元線 BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收開啟電壓(turn on voltage) V_{ON} ，跟隨控制線FL接收一控制電壓 V_{FL} 。舉例來說，編程電壓 V_{PP} 為5V，開啟電壓 V_{ON} 為1.8V，控制電壓 V_{FL} 為1.8V。基本上，控制電壓 V_{FL} 係控制跟隨電晶體 M_{FL} 處於導通狀態(conducting state)。

【0022】 因此，當選擇電晶體 M_S 開啟(turn on)且跟隨電晶體 M_{FL} 處於導通狀態時，位元線BL的接地電壓(0V)傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力(voltage stress)為編程電壓 V_{PP} ，造成反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間呈現低電阻值。亦即，反熔絲OTP記憶胞200為低電阻值的儲存狀態。

【0023】 如第2C圖所示，於編程抑制動作時，位元線 BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收關閉電壓(turn off voltage) V_{OFF} ，跟隨控制線FL接收一控制電壓 V_{FL} 。舉例來說，關閉電壓 V_{OFF} 為接地電壓(0V)。

【0024】 因此，當選擇電晶體 M_S 關閉(turn off)且跟隨電晶體 M_{FL} 處於導通狀態時，位元線BL的接地地壓(0V)無法傳遞至反熔絲電晶體 M_{AF} 的第一汲/源

端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力很小，反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)未破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間仍維持在高電阻值。亦即，反熔絲OTP記憶胞200為高電阻值的儲存狀態。

【0025】 另外，如第2C圖所示，於編程抑制動作時，選擇電晶體 M_S 關閉。此時，選擇電晶體 M_S 的第二汲/源端電壓約為 $(V_{FL}-V_{tFL})$ ，選擇電晶體 M_S 會產生漏電流。例如，衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。另外，跟隨電晶體 M_{FL} 的第二汲/源端電壓約為 $(V_{PP}-V_{tAF})$ ，跟隨電晶體 M_{FL} 會產生漏電流。例如，閘極誘導汲極漏電流 I_{GIDL2} 。舉例來說， V_{tFL} 為跟隨電晶體 M_{FL} 的臨限電壓， V_{tAF} 為反熔絲電晶體 M_{AF} 的臨限電壓， V_{tFL} 約為1V， V_{tAF} 約為0.7V。因此，選擇電晶體 M_S 的第二汲/源端電壓約為1.1V(1.8V-0.7V)，跟隨電晶體 M_{FL} 的第二汲/源端電壓約為4V(5V-1V)。

【0026】 再者，選擇電晶體 M_S 的第二汲/源端與第一源極端之間的電壓差1.1V會導致衝擊電流 I_{Punch} 的產生。選擇電晶體 M_S 的第二汲/源端與閘極端之間的電壓差1.1V會導致閘極誘導汲極漏電流 I_{GIDL1} 產生。另外，跟隨電晶體 M_{FL} 的第二汲/源端與閘極端之間的電壓差2.2V(4V-1.8V)會導致閘極誘導汲極漏電流 I_{GIDL2} 產生。

【0027】 在習知反熔絲OTP記憶胞200中，調整控制電壓 V_{FL} 可以進一步的調整漏電流大小。請參照第2D圖，其所繪示為習知反熔絲OTP記憶胞200於編程抑制動作時，控制電壓 V_{FL} 與漏電流之間的關係。舉例來說，反熔絲OTP記憶胞200中，選擇電晶體 M_S 、跟隨電晶體 M_{FL} 與反熔絲電晶體 M_{AF} 的通道長度(channel length)為36nm。

【0028】 由第2D圖可知，當控制電壓 V_{FL} 降低時，選擇電晶體 M_S 所產生的衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 會降低，但是跟隨電晶體 M_{FL} 產生的閘極誘導汲極漏電流 I_{GIDL2} 會升高。反之，當控制電壓 V_{FL} 升高時，跟隨電晶體 M_{FL} 產生的閘極誘導汲極漏電流 I_{GIDL2} 會降低，但是選擇電晶體 M_S 產生的衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 會升高。

【0029】 因此，如第2D圖所示，當控制電壓 V_{FL} 調整到約2.0V時，將使得反熔絲OTP記憶胞200產生相對較小的總漏電流。其中，選擇電晶體 M_S 的衝擊電流 I_{Punch} 約為50pA，選擇電晶體 M_S 的閘極誘導汲極漏電流 I_{GIDL1} 約為7nA，跟隨電晶體 M_{FL} 的閘極誘導汲極漏電流 I_{GIDL2} 約為7nA。

【0030】 然而，隨著半導體製程的演進，當電晶體的尺寸越來越小時，習知OTP記憶體200的漏電流會急劇上升。舉例來說，當反熔絲OTP記憶胞200中電晶體的通道長度小於16nm時，漏電流的情況將會更糟。

【發明內容】

【0031】 本發明係有關於一種記憶胞陣列結構。該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞。該第一反熔絲型一次編程記憶胞包括：一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，且該第一跟隨元件的一第一控制端連接至一第一跟隨控制線；以及，一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一

第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；其中，該第一選擇元件，包括一第一選擇電晶體與一第二選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第二選擇電晶體的一第一汲/源端，該第二選擇電晶體的一閘極端連接至該第一字元線，該第二選擇電晶體的一第二汲/源端連接至該第一節點。

【0032】 本發明係有關於一種記憶胞陣列結構。該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞。該第一反熔絲型一次編程記憶胞包括：一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，該第一跟隨元件的一第一控制端連接至一第一跟隨控制線，且該第一跟隨元件的一第二控制端連接至一第二跟隨控制線；以及，一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；其中，該第一跟隨元件包括一第一跟隨電晶體與一第二跟隨電晶體，該第一跟隨電晶體的一第一汲/源端連接至該第一節點，該第一跟隨電晶體的一閘極端連接至該第一跟隨控制線，該第一跟隨電晶體的一第二汲/源端連接至該第二跟隨電晶體的一第一汲/源端，該第二跟隨電晶體的一閘極端連接至該第二跟隨控制線，該第二跟隨電晶體的一第二汲/源端連接至該第二節點。

【0033】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0034】

第1A圖、第1B圖與第1C圖為習知反熔絲OTP記憶胞及其進行編程動作與編程抑制動作的偏壓示意圖；

第2A圖、第2B圖與第2C圖為習知另一反熔絲OTP記憶胞及其進行編程動作與編程抑制動作的偏壓示意圖；

第2D圖為習知反熔絲OTP記憶胞於編程抑制動作時，控制電壓 V_{FL} 與漏電流之間的關係；

第3A圖、第3B圖與第3C圖為本發明反熔絲OTP記憶胞的第一實施例及其進行編程動作與編程抑制動作的偏壓示意圖；

第4A圖、第4B圖與第4C圖為本發明反熔絲OTP記憶胞的第二實施例及其進行編程動作與編程抑制動作的偏壓示意圖；

第5圖為本發明第二實施例反熔絲OTP記憶胞所組成的記憶胞陣列結構及其偏壓示意圖；

第6A圖、第6B圖與第6C圖為本發明反熔絲OTP記憶胞的第三實施例及其進行編程動作與編程抑制動作的偏壓示意圖；以及

第7圖為本發明第三實施例反熔絲OTP記憶胞所組成的記憶胞陣列結構及其偏壓示意圖。

【實施方式】

【0035】 請參照第3A圖，其所繪示為本發明反熔絲OTP記憶胞的第一實施例。反熔絲OTP記憶胞300包括一選擇元件(select device)310、一跟隨元件(following device)320與一反熔絲電晶體 M_{AF} 。

【0036】 反熔絲OTP記憶胞300中，選擇元件310的第一端連接至位元線BL，選擇元件310的選擇端連接至字元線WL，選擇元件310的第二端連接至節點y，跟隨元件320的第一端連接至節點y，跟隨元件320的多個控制端連接至多條跟隨控制線FL1、FL2，跟隨元件320的第二端連接至節點z，反熔絲電晶體 M_{AF} 的第一汲/源端連接至節點z，反熔絲電晶體 M_{AF} 的閘極端連接至反熔絲控制線AF，反熔絲電晶體 M_{AF} 的第二汲/源端為浮接。

【0037】 根據本發明的第一實施例選擇元件310由二個選擇電晶體 M_{S1} 、 M_{S2} 組成，跟隨元件320由二個跟隨電晶體 M_{FL1} 、 M_{FL2} 組成。在選擇元件310中，選擇電晶體 M_{S1} 的第一汲/源端連接至位元線BL，選擇電晶體 M_{S1} 的閘極端連接至字元線WL，選擇電晶體 M_{S1} 的第二汲/源端連接至選擇電晶體 M_{S2} 的第一汲/源端，選擇電晶體 M_{S2} 的閘極端連接至字元線WL，選擇電晶體 M_{S2} 的第二汲/源端連接至節點y。在跟隨元件320中，跟隨電晶體 M_{FL1} 的第一汲/源端連接至節點y，跟隨電晶體 M_{FL1} 的閘極端連接至跟隨控制線FL1，跟隨電晶體 M_{FL1} 的第二汲/源端連接至跟隨電晶體 M_{FL2} 的第一汲/源端，跟隨電晶體 M_{FL2} 的閘極端連接至跟隨控制線FL2，跟隨電晶體 M_{FL2} 的第二汲/源端連接至節點z。

【0038】 由於反熔絲電晶體 M_{AF} 的第二汲/源端為浮接，所以反熔絲電晶體 M_{AF} 可視為一電容器(capacitor)。也就是說，第一實施例反熔絲OTP記憶胞300為四電晶體與一電容器記憶胞(4T1C cell)。再者，反熔絲OTP記憶胞300也可以選

擇性地進行編程動作與編程抑制動作。其中，於進行編程動作時，二個選擇電晶體 M_{S1} 、 M_{S2} 將同時被開啟。於進行編程抑制動作時，二個選擇電晶體 M_{S1} 、 M_{S2} 將同時被關閉。二個跟隨電晶體 M_{FL1} 、 M_{FL2} 在進行編程動作與編程抑制動作時都會處於導通狀態。以下係以電晶體通道長度為16nm為例來說明反熔絲OTP記憶胞300於編程動作與編程抑制動作時的偏壓。

【0039】 請參照第3B圖與第3C圖，其所繪示為第一實施例反熔絲OTP記憶胞進行編程動作與編程抑制動作的偏壓示意圖。

【0040】 如第3B圖所示，於編程動作時，位元線BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收開啟電壓(turn on voltage) V_{ON} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} ，跟隨控制線FL2接收第二控制電壓 V_{FL2} 。舉例來說，編程電壓 V_{PP} 為5V，開啟電壓 V_{ON} 為1V，第一控制電壓 V_{FL1} 為1.5V，第二控制電壓 V_{FL2} 為2V。其中，開啟電壓 V_{ON} 可開啟(turn on)選擇電晶體 M_{S1} 、 M_{S2} ，亦即開啟選擇元件310。另外，二個控制電壓 V_{FL1} 、 V_{FL2} 可控制跟隨電晶體 M_{FL1} 、 M_{FL2} 處於導通狀態，亦即跟隨元件320處於導通狀態，使得節點y與節點z之間導通。根據本發明的第一實施例，編程電壓 V_{PP} 大於第二控制電壓 V_{FL2} ，第二控制電壓 V_{FL2} 大於等於第一控制電壓 V_{FL1} ，第一控制電壓 V_{FL1} 大於開啟電壓 V_{ON} 。

【0041】 當選擇元件310開啟(turn on)且跟隨元件320處於導通狀態時，位元線BL的接地電壓(0V)傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力(voltage stress)為編程電壓 V_{PP} ，造成反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)破裂(rupture)，反熔絲

電晶體 M_{AF} 的閘極端與第一汲/源端之間呈現低電阻值。亦即，反熔絲OTP記憶胞300為低電阻值的儲存狀態。

【0042】 如第3C圖所示，於編程抑制動作時，位元線BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓 V_{PP} ，字元線WL接收關閉電壓(turn off voltage) V_{OFF} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} ，跟隨控制線FL2接收第二控制電壓 V_{FL2} 。舉例來說，編程電壓 V_{PP} 為5V，關閉電壓 V_{OFF} 為0V，第一控制電壓 V_{FL1} 為1.5V，第二控制電壓 V_{FL2} 為2V。其中，關閉電壓 V_{OFF} 可關閉(turn off)選擇電晶體 M_{S1} 、 M_{S2} ，亦即關閉選擇元件310。

【0043】 當選擇元件310關閉(turn off)且跟隨元件320處於導通狀態(亦即跟隨電晶體 M_{FL1} 、 M_{FL2} 處於導通狀態)時，位元線BL的接地電壓(0V)無法傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力很小，反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)未破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間仍維持在高電阻值。亦即，反熔絲OTP記憶胞300為高電阻值的儲存狀態。

【0044】 另外，如第3C圖所示，於編程抑制動作時，選擇元件310關閉。此時，節點y的電壓 $V_y = (V_{FL1} - V_{tFL1})$ ，選擇元件310會產生漏電流。例如，衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。另外，節點z的電壓 $V_z = (V_{PP} - V_{tAF})$ ，跟隨電元件320中的跟隨電晶體 M_{FL2} 會產生漏電流。例如，閘極誘導汲極漏電流 I_{GIDL2} 。其中， V_{tFL1} 為跟隨電晶體 M_{FL1} 的臨限電壓， V_{tAF} 為反熔絲電晶體 M_{AF} 的臨限電壓， V_{tFL1} 約為0.7V， V_{tAF} 約為1V。

【0045】 由以上的說明可知，調整第一控制電壓 V_{FL1} 可以改變節點y的電壓 V_y ，並進一步調整衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。因此，當第

一控制電壓 V_{FL1} 為1.5V時，節點y的電壓 V_y 約為0.8V(1.5V-0.7V)，使得選擇元件310幾乎不會產生衝擊電流 I_{Punch} ，且閘極誘導汲極漏電流 I_{GIDL1} 非常低，約為1nA。

【0046】 同理，調整第二控制電壓 V_{FL2} 可以改變跟隨電晶體 M_{FL2} 第二汲/源端(節點z)與閘極端之間的電壓差，並進一步調整閘極誘導汲極漏電流 I_{GIDL2} 。因此，當第二控制電壓 V_{FL2} 為2V時，節點z的電壓 V_z 約為4V(5V-1V)，跟隨電晶體 M_{FL2} 第二汲/源端與閘極端之間的電壓差約為2V(4V-2V)，閘極誘導汲極漏電流 I_{GIDL2} 非常低，約為3nA。

【0047】 在本實施例中，選擇元件310中包括二個選擇電晶體 M_{S1} 、 M_{S2} ，而串接的選擇電晶體 M_{S1} 、 M_{S2} 可使得選擇元件310的有效通道長度增長，使得漏電流 I_{punch} 降低。

【0048】 再者，由於半導體製程變異，選擇元件310可能接收關閉電壓 V_{OFF} 但是無法完全關閉的情況發生，造成漏電流增加。由於選擇元件310中包括二個串接的選擇電晶體 M_{S1} 、 M_{S2} ，只要任一個選擇電晶體 M_{S1} 、 M_{S2} 接收關閉電壓 V_{OFF} 而完全關閉，即可以完全關閉選擇元件310並阻斷漏電流路徑。也就是說，在編程抑制動作時，反熔絲OTP記憶胞300會產生較小的漏電流。

【0049】 在本發明的第一實施例中，選擇元件310以及跟隨元件320中皆以二個電晶體串接為例來說明。當然，本發明並不限定於此。當電晶體的通道長度更短時，選擇元件310或者跟隨元件320中可以串接二個以上的電晶體。舉例來說，反熔絲OTP記憶胞中，選擇元件包括三個選擇電晶體串接於位元線BL與節點y之間，且跟隨元件包括二個跟隨電晶體串接於節點y與節點z之間，並組成5T1C記憶胞。其中，三個選擇電晶體的閘極連接至字元線，二個跟隨電晶體的閘極連接至不同的二條跟隨控制線。

【0050】 或者，選擇元件包括二個選擇電晶體串接於位元線BL與節點y之間，且跟隨元件包括三個跟隨電晶體串接於節點y與節點z之間，並組成5T1C記憶胞。其中，二個選擇電晶體的閘極連接至字元線，三個跟隨電晶體的閘極連接至不同的三條跟隨控制線。

【0051】 或者，選擇元件包括三個選擇電晶體串接於位元線BL與節點y之間，且跟隨元件包括三個跟隨電晶體串接於節點y與節點z之間，並組成6T1C記憶胞。其中，三個選擇電晶體的閘極連接至字元線，三個跟隨電晶體的閘極連接至不同的三條跟隨控制線。

【0052】 另外，考量反熔絲OTP記憶胞的漏電流在可接受的範圍之內時，本發明的反熔絲OTP記憶胞也可以是3T1C記憶胞。以下說明之。

【0053】 請參照第4A圖，其所繪示為本發明反熔絲OTP記憶胞的第二實施例。反熔絲OTP記憶胞400包括一選擇元件410、一跟隨元件420與一反熔絲電晶體 M_{AF} 。

【0054】 反熔絲OTP記憶胞400中，選擇元件410的第一端連接至位元線BL，選擇元件410的選擇端連接至字元線WL，選擇元件410的第二端連接至節點y，跟隨元件420的第一端連接至節點y，跟隨元件420的控制端連接至跟隨控制線FL1，跟隨元件420的第二端連接至節點z，反熔絲電晶體 M_{AF} 的第一汲/源端連接至節點z，反熔絲電晶體 M_{AF} 的閘極端連接至反熔絲控制線AF，反熔絲電晶體 M_{AF} 的第二汲/源端為浮接。

【0055】 根據本發明的第二實施例選擇元件410由二個選擇電晶體 M_{S1} 、 M_{S2} 組成，跟隨元件420由一個跟隨電晶體 M_{FL1} 組成。在選擇元件410中，選擇電晶體 M_{S1} 的第一汲/源端連接至位元線BL，選擇電晶體 M_{S1} 的閘極端連接至字元線

WL，選擇電晶體 M_{S1} 的第二汲/源端連接至選擇電晶體 M_{S2} 的第一汲/源端，選擇電晶體 M_{S2} 的閘極端連接至字元線WL，選擇電晶體 M_{S2} 的第二汲/源端連接至節點y。在跟隨元件420中，跟隨電晶體 M_{FL1} 的第一汲/源端連接至節點y，跟隨電晶體 M_{FL1} 的閘極端連接至跟隨控制線FL1，跟隨電晶體 M_{FL1} 的第二汲/源端連接至節點z。

【0056】 由於反熔絲電晶體 M_{AF} 的第二汲/源端為浮接，所以反熔絲電晶體 M_{AF} 可視為一電容器(capacitor)。也就是說，第二實施例反熔絲OTP記憶胞400為三電晶體與一電容器記憶胞(3T1C cell)。

【0057】 請參照第4B圖與第4C圖，其所繪示為第二實施例反熔絲OTP記憶胞進行編程動作與編程抑制動作的偏壓示意圖。

【0058】 如第4B圖所示，於編程動作時，位元線BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收開啟電壓(turn on voltage) V_{ON} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} 。舉例來說，編程電壓 V_{PP} 為5V，開啟電壓 V_{ON} 為1.2V，第一控制電壓 V_{FL1} 為2V。其中，開啟電壓 V_{ON} 可開啟(turn on)選擇電晶體 M_{S1} 、 M_{S2} ，亦即開啟選擇元件410。另外，第一控制電壓 V_{FL1} 可控制跟隨電晶體 M_{FL1} 處於導通狀態，亦即跟隨元件420處於導通狀態，使得節點y與節點z之間導通。根據本發明的第二實施例，編程電壓 V_{PP} 大於第一控制電壓 V_{FL1} ，第一控制電壓 V_{FL1} 大於開啟電壓 V_{ON} 。

【0059】 當選擇元件410開啟(turn on)且跟隨元件420處於導通狀態時，位元線BL的接地電壓(0V)傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力(voltage stress)為編程電壓 V_{PP} ，造成反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)破裂(rupture)，反熔絲

電晶體 M_{AF} 的閘極端與第一汲/源端之間呈現低電阻值。亦即，反熔絲OTP記憶胞400為低電阻值的儲存狀態。

【0060】 如第4C圖所示，於編程抑制動作時，位元線BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓 V_{PP} ，字元線WL接收關閉電壓(turn off voltage) V_{OFF} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} 。舉例來說，編程電壓 V_{PP} 為5V，關閉電壓 V_{OFF} 為0V，第一控制電壓 V_{FL1} 為2V。其中，關閉電壓 V_{OFF} 可關閉(turn off)選擇電晶體 M_{S1} 、 M_{S2} ，亦即關閉選擇元件410。

【0061】 當選擇元件410關閉(turn off)且跟隨元件420處於導通狀態時，位元線BL的接地電壓(0V)無法傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力很小，反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)未破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間仍維持在高電阻值。亦即，反熔絲OTP記憶胞400為高電阻值的儲存狀態。

【0062】 另外，如第4C圖所示，於編程抑制動作時，選擇元件410關閉。此時，節點y的電壓 $V_y = (V_{FL1} - V_{tFL1})$ ，選擇元件410會產生漏電流。例如，衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。另外，節點z的電壓 $V_z = (V_{PP} - V_{tAF})$ ，跟隨電元件420中的跟隨電晶體 M_{FL2} 會產生漏電流。例如，閘極誘導汲極漏電流 I_{GIDL2} 。其中， V_{tFL1} 為跟隨電晶體 M_{FL1} 的臨限電壓， V_{tAF} 為反熔絲電晶體 M_{AF} 的臨限電壓， V_{tFL1} 約為0.7V， V_{tAF} 約為1V。

【0063】 由以上的說明可知，調整第一控制電壓 V_{FL1} 可以改變節點y的電壓 V_y ，並進一步調整衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。因此，當第

一控制電壓 V_{FL1} 為2V時，節點y的電壓 V_y 約為1.3V(2V-0.7V)，使得選擇元件410產生的衝擊電流 I_{Punch} 約為50pA，且閘極誘導汲極漏電流 I_{GIDL1} 約為7nA。

【0064】 同理，調整第一控制電壓 V_{FL1} 可以改變跟隨電晶體 M_{FL1} 第二汲/源端(節點z)與閘極端之間的電壓差，並進一步調整閘極誘導汲極漏電流 I_{GIDL2} 。因此，當第二控制電壓 V_{FL1} 為2V時，節點z的電壓 V_z 約為4V(5V-1V)，跟隨電晶體 M_{FL1} 第二汲/源端與閘極端之間的電壓差約為2V(4V-2V)，閘極誘導汲極漏電流 I_{GIDL2} 約為3nA。

【0065】 請參照第5圖，其所繪示為本發明第二實施例反熔絲OTP記憶胞所組成的記憶胞陣列結構及其偏壓示意圖。記憶胞陣列結構450由2×2個反熔絲OTP記憶胞c11~c22所組成。當然，本發明並不限定於2×2個反熔絲OTP記憶胞c11~c22的記憶胞陣列結構450，在此領域的技術人員可以根據本發明的說明來組成m×n個反熔絲OTP記憶胞的記憶胞陣列結構，且m與n為正整數。舉例來說，反熔絲OTP記憶胞c11包括一選擇元件451、一跟隨元件452與一反熔絲電晶體 M_{AF} 。再者，反熔絲OTP記憶胞c11~c22的結構相同於第4A圖，其詳細結構不再贅述。

【0066】 在記憶胞陣列結構450中，第一列的二個反熔絲OTP記憶胞c11~c12連接至字元線WL1、跟隨線控制線FL1與反熔絲控制線AF1，第一列的二個反熔絲OTP記憶胞c11~c12連接至對應的位元線BL1、BL2。再者，第二列的二個反熔絲OTP記憶胞c21~c22連接至字元線WL2、跟隨線控制線FL2與反熔絲控制線AF2，第二列的二個反熔絲OTP記憶胞c21~c22連接至對應的位元線BL1、BL2。

【0067】 如第5圖所示，反熔絲控制線AF1、AF2接收編程電壓 V_{PP} ，跟隨線控制線FL1、FL2接收第一控制電壓 V_{FL1} ，位元線BL1接收接地電壓(0V)，位元線BL2接收抑制電壓(inhibit voltage) V_{INH} ，字元線WL1接收開啟電壓 V_{ON} ，字元線WL2接收關閉電壓 V_{OFF} 。舉例來說，編程電壓 V_{PP} 為5V，第一控制電壓 V_{FL1} 為2V，開啟電壓 V_{ON} 為1.2V，關閉電壓 V_{OFF} 為0V，抑制電壓 V_{INH} 為1.2V。

【0068】 此時，連接於字元線WL1的第一列為選定列(selected row)，連接於字元線WL2的第二列為非選定列(unselected row)，且第二列的二個記憶胞c21~c22為非選定記憶胞(unselected cell)。另外，位元線BL1接收接地電壓(0V)且位元線BL2接收抑制電壓(inhibit voltage) V_{INH} ，所以反熔絲OTP記憶胞c11為選定記憶胞(selected cell)，反熔絲OTP記憶胞c12為非選定記憶胞。再者，記憶胞陣列結構450中的選定記憶胞c11即進行編程動作，非選定記憶胞則進行編程抑制動作。

【0069】 請參照第6A圖，其所繪示為本發明反熔絲OTP記憶胞的第三實施例。反熔絲OTP記憶胞500包括一選擇元件510、一跟隨元件520與一反熔絲電晶體 M_{AF} 。

【0070】 反熔絲OTP記憶胞500中，選擇元件510的第一端連接至位元線BL，選擇元件510的選擇端連接至字元線WL，選擇元件510的第二端連接至節點y，跟隨元件520的第一端連接至節點y，跟隨元件520的多個控制端連接至多條跟隨控制線FL1、FL2，跟隨元件520的第二端連接至節點z，反熔絲電晶體 M_{AF} 的第一汲/源端連接至節點z，反熔絲電晶體 M_{AF} 的閘極端連接至反熔絲控制線AF，反熔絲電晶體 M_{AF} 的第二汲/源端為浮接。

【0071】 根據本發明的第三實施例選擇元件510由一個選擇電晶體 M_{S1} 組成，跟隨元件520由二個跟隨電晶體 M_{FL1} 、 M_{FL2} 組成。在選擇元件510中，選擇電晶體 M_{S1} 的第一汲/源端連接至位元線BL，選擇電晶體 M_{S1} 的閘極端連接至字元線WL，選擇電晶體 M_{S1} 的第二汲/源端連接至節點y。在跟隨元件520中，跟隨電晶體 M_{FL1} 的第一汲/源端連接至節點y，跟隨電晶體 M_{FL1} 的閘極端連接至跟隨控制線FL1，跟隨電晶體 M_{FL1} 的第二汲/源端連接至跟隨電晶體 M_{FL2} 的第一汲/源端，跟隨電晶體 M_{FL2} 的閘極端連接至跟隨控制線FL2，跟隨電晶體 M_{FL2} 的第二汲/源端連接至節點z。

【0072】 由於反熔絲電晶體 M_{AF} 的第二汲/源端為浮接，所以反熔絲電晶體 M_{AF} 可視為一電容器(capacitor)。也就是說，第三實施例反熔絲OTP記憶胞500為三電晶體與一電容器記憶胞(3T1C cell)。

【0073】 請參照第6B圖與第6C圖，其所繪示為第三實施例反熔絲OTP記憶胞進行編程動作與編程抑制動作的偏壓示意圖。

【0074】 如第6B圖所示，於編程動作時，位元線BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓(program voltage) V_{PP} ，字元線WL接收開啟電壓(turn on voltage) V_{ON} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} ，跟隨控制線FL2接收第二控制電壓 V_{FL2} 。舉例來說，編程電壓 V_{PP} 為5V，開啟電壓 V_{ON} 為1V，第一控制電壓 V_{FL1} 為1.5V，第二控制電壓 V_{FL2} 為2V。其中，開啟電壓 V_{ON} 可開啟(turn on)選擇電晶體 M_{S1} ，亦即開啟選擇元件510。另外，二個控制電壓 V_{FL1} 、 V_{FL2} 可控制跟隨電晶體 M_{FL1} 、 M_{FL2} 處於導通狀態，亦即跟隨元件520處於導通狀態，使得節點y與節點z之間導通。根據本發明的第三實施例，編程電壓 V_{PP} 大於第二控制電

壓 V_{FL2} ，第二控制電壓 V_{FL2} 大於等於第一控制電壓 V_{FL1} ，第一控制電壓 V_{FL1} 大於開啟電壓 V_{ON} 。

【0075】 當選擇元件510開啟(turn on)且跟隨元件520處於導通狀態時，位元線BL的接地電壓(0V)傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力(voltage stress)為編程電壓 V_{PP} ，造成反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間呈現低電阻值。亦即，反熔絲OTP記憶胞500為低電阻值的儲存狀態。

【0076】 如第6C圖所示，於編程抑制動作時，位元線 BL接收接地電壓(0V)，反熔絲控制線AF接收編程電壓 V_{PP} ，字元線WL接收關閉電壓(turn off voltage) V_{OFF} ，跟隨控制線FL1接收第一控制電壓 V_{FL1} ，跟隨控制線FL2接收第二控制電壓 V_{FL2} 。舉例來說，編程電壓 V_{PP} 為5V，關閉電壓 V_{OFF} 為0V，第一控制電壓 V_{FL1} 為1.5V，第二控制電壓 V_{FL2} 為2V。其中，關閉電壓 V_{OFF} 可關閉(turn off)選擇電晶體 M_{S1} 、 M_{S2} ，亦即關閉選擇元件510。

【0077】 當選擇元件510關閉(turn off)且跟隨元件520處於導通狀態時，位元線BL的接地地壓(0V)無法傳遞至反熔絲電晶體 M_{AF} 的第一汲/源端，使得反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間承受的電壓應力很小，反熔絲電晶體 M_{AF} 的閘極氧化層(gate oxide layer)未破裂(rupture)，反熔絲電晶體 M_{AF} 的閘極端與第一汲/源端之間仍維持在高電阻值。亦即，反熔絲OTP記憶胞500為高電阻值的儲存狀態。

【0078】 另外，如第6C圖所示，於編程抑制動作時，選擇元件510關閉。此時，節點y的電壓 $V_y=(V_{FL1}-V_{iFL1})$ ，選擇元件510會產生漏電流。例如，衝擊電

流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。另外，節點z的電壓 $V_z=(V_{\text{PP}}-V_{\text{tAF}})$ ，跟隨電元件520中的跟隨電晶體 M_{FL2} 會產生漏電流。例如，閘極誘導汲極漏電流 I_{GIDL2} 。其中， V_{tFL1} 為跟隨電晶體 M_{FL1} 的臨限電壓， V_{tAF} 為反熔絲電晶體 M_{AF} 的臨限電壓， V_{tFL1} 約為0.7V， V_{tAF} 約為1V。

【0079】 由以上的說明可知，調整第一控制電壓 V_{FL1} 可以改變節點y的電壓 V_y ，並進一步調整衝擊電流 I_{Punch} 以及閘極誘導汲極漏電流 I_{GIDL1} 。因此，當第一控制電壓 V_{FL1} 為1.5V時，節點y的電壓 V_y 約為0.8V(1.5V-0.7V)，使得選擇元件510幾乎不會產生衝擊電流 I_{Punch} ，且閘極誘導汲極漏電流 I_{GIDL1} 非常低，約為1nA。

【0080】 同理，調整第二控制電壓 V_{FL2} 可以改變跟隨電晶體 M_{FL2} 第二汲/源端(節點z)與閘極端之間的電壓差，並進一步調整閘極誘導汲極漏電流 I_{GIDL2} 。因此，當第二控制電壓 V_{FL2} 為2V時，節點z的電壓 V_z 約為4V(5V-1V)，跟隨電晶體 M_{FL2} 第二汲/源端與閘極端之間的電壓差約為2V(4V-2V)，閘極誘導汲極漏電流 I_{GIDL2} 非常低，約為3nA。

【0081】 請參照第7圖，其所繪示為本發明第三實施例反熔絲OTP記憶胞所組成的記憶胞陣列結構及其偏壓示意圖。記憶胞陣列結構550由2x2個反熔絲OTP記憶胞c11~c22所組成。當然，本發明並不限定於2x2個反熔絲OTP記憶胞c11~c22的記憶胞陣列結構550，在此領域的技術人員可以根據本發明的說明來組成mxn個反熔絲OTP記憶胞的記憶胞陣列結構，且m與n為正整數。舉例來說，反熔絲OTP記憶胞c11包括一選擇元件551、一跟隨元件552與一反熔絲電晶體 M_{AF} 。再者，反熔絲OTP記憶胞c11~c22的結構相同於第6A圖，其詳細結構不再贅述。

【0082】 在記憶胞陣列結構550中，第一列的二個反熔絲OTP記憶胞c11~c12連接至字元線WL1、跟隨線控制線FL1、FL2與反熔絲控制線AF1，第一列的二個反熔絲OTP記憶胞c11~c12連接至對應的位元線BL1、BL2。再者，第二列的二個反熔絲OTP記憶胞c21~c22連接至字元線WL2、跟隨線控制線FL3、FL4與反熔絲控制線AF2，第二列的二個反熔絲OTP記憶胞c21~c22連接至對應的位元線BL1、BL2。

【0083】 如第7圖所示，反熔絲控制線AF1、AF2接收編程電壓 V_{PP} ，跟隨線控制線FL1、FL3接收第一控制電壓 V_{FL1} ，跟隨線控制線FL2、FL4接收第二控制電壓 V_{FL2} ，位元線BL1接收接地電壓(0V)，位元線BL2接收抑制電壓(inhibit voltage) V_{INH} ，字元線WL1接收開啟電壓 V_{ON} ，字元線WL2接收關閉電壓 V_{OFF} 。舉例來說，編程電壓 V_{PP} 為5V，第一控制電壓 V_{FL1} 為1.5V，第二控制電壓 V_{FL2} 為2V，開啟電壓 V_{ON} 為1V，關閉電壓 V_{OFF} 為0V，抑制電壓 V_{INH} 為1.2V。

【0084】 此時，連接於字元線WL1的第一列為選定列(selected row)，連接於字元線WL2的第二列為非選定列(unselected row)，且第二列的二個記憶胞c21~c22為非選定記憶胞(unselected cell)。另外，位元線BL1接收接地電壓(0V)且位元線BL2接收抑制電壓(inhibit voltage) V_{INH} ，所以反熔絲OTP記憶胞c11為選定記憶胞(selected cell)，反熔絲OTP記憶胞c12為非選定記憶胞。再者，記憶胞陣列結構550中的選定記憶胞c11即進行編程動作，非選定記憶胞則進行編程抑制動作。

【0085】 相同地，第一實施例反熔絲OTP記憶胞也可以組成記憶胞陣列，並提供適當的偏壓至記憶胞陣列，使得記憶胞陣列的記憶胞進行編程動作或者編程抑制動作。另外，本發明反熔絲OTP記憶胞中，編程動作以及編程抑制動作

中所揭露的各種偏壓並非用以限定本發明。在此領域的技術人員也可以適當地修改編程動作以及編程抑制動作的偏壓，並運用於本發明的反熔絲OTP記憶胞。

【0086】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0087】

100, 200, 300, 400, 500: 反熔絲OTP記憶胞

310, 410, 451, 510, 551: 選擇元件

320, 420, 452, 520, 552: 跟隨元件

450, 550: 記憶胞陣列結構

【發明申請專利範圍】

【請求項1】一種記憶胞陣列結構，該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞與一第二反熔絲型一次編程記憶胞，其中該第一反熔絲型一次編程記憶胞包括：

一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；

一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，且該第一跟隨元件的一第一控制端連接至一第一跟隨控制線；以及

一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；

其中，該第二反熔絲型一次編程記憶胞包括：

一第二選擇元件，該第二選擇元件的一第一端連接至一第二位元線，該第二選擇元件的一第二端連接至一第三節點，且該第二選擇元件的一選擇端連接至該第一字元線；

一第二跟隨元件，該第二跟隨元件的一第一端連接至該第三節點，該第二跟隨元件的一第二端連接至一第四節點，且該第二跟隨元件的一第一控制端連接至該第一跟隨控制線；以及

一第二反熔絲電晶體，該第二反熔絲電晶體的一第一汲/源端連接至該第四節點，該第二反熔絲電晶體的一閘極端連接至該第一反熔絲控制線，該第二反熔絲電晶體的一第二汲/源端為浮接；

其中，該第一選擇元件包括：一第一選擇電晶體與一第二選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第二選擇電晶體的一第一汲/源端，該第二選擇電晶體的一閘極端連接至該第一字元線，該第二選擇電晶體的一第二汲/源端連接至該第一節點。

【請求項2】 如請求項1所述之記憶胞陣列結構，其中，該第二選擇元件包括：一第三選擇電晶體與一第四選擇電晶體，該第三選擇電晶體的一第一汲/源端連接至該第二位元線，該第三選擇電晶體的一閘極端連接至該第一字元線，該第三選擇電晶體的一第二汲/源端連接至該第四選擇電晶體的一第一汲/源端，該第四選擇電晶體的一閘極端連接至該第一字元線，該第四選擇電晶體的一第二汲/源端連接至該第三節點。

【請求項3】 如請求項1所述之記憶胞陣列結構，更包括一第三反熔絲型一次編程記憶胞，且該第三反熔絲型一次編程記憶胞包括：

一第三選擇元件，該第三選擇元件的一第一端連接至該第一位元線，該第三選擇元件的一第二端連接至一第五節點，且該第三選擇元件的一選擇端連接至一第二字元線；

一第三跟隨元件，該第三跟隨元件的一第一端連接至該第五節點，該第三跟隨元件的一第二端連接至一第六節點，且該第三跟隨元件的一第一控制端連接至一第二跟隨控制線；以及

一第三反熔絲電晶體，該第三反熔絲電晶體的一第一汲/源端連接至該第六節點，該第三反熔絲電晶體的一閘極端連接至一第二反熔絲控制線，該第三反熔絲電晶體的一第二汲/源端為浮接。

【請求項4】 如請求項1所述之記憶胞陣列結構，其中該第一跟隨元件包括一第一跟隨電晶體，該第一跟隨電晶體的一第一汲/源端連接至該第一節點，該第一跟隨電晶體的一閘極端連接至該第一跟隨控制線，該第一跟隨電晶體的一第二汲/源端連接至該第二節點。

【請求項5】 一種記憶胞陣列結構，該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞，且該第一反熔絲型一次編程記憶胞包括：

一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；

一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，且該第一跟隨元件的一第一控制端連接至一第一跟隨控制線；以及

一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；

其中，該第一選擇元件，包括一第一選擇電晶體與一第二選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第二選

擇電晶體的一第一汲/源端，該第二選擇電晶體的一閘極端連接至該第一字元線，該第二選擇電晶體的一第二汲/源端連接至該第一節點；

其中，於一編程動作時，該第一位元線接收一接地電壓，該第一字元線接收一開啟電壓，該第一跟隨控制線接收一第一控制電壓，該第一反熔絲控制線接收一編程電壓，該第一選擇元件開啟，該第一跟隨元件為一導通狀態，該第一反熔絲電晶體的閘極氧化層破裂，並呈現一低電阻值的儲存狀態。

【請求項6】 如請求項5所述之記憶體陣列結構，其中該編程電壓大於該第一控制電壓，該第一控制電壓大於該開啟電壓。

【請求項7】 一種記憶體陣列結構，該記憶體陣列結構包括一第一反熔絲型一次編程記憶體，且該第一反熔絲型一次編程記憶體包括：

一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；

一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，且該第一跟隨元件的一第一控制端連接至一第一跟隨控制線；以及

一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；

其中，該第一選擇元件，包括一第一選擇電晶體與一第二選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第二選

擇電晶體的一第一汲/源端，該第二選擇電晶體的一閘極端連接至該第一字元線，該第二選擇電晶體的一第二汲/源端連接至該第一節點；

其中，於一編程抑制動作時，該第一位元線接收一接地電壓，該第一字元線接收一關閉電壓，該第一跟隨控制線接收一第一控制電壓，該第一反熔絲控制線接收一編程電壓，該第一選擇元件關閉，該第一跟隨元件為一導通狀態，該第一反熔絲電晶體的閘極氧化層未破裂，並呈現一高電阻值的儲存狀態。

【請求項8】一種記憶胞陣列結構，該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞，且該第一反熔絲型一次編程記憶胞包括：

一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；

一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，且該第一跟隨元件的一第一控制端連接至一第一跟隨控制線；以及

一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；

其中，該第一選擇元件，包括一第一選擇電晶體與一第二選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第二選擇電晶體的一第一汲/源端，該第二選擇電晶體的一閘極端連接至該第一字元線，該第二選擇電晶體的一第二汲/源端連接至該第一節點；

其中，該第一跟隨元件包括一第一跟隨電晶體與一第二跟隨電晶體，該第一跟隨電晶體的一第一汲/源端連接至該第一節點，該第一跟隨電晶體的一閘極端連接至該第一跟隨控制線，該第一跟隨電晶體的一第二汲/源端連接至該第二跟隨電晶體的一第二汲/源端，該第二跟隨電晶體的一閘極端連接至一第二跟隨控制線，該第二跟隨電晶體的一第二汲/源端連接至該第二節點。

【請求項9】 如請求項8所述之記憶胞陣列結構，其中於一編程動作時，該第一位元線接收一接地電壓，該第一字元線接收一開啟電壓，該第一跟隨控制線接收一第一控制電壓，該第二跟隨控制線接收一第二控制電壓，該一反熔絲控制線接收一編程電壓，該第一選擇元件開啟，該第一跟隨元件為一導通狀態，該一反熔絲電晶體的閘極氧化層破裂，並呈現一低電阻值的儲存狀態。

【請求項10】 如請求項9所述之記憶胞陣列結構，其中該編程電壓大於該第二控制電壓，該第二控制電壓大於等於該第一控制電壓，該第一控制電壓大於該開啟電壓。

【請求項11】 如請求項8所述之記憶胞陣列結構，其中於一編程抑制動作時，該第一位元線接收一接地電壓，該第一字元線接收一關閉電壓，該第一跟隨控制線接收一第一控制電壓，該第二跟隨控制線接收一第二控制電壓，該一反熔絲控制線接收一編程電壓，該第一選擇元件關閉，該第一跟隨元件為一導通狀態，該一反熔絲電晶體的閘極氧化層未破裂，並呈現一高電阻值的儲存狀態。

【請求項12】 一種記憶胞陣列結構，該記憶胞陣列結構包括一第一反熔絲型一次編程記憶胞，且該第一反熔絲型一次編程記憶胞包括：

一第一選擇元件，該第一選擇元件的一第一端連接至一第一位元線，該第一選擇元件的一第二端連接至一第一節點，且該第一選擇元件的一選擇端連接至一第一字元線；

一第一跟隨元件，該第一跟隨元件的一第一端連接至該第一節點，該第一跟隨元件的一第二端連接至一第二節點，該第一跟隨元件的一第一控制端連接至一第一跟隨控制線，且該第一跟隨元件的一第二控制端連接至一第二跟隨控制線；以及

一第一反熔絲電晶體，該第一反熔絲電晶體的一第一汲/源端連接至該第二節點，該第一反熔絲電晶體的一閘極端連接至一第一反熔絲控制線，該第一反熔絲電晶體的一第二汲/源端為浮接；

其中，該第一跟隨元件包括一第一跟隨電晶體與一第二跟隨電晶體，該第一跟隨電晶體的一第一汲/源端連接至該第一節點，該第一跟隨電晶體的一閘極端連接至該第一跟隨控制線，該第一跟隨電晶體的一第二汲/源端連接至該第二跟隨電晶體的一第一汲/源端，該第二跟隨電晶體的一閘極端連接至該第二跟隨控制線，該第二跟隨電晶體的一第二汲/源端連接至該第二節點。

【請求項13】如請求項12所述之記憶胞陣列結構，更包括一第二反熔絲型一次編程記憶胞，且該第二反熔絲型一次編程記憶胞包括：

一第二選擇元件，該第二選擇元件的一第一端連接至一第二位元線，該第二選擇元件的一第二端連接至一第三節點，且該第二選擇元件的一選擇端連接至該第一字元線；

一第二跟隨元件，該第二跟隨元件的一第一端連接至該第三節點，該第二跟隨元件的一第二端連接至一第四節點，該第二跟隨元件的一第一控制端連接至

該第一跟隨控制線，且該第二跟隨元件的一第二控制端連接至該第二跟隨控制線；以及

一第二反熔絲電晶體，該第二反熔絲電晶體的一第一汲/源端連接至該第四節點，該第二反熔絲電晶體的一閘極端連接至該第一反熔絲控制線，該第二反熔絲電晶體的一第二汲/源端為浮接。

【請求項14】如請求項13所述之記憶胞陣列結構，更包括一第三反熔絲型一次編程記憶胞，且該第三反熔絲型一次編程記憶胞包括：

一第三選擇元件，該第三選擇元件的一第一端連接至該第一位元線，該第三選擇元件的一第二端連接至一第五節點，且該第三選擇元件的一選擇端連接至一第二字元線；

一第三跟隨元件，該第三跟隨元件的一第一端連接至該第五節點，該第三跟隨元件的一第二端連接至一第六節點，該第三跟隨元件的一第一控制端連接至一第三跟隨控制線，且該第三跟隨元件的一第二控制端連接至一第四跟隨控制線；以及

一第三反熔絲電晶體，該第三反熔絲電晶體的一第一汲/源端連接至該第六節點，該第三反熔絲電晶體的一閘極端連接至一第二反熔絲控制線，該第三反熔絲電晶體的一第二汲/源端為浮接。

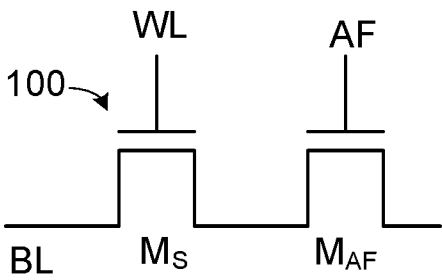
【請求項15】如請求項12所述之記憶胞陣列結構，其中該第一選擇元件包括一第一選擇電晶體，該第一選擇電晶體的一第一汲/源端連接至該第一位元線，該第一選擇電晶體的一閘極端連接至該第一字元線，該第一選擇電晶體的一第二汲/源端連接至該第一節點。

【請求項16】 如請求項12所述之記憶胞陣列結構，其中於一編程動作時，該第一位元線接收一接地電壓，該第一字元線接收一開啟電壓，該第一跟隨控制線接收一第一控制電壓，該第二跟隨控制線接收一第二控制電壓，該第一反熔絲控制線接收一編程電壓，該第一選擇元件開啟，該第一跟隨元件為一導通狀態，該第一反熔絲電晶體的閘極氧化層破裂，並呈現一低電阻值的儲存狀態。

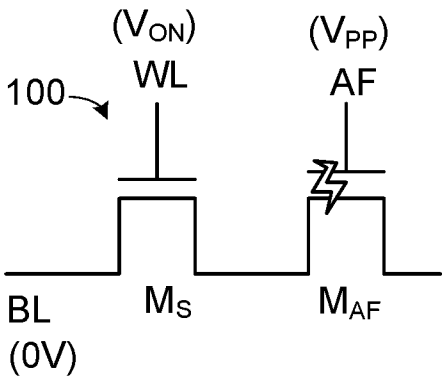
【請求項17】 如請求項16所述之記憶胞陣列結構，其中該編程電壓大於該第二控制電壓，該第二控制電壓大於等於該第一控制電壓，該第一控制電壓大於該開啟電壓。

【請求項18】 如請求項12所述之記憶胞陣列結構，其中於一編程抑制動作時，該第一位元線接收一接地電壓，該第一字元線接收一關閉電壓，該第一跟隨控制線接收一第一控制電壓，該第二跟隨控制線接收一第二控制電壓，該第一反熔絲控制線接收一編程電壓，該第一選擇元件關閉，該第一跟隨元件為一導通狀態，該第一反熔絲電晶體的閘極氧化層未破裂，並呈現一高電阻值的儲存狀態。

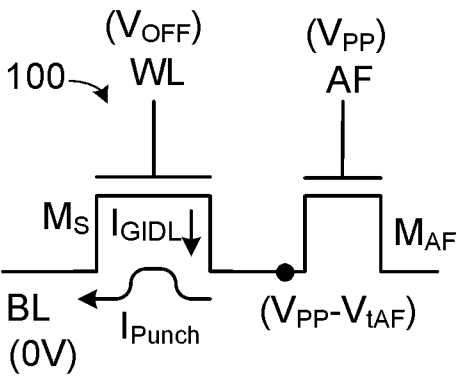
【發明圖式】



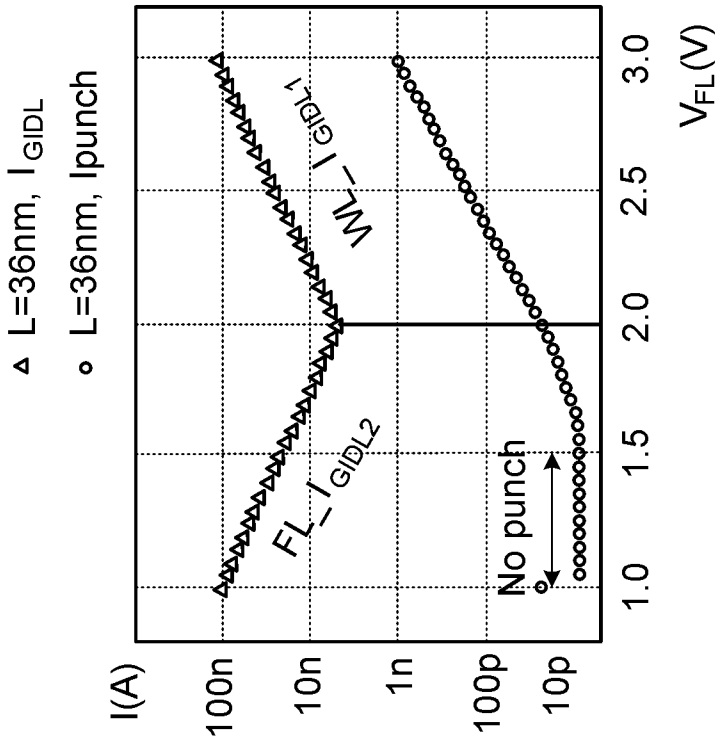
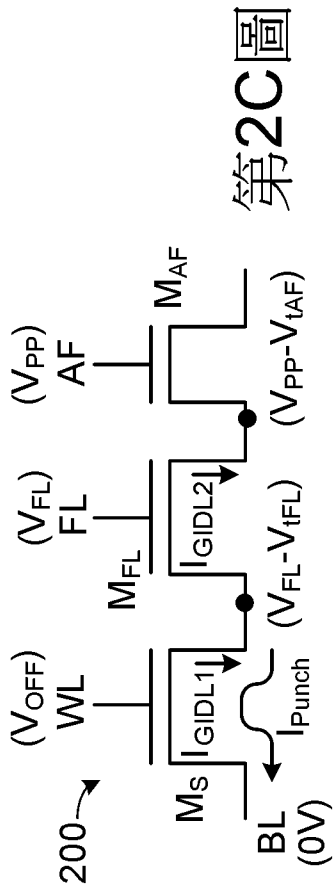
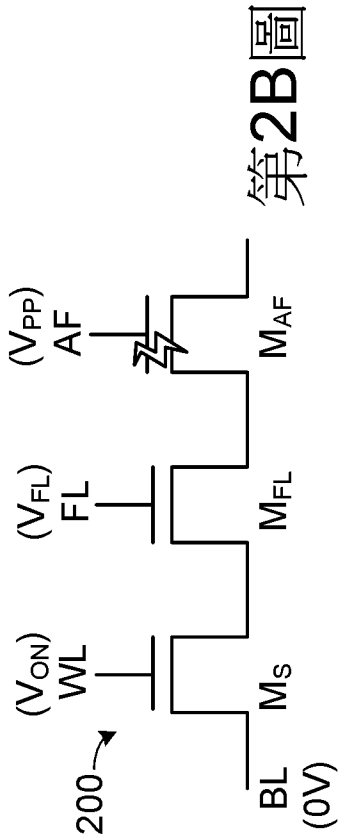
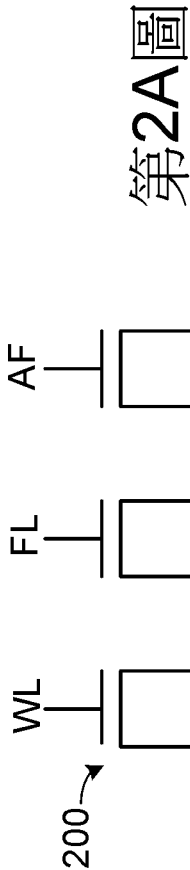
第1A圖



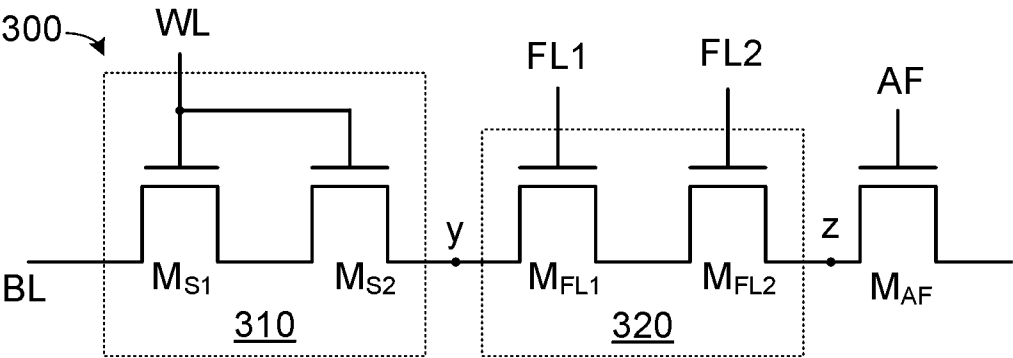
第1B圖



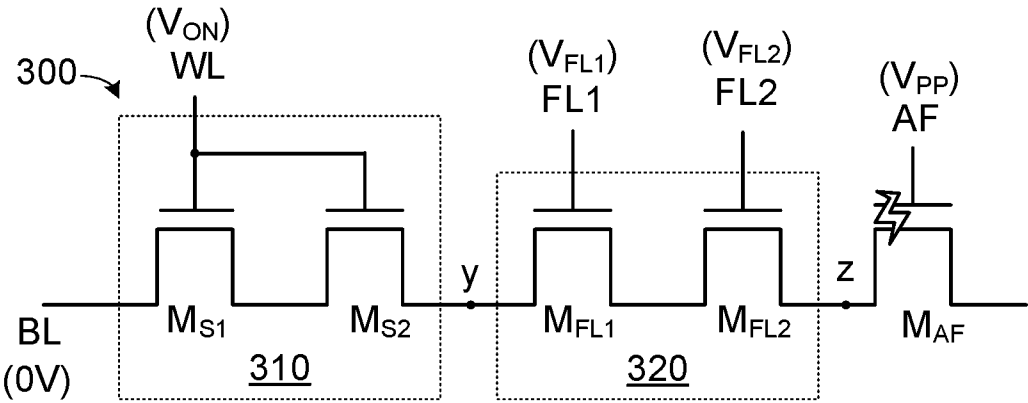
第1C圖



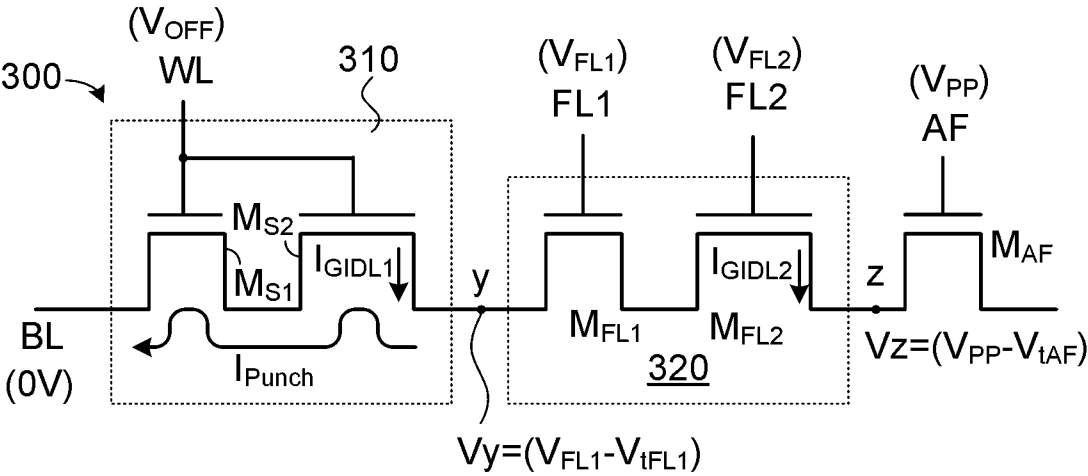
第2D圖



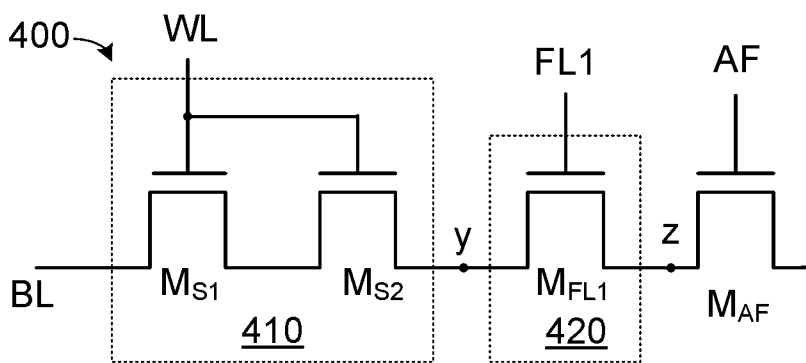
第3A圖



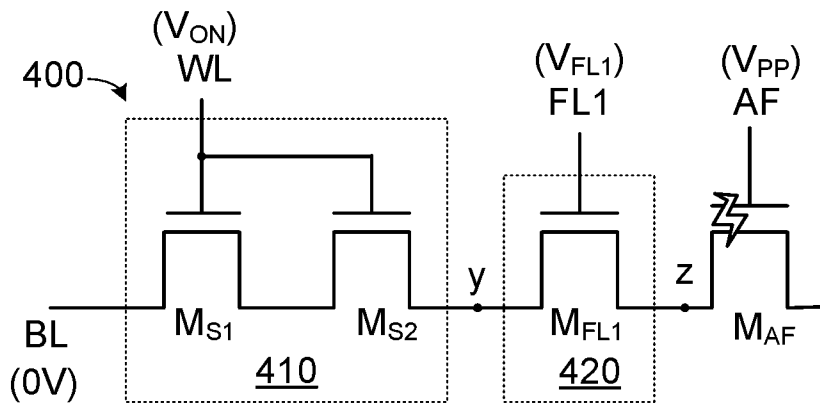
第3B圖



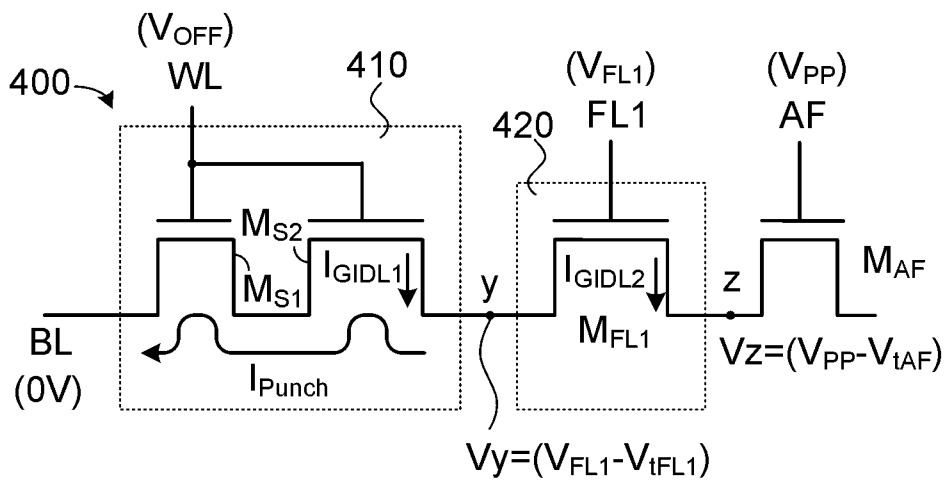
第3C圖



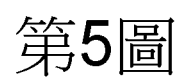
第4A圖

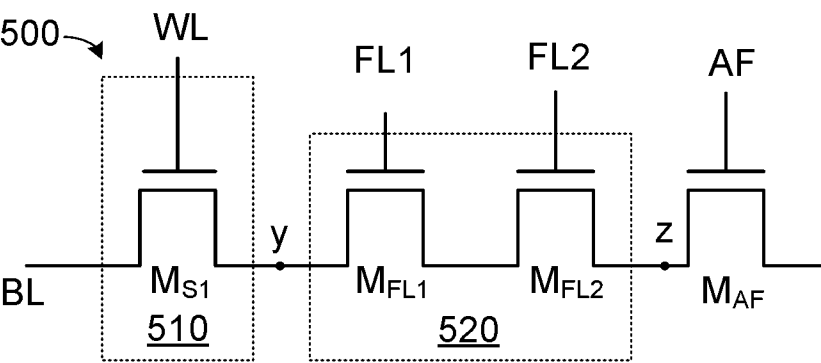


第4B圖

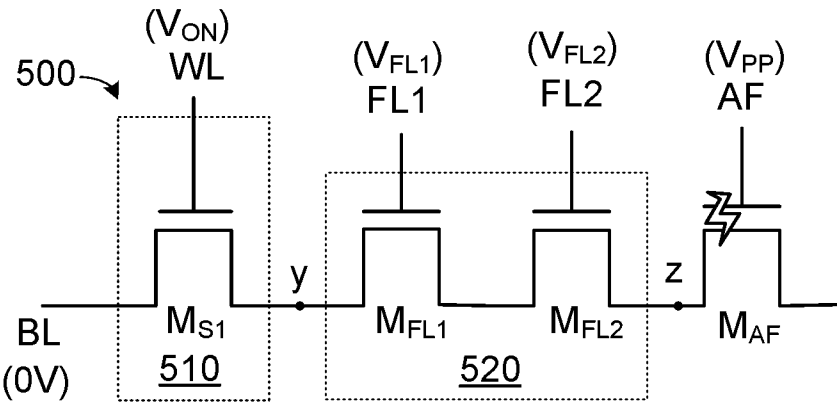


第4C圖

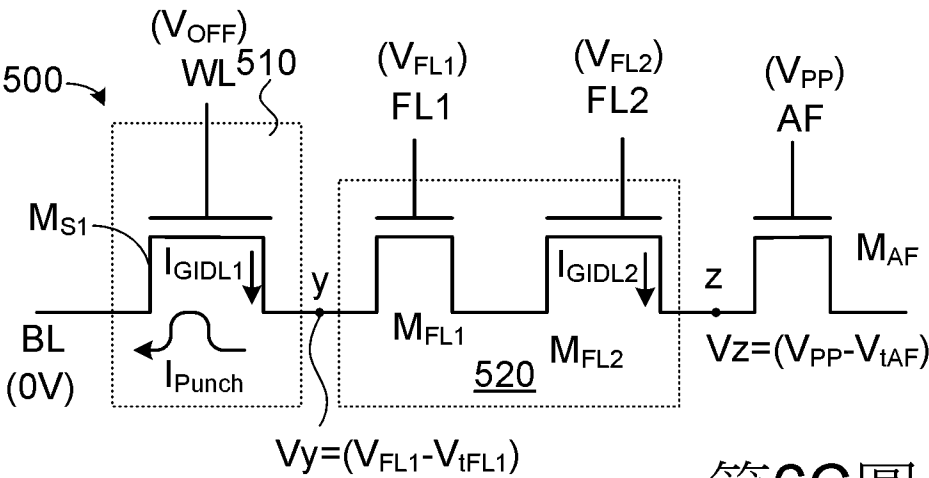




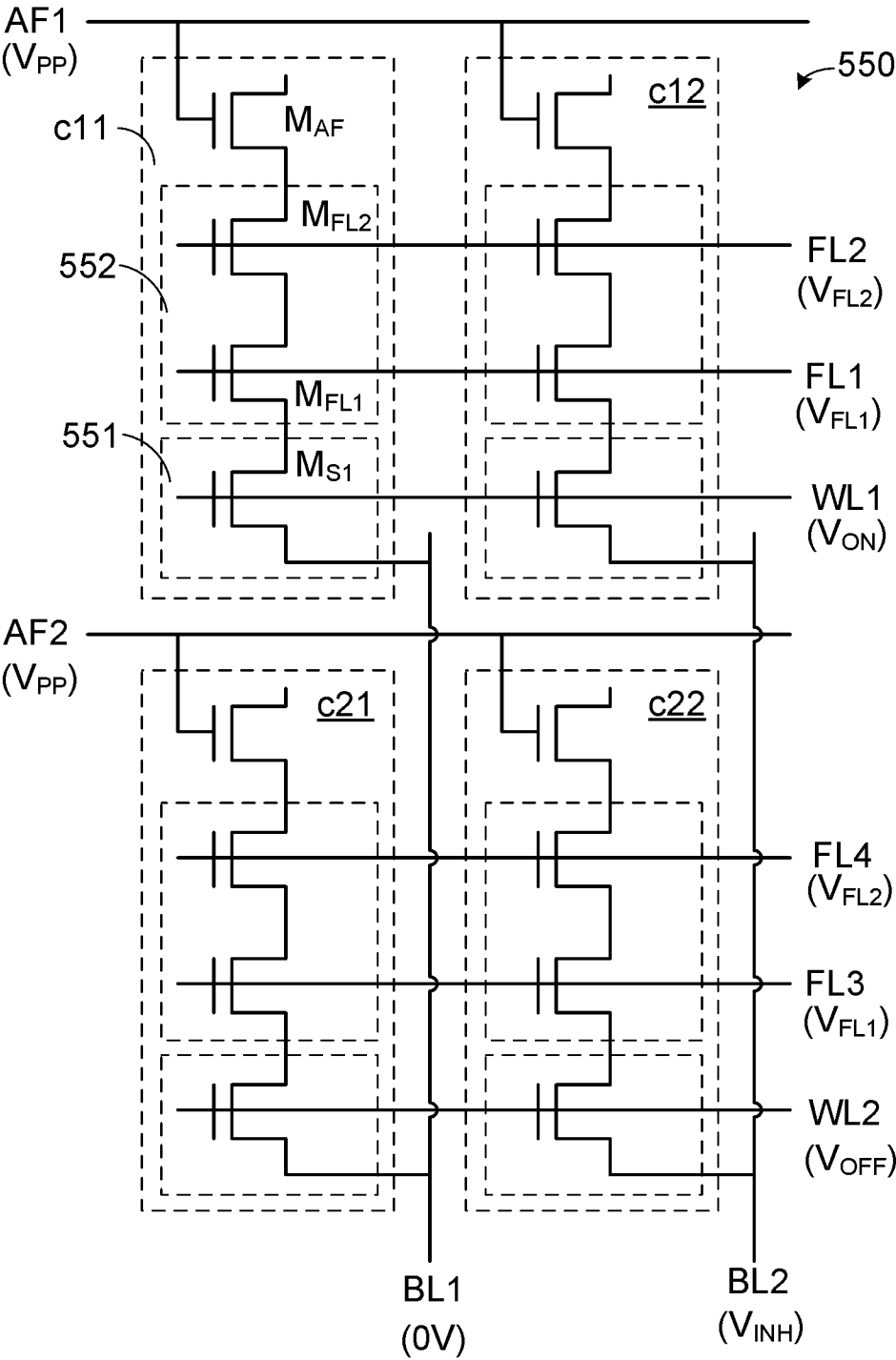
第6A圖



第6B圖



第6C圖



第7圖