

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4722221号
(P4722221)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int.Cl.

G O 1 R 31/28 (2006.01)

F 1

G O 1 R 31/28

H

請求項の数 12 (全 17 頁)

(21) 出願番号 特願2010-194111 (P2010-194111)
 (22) 出願日 平成22年8月31日 (2010.8.31)
 (65) 公開番号 特開2011-59109 (P2011-59109A)
 (43) 公開日 平成23年3月24日 (2011.3.24)
 審査請求日 平成22年8月31日 (2010.8.31)
 (31) 優先権主張番号 12/557, 478
 (32) 優先日 平成21年9月10日 (2009.9.10)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 岩本 敏
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 谷塚 浩一
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内

審査官 菅藤 政明

最終頁に続く

(54) 【発明の名称】試験装置、同期モジュールおよび同期方法

(57) 【特許請求の範囲】

【請求項 1】

被試験デバイスを試験する試験装置であって、
 前記被試験デバイスを試験する複数の試験モジュールと、
 前記複数の試験モジュールのそれぞれに第1通信経路を介して接続されて、前記複数の
 試験モジュールを同期させる同期モジュールと、
 前記複数の試験モジュールおよび前記同期モジュールに第2通信経路を介して接続され
 て、前記複数の試験モジュールおよび前記同期モジュールを制御する試験制御部と、
 を備え、

前記同期モジュールは、 10

前記複数の試験モジュールのそれぞれから、試験モジュールの状態を示す状態信号を受
 信する受信部と、

前記受信部が受信した各状態信号を集約して集約状態信号を生成する集約部と、
 前記集約状態信号に応じた動作を指示する制御信号を前記複数の試験モジュールに対し
 て送信する送信部とを有し、

前記試験モジュールは、
 パケットを前記被試験デバイスに送信する送信側ブロックと、
 前記被試験デバイスからパケットを受信する受信側ブロックとを有し、
 前記送信側ブロックは、前記受信側ブロックから、前記送信側ブロックで生成した試験
 データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの 20

試験データ列を生成し送信する、

試験装置。

【請求項 2】

被試験デバイスを試験する試験装置であって、

前記被試験デバイスを試験する複数の試験モジュールと、

前記複数の試験モジュールのそれぞれに第1通信経路を介して接続されて、前記複数の試験モジュールを同期させる同期モジュールと、

前記複数の試験モジュールおよび前記同期モジュールに第2通信経路を介して接続されて、前記複数の試験モジュールおよび前記同期モジュールを制御する試験制御部と、

を備え、

前記同期モジュールは、

前記複数の試験モジュールのそれぞれから、試験モジュールの状態を示す状態信号を受信する受信部と、

前記受信部が受信した各状態信号を集約して集約状態信号を生成する集約部と、

前記集約状態信号に応じた動作を指示する制御信号を前記複数の試験モジュールに対して送信する送信部とを有し、

前記試験モジュールは、

パケットを前記被試験デバイスに送信する送信側ブロックと、

前記被試験デバイスからパケットを受信する受信側ブロックとを有し、

前記送信側ブロックは、前記受信側ブロックが受信したパケットに含まれる受信データに応じた値を、送信するパケットの試験データ列中に含める、

試験装置。

【請求項 3】

前記試験モジュールは、

試験プログラムに含まれる演算式を処理する演算処理部と、

前記試験プログラムの実行フローに基づいて、対応付けられた送信側ブロックおよび受信側ブロックのそれぞれに対して、実行すべきパケットリストの順序を指定するフロー制御部とを更に有する、

請求項 1 または 2 に記載の試験装置。

【請求項 4】

前記受信部は、前記複数の試験モジュールのそれぞれから、当該試験モジュールがレディ状態となったことを示すレディ信号を受信し、

前記集約部は、前記複数の試験モジュールの全てから前記レディ信号を受信したことを条件として、前記複数の試験モジュールがレディ状態となったことを示す集約レディ信号を生成し、

前記送信部は、集約レディ信号が生成されたことに応じて、試験開始を指示する試験開始信号を前記複数の試験モジュールのそれぞれに対して送信する

請求項 1 から 3 のいずれか 1 項に記載の試験装置。

【請求項 5】

前記受信部は、前記複数の試験モジュールのそれぞれから、当該試験モジュールにおいて試験のフェイルが発生したことを示すフェイル信号を受信し、

前記集約部は、前記複数の試験モジュールのうちの少なくとも 1 つの試験モジュールから前記フェイル信号を受信したことを条件として、試験がフェイルしたこと示す集約フェイル信号を生成し、

前記送信部は、集約フェイル信号が生成されたことに応じて、試験の停止を指示する試験停止信号を前記複数の試験モジュールのそれぞれに対して送信する

請求項 1 から 4 のいずれか 1 項に記載の試験装置。

【請求項 6】

前記送信部は、前記複数の試験モジュールのそれぞれが有する制御用レジスタに対する書き込みを指示する前記制御信号を送信する請求項 1 から 5 の何れか 1 項に記載の試験装

10

20

30

40

50

置。

【請求項 7】

前記送信部は、少なくとも 1 つの試験モジュールに対して、当該試験モジュールの状態を示す状態レジスタの読出を指示する読出要求を送信し、

前記受信部は、前記少なくとも 1 つの試験モジュールから、前記読出要求に対する読出応答として前記状態信号を受信する

請求項 6 に記載の試験装置。

【請求項 8】

前記同期モジュールは、プロセッサおよびメモリを含み、前記メモリに格納された同期用プログラムを実行する同期制御部を有し、

10

前記同期制御部は、予め設定された集約状態信号に応じた同期用プログラムを実行して、実行結果に応じた動作を指示する制御信号を前記送信部により前記複数の試験モジュールへと送信させる

請求項 1 から 7 の何れか 1 項に記載の試験装置。

【請求項 9】

前記集約部は、予め設定された集約状態信号を生成したことに応じて、前記同期制御部に割り込み、

割り込みを受けた前記同期制御部は、割り込みの要因となった集約状態信号に応じた同期用プログラムを実行する

請求項 8 に記載の試験装置。

20

【請求項 10】

請求項 1 から 9 の何れか 1 項に記載の試験装置に備えられる同期モジュール。

【請求項 11】

被試験デバイスを試験する試験装置の同期方法であって、

前記試験装置は、

前記被試験デバイスを試験する複数の試験モジュールと、

前記複数の試験モジュールのそれぞれに第 1 通信経路を介して接続されて、前記複数の試験モジュールを同期させる同期モジュールと、

前記複数の試験モジュールおよび前記同期モジュールに第 2 通信経路を介して接続されて、前記複数の試験モジュールおよび前記同期モジュールを制御する試験制御部と、

30

を備え、

前記同期モジュールが、前記複数の試験モジュールのそれぞれから、試験モジュールの状態を示す状態信号を受信し、

前記同期モジュールが、受信された各状態信号を集約して集約状態信号を生成し、

前記同期モジュールが、前記集約状態信号に応じた動作を指示する制御信号を前記複数の試験モジュールに対して送信し、

前記試験モジュールは、

パケットを前記被試験デバイスに送信する送信側ブロックと、

前記被試験デバイスからパケットを受信する受信側ブロックとを有し、

前記送信側ブロックは、前記受信側ブロックから、前記送信側ブロックで生成した試験データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの試験データ列を生成し送信する、

40

同期方法。

【請求項 12】

被試験デバイスを試験する試験装置の同期方法であって、

前記試験装置は、

前記被試験デバイスを試験する複数の試験モジュールと、

前記複数の試験モジュールのそれぞれに第 1 通信経路を介して接続されて、前記複数の試験モジュールを同期させる同期モジュールと、

前記複数の試験モジュールおよび前記同期モジュールに第 2 通信経路を介して接続され

50

て、前記複数の試験モジュールおよび前記同期モジュールを制御する試験制御部と、
を備え、

前記同期モジュールが、前記複数の試験モジュールのそれぞれから、試験モジュールの
状態を示す状態信号を受信し、

前記同期モジュールが、受信された各状態信号を集約して集約状態信号を生成し、

前記同期モジュールが、前記集約状態信号に応じた動作を指示する制御信号を前記複数
の試験モジュールに対して送信し、

前記試験モジュールは、

パケットを前記被試験デバイスに送信する送信側ブロックと、

前記被試験デバイスからパケットを受信する受信側ブロックとを有し、

10

前記送信側ブロックは、前記受信側ブロックが受信したパケットに含まれる受信データ
に応じた値を、送信するパケットの試験データ列中に含める、

同期方法。

【発明の詳細な説明】

【技術分野】

【0001】

試験装置、同期モジュールおよび同期方法に関する。

【背景技術】

【0002】

半導体チップ等の被試験デバイスを試験する装置として、複数の試験回路を備える試験
装置が知られている（例えば、特許文献1および2参照）。この場合、複数の試験回路は
、同期して動作することが好ましい。

20

【0003】

特許文献1 国際公開第2003/062843号パンフレット

特許文献2 特開2007-52028号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

試験装置に備わる複数の試験回路は、予め与えられるプログラム、シーケンス等に応じ
て動作する。試験装置は、これらのプログラム等の実行を、同期して開始することで、そ
れぞれの試験回路を同期して動作させている。

30

【0005】

しかし、多様な試験を実行する場合、各試験回路におけるプログラムの実行開始のタイ
ミングを同期させるだけでは十分でない場合がある。例えばプログラムの実行中に、所定
の試験回路の全てが待ち状態となったことを条件として、次のステップを同期して実行し
たい場合も考えられる。

【0006】

このとき、各試験回路において、待ち状態となるまでに実行すべきプログラムの実行時
間が同一となるように、各プログラムを設計すれば、プログラムの実行開始のタイミング
を同期させることで、それ以降の試験を同期して実行することもできる。しかし、このよ
うなプログラムを設計することは、手間がかかってしまう。

40

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の第1の態様においては、被試験デバイスを試験
する試験装置であって、前記被試験デバイスを試験する複数の試験モジュールと、前記複
数の試験モジュールのそれぞれに接続されて、前記複数の試験モジュールを同期させる同
期モジュールと、前記複数の試験モジュールおよび前記同期モジュールに接続されて、前
記複数の試験モジュールおよび前記同期モジュールを制御する試験制御部と、を備え、前
記同期モジュールは、前記複数の試験モジュールのそれぞれから、当該試験モジュールの
状態を示す状態信号を受信する受信部と、前記受信部が受信した各状態信号を集約して集

50

約状態信号を生成する集約部と、前記集約状態信号に応じた動作を指示する制御信号を前記複数の試験モジュールに対して送信する送信部と、を有する試験装置を提供する。また、この試験装置に関連する同期モジュールおよび同期方法を提供する。

【0008】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態に係る試験装置100の構成を被試験デバイス10とともに示す。10

【図2】図2は、本実施形態に係る同期モジュール150の機能構成を示す。

【図3】図3は、本実施形態に係る同期モジュール150の処理フローの第1例を示す。

【図4】図4は、本実施形態に係る同期モジュール150の処理フローの第2例を示す。

【図5】図5は、本実施形態に係る同期モジュール150の処理フローの第3例を示す。

【図6】図6は、本実施形態に係る試験モジュール160の構成の一例を示す。

【図7】図7は、本実施形態に係る送信側ブロック12および受信側ブロック14の構成の一例を示す。

【発明を実施するための形態】

【0010】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。20

【0011】

図1は、本実施形態に係る試験装置100の構成を被試験デバイス(DUT)10とともに示す。試験装置100は、被試験デバイス10を試験する。試験装置100は、システム制御部110と、ハブ120と、試験制御部130と、バス140と、同期モジュール150と、複数の試験モジュール160とを備える。

【0012】

システム制御部110は、当該試験装置100の全体を制御する。ハブ120は、システム制御部110と試験制御部130との間の通信を中継する。ハブ120は、一例として、汎用のまたは専用の高速シリアルバス等であってよい。30

【0013】

試験制御部130は、複数の試験モジュール160および同期モジュール150に接続されて、複数の試験モジュール160および同期モジュール150を制御する。より具体的には、試験制御部130は、システム制御部110から与えられる制御命令および試験プログラム等に応じて、同期モジュール150および試験モジュール160を制御して、被試験デバイス10の試験を実行させる。バス140は、試験制御部130と、同期モジュール150および試験モジュール160との間を電気的に接続する。

【0014】

同期モジュール150は、複数の試験モジュール160のそれぞれに接続されて、複数の試験モジュール160を同期させる。同期モジュール150は、一例として、複数の試験モジュール160の全てが予め設定された状態となったことに応じて、複数の試験モジュール160のそれぞれに予め設定された動作を指示する制御信号を送信する。また、同期モジュール150は、一例として、複数の試験モジュール160のうち少なくとも1つが予め設定された状態となったことに応じて、複数の試験モジュール160のそれぞれに予め設定された動作を指示する制御信号を送信する。40

【0015】

また、同期モジュール150は、一例として、複数の試験モジュール160の全てが予め設定された状態になったことまたは複数の試験モジュール160のうち少なくとも1つの試験モジュール160が予め設定された状態になったことに応じて、予め定められたブ50

ログラムを実行する。そして、同期モジュール150は、プログラムの実行結果に応じた動作を指示する制御信号を、複数の試験モジュール160のそれぞれに送信する。

【0016】

複数の試験モジュール160のそれぞれは、試験プログラムを実行するプロセッサまたはシーケンサ等を有する。複数の試験モジュール160のそれぞれは、試験プログラムにより指定される信号を被試験デバイス10と送受信して、被試験デバイス10を試験する。複数の試験モジュール160のそれぞれは、一例として、被試験デバイス10との間でパケットを通信して、被試験デバイス10を試験してもよい。

【0017】

また、複数の試験モジュール160のそれぞれは、試験において予め設定された状態になったことに応じて、当該予め設定された状態となったことを示す状態信号を同期モジュール150へ送信する。また、複数の試験モジュール160のそれぞれは、動作を指示する制御信号を同期モジュール150から受信したことに応じて、当該制御信号に示された動作を実行する。

【0018】

同期モジュール150および複数の試験モジュール160は、試験装置100のテストヘッド内に装填される基板であってよい。また、同期モジュール150と複数の試験モジュール160のそれとの間は、ケーブルにより接続されてもよいし、被試験デバイス10が装着されるパフォーマンスボードに形成された配線により接続されてもよい。

【0019】

図2は、本実施形態に係る同期モジュール150の機能構成を示す。同期モジュール150は、受信部210と、集約部220と、送信部230と、同期制御部240とを有する。

【0020】

受信部210は、複数の試験モジュール160のそれから、当該試験モジュール160の状態を示す状態信号を受信する。受信部210は、一例として、状態信号として、当該試験モジュール160の状態を示すコマンドを受信する。

【0021】

集約部220は、受信部210が受信した各状態信号を集約して集約状態信号を生成する。集約部220は、一例として、受信部210が複数の試験モジュール160の全てから予め設定された状態信号を受信したことを条件として、集約状態信号を生成する。また、集約部220は、一例として、受信部210が複数の試験モジュール160のうちの何れか1つの試験モジュール160から予め設定された状態信号を受信したことを条件として、集約状態信号を生成する。

【0022】

また、集約部220は、一例として、状態信号に示された状態毎に集約状態信号を生成する。集約部220は、一例として、コマンドに示された内容毎に、集約状態信号を生成する。

【0023】

また、集約部220は、予め設定された集約状態信号を生成したことに応じて、同期制御部240に割り込む。集約部220は、一例として、予め設定された内容のコマンドに対応する集約状態信号を生成したことに応じて、同期制御部240に割込信号を与える。

【0024】

送信部230は、集約部220により集約状態信号が生成されたことに応じて、集約状態信号に応じた動作を指示する制御信号を複数の試験モジュール160に対して送信する。送信部230は、一例として、複数の試験モジュール160に対して、予め設定された動作の開始を指示する制御信号を送信する。また、送信部230は、一例として、複数の試験モジュール160に対して、予め設定された動作の停止を指示する制御信号を送信する。

【0025】

10

20

30

40

50

同期制御部 240 は、プロセッサおよびメモリを含む。同期制御部 240 は、予め設定された集約状態信号を生成したことに応じて集約部 220 から割り込みを受ける。割り込みを受けた同期制御部 240 のプロセッサは、メモリに格納された、割り込みの要因となつた集約状態信号に応じた同期用プログラムを読み出して、実行する。そして、同期制御部 240 は、実行結果に応じた動作を指示する制御信号を送信部 230 により複数の試験モジュール 160 へと送信させる。

【0026】

以上のような同期モジュール 150 は、複数の試験モジュール 160 のそれぞれの状態に応じて、複数の試験モジュール 160 のそれぞれに制御信号を送信するので、複数の試験モジュール 160 を同期させることができる。例えば、同期モジュール 150 は、複数の試験モジュール 160 の全てが予め設定された状態となつたことを条件に、複数の試験モジュール 160 に対して予め設定した動作を開始させたり、複数の試験モジュール 160 の動作を停止させたりすることができる。10

【0027】

また、例えば、同期モジュール 150 は、何れか 1 つの試験モジュール 160 が予め設定された状態となつたことを条件に、複数の試験モジュール 160 に対して予め設定された動作を開始させたり、複数の試験モジュール 160 の動作を停止させたりすることができる。また、例えば、同期モジュール 150 は、複数の試験モジュール 160 の全てが所定の状態となつたことまたは何れか 1 つの試験モジュール 160 が所定の状態となつたことを条件に、設定された同期用プログラムを実行することもできる。20

【0028】

また、同期モジュール 150 は、複数の試験モジュール 160 をグループ毎に分割し、分割したグループ毎に同期制御を行ってもよい。

【0029】

また、同期モジュール 150 の送信部 230 は、一例として、複数の試験モジュール 160 のそれぞれが有する制御用レジスタに対する書き込みを指示する制御信号を送信してもよい。これにより、同期モジュール 150 は、試験モジュール 160 内のプロセッサに対して制御信号を与えることができる。

【0030】

また、同期モジュール 150 の送信部 230 は、一例として、少なくとも 1 つの試験モジュール 160 に対して、当該試験モジュール 160 の状態を示す状態レジスタの読出を指示する読出要求を送信してもよい。そして、同期モジュール 150 の受信部 210 は、少なくとも 1 つの試験モジュール 160 から、読出要求に対する読出応答として状態信号を受信してもよい。これにより、同期モジュール 150 は、試験モジュール 160 内のプロセッサから状態信号を受け取ることができる。30

【0031】

図 3 は、本実施形態に係る同期モジュール 150 の処理フローの第 1 例を示す。複数の試験モジュール 160 のそれぞれは、一例として、動作開始の準備が完了した状態（レディー状態）となつたことに応じて、当該試験モジュール 160 がレディ状態となつたことを示すレディ信号を状態信号の 1 つとして同期モジュール 150 に送信する。40

【0032】

この場合、同期モジュール 150 の受信部 210 は、複数の試験モジュール 160 のそれぞれからレディ信号を受信する。受信部 210 がレディ信号を受信すると、まず、集約部 220 は、複数の試験モジュール 160 の全てからレディ信号を受信したか否かを判断する（S11）。集約部 220 は、複数の試験モジュール 160 の全てからレディ信号を受信していない場合には（S11 の N o）、受信部 210 が次のレディ信号を受信するまで、ステップ S11 において処理を待機する。

【0033】

集約部 220 は、複数の試験モジュール 160 の全てからレディ信号を受信したことと条件として（S12 の Y e s）、複数の試験モジュール 160 がレディ状態となつたこと50

を示す集約レディ信号を、集約状態信号の1つとして生成する(S12)。続いて、送信部230は、集約レディ信号が生成されたことに応じて、試験開始を指示する試験開始信号を複数の試験モジュール160のそれぞれに対して送信する(S13)。

【0034】

そして、複数の試験モジュール160のそれぞれは、同期モジュール150から試験開始信号を受信すると、予め設定された試験を開始する。例えば、複数の試験モジュール160のそれぞれは、同期モジュール150から試験開始信号を受信すると、予め設定されたパターンまたはパケットを被試験デバイス10に送信する。これにより、試験装置100は、試験プログラムによって複雑なタイミング制御をすることなく、複数の試験モジュール160による試験を同期して開始させることができる。10

【0035】

図4は、本実施形態に係る同期モジュール150の処理フローの第2例を示す。複数の試験モジュール160のそれぞれは、一例として、試験においてフェイルが発生したことに応じて、当該試験モジュール160において試験のフェイルが発生したことを示すフェイル信号を状態信号の1つとして同期モジュール150に送信する。

【0036】

この場合、同期モジュール150の受信部210は、複数の試験モジュール160のそれからフェイル信号を受信する。まず、集約部220は、複数の試験モジュール160のうちの少なくとも1つの試験モジュール160からフェイル信号を受信したか否かを判断する(S21)。集約部220は、複数の試験モジュール160の何れの試験モジュール160からもフェイル信号を受信していない場合には(S21のNo)、ステップS21において処理を待機する。20

【0037】

集約部220は、複数の試験モジュール160の少なくとも1つからフェイル信号を受信したことを条件として(S22のYes)、試験がフェイルしたことを示す集約フェイル信号を、集約状態信号の1つとして生成する(S22)。続いて、送信部230は、集約フェイル信号が生成されたことに応じて、試験の停止を指示する試験停止信号を複数の試験モジュール160のそれぞれに対して送信する(S23)。

【0038】

そして、複数の試験モジュール160のそれぞれは、同期モジュール150から試験停止信号を受信すると、実行中の試験を停止する。これにより、試験装置100は、試験プログラムによって複雑なタイミング制御をすることなく、複数の試験モジュール160による試験を同期して停止させることができる。30

【0039】

図5は、本実施形態に係る同期モジュール150の処理フローの第3例を示す。複数の試験モジュール160のそれぞれは、一例として、予め設定された所定の状態となったことに応じて、当該所定の状態となったことを示す状態信号を同期モジュール150に送信する。

【0040】

同期モジュール150の受信部210は、複数の試験モジュール160のそれから予め設定された状態信号を受信する。まず、集約部220は、複数の試験モジュール160の全てまたは少なくとも1つから、予め設定された状態信号を受信したか否かを判断する(S31)。集約部220は、複数の試験モジュール160の全てまたは少なくとも1つから、予め設定された状態信号を受信していない場合には(S31のNo)、ステップS31において処理を待機する。40

【0041】

集約部220は、複数の試験モジュール160の全てまたは少なくとも1つから、予め設定された状態信号を受信したことを条件として(S32のYes)、予め設定された状態信号を集約した集約状態信号を生成する(S32)。続いて、集約部220は、予め設定された集約状態信号が生成されたことに応じて、同期制御部240に割込信号を与える50

。

【0042】

同期制御部240は、割込信号を受けると、予め設定された集約状態信号に応じた同期プログラムを実行する(S33)。そして、同期制御部240は、同期プログラムの実行結果に応じた動作の指示を示す制御信号を、複数の試験モジュール160のそれぞれに対して送信する(S34)。

【0043】

そして、複数の試験モジュール160のそれぞれは、同期モジュール150から制御信号を受信すると、当該制御信号に示された動作を行う。これにより、試験装置100は、複雑なタイミング制御をすることなく、共通のプログラムを同期して実行することができる。10

【0044】

図6は、本実施形態に係る試験モジュール160の構成の一例を示す。試験モジュール160は、試験プログラムに従って被試験デバイス10との間でパケットを通信して、被試験デバイス10を試験する。

【0045】

試験モジュール160は、一例として、複数の送信側ブロック12と、複数の受信側ブロック14と、演算処理部16と、複数のフロー制御部18とを備える。本例においては、試験モジュール160は、128個の送信側ブロック12と、128個の受信側ブロック14と、1個の演算処理部16と、8個のフロー制御部18とを備える。20

【0046】

複数の送信側ブロック12のそれぞれおよび複数の受信側ブロック14のそれぞれは、被試験デバイス10の何れかの端子と接続される。複数の送信側ブロック12のそれぞれは、何れか一の受信側ブロック14と対応付けられる。互いに対応付けられた送信側ブロック12および受信側ブロック14のそれぞれは、複数のフロー制御部18のうちの何れかに対応する。本例においては、8個のフロー制御部18のそれぞれには、互いに対応付けられた8個の送信側ブロック12および8個の受信側ブロック14が対応付けられる。

【0047】

一対の送信側ブロック12および受信側ブロック14は、被試験デバイス10との間で通信する一連のパケットを含む複数のパケットリストを記憶する。そして、一対の送信側ブロック12および受信側ブロック14は、対応するフロー制御部18により指定されたパケットリストに含まれる一連のパケットを、被試験デバイス10との間で順次に通信する。30

【0048】

演算処理部16は、試験プログラムに含まれる演算式を処理する。演算処理部16は、一例として、複数のフロー制御部18のそれから演算式の引数を受け取り、受け取った引数に基づき演算式を演算し、演算結果を対応するフロー制御部18に与える。

【0049】

フロー制御部18は、試験プログラムの実行フローに基づいて、対応付けられた送信側ブロック12および受信側ブロック14のそれぞれに対して、実行すべきパケットリストの順序を指定する。フロー制御部18は、一例として、試験プログラム中における、分岐命令およびサブルーチン呼出命令等を実行し、これらの命令の実行結果に応じて、対応する送信側ブロック12および受信側ブロック14に対して次に実行すべきパケットリストを指定する。40

【0050】

また、フロー制御部18は、一例として、対応する送信側ブロック12および受信側ブロック14から被試験デバイス10との間の通信結果を受け取り、受け取った通信結果を演算式の引数として演算処理部16へ転送する。また、フロー制御部18は、演算処理部16から演算式の演算結果を受け取り、受け取った演算結果に応じて、対応する送信側ブロック12および受信側ブロック14に対して次に実行すべきパケットリストを指定する50

。

【0051】

このような試験装置100は、上位側の演算処理部16に試験プログラム中の演算式を実行させ、下位側のフロー制御部18、送信側ブロック12および受信側ブロック14にフロー制御を実行させる。これにより、試験装置100によれば、上位側の演算処理部16を演算能力の高いプロセッサにより実現して変数を集中管理させ、下位側のフロー制御部18、送信側ブロック12および受信側ブロック14を動作周波数の高いプロセッサまたはシーケンサにより実現して、全体として効率の良いシステムを構築することができる。

【0052】

また、このような試験装置100は、被試験デバイス10との間で同一のパケットを複数回通信する場合、共通のデータを複数回指定してデータ列を生成することができる。これにより、被試験デバイス10によれば、内部に格納するデータ量を小さくすることができます。

【0053】

図7は、本実施形態に係る送信側ブロック12および受信側ブロック14の構成の一例を示す。送信側ブロック12は、パケットリストにより指定された順序でパケットを被試験デバイス10に送信する。受信側ブロック14は、被試験デバイス10からパケットを受信して、パケットリストに指定されたパケットと受信したパケットと比較して、被試験デバイス10の良否を判定する。

【0054】

まず、送信側ブロック12について説明する。送信側ブロック12は、パケットリスト記憶部20と、パケットリスト処理部22と、パケット命令列記憶部24と、パケットデータ列記憶部26と、下位シーケンサ28と、データ処理部32と、データ変換部34と、送信部36とを含む。パケットリスト記憶部20は、供給された複数のパケットリストを記憶する。

【0055】

パケットリスト処理部22は、パケットリスト記憶部20に記憶された複数のパケットリストのうちフロー制御部18により指定されたパケットリストを実行して、被試験デバイス10と通信する各パケットを順次指定する。パケットリスト処理部22は、一例として、フロー制御部18から受信したアドレスからパケットリストを実行して、被試験デバイス10に送信するパケットを順次指定する。

【0056】

パケットリスト処理部22は、一例として、指定したパケットを発生するための命令列が記憶されたパケット命令列記憶部24上のアドレスを指定する。更に、パケットリスト処理部22は、一例として、被試験デバイス10との間で通信するパケットについて、パケットデータ列記憶部26内における当該パケットに含まれるデータ列のアドレス（例えばデータ列の先頭アドレス）を指定する。

【0057】

このようにパケットリスト処理部22は、パケットを発生させるための命令列のアドレスと、当該パケットに含まれるデータ列のアドレスを個別に指定する。なお、この場合において、パケットリスト中において、2以上のパケットに対して共通する命令列またはデータ列が指定されている場合に、パケットリスト処理部22は、当該2以上のパケットについて同一の命令列のアドレスまたは同一のデータ列のアドレスを指定してもよい。

【0058】

パケット命令列記憶部24は、複数種類のパケットのそれぞれを発生するための命令列を、パケットの種類毎に記憶する。パケット命令列記憶部24は、一例として、ライトパケットを発生するための命令列、リードパケットを発生するための命令列、および、アイドルパケットを発生するための命令列等を記憶する。

【0059】

10

20

30

40

50

パケットデータ列記憶部26は、複数種類のパケットのそれぞれに含まれるデータ列を、パケットの種類毎に記憶する。パケットデータ列記憶部26は、一例として、ライトパケットに含まれるデータ列、リードパケットに含まれるデータ列、および、アイドルパケットに含まれるデータ列等を含んでよい。また、パケットデータ列記憶部26は、一例として、パケット毎に変更される個別データ、および、パケットの種類毎に共通の共通データを別個の記憶領域に区別して記憶してもよい。

【0060】

更に、送信側のパケットデータ列記憶部26は、受信側ブロック14内のデータ変換部34から、受信側ブロック14内の受信部82が受信したパケットに含まれる受信データを受け取る。そして、送信側のパケットデータ列記憶部26は、受信側ブロック14内の受信部82が受信したパケットに含まれる受信データを記憶する。
10

【0061】

下位シーケンサ28は、パケットリスト処理部22により指定されたパケットの命令列、即ち、パケットリスト処理部22によりアドレスが指定された命令列をパケット命令列記憶部24から読み出して、読み出した命令列に含まれる各命令を順次に実行する。更に、下位シーケンサ28は、パケットリスト処理部22により指定されたパケットのデータ列、即ち、パケットリスト処理部22によりアドレスが指定されたデータ列を、命令列の実行に従って順次にパケットデータ列記憶部26から出力させて、被試験デバイス10との間の試験に用いる試験データ列を生成する。

【0062】

また、下位シーケンサ28は、命令の実行毎に、読み出した個別データおよび共通データに対して指定した処理（演算またはデータ変換）を施すことを指示する制御データをデータ処理部32およびデータ変換部34に与える。これにより、下位シーケンサ28は、パケットリスト処理部22により指定されたパケット中における、指定されたデータ部分を、読み出したデータに対して指定した処理を施したデータとすることができます。
20

【0063】

また、下位シーケンサ28は、パケットリスト処理部22により指定されたパケットの命令列の実行が完了したことに応じて、終了通知をパケットリスト処理部22に与えてよい。これにより、パケットリスト処理部22は、下位シーケンサ28による命令列の実行の進行に応じて、順次にパケットを指定することができる。
30

【0064】

また、送信側ブロック12が有する送信側の下位シーケンサ28は、送信部36に対して、被試験デバイス10に対して送信する信号のエッジタイミングを指定する。下位シーケンサ28は、一例として、送信部36に対してタイミング信号を与えて、パケット毎にエッジタイミングを制御する。

【0065】

また、送信側の下位シーケンサ28は、受信側ブロック14が有する受信側の下位シーケンサ28と通信を行う。これにより、送信側の下位シーケンサ28は、受信側の下位シーケンサ28とハンドシェイクを行って、受信側の下位シーケンサ28と同期して命令列を実行することができる。
40

【0066】

送信側の下位シーケンサ28は、一例として、予め指定されたパケットの試験データ列を被試験デバイス10に送信することを受信側の下位シーケンサ28に通知する。これにより、送信側の下位シーケンサ28は、受信側の下位シーケンサ28に、送信側の下位シーケンサ28からの通知を受けるまでの間、受信したデータ列の良否判定を禁止させることができる。

【0067】

また、送信側の下位シーケンサ28は、一例として、受信側の下位シーケンサ28から、生成した試験データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの試験データ列を生成する。これにより、送信側の下位シーケンサ28は、
50

所定のパケットを被試験デバイス10から受信した後に、予め指定されたパケットを被試験デバイス10に送信することができる。

【0068】

データ処理部32は、パケットデータ列記憶部26からパケットリスト処理部22により指定されたパケットのデータ列を読み出して、被試験デバイス10の試験に用いる試験データ列を生成する。この場合において、送信側のデータ処理部32は、被試験デバイス10に対して送信するパケットに応じた試験データ列中に、受信側ブロック14内の受信部82が受信したパケットに含まれる受信データに応じた値を含めてよい。

【0069】

例えば、送信側のデータ処理部32は、送信側のパケットデータ列記憶部26からデータを読み出して、被試験デバイス10に対して送信するパケットのデータ列における予め指定された部分を受信データに応じた値（例えば受信データそのままの値または受信データに何らかの処理を施した値）とした試験データ列を生成する。このような送信側のデータ処理部32は、被試験デバイス10から受信したパケットに含まれていた受信データに応じた値を、パケットに含めて送信することができる。10

【0070】

データ変換部34は、下位シーケンサ28から指定されたタイミングにおいて、データ処理部32から出力した試験データ列をデータ変換する。データ変換部34は、一例として、試験データ列に対して予め設定されたテーブル等により8b-10b変換等を行う。更に、データ変換部34は、一例として、試験データ列に対してスクランブル処理を行つてもよい。そして、データ変換部34は、変換したデータ列を出力する。20

【0071】

送信部36は、データ変換部34が生成した試験データ列を、被試験デバイス10に対して送信する。

【0072】

つぎに、受信側ブロック14について説明する。受信側ブロック14は、送信側ブロック12と略同一の構成および機能を有するので、受信側ブロック14については、送信側ブロック12の相違点について説明をする。

【0073】

受信側ブロック14は、パケットリスト記憶部20と、パケットリスト処理部22と、パケット命令列記憶部24と、パケットデータ列記憶部26と、下位シーケンサ28と、データ処理部32と、データ変換部34と、受信部82と、判定部84とを含む。受信部82は、被試験デバイス10からパケットのデータ列を受信する。30

【0074】

受信側のデータ変換部34は、受信側の下位シーケンサ28から指定されたタイミングにおいて、受信部82により受信されたデータ列をデータ変換する。受信側のデータ変換部34は、一例として、受信したデータ列に対して予め設定されたテーブル等により8b-10b変換等を行う。更に、受信側のデータ変換部34は、一例として、受信したデータ列に対してデスクランブル処理を行つてもよい。

【0075】

そして、受信側のデータ変換部34は、変換したデータ列を判定部84へ供給する。また、受信側のデータ変換部34は、変換したデータ列を、受信側のパケットデータ列記憶部26または送信側のパケットデータ列記憶部26の少なくとも一方に供給してもよい。

【0076】

受信側のパケットリスト処理部22は、フロー制御部18により指定されたパケットリストを実行して、被試験デバイス10から受信されると期待されるパケットを順次指定する。また、受信側のデータ処理部32は、生成した試験データ列を判定部84に供給する。

【0077】

受信側の下位シーケンサ28は、被試験デバイス10から出力が期待されるパケットの50

データ列を、試験データ列として受信側のパケットデータ列記憶部26から出力させる。また、受信側の下位シーケンサ28は、受信部82に対して、被試験デバイス10から出力された信号のデータ値を取り込むストローブタイミングを指定する。

【0078】

判定部84は、受信側のデータ処理部32から試験データ列を受け取るとともに、受信側のデータ変換部34から受信したデータ列を受け取る。判定部84は、受信したデータ列を試験データ列と比較した結果に基づいて、被試験デバイス10との間の通信の良否を判定する。判定部84は、一例として、受信部82が受信したデータ列と試験データ列とが一致するか否かを比較する論理比較部と、比較結果を記憶するフェイルメモリとを含む。また、判定部84は、一例として、受信部82が受信したデータ列が指定されたデータ列と一致したことを見信側の下位シーケンサ28に通知してもよい。10

【0079】

また、受信側の下位シーケンサ28は、送信側の下位シーケンサ28と通信を行う。これにより、受信側の下位シーケンサ28は、送信側の下位シーケンサ28とハンドシェイクを行って、送信側の下位シーケンサ28と同期して命令列を実行することができる。

【0080】

受信側の下位シーケンサ28は、一例として、当該受信側の下位シーケンサ28が生成した試験データ列と一致するデータ列を受信したことを送信側の下位シーケンサ28に通知する。これにより、送信側の下位シーケンサ28は、受信側の下位シーケンサ28から、生成した試験データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの試験データ列を生成することができる。20

【0081】

また、受信側の下位シーケンサ28は、一例として、送信側の下位シーケンサ28から、予め指定されたパケットの試験データ列を被試験デバイス10に送信したことの通知を受けるまでの間、判定部84による受信部82が受信したデータ列の良否判定を禁止する。これにより、受信側の下位シーケンサ28は、所定のパケットを被試験デバイス10へ送信した後に、当該所定のパケットに応じた応答が被試験デバイス10から出力されたか否かを判定することができる。

【0082】

受信側のパケットデータ列記憶部26は、受信側ブロック14側のデータ変換部34から受信部82が受信したパケットに含まれる受信データを受け取る。そして、受信側のパケットデータ列記憶部26は、受信部82が受信したパケットに含まれる受信データを記憶する。30

【0083】

更に、受信側のデータ処理部32は、被試験デバイス10から出力が期待されるパケットに含まれる試験データ列に、受信部82が既に受信したパケットに含まれる受信データに応じた値を含める。例えば、受信側のデータ処理部32は、受信側のパケットデータ列記憶部26からデータを読み出して、被試験デバイス10からの受信を期待するパケットのデータ列における予め指定された部分を、受信データに応じた値（例えば受信データそのままの値又は何らかの処理を施した値）とした試験データ列を生成する。40

【0084】

例えば、受信側のデータ処理部32は、被試験デバイス10から受信すべき第2のパケットに応じた試験データ列中に、受信部82が既に受信した第1のパケットに含まれる受信データに応じた値を含めてよい。これにより、受信側のデータ処理部32によれば、例えば、被試験デバイス10から受信したパケットに含まれるID等を参照して、次以降のパケットに含まれるべきIDが正しいか否かを判定することができる。

【0085】

以上のように、本実施形態に係る試験装置100によれば、受信したパケットに含まれる受信データに応じた値を次以降のパケット内に含める処理を、被試験デバイス10に比較的に近い位置で行うことができる。これにより、試験装置100によれば、被試験デバ50

イス 10とのやり取りの応答を高速にすることができる。

【0086】

また、試験装置 100は、比較的に動作周波数の高い演算処理ユニット等により実現されたデータ処理部 32を備えることが好ましい。これにより、試験装置 100は、受信したパケットに含まれるデータから、次以降のパケットに含めるデータを生成する処理を高速に行うことができる。

【0087】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。10

【0088】

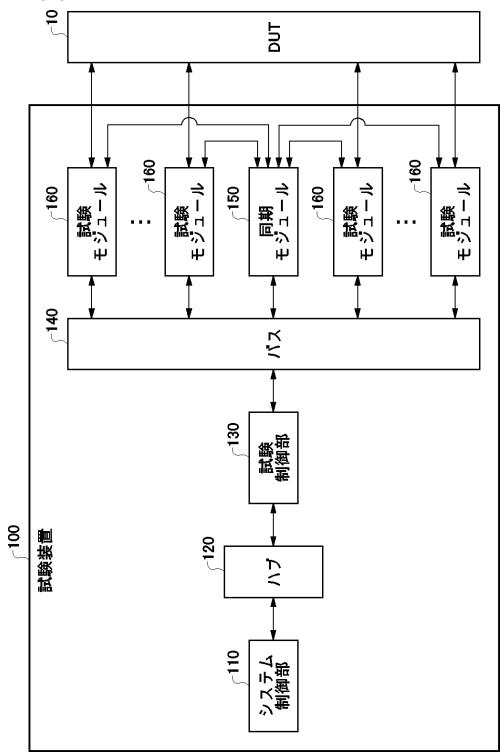
特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

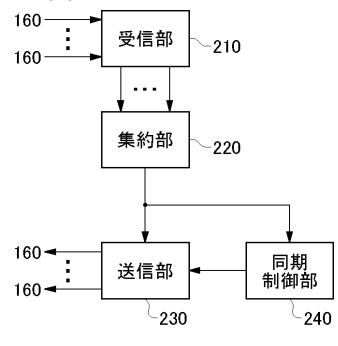
【0089】

100 試験装置、10 被試験デバイス、110 システム制御部、120 ハブ、130 試験制御部、140 バス、150 同期モジュール、160 試験モジュール、210 受信部、220 集約部、230 送信部、240 同期制御部、12 送信側ブロック、14 受信側ブロック、16 演算処理部、18 フロー制御部、20 パケットリスト記憶部、22 パケットリスト処理部、24 パケット命令列記憶部、26 パケットデータ列記憶部、28 下位シーケンサ、32 データ処理部、34 データ変換部、36 送信部、82 受信部、84 判定部20

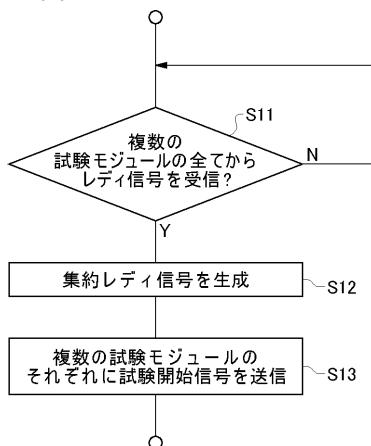
【図1】



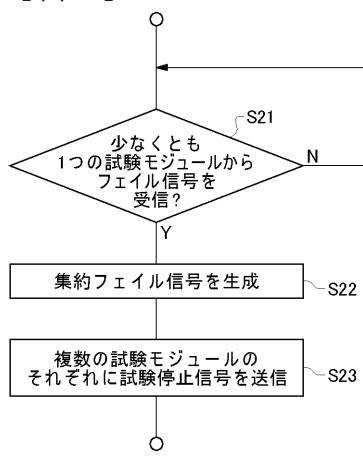
【図2】



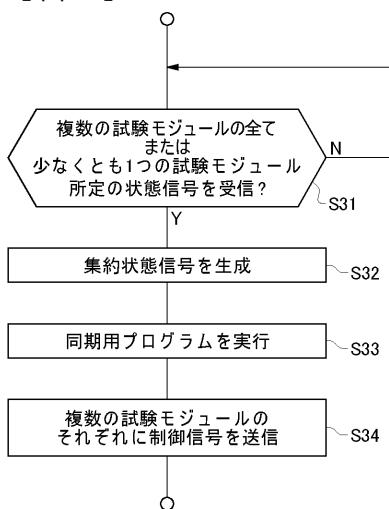
【図3】



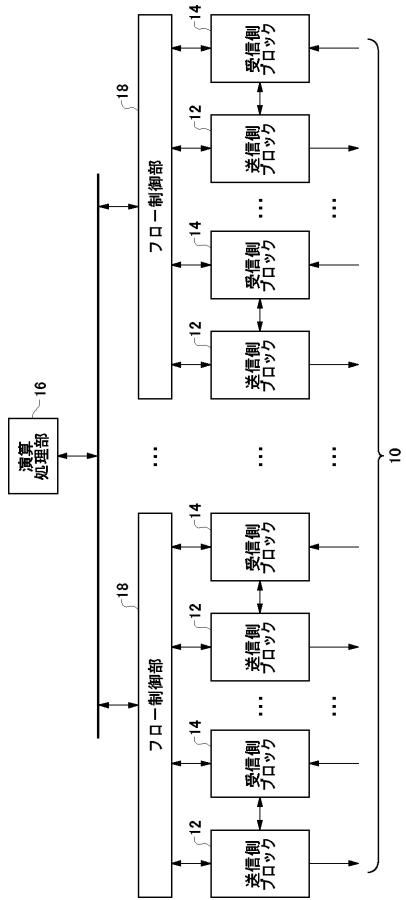
【図4】



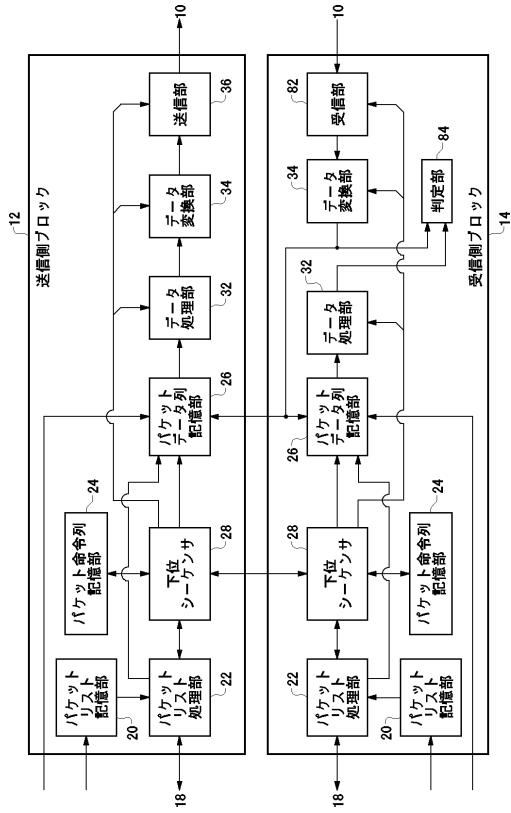
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開平11-344528(JP,A)
特表2001-522049(JP,A)
特開昭61-235770(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 01 R 31 / 28