



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014194 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098126217

(22)申請日：中華民國 98 (2009) 年 08 月 04 日

(51)Int. Cl. : *H03M1/12 (2006.01)* *H03M1/10 (2006.01)*

(30)優先權：2008/09/30 美國 12/242,058

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)  
美國

(72)發明人：費德勒 詹姆斯 R FEDDELER, JAMES R. (US) ; 貝倫斯 麥克 T BERENS,  
MICHAEL T. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：22 共 100 頁

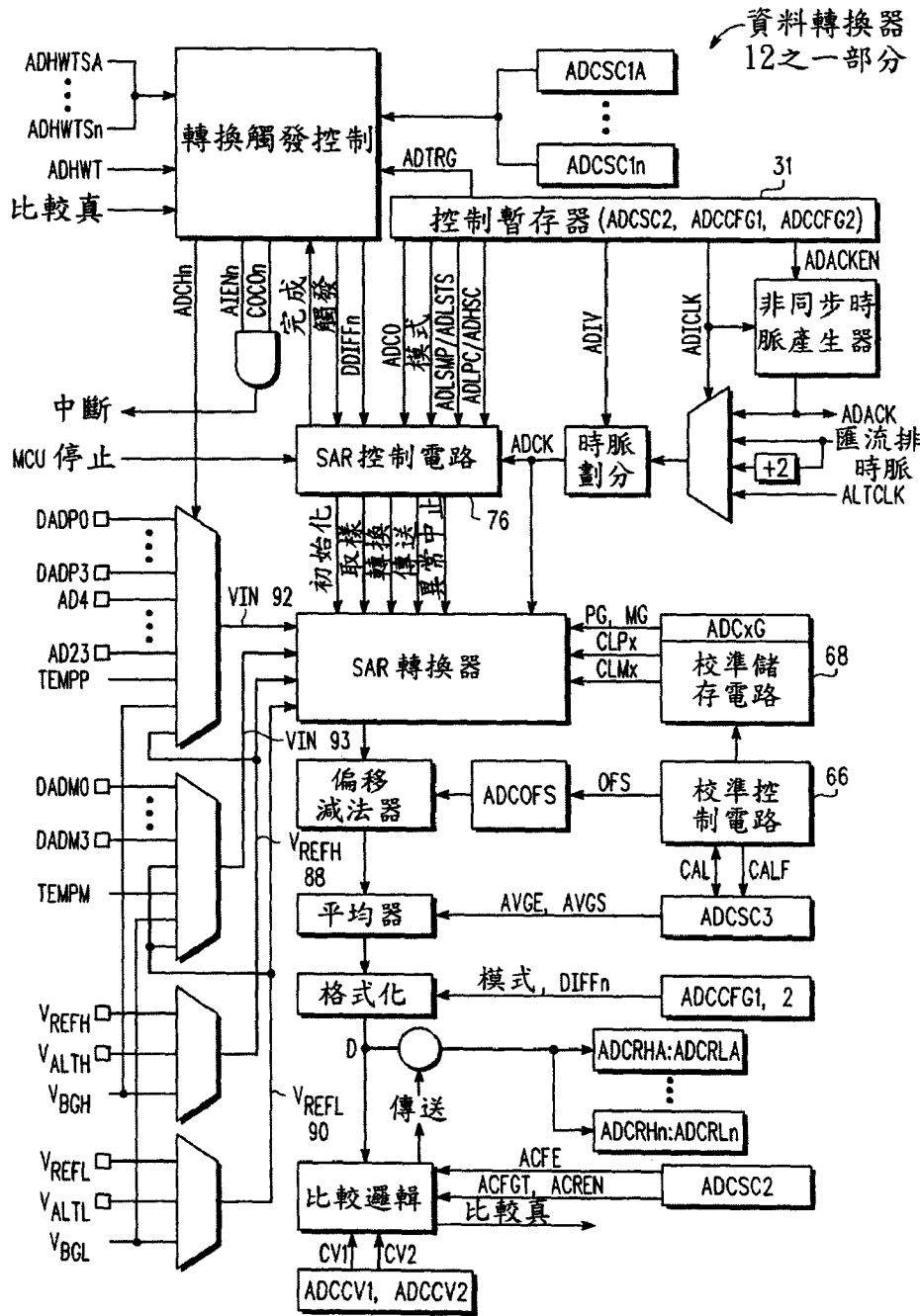
(54)名稱

資料轉換電路及其方法

DATA CONVERSION CIRCUITRY AND METHOD THEREFOR

(57)摘要

本發明提供一種用於將類比信號轉換成數位信號或用於將數位信號轉換成類比信號之資料轉換器(12)。在一實施例中，提供一生產自我測試(圖 19 之 520；圖 20 之 570)。在一實施例中，提供一用於一資料轉換器之高速較低解析度方法或模式(圖 22 之 620)。在一實施例中，提供一具有一較穩定之比較器共同模式電壓之資料轉換器(圖 15 之 320)。在一實施例中，提供且維持一經數位校準之資料轉換器之輸入範圍以使得在輸入範圍中不存在歸因於該校準之損失(參見圖 11 之 271)。在一實施例中，提供使用一先前所儲存之校準值的一未經校準之結果的數位後處理(圖 5 之 150；圖 6 之 170)。



- 12：資料轉換器/SAR ADC
- 31：控制暫存器
- 66：校準控制電路
- 68：校準儲存電路
- 76：SAR(逐次近似暫存器)控制電路
- 88：VREFH/較高參考電壓
- 90：VREFL/較低參考電壓
- 92：輸入電壓 VIN/電壓輸入/VIN 信號/電壓 VIN
- 93：輸入電壓 VIN/電壓輸入



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201014194 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098126217

(22)申請日：中華民國 98 (2009) 年 08 月 04 日

(51)Int. Cl. : *H03M1/12 (2006.01)* *H03M1/10 (2006.01)*

(30)優先權：2008/09/30 美國 12/242,058

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)  
美國

(72)發明人：費德勒 詹姆斯 R FEDDELER, JAMES R. (US) ; 貝倫斯 麥克 T BERENS,  
MICHAEL T. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：22 共 100 頁

(54)名稱

資料轉換電路及其方法

DATA CONVERSION CIRCUITRY AND METHOD THEREFOR

(57)摘要

本發明提供一種用於將類比信號轉換成數位信號或用於將數位信號轉換成類比信號之資料轉換器(12)。在一實施例中，提供一生產自我測試(圖 19 之 520；圖 20 之 570)。在一實施例中，提供一用於一資料轉換器之高速較低解析度方法或模式(圖 22 之 620)。在一實施例中，提供一具有一較穩定之比較器共同模式電壓之資料轉換器(圖 15 之 320)。在一實施例中，提供且維持一經數位校準之資料轉換器之輸入範圍以使得在輸入範圍中不存在歸因於該校準之損失(參見圖 11 之 271)。在一實施例中，提供使用一先前所儲存之校準值的一未經校準之結果的數位後處理(圖 5 之 150；圖 6 之 170)。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體而言係關於電路，且更具體言之，係關於用於資料轉換之電路。

本申請案已於2008年9月30日作為專利申請案第12/242,058號在美國申請。

### 【先前技術】

資料轉換器對於將類比信號轉換成數位信號及對於將數位信號轉換成類比信號非常有用。許多應用需要具有高解析度、快速轉換時間、允許寬廣範圍之輸入且仍成本有效之資料轉換器。其他資料轉換特徵對於各種應用而言亦可係重要的。因此，重要的是能夠提供滿足廣泛各種可能衝突之準則而同時保持成本有效之資料轉換器。

### 【實施方式】

本發明藉由實例來說明且不受附圖限制，在附圖中，相似參考數字指示類似元件。諸圖中之元件係為了簡單及清晰起見而說明且未必按比例繪製。

圖1說明系統10之一實施例。在替代實施例中，系統10可實施為單一積體電路，可實施為複數個積體電路，或可實施為積體電路與離散組件之組合。替代實施例可以任何方式實施系統10。

在一實施例中，系統10包含資料轉換器12、其他模組14、處理器16、記憶體18及外部匯流排介面20，該等組件均藉由匯流排22或複數個電信號22雙向地耦接至彼此。在

一實施例中，系統10可藉由耦接至外部匯流排介面20之匯流排24或複數個電信號24接收輸入且提供輸出。在替代實施例中，系統10可包含少於、多於或不同於圖1中所說明之電路區塊的電路區塊。

圖2說明圖1之資料轉換器12之一部分的一實施例。在一實施例中，資料轉換器12包含一ADC，其可用於將差動輸入電壓VIN 92-VIN 93轉換成作為多位元二進位值儲存於資料暫存器(例如，ADCRHA:ADCRLA或ADCRHB:ADCRLB)中之數位表示。在一實施例中，此數位表示可為值 $2^N \cdot (VIN\ 92 - VIN\ 93) / (VREFSH\ 88 - VREFSL\ 90)$ ，其中N為資料轉換器12中之解析度或位元之數目。在一實施例中，資料轉換器12包含基於軟體組態(ADCHN)自複數個正輸入電壓(DADP[0:3]、AD[4:23]、TEMP)中選擇以產生VIN 92之第一輸入多工器，且資料轉換器12亦包含自複數個負輸入電壓(DADM[0:3]、TEMPM)中選擇以產生VIN 93之第二輸入多工器。資料轉換器12亦包含自複數個正參考電壓(VREFH、VALTH、VBGH)中選擇以產生VREFH 88之參考多工器，及自複數個負參考電壓(VREFL、VALTL、VBGL)中選擇以產生VREFL 90之第二參考多工器。應注意，術語「正」及「負」指示信號相對於另一信號之極性，且並非相對於諸如接地之固定參考之極性。在一實施例中，正負信號及參考兩者始終等於或大於接地參考。替代實施例可以不同方式起作用。

對於一實施例，SAR(逐次近似暫存器)控制電路76藉由

藉確證「初始化」信號將SAR轉換器置於一初始條件中來開始一轉換。當由該SAR控制電路76自轉換觸發控制電路接收到觸發轉換信號(「觸發」)時，轉換將開始。替代實施例可提供一歸因於各種不同情況之觸發信號。舉例而言，當寫入一軟體暫存器位元(ADTRG)時，或當在正確條件(例如，此等條件可藉由軟體組態[ADCSC1A-ADCSC1N、ADCSC2、ADCCFG1及ADCCFG2]及/或硬體信號調節[ADHWTSN-ADHWTSN]來判定)下接收到一硬體信號ADHWT時，可接收到一觸發。當接收到所確證之觸發信號時，SAR控制電路76向SAR轉換器確證「取樣」條件，該SAR轉換器又對SAR陣列上之差動輸入電壓VIN 92-VIN 93取樣。可藉由儲存於校準儲存電路68中之PG及MG組態來修改樣本值。

在一實施例中，該SAR轉換器在若干ADC輸入時脈(ADCK)週期中針對由軟體組態(ADLSMP、ADLSTS)指示之週期取樣。該ADCK週期可由軟體組態(ADIV、ADICLK、ADACKEN)及硬體時脈脈衝源(ADACK、BUS\_CLOCK及ALTCLK)來控制。該SAR控制電路76接著將該SAR轉換器置於「轉換」模式中。在「轉換」模式之一實施例中，該SAR轉換器隨後比較輸入電壓(VIN 92-VIN 93)與參考電壓(VREFSH 88-VREFSL 90)之不同分率。在每一比較期間，該轉換器基於比較結果逐次地設定或清除對應數位輸出位元，且接著將參考電壓或輸入電壓改變參考電壓之適當分率(例如，若比較輸入電壓與參考

電壓之二分之一，若該比較較大，則設定輸出位元且下一個比較係與參考電壓之 $3/4$ 比較；若該比較較小，則清除輸出位元且下一個比較係與參考電壓之 $1/4$ 比較；可在逐次近似期間修改參考電壓或輸入電壓)。

當該SAR轉換器近似時，其可在其進行時用儲存於該校準儲存電路68中之值CLP<sub>x</sub>及CLM<sub>x</sub>修改結果。當該SAR轉換器已作出適當次數之逐次近似時，SAR控制電路76向SAR觸發電路指示其「完成」且命令該SAR轉換器將結果「傳送」至輸出電路。在一實施例中，此輸出電路首先在「偏移減法器」中針對偏移調整，接著使用平均(若在「平均器」中如此組態)，且接著在「格式化」電路中以適當格式將資料格式化。此等電路可由軟體組態(分別為ADCOFS、AVGE及AVGS，及「模式」及DIFF<sub>n</sub>)來控制。由「偏移減法器」使用之偏移值OFS以及組態值PG、MG、CLP<sub>x</sub>及CLM<sub>x</sub>可由該校準控制電路66在轉換之前產生。一旦經格式化，便在「比較邏輯」中比較結果與一比較值(CV1)或範圍(CV1、CV2)。基於通向「比較邏輯」之軟體組態(ACFE、ACFGT、ACREN)，比較器將結果傳送至結果暫存器(ADCRHA:ADCRLA至ADCRHN:ADCRLN)且設定COMPARE\_TRUE。在一實施例中，轉換觸發邏輯及SAR控制電路76將接著基於軟體組態(ADCO)判定是開始另一轉換或是「異常中止」序列且斷開SAR轉換器。圖2之資料轉換器12之替代實施例可使用更多、更少或不同之電路來實施用於執行資料轉換之電路。

圖3說明圖1之資料轉換器12之一部分的一實施例。參看圖3，所說明之逐次近似(SAR)類比至數位轉換器(ADC或A/D轉換器)包含在具有包括逐次近似(SAR)暫存器96之邏輯之回饋迴路中的一數位至類比轉換器(DAC)62及一比較器60。在一實施例中，DAC 62包含二進位加權之元件(例如，圖4之電容器110-119)之陣列。替代實施例可使用用於資料轉換之任何類型之電荷重新分布陣列。另外，替代實施例可使用任何所要且適當的二進位加權之元件(例如，電阻性元件、電容性元件，其組合等)。注意，「N」、「M」及「P」用於表示整數。舉例而言，「bN」為「第n位元」或「位元N」；類似地，「b(N+M+P)」為第「(N+M+P)」位元或「位元(N+M+P)」。

在一轉換期間，將電壓輸入VIN 92取樣至DAC 62上；接著在一比較階段期間，控制DAC電容器110-119以使用比較器60輸出逐次地近似輸入電壓VIN 92以對如何切換電容器110-119作出決策。在該解析之每一步驟處，將比較器60輸出儲存於SAR暫存器96中且所得數位字(未經校準之結果84)為類比輸入電壓VIN 92之數位表示。

隨著SAR ADC 12(參見圖2)之解析度增加，較大限制中之一者為DAC陣列62中之一或多者內之元件匹配。大體而言，超過10-12個位元之匹配在合理的成本約束內大體上不可行。一添加至高解析度SAR ADC之限制可為用於限制全部DAC電容器110-119之數目之一或多個按比例調整電容器(例如，圖4之121、120)的使用。此等按比例調整電容

器 121、120 為非單位大小且具有可引起 DAC 陣列 62 中之進一步不匹配的相關聯之寄生現象。

在一實施例中，使用一自我校準序列(例如，圖 5 之方法 150)來產生並儲存校準值(例如，儲存於校準儲存電路 68 中)。可接著在一轉換序列(例如，圖 6 之流程 170)期間將此等校準值與未經校準之結果 84(參見圖 3)數位地組合以產生一經校準之結果 86。在一實施例中，自我校準序列(例如，圖 5 之流程 150)涉及對電容器 110-119 中之選定者上之高參考電壓(VREFH)取樣及對電容器 110-119 中之其他選定者上之低參考電壓(VREFL)取樣。接著切換電壓 VREFH 及 VREFL，從而引起一藉由使用 ADC 之標準功能性之逐次近似量測的誤差電壓。雖然圖 5 之方法 150 之實施例被說明為具有步驟 140-147，但替代實施例可具有多於、少於或不同於圖 5 中所說明之步驟的步驟。又，雖然圖 6 之方法 170 之實施例被說明為具有步驟 160-167，但替代實施例可具有多於、少於或不同於圖 6 中所說明之步驟的步驟。

在圖 4 中所說明的 DAC 80 之部分中，存在由兩個按比例調整電容器 121 及 120 分離之三個區或部分。在一實施例中，使按比例調整電容器 121 之大小或電容增加以使得其大於最高有效部分中的電容器 117-119 之最大可能累積不匹配。最高有效部分中的電容器 117-119 之最大可能累積不匹配可基於用於製造 DAC 80 之製造程序中之製程變化來判定。DAC 80 之替代實施例可使用任何數目個按比例調整電容器 121、120。雖然圖 4 中所說明之 DAC 80 之部分

具有三個區，但替代實施例可具有任何數目個區。另外，每一區可具有任何所要且適當之數目個電容器。在所說明之實施例中，第一區包含電容器117-119，第二區包含電容器114-116，且第三區包含電容器110-113。

參看圖5，流程150描述用於判定可用於相對於理想值補償電容器值之一或多個誤差之一或多個校準值的方法。此等誤差可歸因於製造期間之製程變化或其他因素且可引起藉由轉換產生之結果值之誤差。程序開始於表示最高有效位元(MSB)之電容器且進行至判定針對與所要之轉換位元一樣多之轉換位元的校準值。在一實施例中，經校準之位元之數目依據DAC陣列62(參見圖3)中之電容器值之間的最壞狀況不匹配及ADC之解析度而定。作為一實例，對於8位元ADC，自\$7F至\$80之轉變表示一為參考電壓階躍(若電容器具有其理想值)之1/128的電壓階躍。若MSB電容器與最低有效位元(LSB)電容器之總和不匹配達1/128以上，則將產生一轉換誤差。該轉換誤差可為非單調性(針對兩個不同電壓範圍之相同程式碼)或遺漏程式碼(其中無輸入電壓產生此特定程式碼)(參見圖7先前技術)。若最壞狀況不匹配大於參考電壓階躍之1/128，則此MSB電容器之校準可為在整個製造程序窗中產生準確轉換所必需。注意，對於一實施例(即，所說明之實施例)，校準程序開始於與MSB相關聯之電容器(作為正校準之當前電容器)；判定一用於此等電容器之校準值；判定是否存在校準更多電容器之需要；及若存在校準更多電容器之需要，則使用下一個

較低位元之電容器重複校準程序。

圖 7(先前技術)中之非單調性及遺漏程式碼係由於自較高階位元(已校準之較高階位元)之值之一組合切換至較高階位元之值之一不同組合引起。存在允許非單調性之缺點。非單調性之問題在於：在 VIN 92 之兩個不同值範圍之情況下可出現相同轉換結果，因此使得結果調整電路 70 難以恰當地調整結果。在一實施例(參見圖 8)中，藉由確保剩餘位元之電容器(亦即，低於正校準之當前位元之電容器)之總和具有大於與正校準之當前位元相關聯之電容器的總和來消除非單調性。一用於確保該等非單調性得以消除之實施例為在待校準之最低位元與所有較低位元之間置放一具有足夠大之電容之按比例調整電容器(例如，圖 4 之 120 及/或 121；及/或圖 10 之 220 及/或 221)。在一實施例中，按比例調整電容器經設定大小以致保證用於較低位元之電容器之總和的有效電容大於正校準之位元之電容。或者，可藉由增加用於較低位元之電容器之總和增加有效電容。在另一實施例中，可使用增加按比例調整電容器與增加用於較低位元之電容器之總和的組合。若使用此等技術中之任一者，則產生不具有非單調性(參見圖 8)之未經校準之結果 84(參見圖 3)。因此，針對 VIN 92 之每一值將始終僅存在一未經校準之結果值 84；且因此由結果調整電路 70(參見圖 3)執行之調整可為一直接線性調整。

參看圖 4，DAC 80 之替代實施例可僅具有按比例調整電容器 121，可具有按比例調整電容器 121 與 120 兩者，或可

具有按比例調整電容器 121、120，以及用於耦接於電容器 110-112與電容器 113-115之間的DAC 80之一或多個添加部分的一或多個額外按比例調整電容器(未展示)，其中該一或多個額外按比例調整電容器可以與電容器 120及121相同之方式耦接。注意，僅具有按比例調整電容器(例如，121、120)不足以保證無非單調性(參見圖8)；亦有必要具有結合用於較低位元之電容器(例如，110-112)之總和的有效電容具有足夠大之電容器值的一或多個按比例調整電容器(例如，121、120)。

參看圖9，藉由儲存針對選定VIN 92值之校準值，且在適當時對未經校準之結果84作出校準調整，有可能在VIN 92與經校準之結果84之間產生大致線性之關係(參見圖9)。在一實施例中，判定複數個校準值(例如，藉由使用圖5中所描述之方法)且將其儲存於校準儲存電路68(參見圖3)中。在一實施例中，使用未經校準之結果84之一或多個MSB來選擇該(等)適當校準值(例如，MSB可用作對校準儲存電路68中之記憶體之索引)。參看圖8，未經校準之結果84之MSB判定哪一範圍(例如，圖8中所說明之範圍1至範圍4)係適當的。每一範圍(圖8之範圍1至範圍4)具有一對應校準值。在一實施例中，此校準值由結果調整電路70使用以調整未經校準之結果84以產生經校準之結果86。在替代實施例中，結果調整電路70可以一不同方式起作用及/或可以一不同方式調整未經校準之結果84。本文中所描述之方式僅為一可能之實施方案。

在一實施例中，在一校準序列期間儲存針對每一經校準之位元之不同校準值(參見圖5)。此校準值表示此位元之電容器之誤差的累加(與所有較低有效電容器之總和相比較)。該累加係在校準期間執行且被表示且儲存為校準值之一部分。針對給定位元之校準值  $A(n)$  藉由式  $A(n)=S(n)+A(n-1)+A(n-2)+\dots A(1)$  來給出，其中  $S(n)$  為圖5中所描述之 SAR 結果。此實施例中之校準值之數目等於電容器正被校準之位元之數目。注意，累加器 72 可用於執行此加總或累加。在資料轉換之後，結果調整電路 70 累加對應於藉由未經校準之結果 84 之 MSB 判定的適當位元之校準值且自未經校準之結果 84 減去累加之校準值以產生經校準之結果 86。在一替代實施例中，當使用累加器 72 設定 MSB 時，可在資料轉換期間執行該累加。在此替代實施例中，在資料轉換之後將僅需要單一減法計算。

在另一實施例中，在一校準序列期間儲存一針對每一範圍(參見圖8)之不同校準值。在此實施例中，該校準序列稍微不同於圖5中所展示之校準序列。並非是在步驟142中將所有較低有效電容器底板充電至  $VREFH$ ，而是僅將不如待校準之最後電容器(例如，圖10中之電容器217)有效之電容器的底板充電至  $VREFH$ 。類似地，在步驟144中，僅將不如待校準之最後電容器有效之電容器的底板切換至  $VREFL$ 。在此實施例中，直接(無步驟146中之累加)儲存 SAR 結果且校準值之數目為  $2^X$ ，其中  $X$  為正校準之位元之數目。在資料轉換之後，結果調整電路 70 接收對應於藉由

未經校準之結果84之MSB判定的適當範圍之校準值，累加此等值，且自未經校準之結果84減去累加之值以產生經校準之結果86。在一替代實施例中，當使用累加器72設定MSB時，可在轉換期間執行該累加。

參看圖3，在一實施例中，在將未經校準之結果84作為校準值儲存於校準儲存電路68中之前，可使用誤差判定電路78來修改未經校準之結果84。替代實施例可能不具有或不使用誤差判定電路78，且因此可能在將未經校準之結果84儲存於校準儲存電路68中之前不修改未經校準之結果84。另外其他實施例可使用累加器72來累加針對每一範圍(參見圖8)之校準值之一連續總和(running sum)，以使得儲存於校準儲存電路68中之每一新校準值為未經校準之結果84與累加器值之總和。

圖1至圖9中所描述之方法及裝置適用於任何類型之資料轉換器或用於資料轉換之任何類型之電荷重新分布陣列，包括(作為實例)雙端型、單端型及差動ADC與D/A轉換器兩者。舉例而言，對於使用差動ADC之實施例，圖4之電路可用於提供用於圖3之差動比較器60之正輸入與負輸入兩者之輸入。圖5及圖6之方法將用於差動ADC之兩側。若使用差動ADC，則圖3之DAC陣列62將具有一代替參考DAC 82之第二DAC(例如，與DAC 80相同)。此第二DAC將接收第二輸入電壓VIN 93(參見圖2)。注意，在一些實施例中(例如，一些單端型ADC)可不使用參考DAC 82。

參看圖5，在一實施例中，可以廣泛各種方式實施取樣

階段及比較階段。在圖4中，切換電路102及每一電容器110-119自控制電路100接收指示當前階段是取樣階段或是比較階段之控制資訊。控制電路100用於在一校準流程(參見圖5)中之取樣階段與比較階段兩者期間將電容器110-119中之選定者之底板耦接至選定參考電壓及解耦該等底板與該等選定參考電壓。控制電路100用於在一轉換流程(參見圖6)中之取樣階段期間將電容器110-119中之選定者之底板耦接至VIN 92。控制電路100用於在一轉換流程(參見圖6)中之比較階段期間將電容器110-119中之選定者之底板耦接至選定參考電壓及解耦該等底板與該等選定參考電壓。

注意，對於一實施例，VREFL 90指代具有一低於VREFH 88之電位之第一參考電壓，且VREFH 88指代具有一高於VREFL 90之電位之第二參考電壓。VREFH 88及VREFL 90為不相同之兩個電壓且其在資料轉換中之用途係此項技術中所熟知的。在一實施例中，VCM 94為差動比較器60之共同模式輸入電壓。

參看圖3及圖4，在一實施例中，MUX 64提供對控制電路100之控制輸入。校準控制電路66控制該等控制輸入之來源係來自校準控制電路66(例如，在校準期間，參見圖5)，或是來自SAR控制電路76(例如，在轉換期間，參見圖6)。在一實施例中，校準控制電路66可被實施為一狀態機。在替代實施例中，校準控制電路66可被實施為組合邏輯，或使用任何所要且適當之電路來實施。類似地，SAR控制電路76可被實施為一狀態機、組合邏輯，或任何所要

且適當之電路。在一些實施例中，SAR控制電路可具有一或多個暫存器96。校準儲存電路68可使用任何類型之儲存電路來實施。結果調整電路70可使用如圖3中所說明耦接之累加器72及計算電路74來實施。在替代實施例中，計算電路74可包含用於減去之電路。在替代實施例中，計算電路74可以任何所要且適當之方式來實施。差動比較器60可同樣使用執行差動輸入信號之間的比較之任何電路來實施。圖3及圖4說明可用於實施圖5及圖6之流程之各種實施例的電路之實例；然而，存在可用於實施圖5及圖6之流程之各種實施例的許多可能的替代電路。另外，基於圖1至圖9及本文中之描述，一般熟習此項技術者將能夠設計實施圖5及圖6之流程所需之電路。

參看圖3，逐次近似類比至數位轉換器(SAR ADC)通常由具有包括逐次近似暫存器(例如，96)之電路之回饋迴路中的一數位至類比轉換器(例如，DAC 62)及一比較器(例如，60)組成。在一實施例中，DAC 62包含二進位加權之元件(例如，圖10之電容器208-219)之陣列。替代實施例可使用用於資料轉換之任何類型之電荷重新分布陣列。另外，替代實施例可使用任何所要且適當的二進位加權之元件(例如，電阻性元件、電容性元件，其組合等)。

為了增加資料轉換器12(參見圖1)之準確度，適用的是資料轉換器12使用某一形式之數位校準(例如，線性、增益及/或偏移校準)。許多校準方法具有減小ADC輸入範圍之不合需要之副作用。具體言之，藉由數位地調整轉換結

果校準偏移、增益或線性之許多系統具有減小ADC輸入範圍之不合需要之副作用。對於一些ADC(例如，對於一通用ADC)，具有有限或減小之輸入範圍常係有害的，因為存在欲使用輸入範圍之兩個極值之應用。因此需要維持一資料轉換器12(例如，SAR ADC)之全輸入範圍之方法及電路。另外，非常有利的是該方法及電路消耗儘可能少之電力、需要儘可能少之電路及半導體面積且減小儘可能少之轉換速度。

參看圖10，在DAC 80(參見圖3)之一實施例中，DAC 80包含可以類似於圖4之電容器110-119之方式起作用的電容器210-219。圖10中所說明之DAC 80之實施例亦包含電容器208及電容器209。另外，資料轉換器12可包含切換電路299，其使用控制信號297來選擇是將VIN 298或是VREFH 88作為VIN信號92提供至控制電路200。在替代實施例中，切換電路299可定位於資料轉換器12中之任何處，或可或者在不存在對於VIN 92之選擇時不使用切換電路299。在一實施例中，除了圖10之控制電路200實施圖11之方法271且控制電容器208及209中之一或多者之耦接之外，控制電路200可以類似於圖4之控制電路100之方式起作用。DAC 80之替代實施例可包含電容器208且不包含電容器209，可包含電容器209且不包含電容器208，或可或者包含電容器208與電容器209兩者。另外，在替代實施例中，電容器208及/或209中之任一者或兩者之電容可使用複數個電容器來實施。

參看圖 11，方法 271 說明一用於 16 位元類比至數位轉換器 (ADC) 之範例轉換序列。又，雖然圖 11 之方法 271 之實施例被說明為具有步驟 249-259，但替代實施例可具有多於、少於或不同於圖 11 中所說明之步驟的步驟。另外，雖然在 16 位元 ADC 之情況下說明方法 271，但替代實施例可具有轉換結果中的任何所要且適當之數目個位元。

注意，用於判定逐次近似 ADC 之電容器 210-219 之電容器值的各種方法係此項技術中所熟知的且將不在本文中進一步加以描述。然而，在圖 10 中所說明之實施例中，添加一大小 (亦即，電容器值) 等於一對應於位元  $N+M+1$  之電容器之額外電容器 209。因此，對於所說明之實施例，電容器 209 之電容器值大致等於所有較低有效電容器 (210-216) (包括終止電容器 210) 之總和。在替代實施例中，電容器 209 之置放可不同，且電容器 209 之置放可藉由需要在校準之後恢復之輸入範圍之量來判定。

在一實施例中，添加一額外逐次近似步驟，其涉及產生一比 MSB 有效之額外位元。舉例而言，在校準之前，16 位元結果 (位元 0-15) 現將為 17 個位元 (位元 0-16)。在標準 SAR 序列中，第一轉換步驟 254 將 MSB 電容器切換至  $V_{REFH}$  88，從而在比較器 60 輸入 (參見圖 3) 處產生  $(V_{REFH} - V_{REFL})/2$  電壓階躍。然而，在圖 11 之方法 271 中所說明之實施例中，在初始化步驟 252 及 253 之後，首先將所有位元之均等物 (直至位元  $N+M+1$  之 MSB 加額外電容器 209) 切換至  $V_{REFH}$  88 以在比較器 60 輸入處產生  $(V_{REFH} - V_{REFL})$  電

壓階躍。若所得比較低(來自步驟255之「是」路徑，執行步驟258)，則所有電容器217-219加電容器209保留在VREFH 88，設定轉換結果之額外位元，清除直至位元N+M+1之MSB，且次一近似移至位元N+M，繼之以其他剩餘位元(步驟259)。然而，若該比較高(來自步驟255之「否」路徑)，則將所有電容器217-219加電容器209切換回至VREFL 90，清除轉換結果之額外位元(位元16)(步驟256)，且在MSB位元N+M+P處開始一標準逐次近似序列(步驟257、259)。

藉由使用本文中在上文所描述之具有一預定值之電容器209(參見圖10)，且藉由使用轉換序列271(參見圖11)中之步驟254-258，有可能允許一大於全標度(例如，17位元轉換結果，而不是16個位元)之未經校準之轉換結果。因此，圖1之資料轉換器12之一些實施例有可能使用修改未經校準之轉換結果之數位校準，而不引起最終經校準之轉換結果限於小於全標度。參考圖11中所說明之實施例，額外逐次近似步驟(步驟254-257)涉及將所有位元之均等物(直至位元X之MSB加額外電容器209)切換至VREFH 88以在正常SAR常式之前在比較器60輸入處產生(VREFH-VREFL)電壓階躍。此允許一大於全標度之未經校準之轉換結果，及一不小於全標度之經校準之轉換結果。亦注意，將電容器209及少量控制電路添加至控制電路200(與控制電路100相比較)將對圖1之資料轉換器12添加非常少之成本及半導體面積。

圖 12 說明根據一實施例之 ADC(例如，圖 1 之 12)之轉移函數。實線 241 表示 ADC 12 之一實施例之未經校準之結果。注意，範圍 240 表示在實線 241 上產生相同的最大的未經校準之結果值之 VIN 92 之值。實線 242 表示在加上或減去偏移校準之後的經校準之結果。注意，可藉由採用一數字之二補數且加上此數字來實現減去一數字。加上/減去偏移校準僅將未經校準之線向上或向下移位。因此，範圍 240 表示在實線 242 上產生相同的最大的經校準之結果值之 VIN 92 之值。在圖 12 中所說明之實施例中，減去偏移且將未經校準之實線 241 向下移位以產生經校準之實線 242。注意，由於減去一偏移，故將 ADC 輸入範圍減小量 240。因此，對於範圍 240 中的 VIN 92 之所有值，將在偏移校準之後產生相同結果值。為了增加 ADC 輸入範圍以包括範圍 240 中之 VIN 92 之值，將執行額外逐次近似步驟(參見圖 11 之步驟 254-258)。虛線 243 表示在執行偏移校準與額外逐次近似兩者之後的經校準之結果。作為一實例，注意，對於 16 位元轉換結果，經校準之轉換結果現可具有高達十六進位 \$FFFF 之理想最大值之值。且因此，整個 VIN 92 值範圍(包括範圍 240 中之彼等值)將產生「理想的」且所要的經校準之轉換結果值 243。

圖 13 說明根據一實施例之具有數位線性及增益校準之 ADC(例如，圖 1 之 12)的轉移函數。在對未經校準之轉換結果執行線性校準之後(由實線 244 表示)，仍保持有一增益誤差(由實線 244 與實線 245 之間間隙表示)。此藉由對更多

電荷取樣來校正。然而，校正增益誤差引起全標度之高端處之輸入範圍的損失(由實線246表示)。在一實施例中，藉由使用額外電容器209(參見圖10)及額外逐次近似(參見圖11中之步驟254-259)校正VIN 92範圍之此損失。注意，不同於許多先前技術做法，圖10至圖13及相關聯之本文中所描述之方法及電路之實施例中的至少一些適用於SAR型ADC。另外，本文中所描述之一些實施例非常有效地補償由於ADC(例如，圖1之12)中之數位增益及偏移校準引起的動態輸入範圍之損失。

在使用資料轉換器之一些應用中，需要能夠轉換一差動輸入信號，其中該差動輸入之極性係未知的。轉換一差動信號亦幫助增加結果之準確度(部分歸因於共同模式雜訊排斥)。然而，實施差動ADC之限制因素中之一者可為在逐次近似期間將比較器輸入保持在比較器之共同模式電壓範圍內。當在共同模式電壓下將比較器自動調零時，將比較器之輸入移離此共同模式電壓將引起轉換結果之誤差。將非常有利的是能夠在SAR ADC中進行差動轉換而不產生誤差且不增加大小或顯著地減小速度(相對於單端型ADC)。在一實施例中，用於資料轉換之電路執行ADC減輸入之一部分單端型近似，繼之以執行加輸入之全單端型近似，以得到準確的差動轉換結果。替代實施例可以一不同方式操作。

圖14說明圖1之資料轉換器12之一部分的一實施例。在一實施例中，資料轉換器12包含一逐次近似類比至數位轉

換器(SAR ADC)。在替代實施例中，資料轉換器12可為用於資料轉換之任何類型之電荷重新分布陣列。在所說明之實施例中，資料轉換器12包含加DAC 280、減DAC 282、比較器260、比較器261，及SAR控制電路276。SAR控制電路276接收比較器260、261之輸出且將加結果284及減結果285提供至結果調整電路270。在一實施例中，結果調整電路270包含提供結果286之減法器計算電路274。在一實施例中，自加結果284減去減結果285以產生一差動結果(圖15中之308)。在一實施例中，若切換差動偏壓電容器208(參見圖15中之305、306、309及310)，則在轉換之後由計算電路274減去一固定值及/或預定值。替代實施例可以一不同方式產生轉換結果286。

在圖14中所說明之實施例中，加DAC 280接收VREFH 88、VREFL 90、VIN 92及加結果284作為輸入。減DAC 282接收VREFH 88、VREFL 90、VIN 93及減結果285作為輸入。差動偏壓電容器208之第一電極耦接至VREFH 88或VREFL 90。在一實施例中，SAR控制電路用於控制哪一電壓耦接至電容器208之第一電極。在替代實施例中，任何所要且適當之電路可用於控制哪一參考電壓(例如，VREFH、VREFL)耦接至電容器208之第一電極。電容器208之第二電極耦接至加DAC 280之輸出且耦接至比較器260之正輸入。減DAC 282之輸出耦接至比較器260之負輸入且耦接至比較器261之正輸入。比較器261之負輸入耦接至共同模式電壓VCM 94。在一實施例中，加DAC 280及減

DAC 282各自包含二進位加權之元件(諸如，電容器或電阻器)之陣列。在一實施例中，SAR控制電路276包含SAR暫存器(諸如，圖3中之SAR暫存器96)。

圖15說明一用於執行資料轉換器(例如，SAR ADC)中之一全差動轉換而不自比較器共同模式電壓移位引入誤差之方法320。參看圖14，方法320藉由對「減」側(亦即，使用減DAC 282及比較器261)執行足以得到接近於其共同模式/自動調零電壓之比較器減輸入(亦即，對比較器260之負輸入)之部分逐次近似來實現此目的。由非關鍵比較器261計算此減結果285(亦即，「減」側上之部分逐次近似之結果)。注意，對於一些實施例，可將比較器261廉價地實施為非常簡單之比較器，因為不需要偵測小電壓差。此「減側上之部分逐次近似」接著繼之以使用更準確且關鍵之比較器260且使用加DAC 280進行的「加」側上之全單端型逐次近似。差動結果為加結果284與減結果285之間的差。可接著由結果調整電路270來調整(若為所要的且適當的)此差動結果以產生結果286。對於不使用調整之實施例，可不實施結果調整電路270且可提供該差動結果作為結果286。

注意，對於圖14中所說明之資料轉換器12之實施例，比較器261可為小的、低功率的且廉價的，因為其不必決議小輸入電壓。圖14中所說明之實施例亦使用差動偏壓電容器208。

參看圖15，方法320說明一用於一資料轉換器之範例轉

換序列。在一實施例中，方法320可為與圖14中所說明之SAR ADC一起使用之差動轉換。又，雖然圖15之方法320之實施例被說明為具有步驟300-311，但替代實施例可具有多於、少於或不同於圖15中所說明之步驟的步驟。另外，雖然在SAR ADC之情況下說明方法320，但替代實施例可使用不同類型之資料轉換器。

參看圖15，步驟302-304說明對減DAC 282(參見圖14)執行的用於得到足夠接近其共同模式/自動調零電壓(例如，VCM 94)的比較器260之減(或負)輸入的部分逐次近似常式(SAR)。接著，在決策菱形305中，檢查(例如，由SAR控制電路276來進行)更關鍵比較器260之輸出以判定在部分減SAR(使用減DAC 282)之後對260之加(或正)比較器輸入是否高於對260之減比較器輸入。若對比較器260之加輸入高於對比較器260之減輸入，則將差動偏壓電容器208之第一電極(例如，底板)自VREFH切換至VREFL(參見步驟306)。此切換允許對260之加輸入在使用加DAC 280及比較器260之隨後逐次近似(參見步驟307)期間成功地近似對260之減輸入。在步驟308中，自加結果284減去減結果285以產生一差動結果。在決策菱形309中，詢問「切換差動偏壓電容器208？」之問題。若回答為「否」，則結果286等於差動結果(參見步驟311)。然而，若回答為「是」，則自差動結果減去一預定值以便產生結果286(參見步驟310)。

注意，在一實施例中，電容器208之大小大致等於用於利用減DAC 282之減側近似中的最後電容器之大小。所使

用之最後電容器藉由減側部分逐次近似中之近似之次數來判定。可選擇近似之次數以使得由比較器 260 引起之誤差(歸因於共同模式電壓移位)並不顯著地降級資料轉換器 12 之準確度。若比較器 260 具有高共同模式排斥比，則對減 DAC 282 將需要較少近似。替代實施例可使用用於電容器 208 之任何所要且適當之值。另外，替代實施例可使用複數個電容器代替電容器 208。除電容器 208 之外或代替電容器 208，另外其他實施例可使用任何適當且所要的電路元件。雖然電容器 208 在圖 14 中被說明為並非 DAC 280 之一部分，但替代實施例可包括作為 DAC 280 之一部分之電容器 208。舉例而言，圖 10 中所說明的 DAC 80 之部分可包含可被視為 DAC 80 之一部分或可未被視為 DAC 80 之一部分之差動偏壓電容器 208。

圖 16 說明  $V+$ (圖 14 之比較器 260 之加輸入處的電壓)在使用減 DAC 282 及比較器 261 之部分逐次近似(圖 15 之步驟 304)之後小於  $V-$ (比較器 260 之減輸入處之電壓)的狀況之一實例。對於圖 16 中所說明之實例，因為  $V+$  小於  $V-$ ，所以無必要切換差動偏壓電容器 208(亦即，使其第一電極耦接至較低參考電壓(VREFL 90)而不是較高參考電壓(VREFH 88))以便使得  $V+$  近似  $V-$ 。

圖 17 說明  $V+$ (圖 14 之比較器 260 之加輸入處的電壓)在使用減 DAC 282 及比較器 261 之部分逐次近似(圖 15 之步驟 304)之後大於  $V-$ (比較器 260 之減輸入處之電壓)的狀況之一實例。因為  $V+$  大於  $V-$ ，所以將差動偏壓電容器 208 自使其

第一電極耦接至 VREFH 88 切換至使其第一電極耦接至 VREFL 90 以便降低  $V+$  且允許近似至  $V-$ 。注意，圖 16 及圖 17 僅意欲作為說明性實例。各種資料轉換器電路(例如，12)之替代實施例可以不同於圖 16 及圖 17 中所說明之方式之方式起作用。

參看圖 16、圖 17 及圖 14，將描述一用於使用圖 14 中所說明之電路之方法。在  $t_0$  處，開始對輸入 ( $V_{IN} 92$  及  $V_{IN} 93$ ) 取樣。在  $t_1$  處，結束取樣且開始使用減 DAC 282 及比較器 261 之部分逐次近似。在  $t_2$  處，完成使用減 DAC 282 之部分逐次近似且開始比較比較器 260 之非反相輸入與反相輸入上之所得電壓以判定哪一者較大。在  $t_3$  處，若比較器 260 之反相輸入大於比較器 260 之非反相輸入，則將耦接至電容器 208 之第一電極之電壓保留在 VREFH 88 (圖 16)；然而，若比較器 260 之反相輸入並不大於比較器 260 之非反相輸入，則將耦接至電容器 208 之第一電極之電壓自 VREFH 88 切換至 VREFL 90 (圖 17)。接著，開始使用加 DAC 280 及比較器 260 之全逐次近似(參見圖 15 中之步驟 307)。在  $t_4$  處，完成使用加 DAC 280 及比較器 260 之逐次近似。注意，在  $t_2$  之後，已判定減結果 285，且在  $t_4$  之後，已判定加結果 284。圖 15 中所說明之方法在  $t_4$  之後在步驟 308 處繼續進行。注意，本文中在上文已描述圖 15 中所說明之方法。

應注意，對於一些實施例，在部分逐次近似(參見圖 15 中之步驟 304)期間減側上所需之近似之次數依據比較器 261 之共同模式排斥比 (CMRR) 及 ADC 之解析度而定。比較

器 261 之 CMRR 愈高，所需之近似愈少。舉例而言，12 位元 ADC 中具有 66 dB 之 CMRR 之比較器在減側上僅需要 2 次近似 (12 位元 LSB 之  $1/2=78$  dB)，因此減近似需要將  $|V_{cm}-V_-|$  電壓減小 12 dB。作為另一實例，16 位元 ADC 中具有 72 dB 之 CMRR 之比較器在減側上僅需要 5 次近似 (16 位元 LSB 之  $1/2=102$  dB)，因此減近似需要將  $|V_{cm}-V_-|$  電壓減小 30 dB。因此，僅需要 5 次近似 ( $2^5=30$  dB)。

ADC 之成本之顯著部分為所需之測試。傳統上，經由表示可能的轉換結果值中之每一者之精確外部電壓的施加來測試 ADC。為了解決雜訊且恰當地計算誤差並藉此推斷恰當製造，使電壓在每一可能值之範圍中之若干階躍上拂掠。此測試方法耗時且需要昂貴測試設備。隨著 ADC 之精確度增加，測試時間及設備費用亦增加。為了使較高準確度 ADC 更成本有效且在微控制器市場上亦可行，需要減小測試時間且消除 ADC 測試期間對特殊測試設備之需要。

圖 18 說明圖 1 之資料轉換器 12 之一部分的一實施例。在一實施例中，資料轉換器 12 包含一逐次近似類比至數位轉換器 (SAR ADC)。在替代實施例中，資料轉換器 12 可為用於資料轉換之任何類型之電荷重新分布陣列。在所說明之實施例中，資料轉換器 12 包含加 DAC 480、減 DAC 482、比較器 460、SAR 控制電路 476、比較器 492、自我測試控制電路 490、多工器 (MUX) 463，及 MUX 465。SAR 控制電路 476 接收比較器 460 之輸出且將結果信號 484 提供至比較器電路 492、至 MUX 463，及至 MUX 465。自我測試控制

電路 490 將信號提供至 MUX 463、至 MUX 465，及至比較器 492。MUX 463 提供對加 DAC 480 之輸入，且 MUX 465 提供對減 DAC 482 之輸入。在一實施例中，SAR 控制電路 476 包含 SAR 暫存器(諸如，如圖 3 中之 SAR 暫存器 96)。

在圖 18 中所說明之實施例中，加 DAC 480 接收 VREFH 88、VREFL 90 及 VIN 92 作為輸入。減 DAC 482 接收 VREFH 88、VREFL 90 及 VIN 93 作為輸入。在一實施例中，加 DAC 480 及減 DAC 482 各自包含二進位加權之元件(諸如，電容器或電阻器)之陣列。在一實施例中，加 DAC 480 之一部分及減 DAC 482 之一部分可使用諸如圖 10 中所說明之電路之電路或其變化來實施。在一實施例中，SAR 控制電路 476 包含 SAR 暫存器(諸如，圖 3 中之 SAR 暫存器 96)。在替代實施例中，自我測試電路 490、比較器 492 及通過/失敗指示符 494 可與圖 3 及圖 14 中所說明之電路組態一起使用。另外，資料轉換器之任何適當組態可利用本文中所描述之自我測試方法及裝置。

在一實施例中，在正常操作期間，SAR 控制電路 476 控制 DAC 電容器(參見圖 10 中之電容器 208-221)以逐次地近似一輸入電壓，其中比較器 460 之輸出由 SAR 控制電路 476 使用以判定如何切換 DAC 480 及 482 中之電容器。在該近似之每一步驟處，將比較器 60 輸出儲存於電路 476 中之 SAR 暫存器中且所得數位字為類比輸入電壓之數位表示。一旦完成比較，便可輸出儲存於 SAR 暫存器(例如，圖 3 中之 SAR 暫存器 96)中之數位值作為數位結果 484。注意，在一

轉換期間，結果484充當一分別提供回饋資訊至比較器492及經由MUX 463及465提供回饋資訊至DAC 480及482之中間結果。

在一實施例中，在測試期間，比較器492接收來自SAR控制電路476之結果值484且接收來自自我測試控制電路490之期望值。比較器492接著比較實際轉換結果值484與期望轉換值且基於該兩個數位值是否匹配確證或否定(negate)通過/失敗信號494。在另一實施例中，比較器492比較實際轉換結果值484與一期望之值範圍且基於結果是否在此範圍內確證或否定通過/失敗信號494。對於一些實施例，若通過/失敗信號494指示一「失敗」，則比較器492能夠提供關於實際結果484相對於期望結果變化之量之資訊(例如，哪一者為不匹配之最高有效位元)。替代實施例可僅提供一通過/失敗信號494，或可提供關於實際結果值484如何不同於期望值之額外資訊。注意，自我測試控制電路490控制MUX 463及465中之哪一輸入分別傳遞至DAC 480及482。因此，自我測試控制電路490控制其是否提供對DAC 480及482之輸入，或DAC 480及482是否接收來自SAR控制電路476之回饋輸入。

在一實施例中，提供SAR ADC之一完整的非常短之持續時間的生產自我測試而類比複雜性或大小不增加。在一實施例中，使用SAR ADC之完整自我測試之方法，其中使用選定電路元件(例如，在DAC 480、482中)產生測試電壓，且接著使用不同電路元件(例如，在DAC 480、482中)比較

此等測試電壓與期望電壓。由於此方法，故有可能不僅確保不存在歸因於短路之缺陷及歸因於開路之缺陷，而且確保用於DAC 480及482中之所有元件之正確大小(例如，電容值)。在一實施例中，藉由將電容器210-219(參見圖10)之一部分充電至VREFH 88且將電容器210-219中之剩餘者充電至VREFL 90來將相對側(例如，減DAC 482)充電至預定偏移電壓。所得偏移電壓與「充電至VREFH 88之電容器之電容」與「總電容」之比成比例。藉由使用此關係，有可能判定用於每一被測試電容器(CUT)之電容值是否在所要之範圍內。

在一實施例中，自我測試控制電路490控制自我測試期間的ADC之取樣及固持階段。在一實施例中，自我測試序列包含對小於被測試電容器(CUT)之所有元件上之高參考電壓(VREFH 88)取樣及對此DAC中之所有剩餘電容器上之低參考電壓(VREFL 90)取樣。在固持及比較階段期間，將CUT強迫至VREFH 88且將此DAC中之剩餘電容器強迫至VREFL 90。藉由僅使用ADC之相同側(單端型)或相對側(差動型)上之較低電容器的逐次近似量測所得誤差電壓。注意，可針對任何電容性DAC使用此方法(具有一些修改)。亦可針對使用電阻性元件之DAC使用此方法(具有其他修改)。該方法適用於任何適當且所要之資料轉換器。在差動DAC(例如，參見圖18)之情況下描述圖19中所說明之方法520。在單端型DAC之情況下描述圖20中所說明之方法570。注意，對於一實施例，使用個別DAC元件(例

如，圖 10 中之電容器 208-221) 之取樣、固持及比較條件之獨立控制。在一實施例中，自我測試控制電路 490(圖 18) 包含用於控制切換電路 102 及控制電路 100(參見圖 4) 之電路(例如，狀態機、隨機邏輯等)。

注意，圖 19 及圖 20 中所描述之方法能夠偵測歸因於在近似期間使用 CUT 之誤差、比較器中之允許之偏移誤差、允許之零標度誤差(居中於 VREFL 90 處之轉換或比較)、允許的大於一 LSB 之不匹配誤差，及結果 484 之雜訊底部或隨機化。注意，對於一實施例，不需要額外類比電路，且僅添加最小數位電路。使用本文中所描述之方法測試圖 18 之資料轉換器 12 所需的總測試時間少得多，因為不再需要成千上萬個獨立 ADC 轉換(例如，對於 16 位元 ADC) 以便測試資料轉換器 12 中之電路。對於一實施例，對 DAC 480 及 482 中之不同元件(例如，電容器) 逐次地執行取樣、固持及近似，使用逐次近似量測參數誤差，且可使用意想偏移。因此，對於一些實施例，測試 DAC 480 及 482 中之每一元件可能僅需要一測試或少數測試；且因此，對於測試目的可能不再需要成千上萬個先前所需之獨立 ADC 轉換。此可導致測試時間及測試設備複雜性之巨大成本節省。

圖 21 說明對於一實施例可如何使用本文中所描述之測試方法來針對短路與開路兩者測試對 DAC(例如，圖 18 之 480、482) 中之每一電容器(例如，圖 4 之 208-221) 之所有連接。注意，「L」表示對 VREFL 90 之電容器連接，「H」表示對 VREFH 88 之電容器連接，且「IN」表示對 VIN 92、

93之電容器連接。注意，圖21中所說明之切換器(且亦如圖4中之電路102)可被實施為數位電路(例如，使用一或多個電晶體)。

在使用資料轉換器之一些應用中，需要能夠執行較高速度、較低解析度轉換。舉例而言，一些應用不需要ADC之全解析度能力。因此，可能需要減少取樣時間且增加用於執行較低解析度轉換之頻寬之資料轉換器能力或操作模式。在一實施例中，可依據在SAR ADC(參見(例如)圖18之電路480、482、460及476；圖2之資料轉換器12)之DAC中取樣的總電容之比按比例調整數位轉換結果。

在一實施例中，僅對DAC(例如，圖18之DAC 480)中之電阻性元件及/或電容性元件之一分率上的輸入電壓取樣。由於僅使用電阻性元件及/或電容性元件之一部分，故可顯著地減小取樣時間。又，僅執行逐次近似達可接受地較低之準確度等級可減小所需之時脈循環之數目(與較高解析度模式相比較)。另外，對於一些實施例可使用基於對DAC電容器之何分率取樣數位地調整轉換結果(包括添加 $1/2$  LSB移位)。對於圖2中所說明之16位元資料轉換器，在12位元模式中操作與16位元模式相比大致節省6個轉換時間循環。此時間節省可係歸因於較快取樣(較低電容)，且歸因於不需要執行全逐次近似。在一實施例中，時間節省亦允許 $1/2$  LSB移位而無類比電路調整。在一實施例中，此等時間節省(結合比較器(例如，圖18中之460)僅必須解析12位元的事實)允許較低解析度模式具有為16

位元模式之頻寬之兩倍的頻寬。在具有需要較長取樣時間之高外部源電阻之應用中，較低解析度模式之頻寬改良可能甚至更顯著。

圖22說明根據一實施例之用於在16位元ADC中執行12位元轉換之方法620。可在任何適當且所要之資料轉換器中使用方法620之各種實施例。一可利用方法620之資料轉換器之一可能的實施例為圖3中所說明之資料轉換器12之實施例。又，參見針對圖3之DAC 80之一部分的一實施例的圖4，且參見針對圖3之DAC 80之一部分的一替代實施例的圖10。

在圖22之方法620中，程序在橢圓形600處開始且進行至步驟602，在步驟602中，將MSB電容器(例如，119或219)之底板(例如，第一電極)充電至電壓VIN 92，而將比較器60輸入充電至電壓VCM 94。注意，在所說明之實施例中，步驟602將總電容之大致二分之一有效地充電至VIN 92。替代實施例可改為將總電容之不同分率充電，諸如，總電容之除以二之冪的任何分率(例如，1/2、1/4、1/8、1/16等)。程序自步驟602進行至步驟603，在步驟603中，釋放對比較器60之輸入且將MSB電容器(例如，119或219)之底板切換至VREFL 90。程序自步驟603進行至步驟604，在步驟604中，對13個或14個最高有效位元執行逐次近似以產生用於VIN/2(輸入電壓之二分之一)之13或14位元轉換結果。程序自步驟604進行至步驟605，在步驟605中，將轉換結果向左移位(亦即，加倍或乘以2)且在需要時

進行捨入，以得到 $1/2$  LSB移位以產生用於VIN之12位元最終轉換結果。在步驟605之後，程序接著在橢圓形601處結束。在一實施例中，可以任何已知之先前技術方式執行經按比例調整之轉換結果的捨入以產生經捨入之經按比例調整之轉換結果。另外，雖然可使用任何數目之最低有效位元執行捨入，但大多數應用將使用最低有效位元中之一者或兩者來產生經捨入之經按比例調整之轉換。

注意，圖22中所描述之方法620之實施例藉由僅使用總電容之二分之一有效地執行針對僅輸入電壓之二分之一( $V_{IN}/2$ )的轉換。可留存原始結果之12個以上位元。接著將原始轉換結果向左移位一位元位置，此將原始轉換結果有效地乘以2。替代實施例可使用或不使用任何所要且適當之捨入方法。替代實施例可藉由僅使用總電容(例如，在DAC 80中)之 $1/4$ 執行針對僅輸入電壓之 $1/4$ ( $V_{IN}/4$ )的轉換。接著將原始轉換結果向左移位兩個位元位置，此將原始轉換結果有效地乘以4。可留存原始結果之12個以上位元以使得存在在有效乘法運算期間作為LSB移入之位元。替代實施例可使用等於除以二之冪的總電容之任何分率以使得可使用原始結果之移位來判定最終轉換結果。因此，在一實施例中，基於實際用於轉換的電容與可用於轉換之總電容上之比將原始轉換結果按比例調整以產生最終轉換結果。

在一實施例中，圖2之資料轉換器12中之控制暫存器31可包含可由SAR控制電路使用以判定何時使用較高速、較

低解析度轉換模式(例如，何時使用16位元ADC執行12位元轉換)之一或多個使用者可程式化位元。或者，一或多個積體電路插腳或端子(類似於用於將匯流排24耦接至外部世界之插腳或端子)可耦接至資料轉換器12且可用於將來自外部世界之至少一轉換模式信號提供至資料轉換器12。至少一轉換模式信號可選擇第一模式(例如，針對16位元ADC之16位元轉換)，且或者可選擇一第二較高速及/或較低解析度轉換模式(例如，針對16位元ADC之12位元轉換)。替代實施例可具有任何數目個所要且適當之轉換模式，且可以任何所要且適當之方式選擇待使用之轉換模式。另外，雖然在16-位元ADC上之12-位元轉換之情況下描述一範例實施例，但可使用任何所要且適當之解析度之ADC上的任何所要且適當之解析度之轉換。

至此，應瞭解，已提供具有諸多有益特徵之資料轉換器。

因為實施本發明之裝置係(對於大多數部分)由熟習此項技術者已知之電子組件及電路構成，所以將不以比如上所說明視為必要之範圍大的任何範圍來解釋電路細節，以理解並瞭解本發明之基本概念且以便不混淆或分散本發明之教示。

上述實施例中之一些(在適用時)可使用各種不同資訊處理系統來實施。舉例而言，雖然圖1及圖2及其論述描述一例示性資訊處理架構，但呈現此例示性架構僅用於在論述本發明之各種態樣時提供有用參考。當然，出於論述之目

的已簡化該架構之描述，且其僅為可根據本發明使用之許多不同類型之適當架構中的一者。熟習此項技術者將認識到，邏輯區塊之間的邊界僅為說明性的且替代實施例可合併邏輯區塊或電路元件或在各種邏輯區塊或電路元件上強加功能性之替代分解。

因此，應理解，本文中所描繪之架構僅為例示性的，且事實上可實施達成相同功能性之許多其他架構。在抽象但仍明確之意義上，使用於達成相同功能性之組件之任何配置有效地「相關聯」以致達成所要之功能性。因此，可將本文中經組合以達成特定功能性之任何兩個組件視為彼此「相關聯」以致達成所要之功能性，而不管架構或中間組件。同樣地，亦可將如此相關聯之任何兩個組件視為「操作地連接」或「操作地耦接」至彼此以達成所要之功能性。

又舉例而言，在一實施例中，系統10之所說明之元件為定位於一單一積體電路上或同一器件內之電路。或者，系統10可包括彼此互連的任何數目個獨立積體電路或獨立器件。舉例而言，記憶體18可定位於與處理器16相同之積體電路上或在獨立積體電路上或定位於與系統10之其他元件離散地分離之另一周邊裝置或受控器內。資料轉換器12亦可定位於獨立積體電路或器件上。又舉例而言，系統10或其部分可為實體電路或可轉換成實體電路之邏輯表示之軟體表示或程式碼表示。因而，可以任何適當類型之硬體描述語言來體現系統10。

此外，熟習此項技術者將認識到，上文所描述之操作之功能性之間的邊界僅為說明性的。可將多個操作之功能性組合成單一操作，及/或可將單一操作之功能性分布於額外操作中。此外，替代實施例可包括特定操作之多個執行個體，且在各種其他實施例中可改變操作之次序。

雖然本文中參考特定實施例描述本發明，但可在不偏離如下文在申請專利範圍中闡述的本發明之範疇之情況下作出各種修改及改變。舉例而言，可以與任一(任何)其他特徵之任何所要且適當之組合來使用本文中所描述之特徵中之任何一或多者。因此，應將說明書及諸圖視為說明性的而非限制性意義的，且所有該等修改意欲包括在本發明之範疇內。本文中關於特定實施例所描述之任何益處、優點或對問題之解決方案並不意欲被解釋為任何或所有請求項之關鍵的、所需的或本質的特徵或元件。

如本文中所使用之術語「耦接」並不意欲限於直接耦接或機械耦接。

此外，如本文中所使用之術語「一」經定義被一或一個以上。又，申請專利範圍中之諸如「至少一」及「一或多個」之引導片語的使用不應被解釋為暗示藉由不定冠詞「一(a或an)」進行的另一請求項元件之引入將含有該引入之請求項元件之任何特定請求項限於僅含有一個該元件之發明，甚至當同一請求項包括引導片語「一或多個」或「至少一」及諸如「一(a或an)」之不定冠詞時亦如此。對於定冠詞之使用同樣適用。

除非另外陳述，否則諸如「第一」及「第二」之術語用於任意地區別該等術語描述之元件。因此，此等術語未必欲指示該等元件之時間或其他優先排序。

#### 額外本文

1. 一種資料轉換器(例如，12)，其包含：

— 第一DAC陣列(例如，圖18之480)；

— 第一比較器(例如，460)，其經耦接以自該第一DAC陣列接收一輸入，該第一比較器提供一輸出；

— 逐次近似電路(例如，476)，其耦接至該第一比較器之該輸出，該逐次近似電路提供一實際測試結果值(例如，484)；

— 自我測試電路(例如，490)，其產生並提供一期望之測試結果值；

— 第二比較器(例如，492)，其耦接至該逐次近似電路以接收該實際測試結果值，且耦接至該自我測試電路以接收該期望之測試結果值；及

— 一或多個導體(例如，通過/失敗494)，其耦接至該第二比較器，該一或多個導體提供用於指示相比於該期望之測試結果值該實際測試結果值是否在一預定範圍內的一或多個信號，其中對於一第一情形而言，該實際測試結果值不同於該期望之測試結果值但該一或多個信號指示該實際測試結果值仍在該預定範圍內，且其中對於一第二情形而言，該實際測試結果值不同於該期望之測試結果值且該一或多個信號指示該實際測試結果不在該預

定範圍內。

2. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其中該一或多個信號指示該實際測試結果值是否確切地匹配該期望之測試結果值。

3. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

一第一多工器(例如，463)，其具有一經耦接以接收該實際測試結果值之第一輸入，具有一經耦接以自該自我測試電路接收一第一提供之測試值之第二輸入，具有一耦接至該自我測試電路之控制輸入，且具有一耦接至該第一DAC陣列之輸出。

4. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

一第二DAC陣列(例如，482)，其耦接至該第一比較器。

5. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

一第二多工器(例如，465)，其具有一經耦接以接收該實際測試結果值之第一輸入，具有一經耦接以自該自我測試電路接收一第二提供之測試值之第二輸入，具有一耦接至該自我測試電路之控制輸入，且具有一耦接至該第二DAC陣列之輸出。

6. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其中該第一DAC陣列包含：

複數個二進位加權之元件(例如，圖4之110-119；圖10之210-219)；及

控制電路(例如，圖4之100；圖10之200)，其用於控制複數個電壓(例如，VREFH 88、VREFL 90、VIN 92)中之哪一者耦接至該複數個二進位加權之元件中之每一者。

7. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其中該第一DAC陣列(例如，480或482)被充電至一預定偏移電壓以便產生該期望之測試結果值，其中該預定偏移電壓為非零的。

8. 如敘述6或本文中任何其他適當之其他敘述的資料轉換器，其中該控制電路在一取樣階段、一固持階段及一比較階段中之每一者期間提供該複數個二進位加權之元件中之每一者的獨立控制。

9. 如敘述6或本文中任何其他適當之其他敘述的資料轉換器，其中該逐次近似電路與該自我測試電路兩者耦接(例如，經由圖18之MUX 463)以控制該第一DAC陣列中之該控制電路。

10. 如敘述1或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

結果調整電路(例如，圖3之70；圖14之270)，其經耦接以接收該實際測試結果值，該結果調整電路產生一經校準之測試結果值。

11. 如敘述1或本文中任何其他適當之其他敘述的資料

轉換器，其中逐次近似用於量測參數誤差。

12. 一種用於測試一資料轉換器(例如，12)之方法(例如，圖19中之520；圖20中之570)，其包含：

在一取樣階段(例如，針對差動型之圖19中之502；針對單端型之圖20中之552)期間，

當該資料轉換器為差動型時，將一第一參考電壓(例如，VREFH 88)耦接至小於一第一被測試電路元件[CUT]之所有電路元件且將一第二參考電壓(例如，VREFL 90)耦接至電路元件之一剩餘部分，

當該資料轉換器為差動型且正測試該資料轉換器之一正側時，將該資料轉換器之一負側中的第一預定數目個電路元件耦接至該第一參考電壓(例如，VREFH 88)，

當該資料轉換器為差動型且正測試該資料轉換器之該負側時，將該資料轉換器之該正側中的第二預定數目個電路元件耦接至該第一參考電壓(例如，VREFH 88)，

當該資料轉換器為單端型且該第一CUT大於一預定大小時，將該第一參考電壓(例如，VREFH 88)耦接至小於該第一CUT之該等電路元件之一第一部分，將該第二參考電壓(例如，VREFL 90)耦接至小於該第一CUT之該等電路元件之一第二部分，且將該第二參考電壓(例如，VREFL 90)耦接至該第一CUT且耦接至大於該第一CUT之所有電路元件，

當該資料轉換器為單端型且該第一CUT小於該預定大小時，將該第一參考電壓(例如，VREFH 88)耦接至小於該第一CUT之該等電路元件之該第一部分，將該第二參考電壓(例如，VREFL 90)耦接至小於該第一CUT之該等電路元件之該第二部分，將該第一參考電壓(例如，VREFH 88)耦接至大於該第一CUT之該等電路元件之一第三部分，且將該第二參考電壓(例如，VREFL 90)耦接至該第一CUT且耦接至大於該第一CUT之該等電路元件之一第四部分；

在一固持階段(例如，圖19中之503；圖20中之553)期間，將該第一被測試電路元件強迫至該第一參考電壓(例如，VREFH 88)且將電路元件之該剩餘部分強迫至該第二參考電壓(例如，VREFL 90)；及

在一比較階段(例如，圖19中之504；圖20中之554)期間，藉由執行逐次近似判定一所得誤差電壓。

13. 如敘述12或本文中之任何其他適當之其他敘述的方法，其中該第一參考電壓高於該第二參考電壓。

14. 如敘述12或本文中之任何其他適當之其他敘述的方法，其進一步包含：

比較該所得誤差電壓與一期望之誤差值以產生一比較結果(例如，圖19中之505；圖20中之555)，其中該期望之誤差值不為零；及

使用該比較結果判定該資料轉換器是否通過該測試(例如，圖18中之494)。

15. 如敘述 12 或本文中之任何其他適當之其他敘述的方法，其中該資料轉換器為一具有一第一差動側及一第二差動側(例如，圖 18)之差動型資料轉換器(例如，圖 19)，其中該第一被測試電路元件定位於該第一差動側上(例如，圖 19 中之 502)，且其中針對該第一被測試電路元件之該逐次近似係由該第二差動側執行(例如，圖 19 中之 504)。

16. 如敘述 15 或本文中之任何其他適當之其他敘述的方法，其中在該第二差動側上執行之該逐次近似係在無差動信號之情況下執行，如同該第二差動側為單端型一樣。

17. 如敘述 15 或本文中之任何其他適當之其他敘述的方法，其進一步包含：

選擇一第二被測試電路元件，其中該第二被測試電路元件定位於該第二差動側上；及

使用該第二被測試電路元件代替該第一被測試元件重複敘述 12 之每一步驟，

其中針對該第二被測試電路元件之該逐次近似係由該第一差動側執行。

18. 如敘述 17 或本文中之任何其他適當之其他敘述的方法，其中該第一被測試電路元件包含一電容性元件。

19. 一種用於測試一資料轉換器(例如，12)之方法(例如，圖 19 中之 520；圖 20 中之 570)，其包含：

在該資料轉換器中提供複數個電容性元件(例如，圖 4 之 110-119；圖 10 之 210-219)；

在該資料轉換器中提供用於將該複數個電容性元件中

之每一者獨立地耦接至複數個電壓中之一者的電路(例如, 圖4中之100; 圖10中之200);

選擇該複數個電容性元件中之一第一者作為一被測試電容性元件;

在一第一測試週期(例如, 圖19中之取樣階段502; 圖20中之552、556)期間, 將該複數個電壓中之一第一者(例如, VREFH 88)耦接至小於該被測試電容性元件之該複數個電容性元件之一第一部分, 且將該複數個電壓中之一第二者(例如, VREFL 90)耦接至與該被測試電容性元件相同大小或大於該被測試電容性元件之該複數個電容性元件之一第二部分, 且將該複數個電壓中之一選定者耦接至該複數個電容性元件之一第三部分;

在一第二測試週期(例如, 圖19中之固持階段503; 圖20中之553、557)期間, 將該被測試電容性元件耦接至該複數個電壓中之該第一者(例如, VREFH 88), 將該複數個電容性元件之該第二部分耦接至該複數個電壓中之該第二者(例如, VREFL 90), 且將該複數個電容性元件之該第三部分耦接至該複數個電壓中之一不同的選定者以產生一偏移電壓; 及

在一第三測試週期(例如, 圖19中之比較階段504; 圖20中之554)期間, 藉由使用該資料轉換器執行逐次近似判定一所得誤差電壓。

20. 如敘述19或本文中之任何其他適當之其他敘述的方法, 其中該複數個電壓包含一高參考電壓(例如, VREFH

88)、一低參考電壓(例如, VREFL 90), 及一輸入電壓(例如, VIN 92), 且其中該被測試電容性元件係在該第一時間週期、該第二時間週期及該第三時間週期期間在不將該輸入電壓耦接至該複數個電容性元件中之任一者之情況下測試。

21. 一種用於測試一資料轉換器(例如, 12)之方法(例如, 圖19中之520; 圖20中之570), 其包含:

在該資料轉換器中提供複數個二進位加權之元件(例如, 圖4之110-119; 圖10之210-219);

在該資料轉換器中提供用於在該資料轉換器之測試期間將該複數個二進位加權之元件中之每一者獨立地耦接至複數個電壓中之任一者的電路(例如, 圖4中之100; 圖10中之200);

其中該複數個電壓包含一高參考電壓(例如, VREFH 88)、一低參考電壓(例如, VREFL 90), 及一輸入電壓(例如, VIN 92); 及

選擇該複數個二進位加權之元件中之一第一者作為一被測試二進位加權之元件,

其中該被測試二進位加權之元件係在該資料轉換器之測試期間在不將該輸入電壓耦接至該複數個電容性元件中之任一者之情況下測試。

22. 一種方法(例如, 圖22之620), 其包含:

提供用於傳送控制資訊之一或多個導體(例如, 圖2之導體「模式」), 該控制資訊選擇一資料轉換器(例如,

12)中之一資料轉換是一J位元資料轉換或是一A位元資料轉換，其中J及A為整數，且其中該資料轉換器具有一具有一總電容C之電荷重新分布陣列(例如，圖3之62；圖18之480、482)；

當選擇該J位元資料轉換時，使用該資料轉換器執行該J位元資料轉換；及

當選擇該A位元資料轉換時，使用該資料轉換器執行該A位元資料轉換，

其中該資料轉換器用於執行該J位元資料轉換與該A位元資料轉換兩者，且

其中該使用該資料轉換器執行該A位元資料轉換之步驟包含：

接收一待轉換之輸入電壓(例如，602)；

使用該輸入電壓對該電荷重新分布陣列之該總電容C之一第一部分進行充電，其中該電荷重新分布陣列之該總電容C之該第一部分小於所有該總電容C(例如，602、603)；

對L個最高有效位元執行一逐次近似以產生一未經按比例調整之轉換結果，其中L為一小於J且大於A之整數(例如，604)；及

將該未經按比例調整之轉換結果移位以產生一經按比例調整之轉換結果(例如，605)。

23. 如敘述22或本文中之任何其他適當之其他敘述的方法，其中該使用該資料轉換器執行該A位元資料轉換之步

驟進一步包含：

將該經按比例調整之轉換結果進行捨入以產生一經按比例調整且經捨入之轉換結果(例如，605)。

24. 如敘述 23 或本文中任何其他適當之其他敘述的方法，其中該捨入之步驟包含：

使用該經按比例調整之轉換結果之複數個最低有效位元判定捨入。

25. 如敘述 22 或本文中任何其他適當之其他敘述的方法，其中該電荷重新分布陣列之該總電容 C 之該第一部分大致為該電荷重新分布陣列之該總電容 C 之二分之一。

26. 如敘述 22 或本文中任何其他適當之其他敘述的方法，其中 J 為 16，A 為 12，且 L 為 13。

27. 如敘述 22 或本文中任何其他適當之其他敘述的方法，其進一步包含：

提供用於儲存該控制資訊之儲存電路(例如，圖 2 之控制暫存器 31)。

28. 如敘述 22 或本文中任何其他適當之其他敘述的方法，其中該移位之步驟包含：

將該未經按比例調整之轉換結果向左移位以產生該經按比例調整之轉換結果。

29. 如敘述 22 或本文中任何其他適當之其他敘述的方法，其中該 A 位元資料轉換具有一比該 J 位元資料轉換低之解析度及一比該 J 位元資料轉換高之頻寬。

30. 如敘述 22 或本文中任何其他適當之其他敘述的方

法，其中該電荷重新分布陣列具有一總電阻 $R$ 而不是一總電容 $C$ 。

31. 如敘述22或本文中任何其他適當之其他敘述的方法，其中該電荷重新分布陣列包含電阻性元件與電容性元件兩者。

32. 如敘述22或本文中任何其他適當之其他敘述的方法，其中該資料轉換器在比該資料轉換器執行該 $A$ 位元資料轉換之時間少之時間中執行該 $J$ 位元資料轉換。

33. 如敘述22或本文中任何其他適當之其他敘述的方法，其中該資料轉換器包含一類比至數位轉換器。

34. 一種資料轉換器，其包含：

用於儲存控制資訊之儲存電路(例如，圖2之控制暫存器31)，該控制資訊選擇該資料轉換器(例如，12)中之一資料轉換是一 $J$ 位元資料轉換或是一 $A$ 位元資料轉換，其中 $J$ 及 $A$ 為整數；

一電荷重新分布陣列(例如，圖3之62；圖14之280、282)，其包含複數個二進位加權之元件(例如，電阻性元件及/或電容性元件)；

用於接收一待轉換之輸入之一或多個輸入端子(例如，圖3之92)；及

控制電路(例如，圖4之100；圖10之200)，其接收該控制資訊(例如，圖4之控制63；圖10之控制65)且回應於此而判定該等二進位加權之元件中之哪一者耦接至該一或多個輸入端子，

其中當該資料轉換器(例如, 12)中之該資料轉換為該J位元資料轉換時, 該控制電路將所有該等二進位加權之元件耦接至該一或多個輸入端子, 且

其中當該資料轉換器(例如, 12)中之該資料轉換為該A位元資料轉換時, 該控制電路僅將該等二進位加權之元件之一部分耦接至該一或多個輸入端子, 其中該等二進位加權之元件之該部分小於所有該等二進位加權之元件。

35. 如敘述34或本文中之任何其他適當之其他敘述的資料轉換器, 其中該儲存電路包含一使用者可程式化暫存器。

36. 如敘述34或本文中之任何其他適當之其他敘述的資料轉換器, 其進一步包含:

一比較器(例如, 圖3之60; 圖14之260、261), 其具有一耦接至該電荷重新分布陣列之輸入且具有一輸出; 及  
逐次近似電路(例如, 圖3之76; 圖14之276), 其耦接至該比較器之該輸出以用於提供一轉換結果。

37. 如敘述34或本文中之任何其他適當之其他敘述的資料轉換器, 其中來自該逐次近似電路之該轉換結果為一未經校準之轉換結果(例如, 圖3之84), 且其中該資料轉換器進一步包含:

結果調整電路(例如, 圖3之70; 圖14之270), 其接收該未經校準之轉換結果且對該未經校準之轉換結果執行一數學計算以產生一經校準之轉換結果。

38. 如敘述34或本文中之任何其他適當之其他敘述的資料

轉換器，其中該結果調整電路包含一累加器(例如，圖3之72)。

39. 一種方法(例如，圖22之620)，其包含：

提供用於選擇一資料轉換器中之複數個轉換模式中的一者的模式選擇電路(例如，圖2之控制暫存器31)；

提供該複數個轉換模式中的一具有一第一解析度且具有一第一頻寬之第一轉換模式(例如，較高解析度/較低頻寬/較長取樣時間)；及

提供該複數個轉換模式中的一具有一第二解析度且具有一第二頻寬之第二轉換模式(例如，較低解析度/較高頻寬/較短取樣時間)，

其中該第一轉換模式之該第一解析度高於該第二轉換模式之該第二解析度，且

其中該第一轉換模式之該第一頻寬低於該第二轉換模式之該第二頻寬。

40. 如敘述39或本文中之任何其他適當之其他敘述的方法，其中該第二轉換模式之一取樣時間短於該第一轉換模式之一取樣時間。

41. 如敘述39或本文中之任何其他適當之其他敘述的方法，其進一步包含：

接收一輸入電壓(例如，圖3及圖14之VIN 92；圖22之620)；

將該輸入電壓之一分率轉換成一數位值，其中該輸入電壓之該分率小於一且大於零(例如，圖22之603、

604)；

將該數位值向左移位以產生一對應於該輸入電壓之數位轉換結果(例如，圖 22 之 605)。

42. 一種方法(例如，圖 15 中之 320)，其包含：

使用一第一 DAC(例如，圖 14 中之 282)及一第一比較器(例如，261)執行(例如，304)一類比至數位轉換器減輸入(例如，VIN 93)之一部分單端型近似以產生一減結果(例如，285)；

使用一第二 DAC(例如，280)及一第二比較器(例如，260)執行(例如，307)一類比至數位轉換器加輸入(例如，VIN 92)之一全單端型近似以產生一加結果(例如，284)；及

組合該減結果與該加結果以產生一轉換結果(例如，286)。

43. 如敘述 42 或本文中之任何其他適當之其他敘述的方法，其進一步包含：

提供一差動偏壓電容器(例如，圖 14 及圖 10 中之 208)，該差動偏壓電容器具有一耦接至一參考電壓(例如，圖 14 中之 VREFH 88、VREFL 90)之第一端子且具有一耦接至該第二比較器(例如，260)之一正輸入之第二端子。

44. 如敘述 43 或本文中之任何其他適當之其他敘述的方法，其中該差動偏壓電容器具有一大致等於該第一 DAC(例如，282)中之一預定電容器之一電容的電容。

45. 如敘述 43 或本文中之任何其他適當之其他敘述的方法，其中在該執行該類比至數位轉換器減輸入(例如，VIN 93)之該部分單端型近似之步驟的至少一部分期間，該參考電壓為一高參考電壓(例如，VREFH 88)。

46. 如敘述 45 或本文中之任何其他適當之其他敘述的方法，其進一步包含：

視該第二比較器(例如，260)之一輸出而將該差動偏壓電容器(例如，圖 14 及圖 10 中之 208)之該第一端子選擇性地耦接至一低參考電壓(例如，VREFL 90)。

47. 如敘述 46 或本文中之任何其他適當之其他敘述的方法，其中該選擇性地耦接之步驟包含：

當該第二比較器(例如，260)之該輸出高時，將該差動偏壓電容器(例如，圖 14 及圖 10 中之 208)之該第一端子耦接至該低參考電壓(例如，VREFL 90)。

48. 如敘述 42 或本文中之任何其他適當之其他敘述的方法，其中該第一比較器(例如，261)之一負輸入耦接至一共同模式電壓(例如，VCM 94)。

49. 如敘述 42 或本文中之任何其他適當之其他敘述的方法，其中該執行該類比至數位轉換器減輸入(例如，VIN 93)之該部分單端型近似之步驟引起對該第二比較器(例如，260)之一負輸入在一共同模式電壓(例如，VCM 94)之一預定範圍內。

50. 如敘述 42 或本文中之任何其他適當之其他敘述的方法，其中該第二比較器(260)具有比該第一比較器(例如，

261)大之準確度。

51. 一種資料轉換器(例如, 12), 其包含:

第一電路(例如, 圖 14中之282、261), 其執行一類比至數位轉換器減輸入之一部分單端型近似以產生一減結果(例如, 285);

第二電路(例如, 280、260), 其執行一類比至數位轉換器加輸入之一全單端型近似以產生一加結果(例如, 284); 及

結果電路(例如, 270及/或274), 其組合該減結果與該加結果以產生一轉換結果(例如, 286)。

52. 如敘述51或本文中之任何其他適當之其他敘述的資料轉換器, 其中該第一電路包含:

一第一DAC(例如, 282), 其具有一用於接收該類比至數位轉換器減輸入(例如, VIN 93)之第一輸入, 具有一用於接收一第一參考電壓(例如, VREFH 88或VREFL 90)之第二輸入, 且具有一輸出; 及

一第一比較器(例如, 261), 其具有一耦接至該第一DAC之該輸出之第一輸入(+), 具有一耦接至一共同模式電壓(例如, VCM 94)之第二輸入(-), 且具有一用於串列地提供該減結果(例如, 285)之輸出, 261之該輸出串列地提供該減結果之位元, 276之輸出串列地或並列地提供該減結果285之該等位元, 而270之輸出可串列地或並列地提供結果286之位元。

53. 如敘述52或本文中之任何其他適當之其他敘述的資料

轉換器，其中該第二電路包含：

一 第二DAC(例如，280)，其具有一用於接收該類比至數位轉換器加輸入(例如，VIN 92)之第一輸入，具有一用於接收一第二參考電壓(例如，VREFH 88或VREFL 90)之第二輸入，且具有一輸出；及

一 第二比較器(例如，260)，其具有一耦接至該第二DAC之該輸出之第一輸入(+)，具有一耦接至該第一DAC之該輸出之第二輸入(-)，且具有一用於串列地提供該加結果(例如，284)之輸出，260之該輸出串列地提供該加結果之位元，276之該輸出串列地或並列地提供該加結果284之該等位元，而270之輸出可串列地或並列地提供結果286之該等位元。

54. 如敘述53或本文中之任何其他適當之其他敘述的資料轉換器，其進一步包含：

一 差動偏壓電容器(例如，208)，其具有一耦接至一第三參考電壓(例如，VREFH 88或VREFL 90)之第一端子且具有一耦接至該第二比較器(例如，260)之該第一輸入(+)-之第二端子。

55. 如敘述54或本文中之任何其他適當之其他敘述的資料轉換器，其中該差動偏壓電容器(例如，208)具有一大致等於該第一DAC(例如，282)中之一預定電容器(例如，參見圖10)之一電容的電容。

56. 如敘述51或本文中之任何其他適當之其他敘述的資料轉換器，其中該結果電路包含：

計算電路(例如, 274), 其用於判定一加結果(例如, 284)與一減結果(例如, 285)之間的一差以產生一差動結果(例如, 圖 15 中之 308)。

57. 如敘述 56 或本文中之任何其他適當之其他敘述的資料轉換器, 其中該計算電路(例如, 274)自該加結果(例如, 284)減去該減結果(例如, 285)以產生一差動結果(例如, 圖 15 中之 308)。

58. 如敘述 57 或本文中之任何其他適當之其他敘述的資料轉換器, 其中當在轉換(例如, 圖 15 中之 309、310)期間將一偏壓電容器(例如, 208)之一第一端子自一第一參考電壓(例如, VREFH 88)切換至一第二參考電壓(例如, VREFL 90)時, 該計算電路(例如, 274)自該差動結果減去一預定量以產生該轉換結果(例如, 圖 14 中之 286; 圖 15 中之 310)。

59. 一種方法(例如, 圖 15 中之 320), 其包含:

在一類比至數位轉換器(例如, 圖 1 中之 12)中執行一部分逐次近似常式以產生一第一結果(例如, 圖 14 中之減結果 285)(例如, 參見圖 15 中之 302、303、304), 其中該執行該部分逐次近似常式之步驟包含:

在一比較器(例如, 260)之一負輸入(-)處提供一電壓, 其中該電壓大體上等於該比較器之一共同模式電壓(例如, VCM 94)(例如, 參見圖 15 中之 302、303)(例如, 大體上等於該共同模式電壓可意謂該電壓在該共同模式電壓之一預定範圍內, 且該共同模式

電壓之該預定範圍可為至多  $V_{IN} 92$  之範圍之二分之一)；

在該執行該部分逐次近似常式之步驟之後，當該比較器(例如，260)之一正輸入(+)高於該比較器之該負輸入(-)時，將一差動偏壓電容器(例如，208)選擇性地自一第一參考電壓(例如， $V_{REFH} 88$ )切換至一第二參考電壓(例如， $V_{REFL} 90$ )(例如，參見圖15中之306)；

在該執行該部分逐次近似常式之步驟之後，在該類比至數位轉換器中執行一全逐次近似常式以產生一第二結果(例如，加結果284)(例如，參見圖15中之307)；

組合該減結果(例如，285)與該加結果(例如，284)以產生一差動結果(例如，參見圖15中之308)；及

若在該選擇性切換之步驟期間將該差動偏壓電容器(例如，208)自該第一參考電壓(例如， $V_{REFH} 88$ )切換至該第二參考電壓(例如， $V_{REFL} 90$ )，則自該差動結果減去一預定值以產生一轉換結果(例如，286)。

60. 如敘述59或本文中之任何其他適當之其他敘述的方法，其進一步包含：

在該類比至數位轉換器中提供一第一比較器(例如，261)，該第一比較器具有一第一準確度；及

在該類比至數位轉換器中提供一第二比較器(例如，260)，該第二比較器具有一第二準確度，

其中該第二比較器之該第二準確度與該第一比較器之該第一準確度之至少兩倍一樣準確。

61. 如敘述 60 或本文中之任何其他適當之其他敘述的方法，其中該第一比較器(例如，261)用於執行該執行該部分逐次近似常式之步驟(例如，參見圖 15 中之 302、303、304)，且其中該第二比較器(例如，260)用於執行該執行該全逐次近似常式之步驟(例如，參見圖 15 中之 307)。

62. 一種方法(例如，圖 11 中之 271)，其包含：

提供一 J 位元類比至數位轉換器(例如，12)，該 J 位元類比至數位轉換器接收一類比輸入信號且產生一對應的未經校準之數位結果，該未經校準之數位結果具有作為一最低有效位元之位元 0，具有作為一最高有效位元之位元 J-1，且具有在位元 0 與位元 J-1 之間的位元 K，該類比至數位轉換器具有複數個電容性元件(例如，圖 10 之 210-219)，其中該複數個電容性元件足夠執行一 J 位元類比至數位轉換，且其中 J 及 K 為整數；

除該複數個電容性元件之外，提供一額外電容性元件(例如，圖 10 中之 209)；

提供一額外結果位元(例如，圖 11 中之 256；圖 3 中之 96)；

在一比較器之一第一輸入處提供一類比輸入電壓(例如，圖 11 中之 252)；

使用該複數個電容性元件之一第一部分(例如，對應於位元 K 至位元 J-1)及該額外電容性元件在該比較器(例如，圖 3 之 60；圖 11 中之 253、254)之一第二輸入處產生一電壓階躍(例如，VREFH-VREFL)；

若該比較器之一所得輸出為一第一電壓(例如,若低,則採用來自255之「是」路徑;258、259),則確證該額外結果位元且否定該未經校準之數位結果之位元K至該最高有效位元,並執行逐次近似以判定該未經校準之數位結果之位元K-1至0;及

若該比較器之該所得輸出為一第二電壓(例如,若高,則採用來自255之「否」路徑;256、257、259),則否定該額外結果位元且執行逐次近似以判定該未經校準之數位結果之位元J-1至0。

63. 如敘述62或本文中之任何其他適當之其他敘述的方法,其進一步包含:

校準該未經校準之數位結果以產生一經校準之結果,其中該校準之步驟並不減小該類比輸入信號之一預定範圍。

64. 如敘述62或本文中之任何其他適當之其他敘述的方法,其中該提供一額外結果位元之步驟包含執行一額外近似步驟,該額外近似步驟在執行一在校準之後具有一減小之輸入範圍的J位元類比至數位轉換時並非係所需的。

65. 如敘述62或本文中之任何其他適當之其他敘述的方法,其中該額外電容性元件在該J位元類比至數位轉換器中之置放影響可在校準之後恢復的可恢復輸入範圍之一量。

66. 如敘述62或本文中之任何其他適當之其他敘述的方法,其中該J位元類比至數位轉換器中之該額外電容性元

件之一電容大致等於該J位元類比至數位轉換器中的該複數個電容性元件中之一第一者之一電容，且其中該複數個電容性元件中之該第一者對應於該J位元類比至數位轉換器之位元K。

67. 如敘述62或本文中之任何其他適當之其他敘述的方法，其中該J位元類比至數位轉換器中之該額外電容性元件之一電容大致等於一終止電容性元件(例如，圖10中之210)之一電容與對應於位元0至位元K-1(例如，211-216)之該複數個電容性元件中之所有者之一電容相加之一總和。

68. 如敘述62或本文中之任何其他適當之其他敘述的方法，其中提供於該比較器之該第二輸入處之該電壓階躍(例如，VREFH-VREFL)包含一第一參考電壓(例如，VREFH)與一第二參考電壓(例如，VREFL)之間的一差。

69. 如敘述62或本文中之任何其他適當之其他敘述的方法，其中用於判定該額外結果位元之一值之該電壓階躍(例如，VREFH-VREFL)大致等於一標準電壓階躍之兩倍，且其中該標準電壓階躍用於判定該未經校準之數位結果之位元J-1的一值。

70. 如敘述62或本文中之任何其他適當之其他敘述的方法，其進一步包含：

在該類比至數位轉換器中提供一差動偏壓電容性元件(例如，圖10中之208)。

71. 一種方法(例如，圖11之271)，其包含：

提供一類比至數位轉換器(例如，12)，該類比至數位

轉換器接收一類比輸入信號且產生一對應的J位元經校準之數位結果值，該J位元經校準之數位結果值具有作為一最低有效位元之位元0，具有作為一最高有效位元之位元J-1，且具有在位元0與位元J-1之間的位元K，其中J及K為整數；

執行一或多次逐次近似以產生一J+1位元未經校準之數位結果值之位元J-1至K(例如，位元15至11)(例如，圖11中之257)；

執行一或多次逐次近似以產生該J+1位元未經校準之數位結果值之位元K-1至0(例如，位元10至0)(例如，圖11中之259)；

執行一額外比較以產生該未經校準之數位結果值之一額外位元J+1，其中該額外位元J+1比位元J有效(例如，圖11中之254-256、258)；及

校準該J+1位元未經校準之數位結果值以產生該J位元經校準之數位結果值(例如，圖11中之249)。

72. 如敘述71或本文中之任何其他適當之其他敘述的方法，其中該校準之步驟並不減小該類比輸入信號之一預定範圍。

73. 如敘述71或本文中之任何其他適當之其他敘述的方法，其中該執行該額外比較以產生該未經校準之數位結果值之該額外位元J+1的步驟包含：

在一比較器(例如，圖3中之60；圖14中之260；圖18中之460)之一輸入處提供一電壓，其中該電壓包含一第

一參考電壓(例如, VREFH)與一第二參考電壓(例如, VREFL)之間的一差。

74. 如敘述 73 或本文中任何其他適當之其他敘述的方法, 其中該第一參考電壓為一高參考電壓且該第二參考電壓為一低參考電壓, 且其中該在該比較器之一輸入處提供該電壓之步驟在複數個遞增電壓階躍(例如, 高達「S」個階躍, 其中該「S」個階躍中之每一者為一大致為  $1/「S」$  乘以 VREFH 與 VREFL 之間的該差之電壓階躍)中提供該第一參考電壓(例如, VREFH)與該第二參考電壓(例如, VREFL)之間的該差。

75. 如敘述 71 或本文中任何其他適當之其他敘述的方法, 其中該提供該類比至數位轉換器之步驟包含:

提供複數個二進位加權之電容性元件(例如, 圖 10 中之 210-219)。

76. 如敘述 75 或本文中任何其他適當之其他敘述的方法, 其中該提供該類比至數位轉換器之步驟進一步包含:

提供一額外電容性元件(例如, 圖 10 中之 209), 其中該額外電容性元件之一電容大致等於該複數個二進位加權之電容性元件中之一第一者之一電容, 且其中該複數個二進位加權之電容性元件中之該第一者對應於該類比至數位轉換器之位元 K。

77. 如敘述 76 或本文中任何其他適當之其他敘述的方法, 其中 K 之一值影響可在校準之後恢復的可恢復輸入範圍之一量。

78. 如敘述 76 或本文中之任何其他適當之其他敘述的方法，其中 J 等於 16 且 K 等於 11。

79. 一種方法(例如，圖 11 之 271)，其包含：

提供一 J 位元類比至數位轉換器(例如，12)，該 J 位元類比至數位轉換器具有複數個電容器(例如，209-219)且具有一比較器(例如，圖 3 之 60)，該比較器具有一第一輸入、一第二輸入及一輸出；

藉由將與位元 J 至位元 K 相關聯之所有該複數個電容器耦接至一高參考電壓來在該比較器之該第一輸入處提供一等於該高參考電壓減一低參考電壓(例如， $V_{REFH} - V_{REFL}$ )之第一電壓，且在該比較器之該第二輸入處提供一第二電壓(例如，圖 11 之 252、253、254)；

回應於該在該比較器之該第一輸入處提供該第一電壓之步驟，自該 J 位元類比至數位轉換器提供一 J+1 位元初步轉換結果，其中該 J+1 位元初步轉換結果包含一額外結果位元(例如，位元 16)(例如，圖 11 中之 259)；

回應於該在該比較器之該第一輸入處提供該第一電壓之步驟，若該比較器輸出為一第一值(例如，低)，則確證(例如，設定)該額外結果位元，且否定(例如，清除)該初步轉換結果之一第二最高有效位元至位元 K，與位元 J 至位元 K 相關聯之所有該複數個電容器保持耦接至該高參考電壓，且次一近似繼續進行位元 K-1(例如，圖 11 中之 258、259)；及

回應於該在該比較器之該第一輸入處提供該第一電壓

之步驟，若該比較器輸出為一第二值(例如，高)，則將與位元J至位元K相關聯之所有該複數個電容器切換回至該低參考電壓，否定(例如，清除)該額外結果位元，且一標準SAR序列在該第二最高有效位元(例如，位元15)開始，其中J及K為整數，且其中該額外結果位元為該J+1位元初步轉換結果之一最高有效位元(例如，圖11中之256、257、259)。

80. 如敘述79或本文中之任何其他適當之其他敘述的方法，其進一步包含：

校準該J+1位元初步轉換結果以產生一J位元經校準之轉換結果(例如，圖11中之249)。

81. 如敘述80或本文中之任何其他適當之其他敘述的方法，其中該校準之步驟並不減小該類比輸入信號之一預定範圍。

82. 一種資料轉換器(例如，圖1之12；亦參見圖5及圖6)，其包含：

轉換電路(例如，圖3之62、60、76；圖14之280、282、260、261、276)，其用於接收一輸入且提供一未經校準之轉換結果(例如，圖3之84；圖14之284、285)；

校準儲存電路(例如，圖3之68或72；圖14之270之一部分)，其儲存一校準值，

其中該校準值係由該資料轉換器(例如，12)產生；及結果調整電路(例如，圖3之70；圖14之270)，其耦接

至該轉換電路及該校準儲存電路(例如,圖3之68),該結果調整電路使用該校準值數位地調整該未經校準之轉換結果(例如,圖3之84;圖14之284、285)以產生一經校準之轉換結果(例如,圖3之86;圖14之286),

其中該經校準之轉換結果對應於該輸入。

83. 如敘述82或本文中之任何其他適當之其他敘述的資料轉換器,其中該轉換電路包含一電荷重新分布陣列(例如,圖3之62;圖14之280、282)、一比較器(例如,圖3之60;圖14之260或261),及SAR電路(例如,圖3之76、圖14之276)。

84. 如敘述83或本文中之任何其他適當之其他敘述的資料轉換器,其中該比較器為一差動比較器(例如,圖3之60)。

85. 如敘述83或本文中之任何其他適當之其他敘述的資料轉換器,其中該電荷重新分布陣列(例如,圖3之62;圖14之280、282)包含複數個電容器(例如,圖4之110-119;圖10之210-219)。

86. 如敘述85或本文中之任何其他適當之其他敘述的資料轉換器,其中該電荷重新分布陣列中之該複數個電容器經設定大小以使得轉換位元之間的誤差始終為正。

87. 如敘述85或本文中之任何其他適當之其他敘述的資料轉換器,其中該電荷重新分布陣列中之該複數個電容器經設定大小以使得在轉換之後在該未經校準之轉換結果中不存在非單調性。

88. 如敘述82或本文中之任何其他適當之其他敘述的資料

轉換器，其中該結果調整電路包含一累加器(例如，圖3之72)。

89. 如敘述82或本文中任何其他適當之其他敘述的資料轉換器，其中該結果調整電路包含用於執行一數學運算之電路(例如，圖3中之72、74；圖14中之274)，且其中該數學運算均等於自該未經校準之結果減去該校準值以產生該經校準之結果。

90. 如敘述82或本文中任何其他適當之其他敘述的資料轉換器，其中該資料轉換器包含一類比至數位轉換器。

91. 如敘述82或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

校準控制電路(例如，圖3之66)；及

一多工器(例如，圖3之64)，其具有一耦接至該校準控制電路(例如，66)之第一資料輸入，具有一耦接至該轉換電路(例如，76)之第二資料輸入，具有一耦接至該校準控制電路(例如，66)之控制輸入，且具有一耦接至該轉換電路(例如，62)之輸出，

其中在一自我校準程序期間，該多工器(例如，64)將來自該第一資料輸入之資料提供至該轉換電路(例如，62)，且

其中在一轉換程序期間，該多工器(例如，64)將來自該第二資料輸入之資料提供至該轉換電路(例如，62)。

92. 如敘述82或本文中任何其他適當之其他敘述的資料轉換器，其進一步包含：

誤差判定電路(例如,圖3之78),其耦接至該轉換電路(例如,76)且耦接至該校準儲存電路(例如,68)。

93. 一種用於提供一校準值(例如,儲存於圖3之校準儲存電路68或累加器72中)之自我校準方法(例如,圖5之150),該方法包含:

在一取樣階段(例如,142)期間,對複數個電容器(例如,圖4之110-119)中之選定者上之一第一電壓(例如,VREFH 88)取樣,對該複數個電容器(例如,圖4之110-119)之其他選定者上之一第二電壓(例如,VREFL 90)取樣,且將對一比較器之輸入充電至一共同模式電壓(例如,VCM 94);

釋放(例如,143)對該比較器之該等輸入;

在一比較階段(例如,144)期間,對該複數個電容器(例如,圖4之110-119)之該等選定者上之該第二電壓(例如,VREFL 90)取樣,對該複數個電容器(例如,圖4之110-119)之該等其他選定者上之該第一電壓(例如,VREFH 88)取樣;

對選定位元執行逐次近似;及

儲存(例如,146)該逐次近似之一結果作為一對應於該複數個電容器中之一第一者之第一校準值。

94. 如敘述93或本文中之任何其他適當之其他敘述的方法,其中該方法經重複(例如,147)以產生一對應於該複數個電容器中之一第二者之第二校準值。

95. 如敘述94或本文中之任何其他適當之其他敘述的方

法，其中該第一校準值與一誤差值(例如，來自圖3之誤差判定電路78)相加以產生該第二校準值(例如，若使用累加器72)。

96. 一種方法(例如，圖5之150；圖6之170)，其包含：

藉由在一資料轉換器(例如，12)之一取樣階段中執行步驟[a]、[b]及[c]來執行該資料轉換器中之一自我校準序列之一第一部分(例如，142)：

[a] 將一電容性元件之一第一端子充電至一第一電壓(例如，VREFL 90)；

[b] 將每一較低有效電容性元件之一第一端子充電至一第二電壓(例如，VREFH 88)；及

[c] 將對一比較器之輸入充電至一第三電壓(例如，VCM 94)；

釋放對該比較器之該等輸入(例如，143)；

藉由在該資料轉換器之一比較階段中執行步驟[g]及[h]來執行該資料轉換器中之該自我校準序列之一第二部分(例如，144)：

[g] 將該電容性元件之該第一端子切換至該第二電壓(例如，VREFH 88)；及

[h] 將每一較低有效電容性元件之該第一端子切換至該第一電壓(例如，VREFL 90)；

對該資料轉換器之一或多個位元執行逐次近似以產生一校準值(例如，145)；

將該校準值儲存於校準儲存電路(例如，146；圖3之

68)中；

接收一待由該資料轉換器轉換之所接收之輸入(例如，VIN 92)；

對該所接收之輸入執行一轉換序列以產生一未經校準之結果(例如，162、163、164、165)；及

數學地組合該未經校準之結果與該校準值以產生一對應於該所接收之輸入的經校準之結果(例如，166、167)。

97. 如敘述96或本文中之任何其他適當之其他敘述的方法，其中該第一電壓為一第一參考電壓，其中該第二電壓為一第二參考電壓，且其中該第一參考電壓低於該第二參考電壓。

98. 如敘述96或本文中之任何其他適當之其他敘述的方法，其中在該對該所接收之輸入執行該轉換序列之步驟之前，該自我校準序列之該第一部分之該等步驟及該自我校準序列之該第二部分之該等步驟針對該資料轉換器中之一第二電容性元件而重複(例如，147)。

99. 如敘述96或本文中之任何其他適當之其他敘述的方法，其中該執行該轉換序列之步驟包含對該資料轉換器中之一DAC中的小於所有之該等電容性元件上之一輸入電壓取樣。

100. 如敘述96或本文中之任何其他適當之其他敘述的方法，其中該執行該轉換序列之步驟包含執行逐次近似達一預定準確度等級，且其中該預定準確度等級小於該資料轉

換器之一最大準確度等級。

101. 如敘述 96 或本文中任何其他適當之其他敘述的方法，其中該數學地組合該未經校準之結果與該校準值以產生一對應於該所接收之輸入的經校準之結果的步驟包含基於在該轉換序列期間哪些 DAC 電容性元件保持耦接至該第二電壓(例如，VREFH 88)數位地調整該未經校準之結果。

### 【圖式簡單說明】

圖 1 以方塊圖形式說明根據一實施例之系統。

圖 2 以部分方塊圖形式及部分示意圖形式說明根據一實施例之資料轉換器之一部分。

圖 3 以部分方塊圖形式及部分示意圖形式說明根據一實施例之資料轉換器之一部分。

圖 4 以部分方塊圖形式及部分示意圖形式說明根據一實施例之 DAC 之一部分。

圖 5 以流程圖形式說明根據一實施例之範例校準方法。

圖 6 以流程圖形式說明根據一實施例之範例轉換方法。

圖 7 以圖解圖形式說明根據先前技術之歸因於經二進位加權之 DAC 中的電容器不匹配之非線性。

圖 8 以圖解圖形式說明根據一實施例之歸因於具有過大之第一按比例調整電容器的經二進位加權之 DAC 中的電容器不匹配之非線性。

圖 9 以圖解圖形式說明根據一實施例之歸因於在校準之後具有過大之第一按比例調整電容器的經二進位加權之 DAC 中的電容器不匹配之非線性。

圖 10 以部分方塊圖形式及部分示意圖形式說明根據一實施例之 DAC 之一部分。

圖 11 以流程圖形式說明根據一實施例之用於 16 位元類比至數位轉換器 (ADC) 之範例轉換方法。

圖 12 以圖解圖形式說明根據一實施例之具有經數位校準之偏移的 ADC 之轉移函數。

圖 13 以圖解圖形式說明根據一實施例之具有數位線性及增益校準之 ADC 的轉移函數。

圖 14 以部分方塊圖形式及部分示意圖形式說明根據一實施例之資料轉換器之一部分。

圖 15 以流程圖形式說明根據一實施例之範例差動轉換方法。

圖 16 以圖解圖形式說明根據一實施例之差動轉換之一實例。

圖 17 以圖解圖形式說明根據一實施例之差動轉換之另一實例。

圖 18 以部分方塊圖形式及部分示意圖形式說明根據一實施例之資料轉換器之一部分。

圖 19 以流程圖形式說明根據一實施例之針對差動電容性 DAC 之自我測試方法。

圖 20 以流程圖形式說明根據一實施例之針對單端型電容性 DAC 之自我測試方法。

圖 21 以示意圖形式說明根據一實施例之自我測試方法之測試覆蓋。

圖 22 以 流 程 圖 形 式 說 明 根 據 一 實 施 例 之 用 於 在 16 位 元 ADC 中 執 行 12 位 元 轉 換 之 方 法 。

**【主要元件符號說明】**

10	系 統
12	資 料 轉 換 器 /SAR ADC
14	其 他 模 組
16	處 理 器
18	記 憶 體
20	外 部 匯 流 排 介 面
22	匯 流 排 /電 信 號
24	匯 流 排 /電 信 號
31	控 制 暫 存 器
60	比 較 器 /差 動 比 較 器
62	數 位 至 類 比 轉 換 器 (DAC)/DAC 陣 列
63	控 制
64	MUX
65	控 制
66	校 準 控 制 電 路
68	校 準 儲 存 電 路
70	結 果 調 整 電 路
72	累 加 器
74	計 算 電 路
76	SAR(逐 次 近 似 暫 存 器)控 制 電 路
78	誤 差 判 定 電 路

80	DAC
82	參考DAC
84	未經校準之結果
86	經校準之結果
88	VREFH/較高參考電壓
90	VREFL/較低參考電壓
92	輸入電壓VIN/電壓輸入/VIN信號/電壓VIN
93	輸入電壓VIN/電壓輸入
94	共同模式電壓VCM/電壓VCM
96	逐次近似(SAR)暫存器/暫存器
100	控制電路
102	切換電路
110-119	電容器/DAC電容器
120	按比例調整電容器
121	按比例調整電容器
200	控制電路
208	電容器/差動偏壓電容器
209	電容器
210	電容器/終止電容器
211-219	電容器/二進位加權之元件
220	按比例調整電容器
221	按比例調整電容器
240	範圍/量
241	實線

242	實線
243	虛線/經校準之轉換結果值
244	實線
245	實線
246	實線
260	比較器/更關鍵比較器/更準確且關鍵之比較器
261	比較器/非關鍵比較器
270	結果調整電路
271	轉換序列/方法
274	減法器計算電路/計算電路
276	SAR控制電路
280	加DAC
282	減DAC
284	加結果
285	減結果
286	結果/轉換結果
297	控制信號
298	VIN
299	切換電路
460	比較器/電路
463	多工器(MUX)
465	MUX
476	SAR控制電路/電路
480	加DAC/電路

- 482 減DAC/電路
- 484 結果信號/數位結果/結果值/實際轉換結果值/  
結果
- 490 自我測試控制電路/自我測試電路
- 492 比較器/比較器電路
- 494 通過/失敗指示符/通過/失敗信號/通過/失敗

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98126217

※申請日：98.8.4

※IPC 分類：H03M 1/12 (2006.01)

H03M 1/10 (2006.01)

一、發明名稱：(中文/英文)

資料轉換電路及其方法

DATA CONVERSION CIRCUITRY AND METHOD THEREFOR

二、中文發明摘要：

本發明提供一種用於將類比信號轉換成數位信號或用於將數位信號轉換成類比信號之資料轉換器(12)。在一實施例中，提供一生產自我測試(圖19之520；圖20之570)。在一實施例中，提供一用於一資料轉換器之高速較低解析度方法或模式(圖22之620)。在一實施例中，提供一具有一較穩定之比較器共同模式電壓之資料轉換器(圖15之320)。在一實施例中，提供且維持一經數位校準之資料轉換器之輸入範圍以使得在輸入範圍中不存在歸因於該校準之損失(參見圖11之271)。在一實施例中，提供使用一先前所儲存之校準值的一未經校準之結果的數位後處理(圖5之150；圖6之170)。

### 三、英文發明摘要：

A data converter (12) for converting analog signals to digital signals, or for converting digital signals to analog signal is provided. In one embodiment, a production self-test (520 of FIG. 19; 570 of FIG. 20) is provided. In one embodiment, a high-speed lower-resolution method or mode for a data converter is provided (620 of FIG. 22). In one embodiment, a data converter with a more stable comparator common mode voltage is provided (320 of FIG. 15). In one embodiment, the input range of a digitally calibrated data converter is provided and maintained so that there is no loss in input range due to the calibration (see 271 of FIG. 11). In one embodiment, digital post-processing of an uncalibrated result using a previously stored calibration value is provided (150 of FIG. 5; 170 of FIG. 6).

## 七、申請專利範圍：

1. 一種資料轉換器，其包含：

一第一DAC陣列；

一第一比較器，其經耦接以自該第一DAC陣列接收一輸入，該第一比較器提供一輸出；

逐次近似電路，其耦接至該第一比較器之該輸出，該逐次近似電路提供一實際測試結果值；

自我測試電路，其產生並提供一期望之測試結果值；

一第二比較器，其耦接至該逐次近似電路以接收該實際測試結果值，且耦接至該自我測試電路以接收該期望之測試結果值；及

一或多個導體，其耦接至該第二比較器，該一或多個導體提供用於指示相比於該期望之測試結果值該實際測試結果值是否在一預定範圍內的一或多個信號，其中對於一第一情形而言，該實際測試結果值不同於該期望之測試結果值但該一或多個信號指示該實際測試結果值仍在該預定範圍內，且其中對於一第二情形而言，該實際測試結果值不同於該期望之測試結果值且該一或多個信號指示該實際測試結果不在該預定範圍內。

2. 如請求項1之資料轉換器，其中該一或多個信號指示該實際測試結果值是否確切地匹配該期望之測試結果值。

3. 如請求項1之資料轉換器，其進一步包含：

一第一多工器，其具有一經耦接以接收該實際測試結果值之第一輸入，具有一經耦接以自該自我測試電路接

- 收一第一提供之測試值之第二輸入，具有一耦接至該自我測試電路之控制輸入，且具有一耦接至該第一DAC陣列之輸出。
4. 如請求項1之資料轉換器，其進一步包含：
    - 一第二DAC陣列，其耦接至該第一比較器。
  5. 如請求項1之資料轉換器，其進一步包含：
    - 一第二多工器，其具有一經耦接以接收該實際測試結果值之第一輸入，具有一經耦接以自該自我測試電路接收一第二提供之測試值之第二輸入，具有一耦接至該自我測試電路之控制輸入，且具有一耦接至該第二DAC陣列之輸出。
  6. 如請求項1之資料轉換器，其中該第一DAC陣列包含：
    - 複數個二進位加權之元件；及
    - 控制電路，其用於控制複數個電壓中之哪一者耦接至該複數個二進位加權之元件中之每一者。
  7. 如請求項1之資料轉換器，其中該第一DAC陣列被充電至一預定偏移電壓以便產生該期望之測試結果值，其中該預定偏移電壓為非零的。
  8. 如請求項6之資料轉換器，其中該控制電路在一取樣階段、一固持階段及一比較階段中之每一者期間提供該複數個二進位加權之元件中之每一者的獨立控制。
  9. 如請求項6之資料轉換器，其中該逐次近似電路與該自我測試電路兩者經耦接以控制該第一DAC陣列中之該控制電路。

10. 如請求項1之資料轉換器，其進一步包含：

結果調整電路，其經耦接以接收該實際測試結果值，該結果調整電路產生一經校準之測試結果值。

11. 如請求項1之資料轉換器，其中逐次近似用於量測參數誤差。

12. 一種用於測試一資料轉換器之方法，其包含：

在一取樣階段期間，

當該資料轉換器為差動型時，將一第一參考電壓耦接至小於一第一被測試電路元件[CUT]之所有電路元件且將一第二參考電壓耦接至電路元件之一剩餘部分，

當該資料轉換器為差動型且正測試該資料轉換器之一正側時，將該資料轉換器之一負側中的第一預定數目個電路元件耦接至該第一參考電壓，

當該資料轉換器為差動型且正測試該資料轉換器之該負側時，將該資料轉換器之該正側中的第二預定數目個電路元件耦接至該第一參考電壓，

當該資料轉換器為單端型且該第一CUT大於一預定大小時，將該第一參考電壓耦接至小於該第一CUT之該等電路元件之一第一部分，將該第二參考電壓耦接至小於該第一CUT之該等電路元件之一第二部分，且將該第二參考電壓耦接至該第一CUT且耦接至大於該第一CUT之所有電路元件，

當該資料轉換器為單端型且該第一CUT小於該預定

大小時，將該第一參考電壓耦接至小於該第一CUT之該等電路元件之該第一部分，將該第二參考電壓耦接至小於該第一CUT之該等電路元件之該第二部分，將該第一參考電壓耦接至大於該第一CUT之該等電路元件之一第三部分，且將該第二參考電壓耦接至該第一CUT且耦接至大於該第一CUT之該等電路元件之一第四部分；

在一固持階段期間，將該第一被測試電路元件強迫至該第一參考電壓且將電路元件之該剩餘部分強迫至該第二參考電壓；及

在一比較階段期間，藉由執行逐次近似判定一所得誤差電壓。

13. 如請求項12之方法，其中該第一參考電壓高於該第二參考電壓。

14. 如請求項12之方法，其進一步包含：

比較該所得誤差電壓與一期望之誤差值以產生一比較結果，其中該期望之誤差值不為零；及

使用該比較結果判定該資料轉換器是否通過該測試。

15. 如請求項12之方法，其中該資料轉換器為一具有一第一差動側及一第二差動側之差動資料轉換器，其中該第一被測試電路元件定位於該第一差動側上，且其中針對該第一被測試電路元件之該逐次近似係由該第二差動側執行。

16. 如請求項15之方法，其中在該第二差動側上執行之該逐

次近似係在無差動信號之情況下執行，如同該第二差動側為單端型一樣。

17. 如請求項15之方法，其進一步包含：

選擇一第二被測試電路元件，其中該第二被測試電路元件定位於該第二差動側上；及

使用該第二被測試電路元件代替該第一被測試元件重複請求項12之每一步驟，

其中針對該第二被測試電路元件之該逐次近似係由該第一差動側執行。

18. 如請求項17之方法，其中該第一被測試電路元件包含一電容性元件。

19. 一種用於測試一資料轉換器之方法，其包含：

在該資料轉換器中提供複數個電容性元件；

在該資料轉換器中提供用於將該複數個電容性元件中之每一者獨立地耦接至複數個電壓中之一者的電路；

選擇該複數個電容性元件中之一第一者作為一被測試電容性元件；

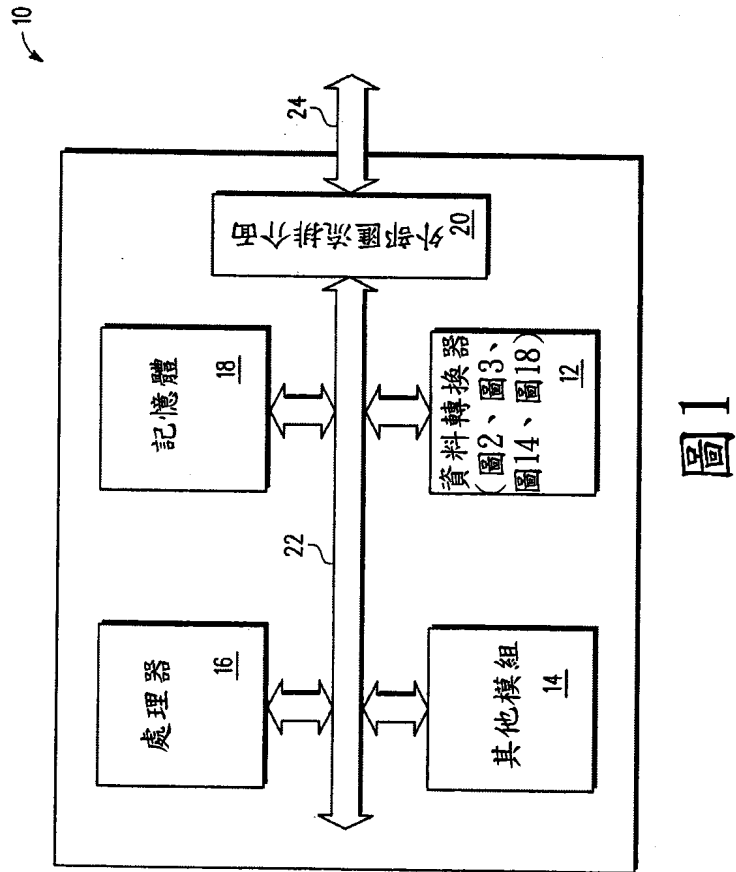
在一第一測試週期期間，將該複數個電壓中之一第一者耦接至小於該被測試電容性元件之該複數個電容性元件之一第一部分，且將該複數個電壓中之一第二者耦接至與該被測試電容性元件相同大小或大於該被測試電容性元件之該複數個電容性元件之一第二部分，且將該複數個電壓中之一選定者耦接至該複數個電容性元件之一第三部分；

在一第二測試週期期間，將該被測試電容性元件耦接至該複數個電壓中之該第一者，將該複數個電容性元件之該第二部分耦接至該複數個電壓中之該第二者，且將該複數個電容性元件之該第三部分耦接至該複數個電壓中之一不同的選定者以產生一偏移電壓；及

在一第三測試週期期間，藉由使用該資料轉換器執行逐次近似來判定一所得誤差電壓。

20. 如請求項19之方法，其中該複數個電壓包含一高參考電壓、一低參考電壓及一輸入電壓，且其中該被測試電容性元件係在該第一時間週期、該第二時間週期及該第三時間週期期間在不將該輸入電壓耦接至該複數個電容性元件中之任一者之情況下測試。

八、圖式：





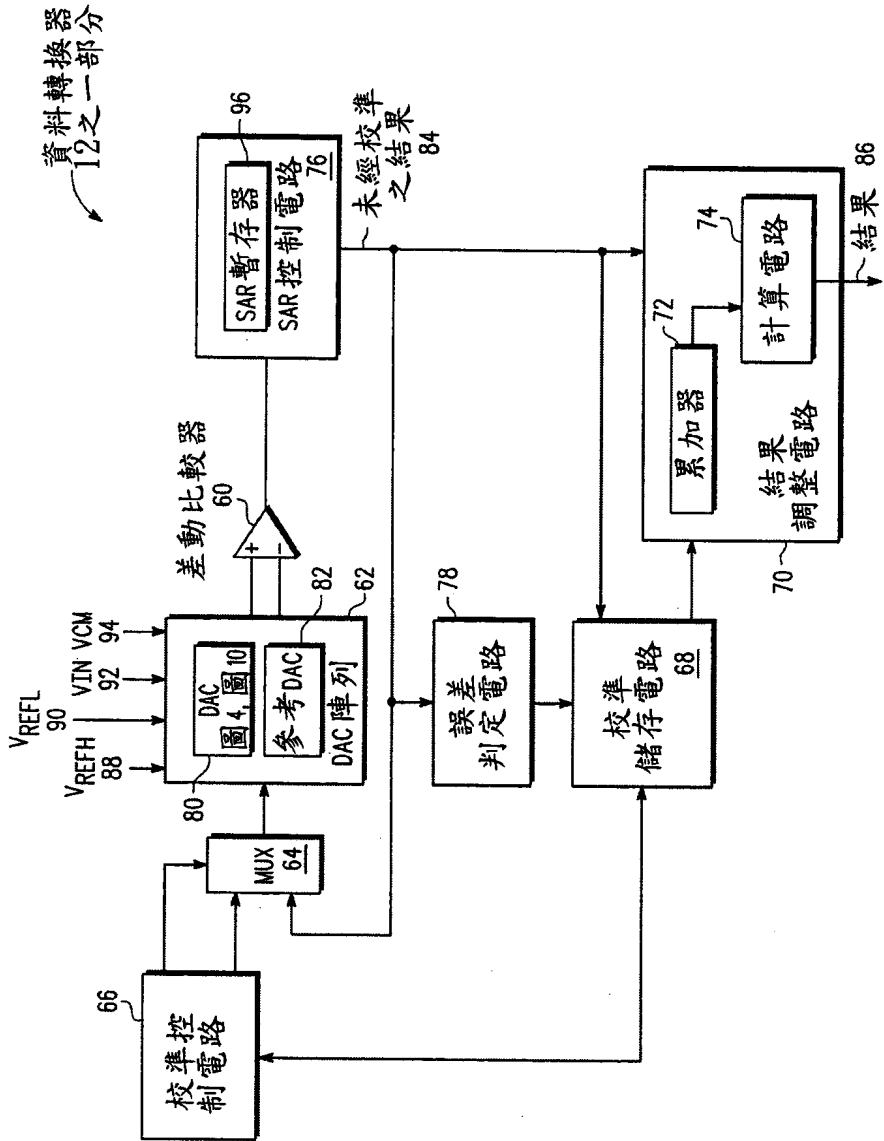


圖3

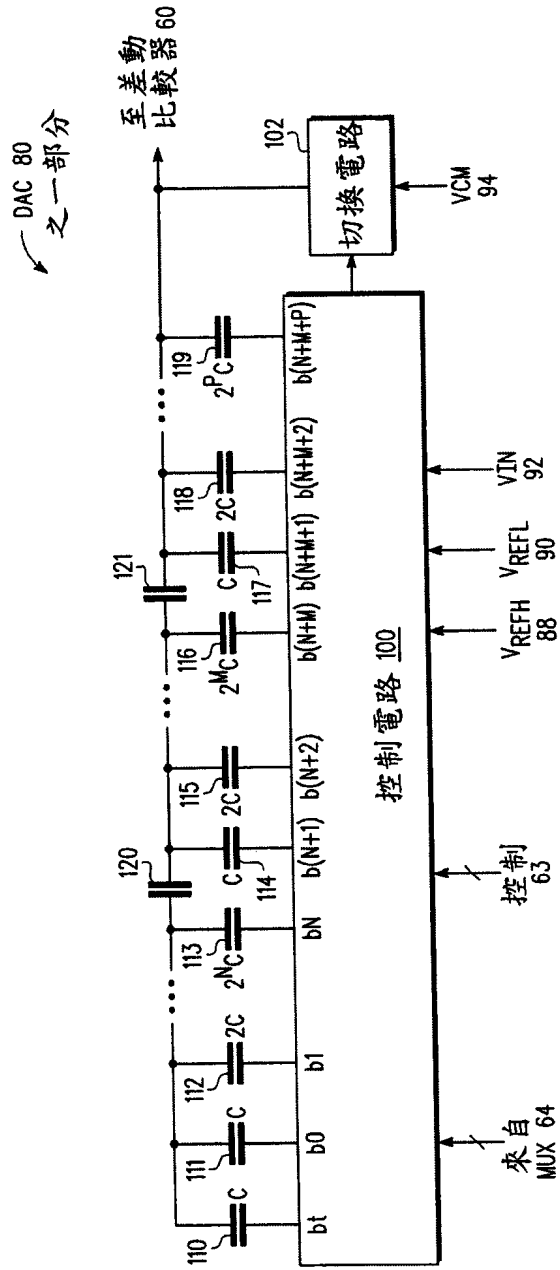


圖 4

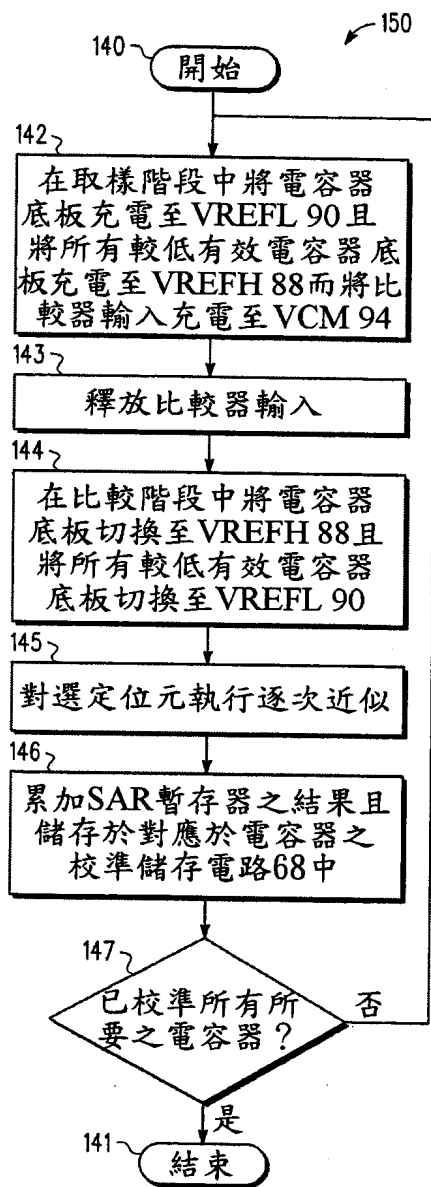


圖 5

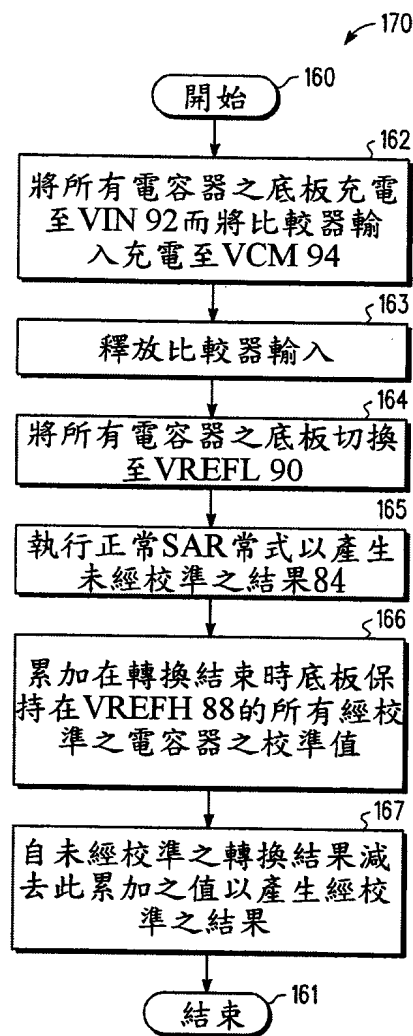


圖 6

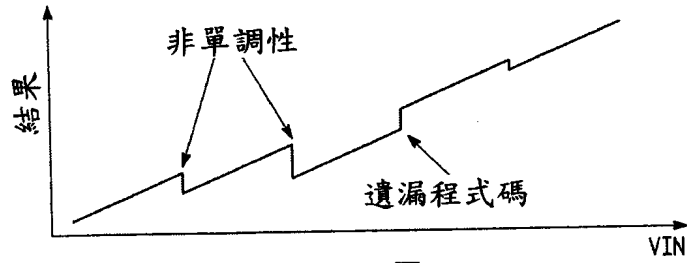


圖7

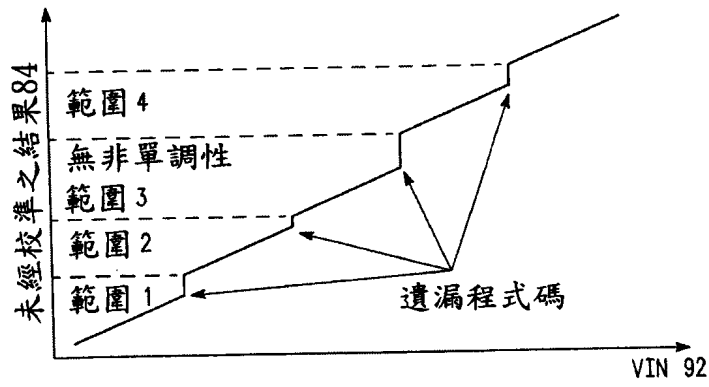


圖8

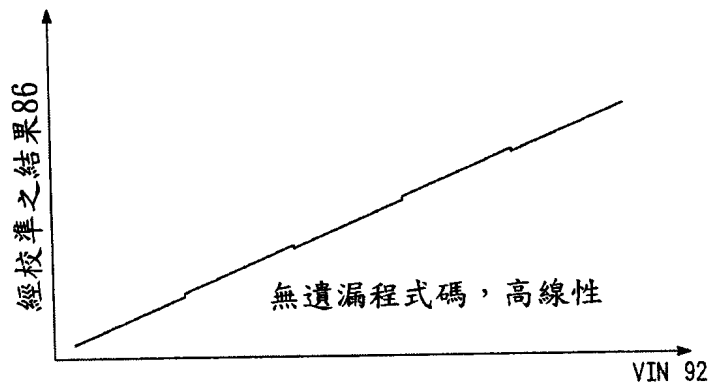


圖9

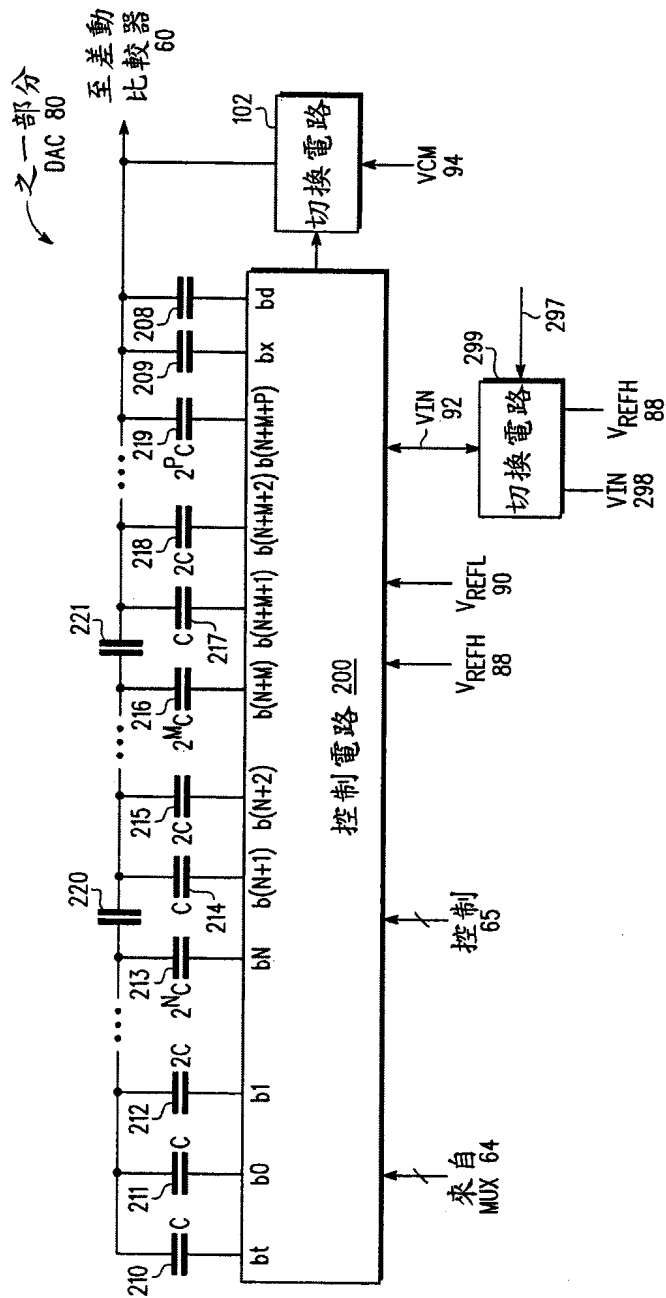


圖10

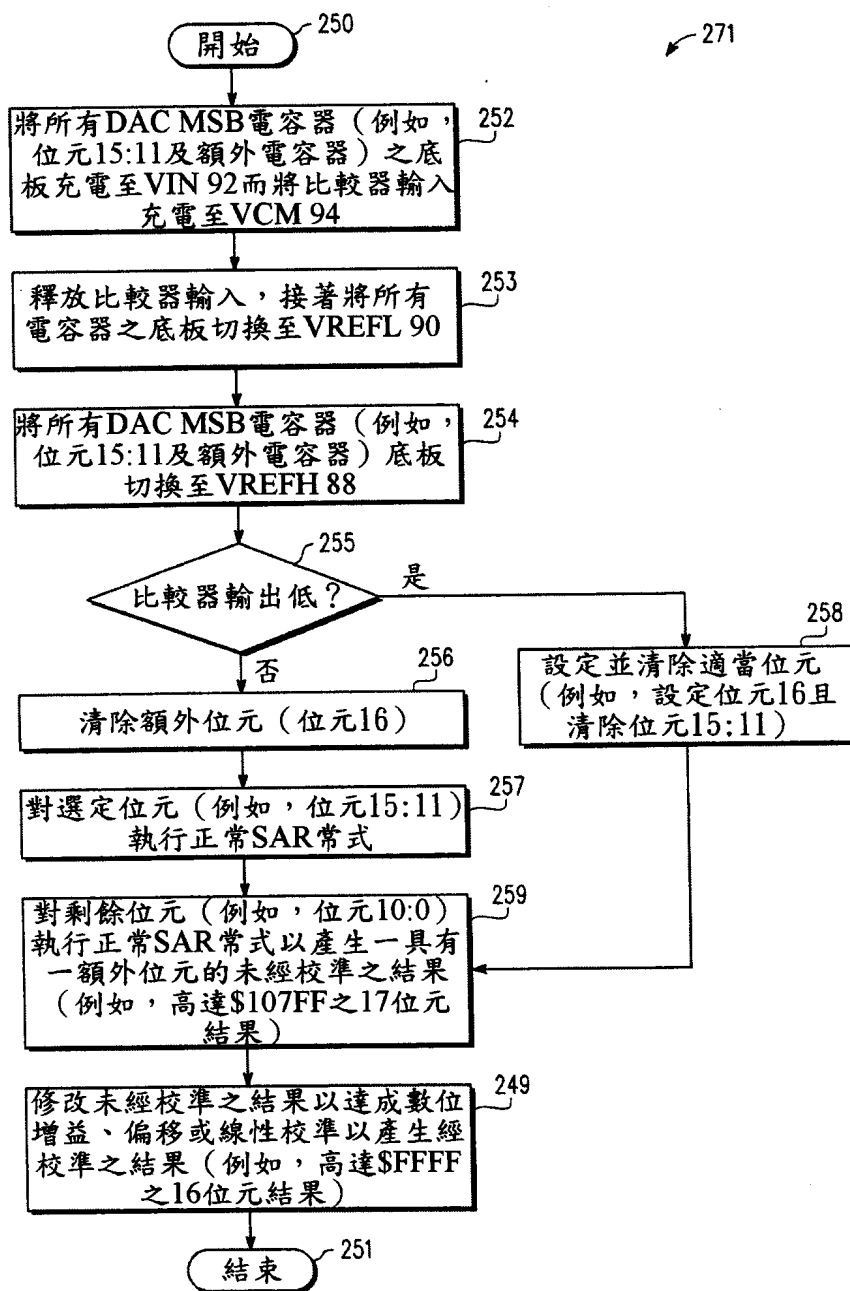


圖 11

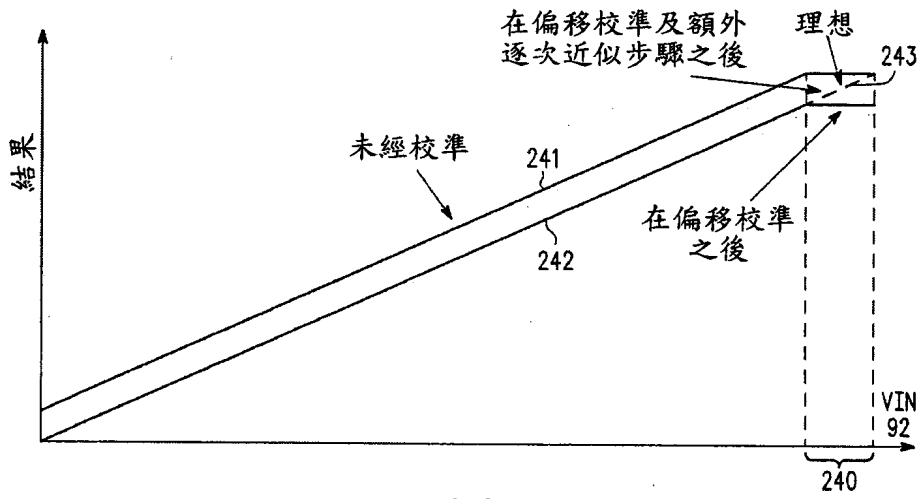


圖12

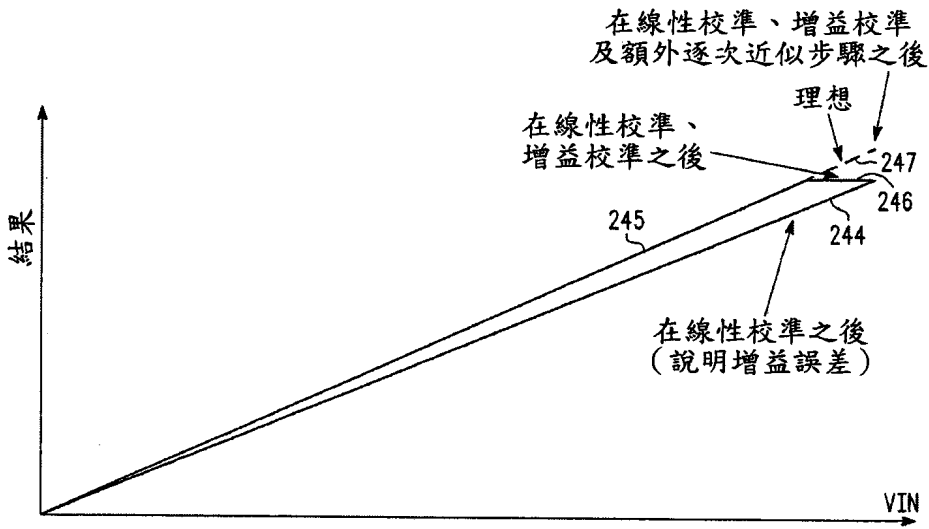


圖13

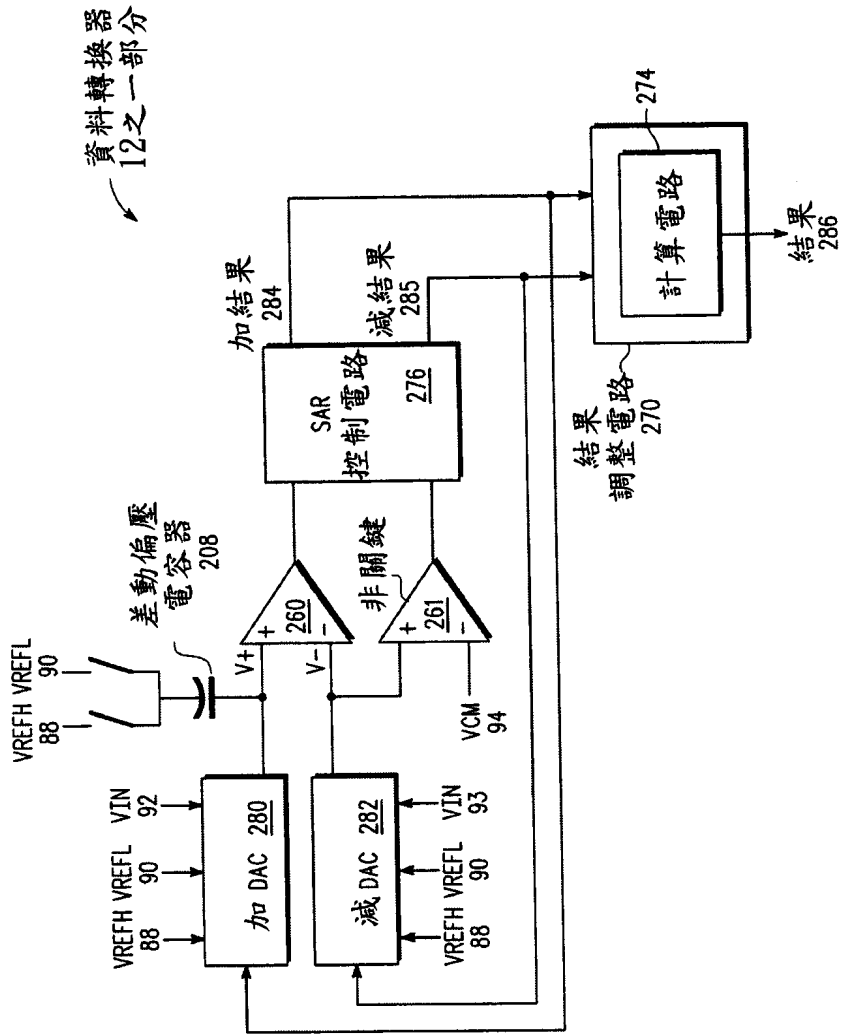


圖14

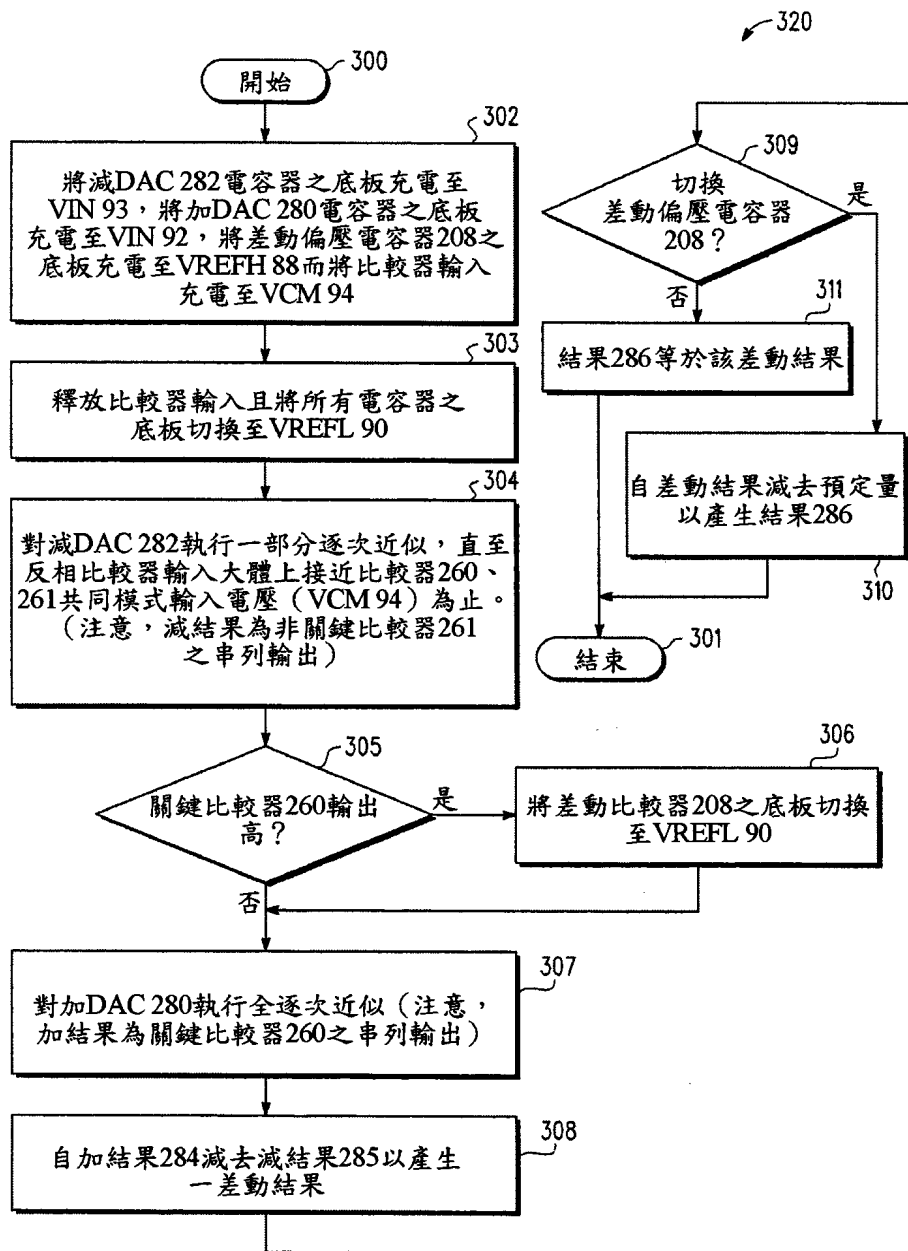


圖 15

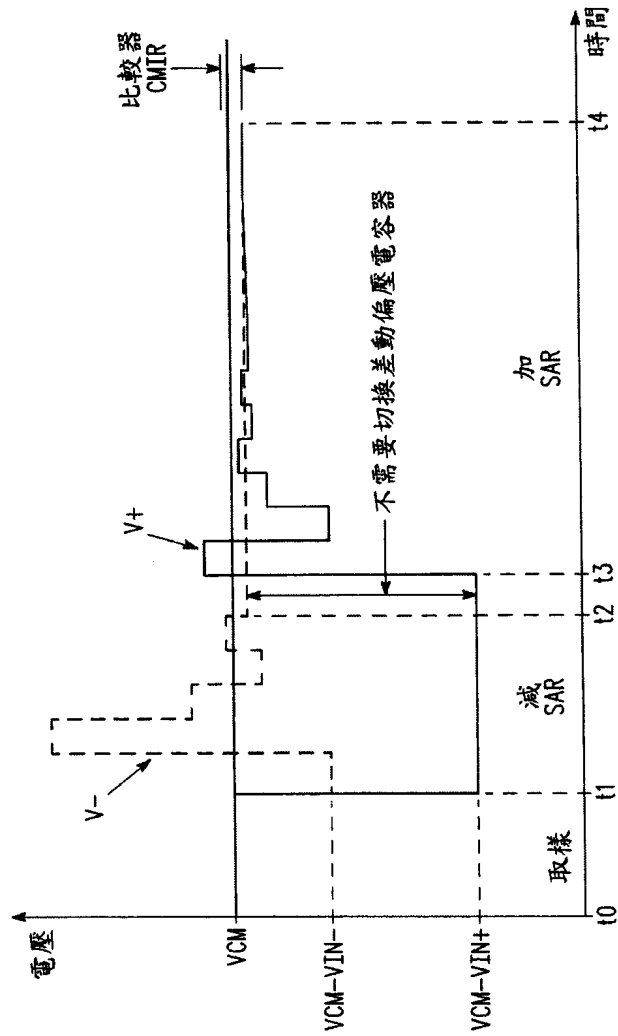


圖16

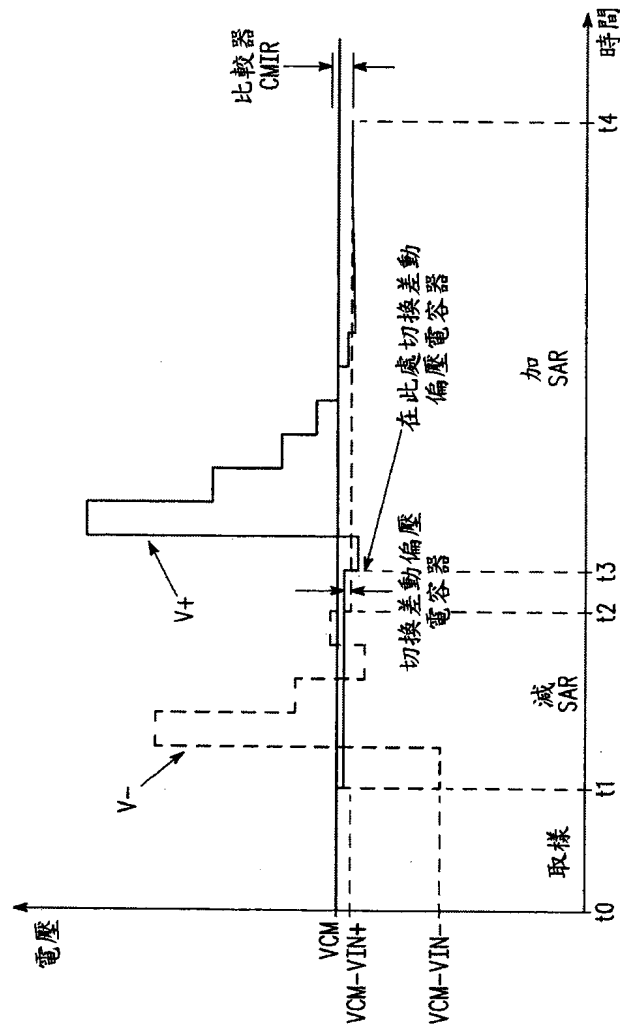


圖17

資料轉換器12之一部分

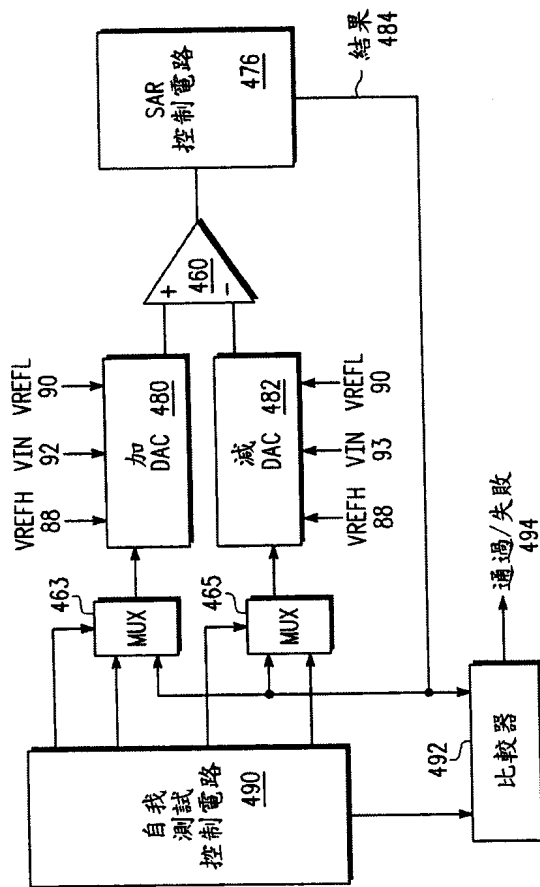


圖18

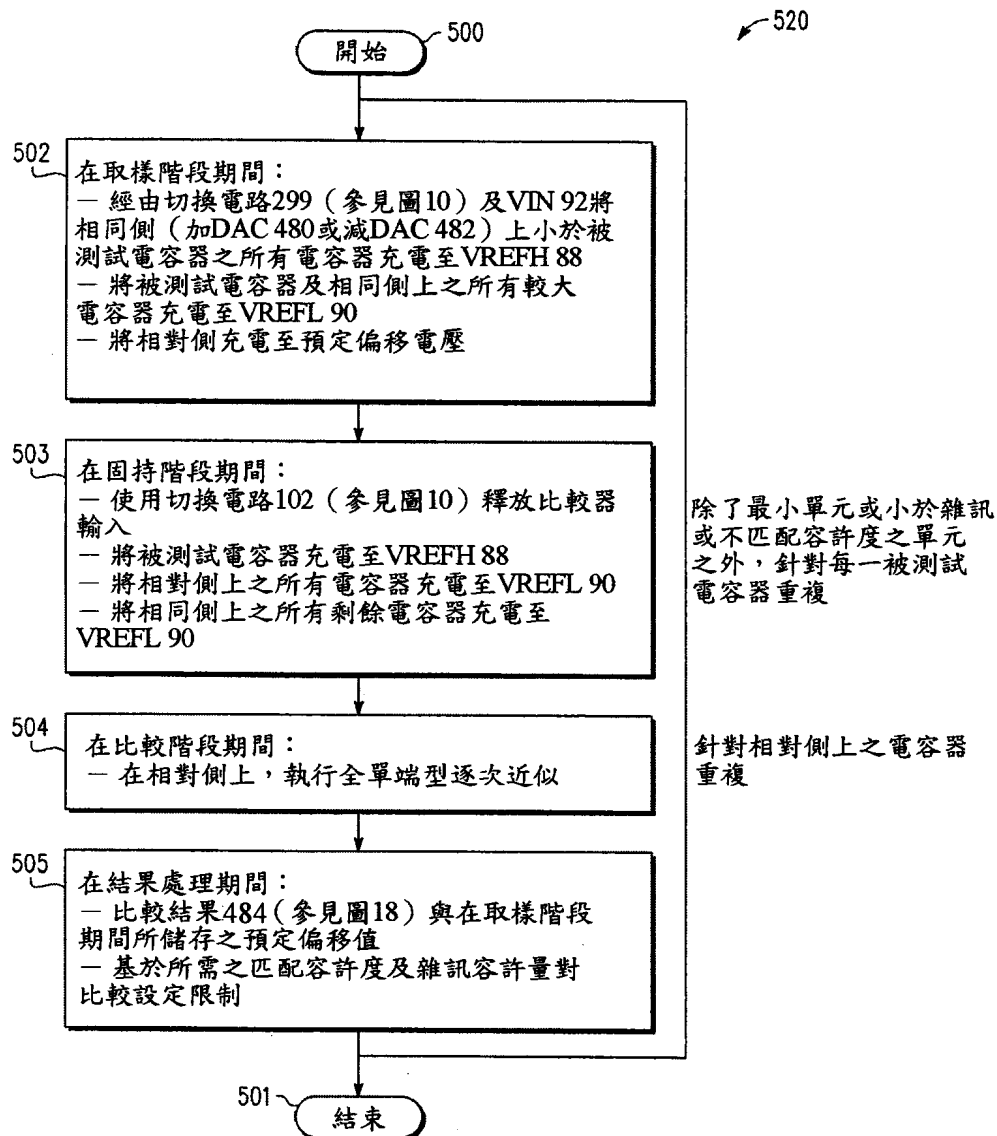


圖 19

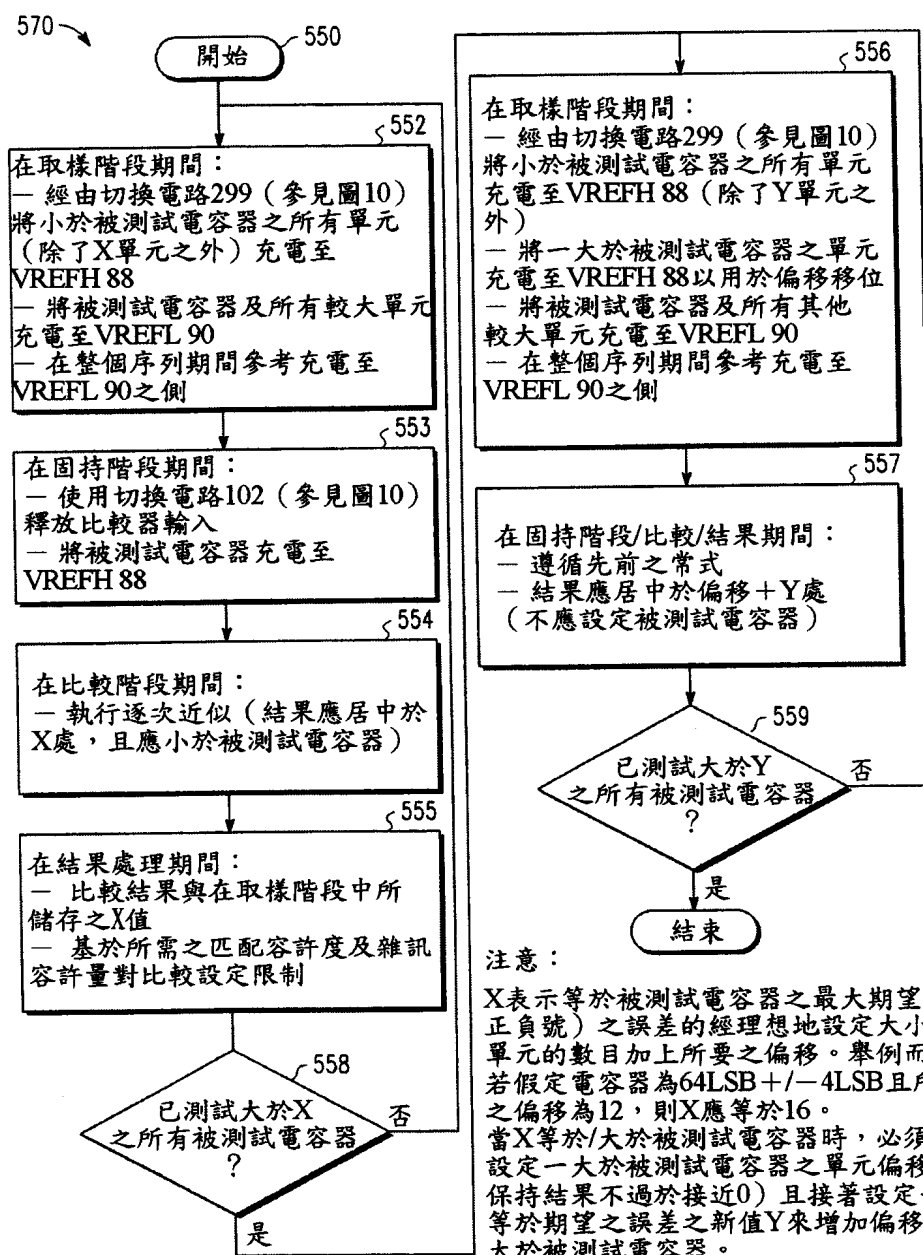


圖 20

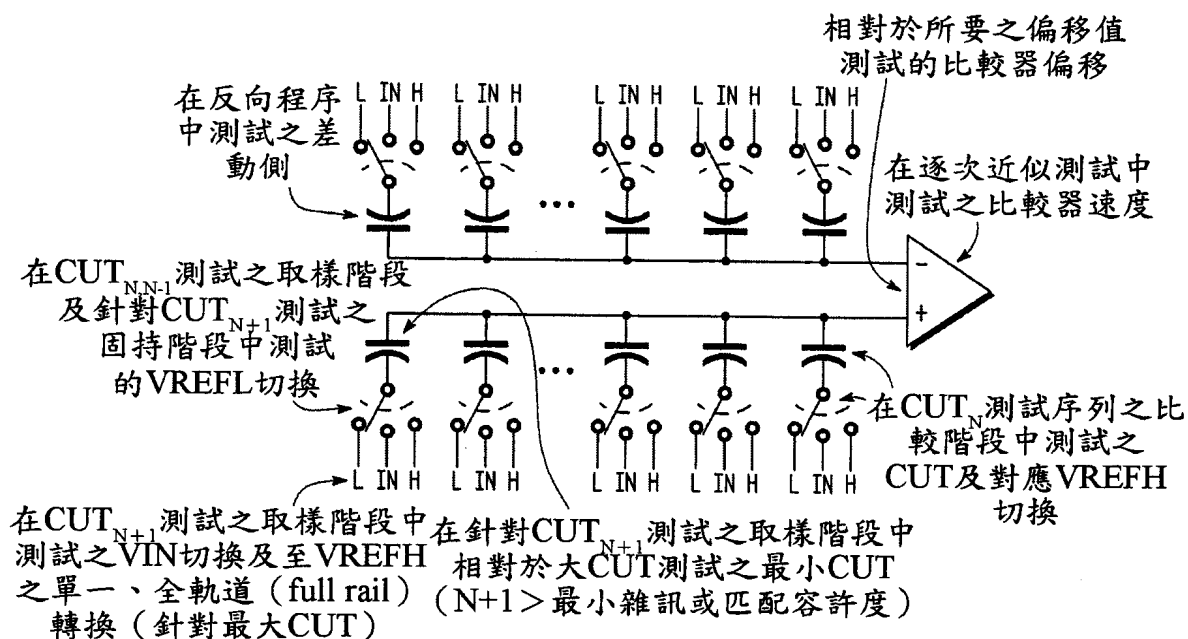


圖 21

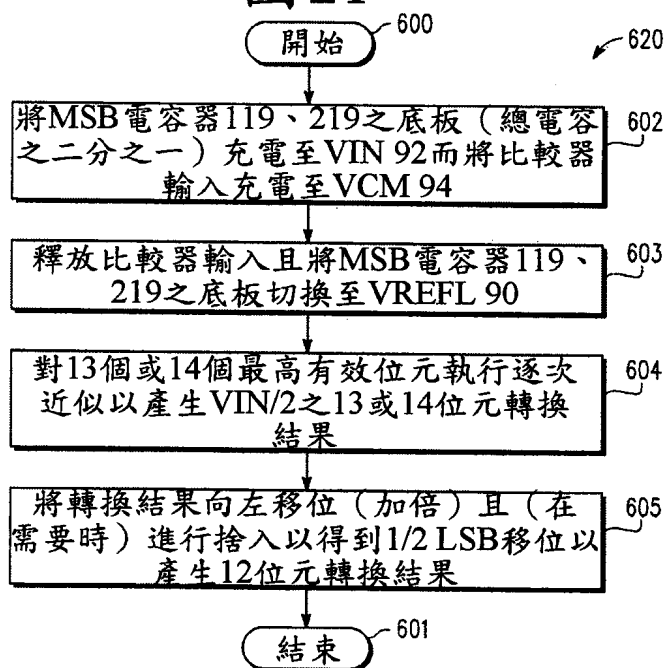


圖 22

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

12	資料轉換器/SAR ADC
31	控制暫存器
66	校準控制電路
68	校準儲存電路
76	SAR(逐次近似暫存器)控制電路
88	VREFH/較高參考電壓
90	VREFL/較低參考電壓
92	輸入電壓VIN/電壓輸入/VIN信號/電壓VIN
93	輸入電壓VIN/電壓輸入

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)