



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년02월03일

(11) 등록번호 10-1702668

(24) 등록일자 2017년01월26일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2010-0090558
(22) 출원일자 2010년09월15일
심사청구일자 2015년05월14일
(65) 공개번호 10-2011-0030379
(43) 공개일자 2011년03월23일
(30) 우선권주장
JP-P-2009-216244 2009년09월17일 일본(JP)
(56) 선행기술조사문헌
JP11224945 A
JP2004281527 A
US06306700 B1
US20030109112 A1

(73) 특허권자
에스아이아이 세미컨덕터 가부시키키가이샤
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
(72) 발명자
가토 신지로
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
세이코 인스트루 가부시키키가이샤 내
(74) 대리인
한양특허법인

전체 청구항 수 : 총 2 항

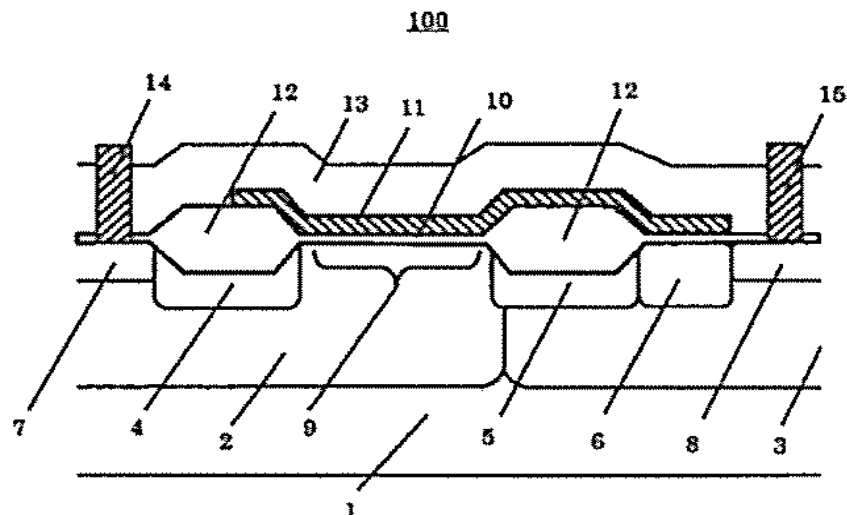
심사관 : 최정민

(54) 발명의 명칭 반도체 장치

(57) 요약

LOCOS 오프셋형 MOS형 전계 효과 트랜지스터의 드레인층의 오프셋 영역에, LOCOS 산화막을 수반하는 N형 제1 저농도 드레인 오프셋 영역과, LOCOS 산화막을 수반하지 않고 N형 제2저농도 드레인 오프셋 영역을 설치하고, 같이 게이트 전극으로 덮도록 한다. N형 제1 저농도 드레인 오프셋 영역으로 오프셋 영역에 걸리는 전계를 완화해 고내압화를 도모한다. N형 제2 저농도 드레인 오프셋 영역에서 오프셋 영역의 캐리어를 증가시켜 큰 전류 구동 능력을 얻는다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 도전형의 반도체 기관의 표면에 설치된 제1 도전형의 웰 영역과,
 상기 제1 도전형의 웰 영역에 접하여 설치된 제2 도전형의 웰 영역과,
 상기 제1 도전형의 웰 영역 상에 설치된 제2 도전형의 고농도 소스 영역과,
 상기 고농도 소스 영역과 접하여 설치된 제2 도전형의 저농도 소스 오프셋 영역과,
 상기 제2 도전형의 웰 영역 상에 설치된 제2 도전형의 고농도 드레인 영역과,
 상기 제2 도전형의 웰 영역 상에 상기 저농도 소스 오프셋 영역으로부터 채널 형성 영역분만큼 떨어뜨려 설치된 제2 도전형의 제1 저농도 드레인 오프셋 영역과,
 상기 고농도 드레인 영역과 상기 제1 저농도 드레인 오프셋 영역 사이에 양자에 접하여 설치된 제2 도전형의 제2 저농도 드레인 오프셋 영역과,
 상기 저농도 소스 오프셋 영역과 상기 제1 저농도 드레인 오프셋 영역의 상기 반도체 기관의 표면 부분에 각각 설치된 제1 및 제2 LOCOS 산화막과,
 상기 채널 형성 영역 및 상기 제2 저농도 드레인 오프셋 영역의 상기 반도체 기관의 표면 부분에 설치된 게이트 산화막과,
 상기 제1 LOCOS 산화막의 일부와 상기 채널 형성 영역의 상기 게이트 산화막과 상기 제2 LOCOS 산화막 상의 모두와 상기 제2 저농도 드레인 오프셋 영역의 상기 게이트 산화막 위에 설치된 게이트 전극과,
 상기 고농도 소스 영역 상에 설치된 소스 전극과,
 상기 고농도 드레인 영역 상에 설치된 드레인 전극과,
 상기 소스 전극과 상기 드레인 전극 이외의 부분의 표면에 설치된 보호 산화막을 가지는 반도체 장치.

청구항 2

제1 도전형의 반도체 기관의 표면에 설치된 제1 도전형의 웰 영역과,
 상기 제1 도전형의 웰 영역에 접하여 설치된 제2 도전형의 웰 영역과,
 상기 제1 도전형의 웰 영역 상에 설치된 제2 도전형의 고농도 소스 영역과,
 상기 고농도 소스 영역과 접하여 설치된 제2 도전형의 저농도 소스 오프셋 영역과,
 상기 제2 도전형의 웰 영역 상에 상기 제1 도전형 웰로부터 제1 드레인 오프셋 영역과 또한 제2 드레인 오프셋 영역분을 떨어뜨려 설치된 제2 도전형의 고농도 드레인 영역과,
 상기 저농도 소스 오프셋 영역과 상기 제1 드레인 오프셋 영역의 상기 반도체 기관의 표면 부분에 각각 설치된 제1 및 제2 LOCOS 산화막과,
 상기 저농도 소스 오프셋 영역과 상기 제1 드레인 오프셋 영역 사이의 채널 형성 영역과,
 상기 채널 형성 영역 및 상기 제2 드레인 오프셋 영역의 상기 반도체 기관의 표면 부분에 설치된 게이트 산화막과,
 상기 제1 LOCOS 산화막의 일부와 상기 채널 형성 영역의 상기 게이트 산화막과 상기 제2 LOCOS 산화막 상의 모두와 상기 제2 드레인 오프셋 영역의 상기 게이트 산화막 위에 설치된 게이트 전극과,
 상기 고농도 소스 영역 상에 설치된 소스 전극과,

상기 고농도 드레인 영역 상에 설치된 드레인 전극과,

상기 소스 전극과 상기 드레인 전극 이외의 부분의 표면에 설치된 보호 산화막을 가지는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치에 관한 것이다. 더욱 상세하게는, 고내압으로 전류구동 능력이 높은 LOCOS 오프셋형 전계 효과 트랜지스터에 관한 것이다.

배경 기술

[0002] 종래예로서 고내압 구조의 N채널 LOCOS 오프셋형 MOS형 전계 효과 트랜지스터를 도 2에 나타낸다. N채널 LOCOS 오프셋형 MOS형 전계 효과 트랜지스터(101)는, P형 실리콘 기판(16), P형 웰 영역(17), N형 저농도 소스 LOCOS 오프셋 영역(18), N형 저농도 드레인 LOCOS 오프셋 영역(19), N형 고농도 소스 영역(20), N형 고농도 드레인 영역(21), 채널 형성 영역(22), 게이트 산화막(23), 게이트 전극(24), LOCOS 산화막(25), 보호 산화막(26), 소스 전극(27), 드레인 전극(28) 등으로 구성된다. 도면에 나타난 바와 같이, MOS형 전계 효과 트랜지스터(101)의 특징은, 고내압화하기 위해, 채널 영역(22)과 N형 고농도 드레인 영역(21) 사이에 N형 저농도 드레인 LOCOS 오프셋 영역(19)을 설치하는 것과, 소자 사이에 생기는 기생 필드 트랜지스터의 채널 형성을 막기 위해 LOCOS 산화막(25)을 5000 Å~10000 Å로 두꺼운 산화막으로 하는 것이다. 일반적으로 채널 길이가 긴 MOS형 전계 효과 트랜지스터의 드레인 내압은, 채널 형성 영역과 드레인 영역의 경계로 생기는 공핍층에 가장 전계가 걸리는 부분, 즉, 게이트 전위의 영향을 가장 받는 표면 부분이 아발랑슈 항복을 일으키는 전압으로 결정된다. MOS형 전계 효과 트랜지스터(101)의 드레인 내압이 높은 이유는, 채널 형성 영역(22)과 N형 저농도 드레인 LOCOS 오프셋 영역(19)의 경계의 표면 부근에 LOCOS 산화막(25)의 버즈비크가 위치하고, 게이트 전위의 영향이 완화됨으로써, 아발랑슈 항복이 생기기 어려워지기 때문이다.

[0003] 또한 고내압화하기 위해, N형 저농도 드레인 LOCOS 오프셋 영역(19)의 불순물 농도를 내려, 상기 공핍층폭을 크게 했을 경우, N형 저농도 드레인 LOCOS 오프셋 영역(19)의 저항이 커지게 되고, 트랜지스터를 온으로 하고 큰 드레인 전류를 흐르게 하면, N형 저농도 드레인 LOCOS 오프셋 영역(19)에서 줄열이 발생해 소자가 파손된다. 고내압화와 전류 구동 능력 사이에는, 트레이드 오프의 관계가 있었다.

[0004] 상술과 같은 문제를 감안하여, 특허 문헌 1에 나타난 방법이 생각되었다. 특허 문헌 1은, LOCOS 산화막의 막 두께를 이하의 2개의 조건을 만족하는 막 두께로 최적화한다는 방법이다. 제1 조건은, 상술의 아발랑슈 항복으로의 게이트 전위의 영향을 억제할 수 있는 막 두께 조건이다. 제2 조건은, 게이트 전위에 의해 저농도 드레인 LOCOS 오프셋 영역의 표면을 축적 상태로 할 수 있는 막 두께 조건이다. LOCOS 산화막의 막 두께를 최적인 막 두께로 함으로써, 고내압이고 전류 구동 능력이 큰 소자를 만들 수 있다는 것이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 공개 특허 평11-26766호 공보

발명의 내용

해결하려는 과제

[0006] 상기의 종래예를 이용해, 고내압이고 전류 구동 능력이 큰 소자를 만들려고 할 경우, 원래 상기 2개의 조건이 트레이드 오프의 관계에 있기 때문에, 2개의 조건을 동시에 최적화시킨 막 두께를 선택한다는 것은 어려웠다.

과제의 해결 수단

[0007] 본 발명은, 고내압의 LOCOS 오프셋형 MOS형 전계 효과 트랜지스터를 제작하는 경우에서, 드레인측의 오프셋 영역에 LOCOS 산화막을 수반하는 제1 저농도 드레인 오프셋 영역과, LOCOS 산화막을 수반하지 않는 제2 저농도 드레인 오프셋 영역을 설치하고, 같이 게이트 전극으로 덮도록 설치했다. 구체적으로는 아래와 같은 수단을 이용

한다.

[0008] 제1 도전형 반도체 기판 표면에 설치된 제1 도전형의 웰 영역과, 상기 제1 도전형의 웰 영역에 접하여 설치된 제2 도전형의 웰과, 상기 제1 도전형의 웰 영역 상에 설치된 제2 도전형 고농도 소스 영역과, 상기 제2 도전형 고농도 소스 영역과 접하고 상기 제2 도전형 웰로부터 채널 형성 영역분만큼 떨어뜨려 설치된 제2 도전형 저농도 소스 오프셋 영역과, 상기 제2 웰 영역 상에 설치된 제1 도전형 고농도 드레인 영역과, 상기 제1 도전형 고농도 드레인 영역과 상기 채널 형성 영역측에 접하여 설치된 제1 도전형 제2 저농도 드레인 오프셋 영역과, 상기 제2 도전형 웰 영역 상에 상기 채널 형성 영역과 상기 제1 도전형 제2 저농도 드레인 오프셋 영역과 접하도록 설치된 제1 도전형 제1 저농도 드레인 오프셋 영역과, 상기 제2 도전형 고농도 소스 영역과 상기 채널 형성 영역과 상기 제1 도전형 제2 저농도 드레인 오프셋 영역과 상기 제1 도전형 고농도 드레인 영역 이외의 표면 부분에 설치된 LOCOS 산화막과, 상기 채널 형성 영역에 접하는 LOCOS 산화막 상의 소스측의 일부와 상기 채널 형성 영역과 상기 채널 형성 영역에 접하는 LOCOS 산화막 상의 드레인측의 모두와 상기 제1 도전형 제2 저농도 드레인 오프셋 영역 상에 설치된 게이트 산화막과, 상기 게이트 산화막 상에 설치된 게이트 전극과, 상기 제2 도전형 고농도 소스 영역 상에 설치된 소스 전극과, 상기 제1 도전형 고농도 드레인 영역 상에 설치된 드레인 전극과, 상기 소스 전극과 상기 드레인 전극 이외의 부분의 표면에 설치된 보호 산화막을 가지는 반도체 장치로 한다.

발명의 효과

[0009] 드레인측의 오프셋 영역에 LOCOS 산화막을 수반하는 제1 저농도 드레인 오프셋 영역과 LOCOS 산화막을 수반하지 않는 제2 저농도 드레인 오프셋 영역을 설치함으로써, 제1 저농도 드레인 오프셋 영역에서 저농도 오프셋 영역에 가해지는 전계 강도를 완화함으로써, 고내압의 MOS형 전계 효과 트랜지스터를 만들 수 있다. 또한, LOCOS 산화막이 없는 제2 저농도 드레인 오프셋 영역을 설치함으로써, 제2 저농도 드레인 오프셋 영역 상의 게이트 전극으로부터의 전계가, 제2 저농도 드레인 오프셋 영역을 축적 상태로 함으로써, 게이트 전압이 큰 상태로 제2 저농도 드레인 오프셋 영역의 캐리어 농도를 증가시킬 수 있고, 전류 구동 능력도 높일 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 제1 실시 형태에 관련되는 반도체 장치의 단면도이다.
 도 2는 종래의 MOS형 전계 효과 트랜지스터에서의 반도체 장치의 단면도이다.
 도 3은 본 발명의 제2 실시 형태에 관련되는 반도체 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명을 실시하기 위한 최선의 형태에 대해, 도면을 바탕으로 설명한다.

[0012] [실시예 1]

[0013] 도 1은, 본 발명의 제1 실시 형태에 관련되는 반도체 장치의 단면도이다. 여기에서는 예로서 N채널 MOS 트랜지스터를 들고 있다. 도 1의 반도체 장치(100)는 아래와 같은 구성이 되어 있다. 예를 들면, 저항이 $20\sim30\Omega\text{cm}$ 의 P형 실리콘 기판(1) 표면에 저농도의 P형 웰 영역(2)을 깊이 $20\mu\text{m}$, 불순물은 예를 들면 보론으로서 농도는 $1\times10^{16}\text{cm}^{-3}$ 정도로 형성해, P형 웰 영역(2)과 접하도록 설치된 저농도의 N형 웰 영역(3)을 깊이 $20\mu\text{m}$, 불순물은 예를 들면 인으로서 농도는 $1\times10^{16}\text{cm}^{-3}$ 정도로 형성한다.

[0014] 그 다음에, 레지스터 패턴을 마스크로 한 이온 주입에 의해, N형 저농도 소스 오프셋 영역(4)을 깊이 $1\mu\text{m}$, 불순물은 예를 들면 인으로서 $5\times10^{17}\text{cm}^{-3}$ 정도로 형성해, 또한 레지스터 패턴을 마스크로 한 이온 주입에 의해, N형 저농도 드레인 오프셋 영역(5)을 깊이 $1\mu\text{m}$, 불순물은 예를 들면 인으로서 $5\times10^{17}\text{cm}^{-3}$ 정도로 형성해, N형 저농도 소스 오프셋 영역(4)과 N형 저농도 드레인 오프셋 영역(5) 상에 LOCOS 산화막(12)이 성장하도록 선택 산화에 의해 예를 들면 $8000\text{\AA}$ 정도의 열산화막을 형성한다. 그 다음에, 레지스터 패턴을 마스크로 한 이온 주입에 의해, 또 하나의 N형 저농도 드레인 오프셋 영역(6)을 깊이 $1\mu\text{m}$, 불순물은 예를 들면 인으로서 $5\times10^{17}\text{cm}^{-3}$ 정도로 형성한다.

[0015] 그 다음에, 열산화에 의해 예를 들면 $1000\text{\AA}$ 정도의 게이트 산화막(10)을 실리콘 표면에 형성한다. 그 다음에,

게이트 산화막(10) 상에 CVD법에 의해 예를 들면 두께 4000Å 정도의 폴리실리콘을 형성해, 폴리실리콘에 불순물로서 예를 들면 인을 $1 \times 10^{20} \text{ cm}^{-3}$ 정도가 되도록 확산시켜, 레지스터 패턴 형성과 드라이 에칭에 의해, N형 저농도 소스 오프셋 영역(4) 상의 LOCOS 산화막(12)의 일부로부터 채널 형성 영역(9), N형 저농도 드레인 오프셋 영역(5), N형 저농도 드레인 오프셋 영역(6) 까지를 덮도록 게이트 전극(11)을 형성한다.

[0016] 그 다음에, 레지스터 패턴을 마스크로서 불순물은 예를 들면 비소로서 $1 \times 10^{20} \text{ cm}^{-3}$ 정도가 되도록 불순물을 이온 주입해, N형 고농도 소스 영역(7) 및 N형 고농도 드레인 영역(8)을 깊이 0.4μm로 형성한다. 그 다음에, 보호 산화막(13)을 두께 7000Å 정도, 예를 들면 CVD법에 의해 형성한다. 그 다음에, N형 고농도 소스 영역(7) 상 및 N형 고농도 드레인 영역(8) 상의 보호 산화막(13)을 개공(開孔)하고, 알루미늄 합금을 퇴적한 후에 패터닝하고 N형 고농도 소스 영역(7) 상에는 소스 전극(14), N형 고농도 드레인 영역(8) 상에는 드레인 전극(15)이 형성된다.

[0017] 이러한 구성으로 함으로써, 드레인측의 오프셋 영역에 LOCOS 산화막을 수반하는 제1 저농도 드레인 오프셋 영역과 LOCOS 산화막을 수반하지 않는 제2 저농도 드레인 오프셋 영역을 설치함으로써, 제1 저농도 드레인 오프셋 영역에서 저농도 오프셋 영역에 추가되는 전계 강도를 완화하게 되고, 고내압의 MOS형 전계 효과 트랜지스터를 만들 수 있다. 또한, LOCOS 산화막이 없는 제2 저농도 드레인 오프셋 영역을 설치함으로써, 제2 저농도 드레인 오프셋 영역 상의 게이트 전극으로부터의 전계가, 제2 저농도 드레인 오프셋 영역을 축적 상태로 함으로써, 게이트 전압이 큰 상태로 제2 저농도 드레인 오프셋 영역의 캐리어 농도를 증가시킬 수 있고 전류 구동 능력도 높일 수 있다.

[0018] [실시예 2]

[0019] 도 3은, 본 발명의 제2 실시 형태에 관련되는 반도체 장치(102)의 단면도이다. 도 3의 반도체 장치(102)는 아래와 같은 구성이다. 예를 들면, 저항이 20~30Ωcm의 P형 실리콘 기관(29) 표면에 저농도의 P형 웰 영역(30)을 깊이 20μm, 불순물은 예를 들면 보론으로서 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 정도로 형성해, P형 웰 영역(30)과 접하도록 설치된 저농도의 N형 웰 영역(31)을 깊이 20μm, 불순물은 예를 들면 인으로서 $1 \times 10^{17} \text{ cm}^{-3}$ 정도로 형성한다. 그 다음에, N형 웰 영역(31)으로부터 채널 형성 영역(43)만큼 떨어뜨려 P형 웰 영역(30) 상의 영역에 레지스터 패턴을 마스크로 한 이온 주입에 의해, N형 저농도 소스 오프셋 영역(32)을 깊이 1μm, 불순물은 예를 들면 인으로서 $5 \times 10^{17} \text{ cm}^{-3}$ 정도로 형성한다.

[0020] 그 다음에, N형 저농도 소스 오프셋 영역(32)과 제1 드레인 오프셋 영역(33) 상에 LOCOS 산화막(35)이 성장하도록 선택 산화에 의해 예를 들면 8000Å 정도의 열산화막을 형성한다. 여기에서, 제2 드레인 오프셋 영역(34)을 만드는 방법으로서 N형 저농도 소스 오프셋 영역(32)과 제1 드레인 오프셋 영역(33)과 제2 드레인 오프셋 영역(34) 상에 LOCOS 산화막(35)이 성장하도록 선택 산화에 의해 예를 들면 8000Å 정도의 열산화막을 형성하고, 포토레지스트와 웨트 에칭을 이용해 제2 드레인 오프셋 영역(34) 상의 LOCOS 산화막을 제거한 후, 이어서, 열산화에 의해 예를 들면 1000Å 정도의 게이트 산화막(36)을 실리콘 표면에 형성하는 방법이 가능하다.

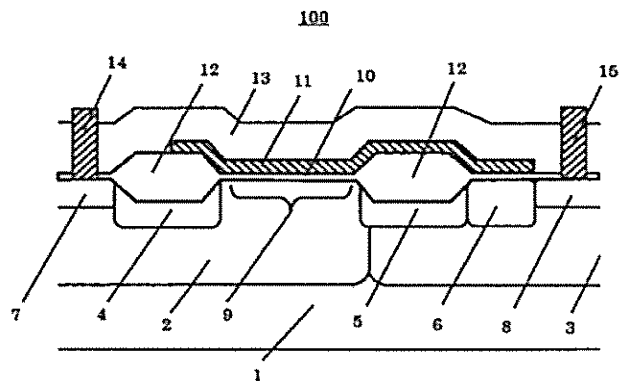
[0021] 그 다음에, 게이트 산화막(36) 상에 CVD법에 의해 예를 들면 두께 4000Å 정도의 폴리 실리콘을 형성해, 폴리 실리콘에 불순물로서 예를 들면 인을 $1 \times 10^{20} \text{ cm}^{-3}$ 정도 확산시켜, 레지스트 패턴 형성과 드라이 에칭에 의해, N형 저농도 소스 오프셋 영역(32) 상의 LOCOS 산화막(35)의 일부로부터 제2 드레인오프셋 영역(34)까지를 덮도록 게이트 전극(37)을 형성한다. 이어서, 레지스트 패턴을 마스크로서 불순물은 예를 들면 비소로서 $1 \times 10^{20} \text{ cm}^{-3}$ 정도가 되도록 불순물을 이온 주입해, N형 고농도 소스 영역(38) 및 N형 고농도 드레인 영역(39)을 깊이 0.4μm로 형성한다.

[0022] 그 다음에, 보호 산화막(40)을 두께 7000Å 정도, 예를 들면 CVD법에 의해 형성한다. 그 다음에, N형 고농도 소스 영역(38) 상 및 N형 고농도 드레인 영역(39) 상의 보호 산화막(40)을 개공해, 알루미늄 합금을 퇴적한 후에 패터닝하고 N형 고농도 소스 영역(38) 상에는 소스 전극(41), N형 고농도 드레인 영역(39) 상에는 드레인 전극(42)이 형성된다.

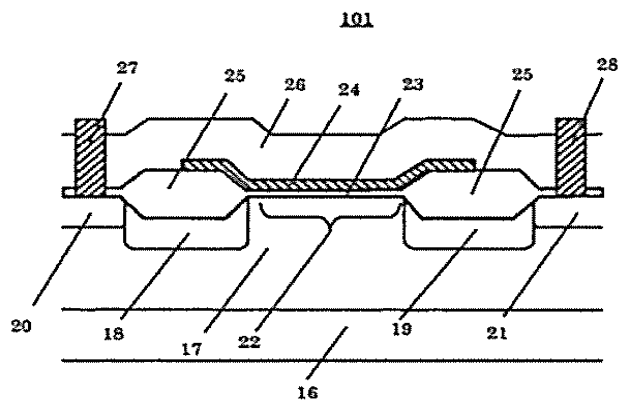
[0023] 실시예 2의 구성에서도 실시예 1과 같은 효과를 얻을 수 있는 것은 서술할 필요도 없다.

도면

도면1



도면2



도면3

