



## (12)发明专利

(10)授权公告号 CN 107001934 B

(45)授权公告日 2019.03.29

(21)申请号 201580065504.4

(22)申请日 2015.12.02

(65)同一申请的已公布的文献号  
申请公布号 CN 107001934 A

(43)申请公布日 2017.08.01

(30)优先权数据  
14/557,546 2014.12.02 US

(85)PCT国际申请进入国家阶段日  
2017.05.26

(86)PCT国际申请的申请数据  
PCT/US2015/063554 2015.12.02

(87)PCT国际申请的公布数据  
W02016/090063 EN 2016.06.09

(73)专利权人 德克萨斯仪器股份有限公司  
地址 美国德克萨斯州

(72)发明人 M·M·伊萨 Y·张 M·詹森

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵志刚 赵蓉民

(51)Int.Cl.  
H01L 21/3213(2006.01)

(56)对比文件  
CN 101427394 A, 2009.05.06,  
US 2011240988 A1, 2011.10.06,  
US 2012049193 A1, 2012.03.01,  
US 3715250 A, 1973.02.06,  
US 5600297 A, 1997.02.04,  
US 6673675 B2, 2004.01.06,  
CN 102789967 A, 2012.11.21,

审查员 靳金玲

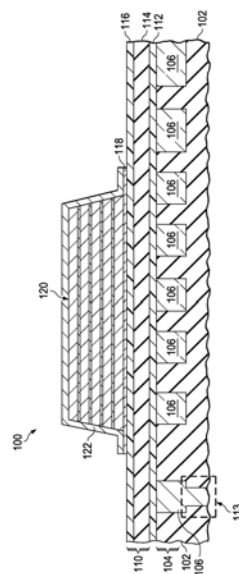
权利要求书2页 说明书5页 附图11页

### (54)发明名称

NiFe磁通门装置的改进工艺

### (57)摘要

在所述实例中,用于以大致相等的蚀刻速率同时蚀刻NiFe和AlN的蚀刻剂包括磷酸、乙酸、硝酸和去离子水。可使用NiFe与AlN的交替层来形成集成电路(100)中磁通门磁力计的磁芯(120)。湿法蚀刻以良好的尺寸控制并且以良好的所得磁芯轮廓提供了交替层的良好蚀刻速率。NiFe与AlN的交替层可用应力缓解层(118、122)包封。可使用抗蚀剂图案来限定磁芯几何形状。可控制湿法蚀刻的过度蚀刻时间,使得蚀刻后磁芯图案延伸超过磁芯的基部至少 $1.5\mu\text{m}$ 。用于形成抗蚀剂图案的光掩模也可用于形成应力缓解蚀刻图案。



1. 一种形成集成电路的方法,所述方法包括:  
在所述集成电路的晶片上形成第一电介质层;  
在所述第一电介质层上形成由NiFe坡莫合金与AlN电介质的交替层构成的磁芯材料层;  
在所述磁芯材料上形成磁芯图案,所述磁芯图案使磁芯区域外部的区域暴露;  
用湿法蚀刻剂蚀刻以移除由所述磁芯图案暴露的所述磁芯材料,以形成磁芯,其中所述湿法蚀刻剂包括磷酸、乙酸、硝酸和去离子水;以及  
移除所述磁芯图案。
2. 根据权利要求1所述的方法,其中所述磷酸为重量百分比在10%与40%之间的浓磷酸,所述乙酸为重量百分比在1%与10%之间的浓乙酸,并且所述硝酸为重量百分比在0.1%与3%之间的浓硝酸。
3. 根据权利要求1所述的方法,其中每个NiFe坡莫合金层具有在225nm与425nm之间的厚度,其中每个AlN层具有在5nm与15nm之间的厚度,并且其中所述磁芯材料层由3层与10层之间的NiFe坡莫合金层和AlN电介质层构成,所述NiFe坡莫合金层和所述AlN电介质层中的每个都在所述第一电介质层上。
4. 根据权利要求1所述的方法,其中每个NiFe坡莫合金层都具有325nm的厚度,并且每个AlN层都具有10nm的厚度。
5. 根据权利要求1所述的方法,其中用所述湿法蚀刻剂进行的所述蚀刻包括用所述湿法蚀刻剂蚀刻所述磁芯材料,随后进行去离子水冲洗直到将磁性材料从所暴露的区域移除为止的重复循环。
6. 根据权利要求1所述的方法,其中用所述湿法蚀刻进行的所述蚀刻包括用所述湿法蚀刻剂蚀刻所述磁芯材料小于6分钟,随后进行去离子水冲洗直到将磁性材料从所暴露的区域移除为止的重复循环。
7. 根据权利要求1所述的方法,其中所述湿法蚀刻剂包括30%重量的浓磷酸、4%重量的浓乙酸、0.45%重量的浓硝酸和去离子水。
8. 一种形成集成电路的方法,所述方法包括:  
在所述集成电路的晶片上形成第一电介质层;  
在所述第一电介质层上形成蚀刻停止层,其中所述蚀刻停止层是氮化硅;  
在所述蚀刻停止层上形成第一应力缓解材料层;  
在所述应力缓解材料层上形成由NiFe坡莫合金与AlN电介质的交替层构成的磁芯材料层;  
在所述磁芯材料上形成磁芯图案,所述磁芯图案使磁芯外部的区域暴露,其中所述磁芯图案使用光掩模来形成;  
用湿法蚀刻剂蚀刻以移除由所述磁芯图案暴露的所述磁芯材料,以形成所述磁芯,其中所述湿法蚀刻剂包括磷酸、乙酸、硝酸和去离子水;  
过度蚀刻所述磁芯材料,使得所述磁芯图案延伸超过所述磁芯的底部至少1.5 $\mu$ m;  
移除所述磁芯图案;  
在所述第一应力缓解材料层上并且在所述磁芯的顶部和侧面上形成第二应力缓解材料层;

在所述第二应力缓解材料上形成应力缓解材料蚀刻图案,其中所述应力缓解材料蚀刻图案延伸超过所述磁芯的所述底部至少 $1.5\mu\text{m}$ ,并且其中所述应力缓解材料蚀刻图案使用用于形成所述磁芯图案的相同光掩模来形成;

使用具有含氟气体的等离子体蚀刻来蚀刻所述第一应力缓解材料层和第二应力缓解材料层,其中所述等离子体蚀刻在所述蚀刻停止层上停止;以及

移除所述应力缓解材料蚀刻图案。

9. 根据权利要求8所述的方法,其中所述磷酸为重量百分比在10%与40%之间的浓磷酸,所述乙酸为重量百分比在1%与10%之间的浓乙酸,并且所述硝酸为重量百分比在0.1%与3%之间的浓硝酸。

10. 根据权利要求8所述的方法,其中所述湿法蚀刻剂包括30%重量的浓磷酸、4%重量的浓乙酸、0.45%重量的浓硝酸和DI水。

11. 根据权利要求8所述的方法,其中所述第一应力缓解材料具有在30nm与50nm之间的厚度,并且其中所述第二应力缓解层具有在90nm与300nm之间的厚度。

12. 根据权利要求8所述的方法,其中每个NiFe坡莫合金层具有在225nm与425nm之间的厚度,其中每个AlN层具有在5nm与15nm之间的厚度,并且其中所述磁芯材料层由3层与10层之间的NiFe坡莫合金层和AlN电介质层构成,所述NiFe坡莫合金层和所述AlN电介质层中的每个都在所述应力缓解材料层上。

13. 根据权利要求8所述的方法,其中所述第一应力缓解层和所述第二应力缓解层选自由Ti、TiN、Ta、TaN、Ru和Pt组成的组。

14. 根据权利要求8所述的方法,其中所述第一应力缓解层为厚度在30nm与50nm之间的钛,并且其中所述第二应力缓解层为厚度在90nm与300nm之间的钛。

15. 根据权利要求8所述的方法,其中用所述湿法蚀刻剂进行的蚀刻包括用所述湿法蚀刻剂蚀刻所述磁芯材料,随后进行去离子水冲洗直到将磁性材料从所暴露的区域移除为止的重复循环。

16. 根据权利要求8所述的方法,其中用所述湿法蚀刻进行的所述蚀刻包括用所述湿法蚀刻剂蚀刻所述磁芯材料小于6分钟,随后进行去离子水冲洗直到将磁性材料从所暴露的区域移除为止的重复循环。

17. 根据权利要求8所述的方法,其中所述蚀刻停止层为使用硅烷、氨气和氮气通过PECVD形成的厚度在35nm与150nm之间的氮化硅。

## NiFe磁通门装置的改进工艺

### 技术领域

[0001] 本公开一般涉及集成电路,并且更具体地涉及集成电路中的磁通门磁力计。

### 背景技术

[0002] 一些集成电路具有磁通门磁力计,其由通过两个导线线圈缠绕的小的磁敏感芯体组成。交流电流通过一个线圈,通过磁饱和的交替循环驱动线圈。芯体中不断反转的磁场在第二线圈中感生出电流。在磁中性背景下,输入电力和输出电流匹配。然而,当芯体暴露于背景磁场时,它在与该场对准时更容易饱和并且在与其反向时不太容易饱和。因此,交变磁场和感生输出电流将与输入电流不同步。它们不同步的程度取决于背景磁场的强度。通常,输出线圈中的电流被积分(integrate),产生与磁场成比例的输出模拟电压。

[0003] 将磁通门磁力计集成到集成电路制造工艺中需要形成厚度为微米或以上的高磁导率材料诸如坡莫合金(NiFe)的磁芯。为了改进电气性质,磁芯可由高磁导率材料与介电材料诸如氮化铝(AlN)的多个交替层形成。在找到以良好的尺寸控制、以良好的轮廓并且以对材料性质诸如晶粒尺寸的不敏感性来蚀刻两种不同材料的多个层的厚堆叠的蚀刻方面存在挑战。

### 发明内容

[0004] 在所述实例中,用相同的蚀刻速率同时蚀刻NiFe和AlN的蚀刻剂包括磷酸、乙酸和硝酸。

[0005] 一种在集成电路中形成磁通门磁力计的方法包括由坡莫合金与AlN电介质的交替层形成磁通门磁力计的磁芯。含有磷酸、乙酸、硝酸和去离子水的湿法蚀刻以良好的尺寸控制并且以良好的所得磁芯轮廓提供了交替层的良好蚀刻速率。

[0006] 如果需要,NiFe与AlN的交替层可用应力缓解层(relief layer)包封。可使用磁芯光致抗蚀剂图案来限定磁芯几何形状。可控制湿法蚀刻的过度蚀刻时间,使得蚀刻后磁芯图案延伸超过磁芯的基部至少 $1.5\mu\text{m}$ 。用于形成磁芯光致抗蚀剂图案的光掩模可用于形成应力缓解材料蚀刻图案。

### 附图说明

[0007] 图1为包含磁通门磁力计的示例集成电路的横截面。

[0008] 图2为磁通门磁力计的图示。

[0009] 图3A至图3D为描绘的连续制造阶段中的图1的集成电路的横截面。

[0010] 图4为描述用于用湿法蚀刻剂蚀刻磁芯的过程的流程图。

[0011] 图5为用应力缓解层包封的磁芯的横截面。

[0012] 图6A至图6C为描绘的连续制造阶段中的图5的集成电路的横截面。

## 具体实施方式

[0013] 共同拥有的专利申请No.US 14/557,611据此以引用方式并入本文。

[0014] 附图并非按比例绘制。可在不使用一个或多个具体细节或使用其它方法的情况下实践示例实施例。某些动作可按不同顺序发生和/或与其它动作或事件同时发生。而且，一些例示的动作或事件并非实施根据示例实施例的方法所需的。

[0015] 具有磁通门磁力计的集成电路可形成为具有磁芯，该磁芯由NiFe坡莫合金(NiFe)与AlN电介质的多个交替层构成。在NiFe层的层之间的AlN层通过降低高频下的涡流损耗来改进磁力计的性能。磁芯可由NiFe与AlN的多个交替层构成，厚度为1微米或更多。磁芯可由约3层至10层的NiFe/AlN层压结构构成。由于在大多数蚀刻剂中NiFe和AlN的蚀刻速率上的差异，因此难以实现良好的蚀刻轮廓。良好的轮廓对于防止磁芯和上覆电介质之间的可导致分层和电路故障的空隙以及减小磁通门磁力计中的噪声是重要的，磁通门磁力计中的噪声可限制对检测弱磁场的灵敏度。

[0016] 在示例实施例中，一种蚀刻以可接受的蚀刻速率、以良好的尺寸控制并且以良好的轮廓来蚀刻AlN和NiFe的多层堆叠。该蚀刻对可在晶片上变化、可随晶片不同而变化并且可随批次不同而变化的材料性质(诸如晶粒尺寸)不敏感。

[0017] 图1为包含磁通门磁力计111的示例集成电路100的横截面。磁通门磁力计111包括由一个线圈或多个线圈围绕的磁芯120。一个线圈或多个线圈由在磁芯120下方的第一组金属线108和在磁芯上方的第二组金属线130形成，两组金属线与位于磁芯120的前面第一组通路(via)213(图2)以及位于磁芯120后面的第二组通路217(图2)耦合在一起。通路132也可用于在第一金属线104到第二金属线126之间形成电连接。下面的电介质层110将磁芯120与第一组金属线108电隔离。上覆的电介质层124覆盖磁芯120的侧面和顶部，并且将其与通路132、通路213和通路217电隔离，而且还将其与第二组金属线130电隔离。虽然仅示出了一个磁通门磁力计传感器线圈，但可存在两个或更多传感器线圈。

[0018] 集成电路100包括第一层间电介质(ILD)层102，其可包括基于二氧化硅的材料，诸如有机硅酸盐玻璃(OSG)、氮化硅、氮氧化硅和/或低介电常数(低k)电介质。具有铜镶嵌结构的多个第一金属线104设置在第一ILD层102中，延伸到第一ILD层102的顶表面105。第一金属线104的每个实例包括钽和/或氮化钽的难熔金属衬垫(liner)(未示出)，以及在金属衬垫上的铜的填充金属106。第一金属线104中的一个或多个可连接到设置在第一ILD层102中的具有铜镶嵌结构的第一通路113。第一金属线108中的其它一个或多个可形成在磁芯下方并成为磁通磁力计传感器线圈的部分。第一金属线104和第一通路113可为如图1所描绘的双镶嵌结构，或可为单镶嵌结构。

[0019] 下面的电介质层110设置在第一ILD层102上并且在第一金属线104上，并且将第一金属线104与磁芯120电隔离。下面的电介质层110可为500nm至1000nm厚。下面的电介质层110可包括在第一ILD层102上方并且在第一金属线104上方的第一蚀刻停止层112。第一蚀刻停止层112可主要为35纳米至150纳米厚的基于氮化硅的介电材料，这有利地减少了来自第一金属线104的铜迁移。形成在第一蚀刻停止层112上的电介质层114可为使用原硅酸四乙酯(又称为四乙氧基硅烷(TEOS))通过PECVD形成的500nm至1000nm厚的二氧化硅层。可在电介质层114上方形成可选的第二蚀刻停止层116。第二蚀刻停止层116可主要为50纳米至150纳米厚的基于氮化硅的介电材料，并且可被形成用于为随后的蚀刻步骤提供蚀刻停止。

[0020] 磁芯120形成在下面的电介质层110的顶部。磁芯120材料为以下材料的交替层的多层堆叠: NiFe坡莫合金 (NiFe), 其为具有高磁导率和低电阻的材料; 以及AlN, 其为电介质。在一个示例磁通门磁力计111中, 磁芯包括3层至10层的NiFe与AlN, 其中NiFe层与AlN层交替, NiFe层具有约225nm至425nm的厚度, 并且AlN层具有约5nm至15nm的厚度。

[0021] 第二ILD层124设置在下面的电介质层110上方并且在磁芯120的侧面和顶部上方。第二ILD层124的厚度取决于磁芯120的厚度。取决于磁芯120的厚度, 第二ILD层124的厚度可在约1微米和4微米之间。在一个示例磁通门磁力计中, 磁芯的厚度为约1.4微米, 并且第二ILD层的厚度为使用PECVD TEOS工艺沉积的约3.5微米的二氧化硅。

[0022] 具有铜镶嵌结构的多个第二通路132设置在第二ILD层124中。第二通路132中的一些延伸穿过下面的电介质层110并且连接到第一金属线104。第二通路132可为双镶嵌结构的部分, 其包括在第二通路132上方的第二金属线126, 如图1所描绘的。集成电路100可包括设置在第二ILD层124上方并且在第二金属线126上方的保护性外涂层134, 该保护性外涂层134具有用于进行电连接的接合焊盘开口136, 如图1所示。或者, 集成电路可包括设置在第二ILD层124和第二金属线126上方的第三蚀刻停止层, 以及可能的在第三蚀刻停止层上方的第三ILD层。可在第二金属线与接合焊盘开口136之间形成附加的ILD层和互连层。

[0023] 在磁芯120上面的第二金属引线130通过设置在磁芯120前面的第一组通路132并且通过设置在磁芯120后面的第二组通路132连接到在磁芯120下方的第一金属引线108。这些通路132将第一金属引线108连接到第二金属引线130, 以形成卷绕在磁芯214周围的线圈212 (图2)。第一金属引线108可连接到第二金属引线130, 以形成围绕磁芯120的多于一个线圈。线圈通过下面的第一电介质110并且通过第二ILD层124与磁芯120和第二通路132电隔离。

[0024] 也如图2所示, 磁芯120下面的第一金属引线108通过磁芯120前面的通路213并且通过磁芯120后面的通路217连接到上覆在磁芯120上的第二金属引线130。尽管仅示出了一个线圈212, 但在磁芯120周围通常形成两个或更多个线圈, 以形成磁通门磁力计111。

[0025] 图3A至图3D为描绘的连续制造阶段中的图1的集成电路的横截面。

[0026] 参考图3A, 下面的电介质层110形成在包括集成电路100的基板的较低层上方。下面的电介质层110可由不同介电材料层形成。下面的电介质层堆叠110中的第一电介质层112可为形成在第一ILD层102上以及第一金属引线104上的蚀刻停止层112。第一蚀刻停止层112可为厚度在约35nm与150nm之间的氮化硅并且可使用硅烷、氨气和氮气通过PECVD形成, 以便为随后形成的基于二氧化硅的介电材料的上覆层提供期望的蚀刻选择性。第一电介质层112还有利地为下面的第一金属引线104中的铜106提供扩散势垒。

[0027] 下面的电介质堆叠110中的第二电介质层114可为约500nm至约1000nm厚的基于二氧化硅的介电材料, 其使用四乙基原硅酸盐 (又称为四乙氧基硅烷 (TEOS)) 通过等离子体增强化学气相沉积 (PECVD) 或其它合适的工艺形成。

[0028] 下面的电介质堆叠110中的第三电介质层116可为可选的第二蚀刻停止层116。第二蚀刻停止层116可为使用硅烷、氨气和氮气通过PECVD形成的厚度在约35nm和150nm之间的氮化硅, 并且可为随后的蚀刻提供期望的蚀刻选择性。

[0029] 参考图3B, 磁芯材料层308形成在下面的电介质层110上。磁芯材料层308由NiFe与AlN的交替层构成。NiFe层具有约225nm至425nm的厚度, 并且AlN层具有约5nm至15nm的厚

度。在一个示例实施例中，NiFe层厚度为约325nm，并且AlN层厚度为约10nm。在该示例实施例中，磁芯为约3层至10层AlN/NiFe的堆叠。介入在NiFe层之间的AlN层通过降低归因于涡流的损耗，特别是在高频下的损耗，来改进磁通门磁力计的性能。磁芯图案310形成在磁芯材料层308上方，并且使要被蚀刻掉的磁芯材料层308暴露。磁芯图案310可包括通过光刻工艺形成的光致抗蚀剂，并且可包括抗反射层和/或硬掩模层。

[0030] 参考图3C，从由磁芯图案310暴露出的区域蚀刻磁芯材料层308，以形成磁芯120。

[0031] 蚀刻磁芯材料308的堆叠（产生良好的尺寸控制和良好的轮廓）的湿法蚀刻剂含有磷酸、乙酸、硝酸和去离子（DI）水。湿法蚀刻剂由约20重量%至40重量%之间的浓磷酸、约1重量%至10重量%之间的浓乙酸，约0.1%至3%之间的浓硝酸和约20重量%至80重量%之间的DI水构成。湿法蚀刻剂可在约20℃至35℃的温度范围内使用。蚀刻时间取决于温度。蚀刻速率在较高温度下较快，因此在较高温度下蚀刻时间较短。湿法蚀刻剂的优选组成取决于NiFe层和AlN层的相对厚度。在一个示例磁通门磁力计中，湿法蚀刻剂为约30%重量的磷酸、约4%重量的乙酸和约0.45%重量的硝酸。该蚀刻剂以大致相同的速率蚀刻NiFe和AlN，以提供具有良好轮廓的磁芯。不同于其它通常以不同的速率蚀刻NiFe和AlN（产生其中AlN层突出超过NiFe层的轮廓）的蚀刻剂，该蚀刻剂产生其中AlN层和NiFe层的边缘为大体上共线的磁芯轮廓。平滑的轮廓提供了上覆在磁芯上的电介质之间的改进的机械稳定性，因而避免可导致电路故障的分层。平滑的轮廓也降低了噪声，该噪声可限制磁芯在弱磁场检测中的灵敏度。

[0032] 参考图3D，在移除磁芯图案310之后，继续制造集成电路100，以提供图1的磁通门磁力计111结构。

[0033] 当磁芯材料堆叠308为厚时，当蚀刻时间超过约4分钟时，磁芯材料的蚀刻速率可开始减慢。蚀刻速率可通过执行DI冲洗并且然后将晶片回到湿法蚀刻剂浴槽（bath）来恢复，诸如在图4的工艺流程中所描述的。

[0034] 参考图4，将具有图案化的NiFe/AlN磁芯材料的晶片放入蚀刻剂浴槽中（在上面步骤402中描述），并且在步骤404中蚀刻少于约6分钟的时间。在一个示例工艺中，晶片被蚀刻约4分钟。

[0035] 在步骤406中，用DI水冲洗晶片。在步骤408中，检查晶片以查看NiFe/AlN磁芯材料是否被从由磁芯图案暴露出的区域中清除。如果它被清除干净，则在工艺流程中将晶片移动到下一个工序410。

[0036] 如果NiFe/AlN磁芯材料没有清除干净，则使晶片回到蚀刻浴槽402，并且重复步骤402、步骤404和步骤408，直到磁芯材料被蚀刻干净为止。

[0037] 参考图5，用下面的应力缓解层118和/或上覆应力缓解层122包封磁芯120可通过消除磁芯120与周围电介质层110和电介质层124的归因于应力的分层来提高产率。

[0038] 图6A至6C为描绘的连续制造阶段中的图5的集成电路的横截面。

[0039] 参考图6A，第一层应力缓解材料层606（诸如钛）设置在蚀刻停止层116上。可使用其它应力缓解材料（诸如Ta、TiN、Ta<sub>2</sub>N<sub>3</sub>、Ru和Pt）。使用钛用于例示。对于该实施例，蚀刻停止层116不是可选的。它为随后的包含氟的等离子体蚀刻提供蚀刻停止选择性。可使用诸如溅射的物理气相沉积（PVD）将钛层606沉积至约30nm至50nm之间的厚度。

[0040] 磁芯材料层608如上所述形成在应力缓解材料层606上。磁芯图案610形成在磁芯

材料层608上。

[0041] 参考图6B,湿法蚀刻剂用于蚀刻掉由磁芯图案610暴露出的磁芯材料608。在磁芯120的底部处的磁芯图案610的底切(undercut)605的量可用湿法蚀刻的过蚀刻时间来控制。应力缓解层606延伸超过磁芯120至少约1.5微米是有利的,以提供足够的机械稳定性来消除可能导致电路故障的分层。晶片可保留在湿法蚀刻剂浴槽中,使得磁芯图案延伸超过磁芯120的底部至少1.5微米的长度605。这使得形成磁芯图案610的光掩模可重新用于形成应力缓解材料蚀刻图案614,节约了可观的成本。

[0042] 参考图6C,移除了磁芯图案610,并且可在第一应力缓解材料层606上方并且在磁芯120的顶部和侧面上方形成第二应力缓解材料(诸如钛)层612。钛层612可使用诸如溅射的物理气相沉积(PVD)沉积至约90nm至300nm之间的厚度。

[0043] 应力缓解材料蚀刻图案614形成在第二应力缓解层612上。用于形成磁芯图案610的相同的光掩模可用于形成应力缓解材料蚀刻图案614。应力缓解材料蚀刻图案614延伸超过磁芯120的基部至少1.5微米的长度615。

[0044] 使用含有氟气的等离子体蚀刻来蚀刻由应力缓解材料蚀刻图案614暴露的第二钛层612和第一钛层606,以形成图5中的结构。等离子体蚀刻在蚀刻停止层116上停止。延伸超过磁芯的边缘至少1.5微米的第一应力缓解层和第二应力缓解层提供了足够的机械稳定性,以防止磁芯120与周围的电介质层116和电介质层124分层,这可引入降低磁通磁力计的灵敏度的噪声,并且还可导致电路故障。

[0045] 然后继续制造集成电路100,以提供外加应力缓解包封的类似于图1的磁通门磁力计结构111。

[0046] 在权利要求的范围内,在所述实施例中修改是可能的,并且其它实施例是可能的。



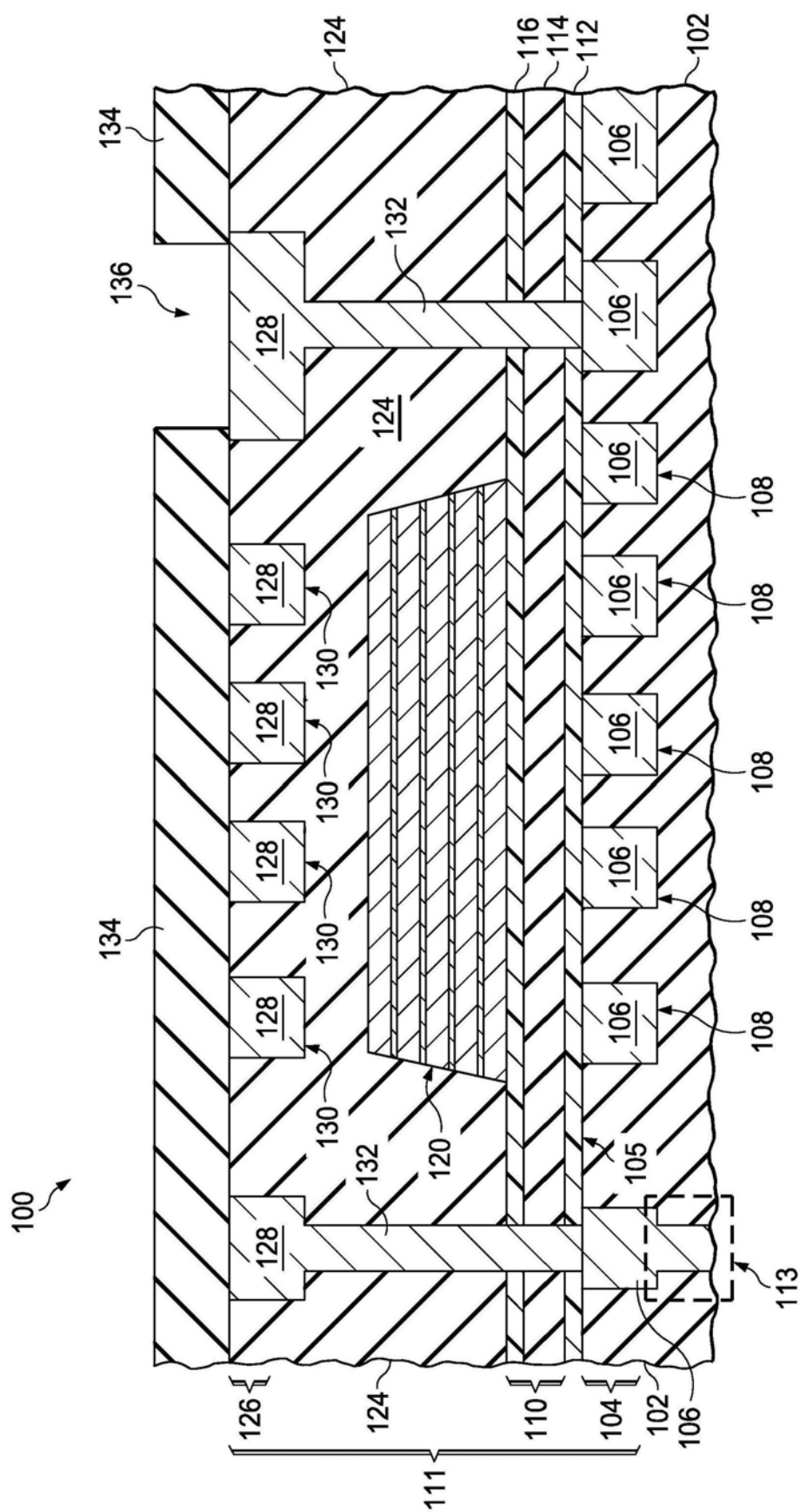


图1

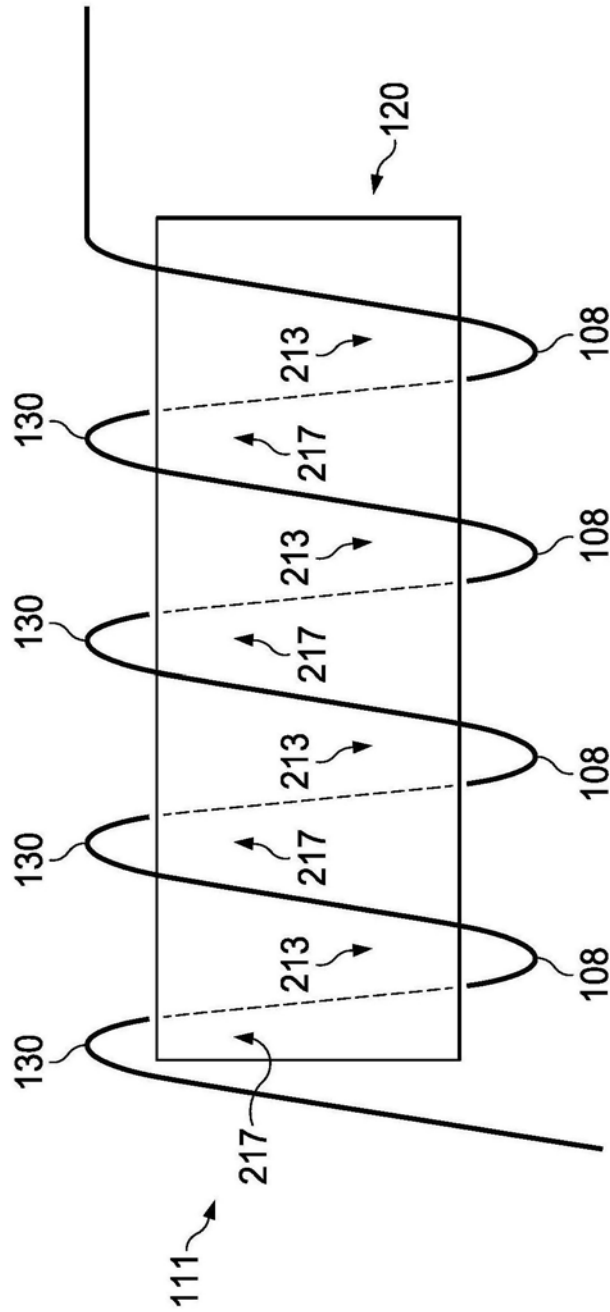


图2

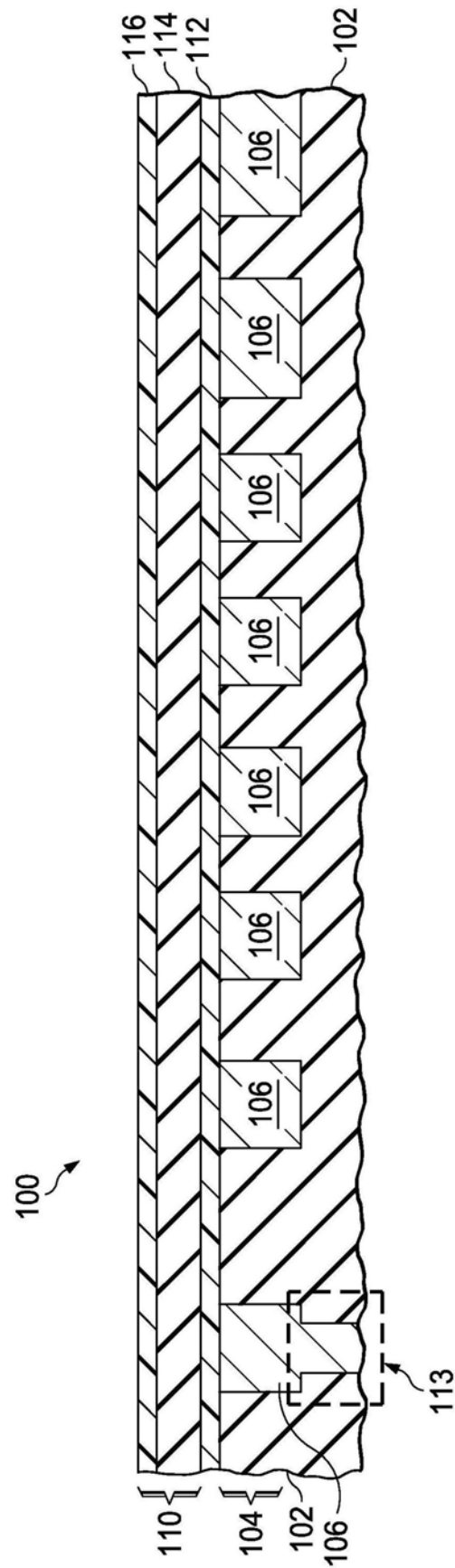


图3A

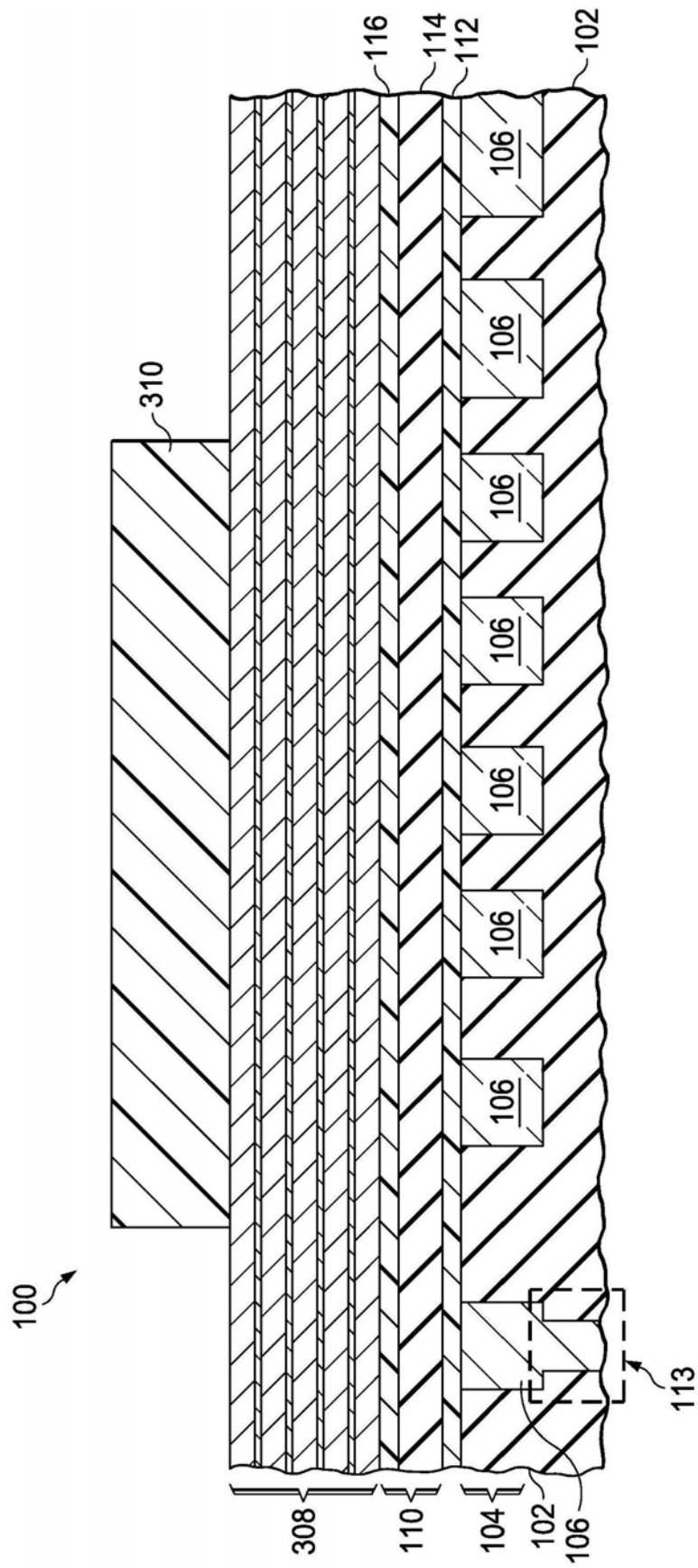


图3B



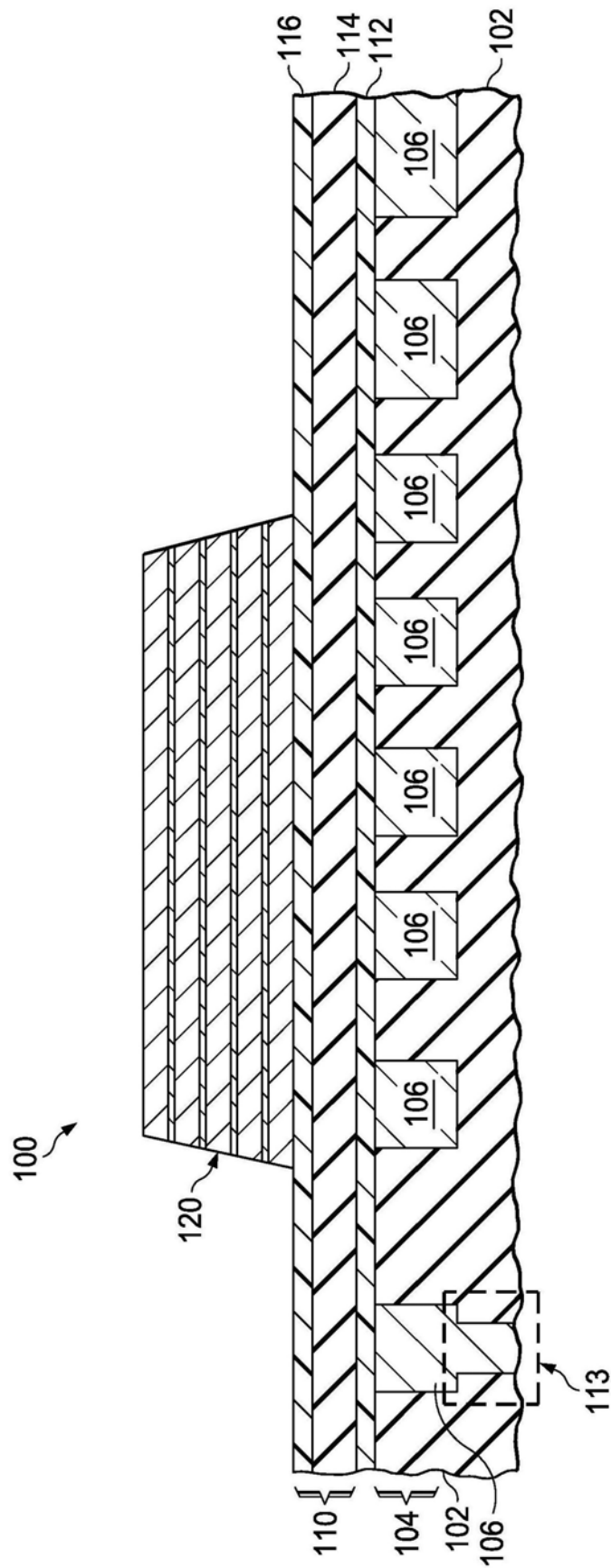


图3D

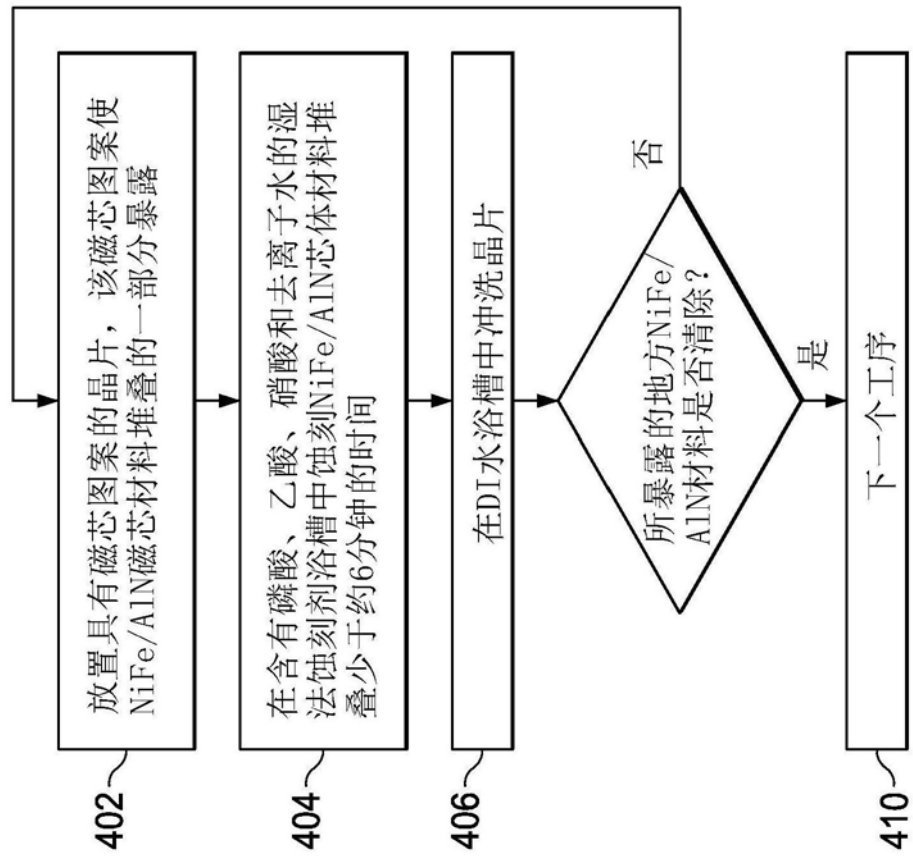


图4





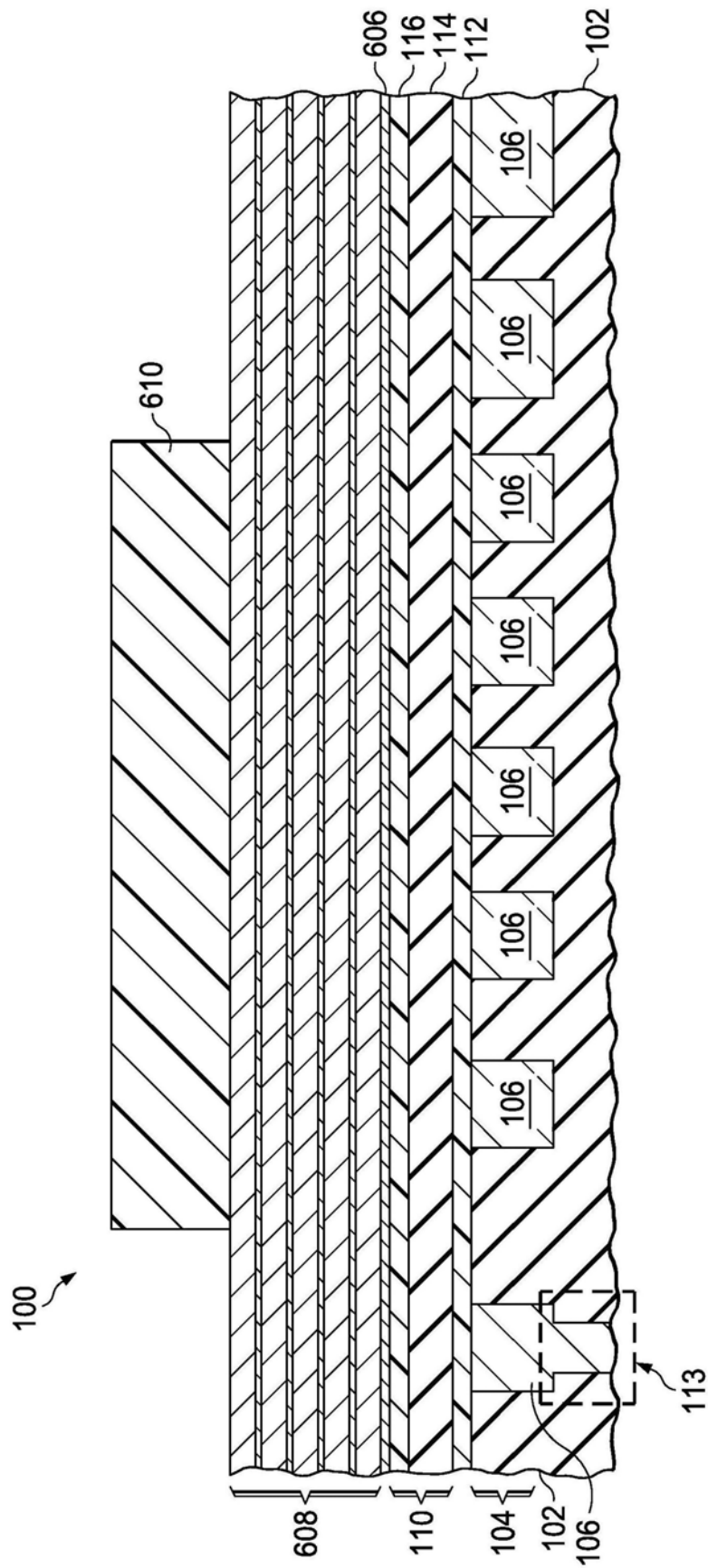


图6A

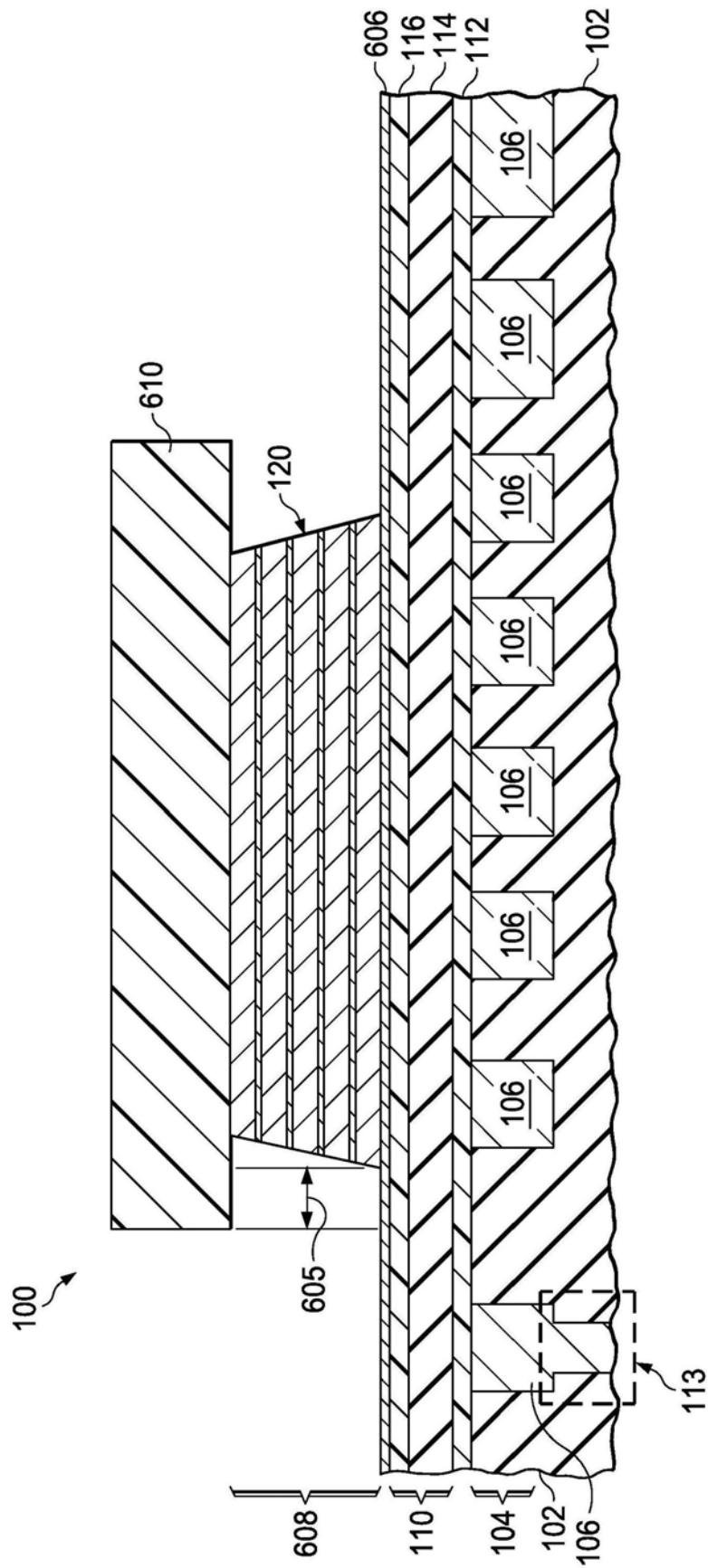


图6B

