

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/76

H01L 27/04 H01L 29/78

H01L 21/336 H01L 21/8234



[12] 发明专利申请公开说明书

[21] 申请号 200410059842.0

[43] 公开日 2004 年 12 月 8 日

[11] 公开号 CN 1553494A

[22] 申请日 1999. 12. 28

[21] 申请号 200410059842.0

分案原申请号 99127082.7

[30] 优先权

[32] 1998. 12. 28 [33] JP [31] 374881/1998

[71] 申请人 株式会社日立制作所

地址 日本东京

[72] 发明人 金光贤司 渡部浩三 铃木范夫
石冢典男

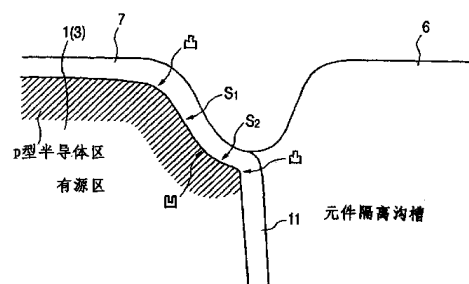
[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 王以平

权利要求书 4 页 说明书 16 页 附图 24 页

[54] 发明名称 半导体集成电路器件

[57] 摘要

一种半导体集成电路器件，包括：(a) 形成在半导体衬底中的沟槽，以及 (b) 埋置在所述沟槽内的第一绝缘膜；其中，所述沟槽具有倾斜的表面，所述倾斜的表面和所述半导体衬底(1)的表面之间的第一边界部分是圆形的，以及所述倾斜的表面和所述沟槽的侧壁之间的第二边界是圆形的。被所述沟槽包围的有源区的衬底表面，在有源区的中心部分是水平面，但在有源区的肩部向着沟槽的侧壁下降。该斜面包括两个具有不同倾斜角的斜面。靠近有源区中心部分的第一斜面较陡峭，靠近元件隔离沟槽侧壁的第二斜面比第一斜面平缓。有源区肩部的衬底表面完全变圆，没有尖角部分。



ISSN 1008-4274

1. 一种半导体集成电路器件，包括：
 - (a) 形成在半导体衬底中的沟槽，以及
 - (b) 埋置在所述沟槽内的第一绝缘膜；其中，所述沟槽具有倾斜的表面，
所述倾斜的表面和所述半导体衬底(1)的表面之间的第一边界部分是圆形的，以及
所述倾斜的表面和所述沟槽的侧壁之间的第二边界是圆形的。
2. 如权利要求 1 所述的半导体集成电路器件，其中，所述第一绝缘膜是通过 CVD 法形成的。
3. 如权利要求 1 所述的半导体集成电路器件，其中，所述第一绝缘膜是由氧化硅膜构成的。
4. 如权利要求 1 所述的半导体集成电路器件，其中，在所述沟槽的一个内壁之上形成第二绝缘膜，以及
所述第一绝缘膜形成在所述第二绝缘膜之上。
5. 如权利要求 4 所述的半导体集成电路器件，其中，所述第二绝缘膜是由氧化硅膜构成的。
6. 如权利要求 1 所述的半导体集成电路器件，其中，在所述沟槽的内壁之上形成第二、第三绝缘膜，以及
所述第一绝缘膜形成在所述第二、第三绝缘膜之上。
7. 如权利要求 6 所述的半导体集成电路器件，其中，所述第二绝缘膜是由氧化硅膜构成的，以及
所述第三绝缘膜是由氮化硅膜构成的。
8. 如权利要求 1 所述的半导体集成电路器件，还包括：
 - (c) 形成在所述半导体衬底之上的 MISFET 的栅绝缘膜，以及
 - (d) 形成在所述栅绝缘膜之上的 MISFET 的栅电极；其中，将杂质引入所述 MISFET 的沟道区域，以控制所述

MISFET 的阈值电压。

9. 如权利要求 8 所述的半导体集成电路器件, 其中, 所述栅电极形成在所述栅绝缘膜和第一绝缘膜之上。

10. 一种半导体集成电路器件, 包括:

(a) 形成在半导体衬底中的沟槽, 以及

(b) 埋置在所述沟槽内的第一绝缘膜;

其中, 所述半导体衬底具有第一表面;

所述沟槽具有第二和第三表面,

所述第三表面的切线和所述第一表面之间的夹角从所述第一表面到第二表面逐渐增加, 然后逐渐减小。

11. 如权利要求 10 所述的半导体集成电路器件, 其中, 所述第一绝缘膜是通过 CVD 法形成的。

12. 如权利要求 10 所述的半导体集成电路器件, 其中, 所述第一绝缘膜是由氧化硅膜构成的。

13. 如权利要求 10 所述的半导体集成电路器件, 其中, 在所述沟槽的一个内壁之上形成第二绝缘膜, 以及

所述第一绝缘膜形成在所述第二绝缘膜之上。

14. 如权利要求 13 所述的半导体集成电路器件, 其中, 所述第二绝缘膜是由氧化硅膜构成的。

15. 如权利要求 10 所述的半导体集成电路器件, 其中, 在所述沟槽的内壁之上形成第二、第三绝缘膜, 以及

所述第一绝缘膜形成在所述第二、第三绝缘膜之上。

16. 如权利要求 15 所述的半导体集成电路器件, 其中, 所述第二绝缘膜是由氧化硅膜构成的, 以及

所述第三绝缘膜是由氮化硅膜构成的。

17. 如权利要求 10 所述的半导体集成电路器件, 其中, 在所述半导体衬底和所述第一绝缘膜上形成有一导电膜。

18. 一种具有 MISFET 的半导体集成电路器件, 所述 MISFET 包括一栅电极, 所述栅电极在第一方向上具有预定宽度, 并越过一

个有源区、在与所述第一方向交叉的第二方向上通过栅绝缘膜形成在由元件隔离沟槽包围的所述有源区的半导体衬底上，所述半导体集成电路器件包括：

(a) 具有第一表面的所述有源区；

(b) 具有第二表面和第三表面的所述元件隔离沟槽，所述第二表面构成所述元件隔离沟槽的侧壁，而所述第三表面在所述半导体衬底的表面上插入所述第一表面和第二表面之间；以及

(c) 形成在所述元件隔离沟槽中的第一绝缘膜；

其中，所述第三表面的切线和第一表面之间的夹角在所述第二方向从所述第一表面向第二表面逐渐增加，而后逐渐减小。

19. 如权利要求 18 所述的半导体集成电路器件，其中，所述第三表面的切线和第一表面之间的夹角之间逐渐增加、逐渐减小，并在所述第二表面之前再次增加。

20. 如权利要求 18 所述的半导体集成电路器件，还包括：

(d) 形成在所述有源区的表面上的半导体区域，该半导体区域在所述第一和第三表面上、在所述半导体衬底的深度方向上具有一个预定的宽度；

其中，所述第二表面上的半导体区域的下端位于所述第二表面上的栅电极的下端的下面。

21. 如权利要求 18 所述的半导体集成电路器件，其中，所述第一绝缘膜是通过 CVD 法形成的。

22. 如权利要求 18 所述的半导体集成电路器件，其中，所述第一绝缘膜是由氧化硅膜构成的。

23. 如权利要求 18 所述的半导体集成电路器件，其中，在所述沟槽的一个内壁之上形成第二绝缘膜，以及

所述第一绝缘膜形成在所述第二绝缘膜之上。

24. 如权利要求 23 所述的半导体集成电路器件，其中，所述第二绝缘膜是由氧化硅膜构成的。

25. 如权利要求 18 所述的半导体集成电路器件，其中，在所

述沟槽的内壁之上形成第二、第三绝缘膜，以及

所述第一绝缘膜形成在所述第二、第三绝缘膜之上。

26. 如权利要求 25 所述的半导体集成电路器件，其中，所述第二绝缘膜是由氧化硅膜构成的，以及

所述第三绝缘膜是由氮化硅膜构成的。

半导体集成电路器件

本申请是申请号为 99127082.7、申请日为 1999 年 12 月 28 日、发明名称为“半导体集成电路及其制造方法”的专利申请的分案申请。

技术领域

本发明涉及一种半导体集成电路器件，特别涉及用于形成微细 MISFET（金属绝缘体半导体场效应晶体管）的元件隔离结构的有效技术。

背景技术

尽管硅的局部氧化(LOCOS)已广泛用作 LSI 生产工艺的元件隔离技术，但随着半导体元件尺寸的减小，正在引入一种新的元件隔离技术。

通过把例如氧化硅膜等绝缘膜埋置于形成在硅衬底中的沟槽中起作用的浅沟槽隔离（SGI），（a）减小了两元件间的间隔，（b）容易控制元件隔离膜的厚度，并容易设定场反型电压，（c）通过将不同杂质打到沟槽的侧壁和底部，可以隔离抗反射层与扩散层和沟道区。因此，与硅的局部氧化相比，更有利于保证亚阈值特性，减少结合漏电和背栅效应。

以下是形成元件隔离沟槽的一般方法。首先，热氧化硅衬底，在表面上形成薄氧化硅膜，利用化学汽相淀积（CVD）法在氧化硅膜上形成氮化硅膜，通过利用光刻胶膜作掩模进行干法腐蚀，去掉元件隔离区的氮化硅膜。此后，去掉光刻胶膜，用氮化硅膜作掩模，进行干法腐蚀，在衬底中形成深 350 - 400nm 的沟槽，并热氧化衬底，在沟槽的内壁上形成薄氧化硅膜。该氧化硅膜的形成消除了发生在沟槽内壁上的腐蚀损伤，减轻了以后步骤中埋置于沟槽内的氧化硅膜的应

力。

利用 CVD 法,在包括沟槽内部的衬底上形成厚氧化硅膜,之后,加热衬底,精细地使埋置于沟槽内的氧化硅致密化。然后,利用化学机械抛光 (CMP) 法,去掉氮化硅膜上的氧化硅膜,使氧化硅膜只留在沟槽内,并腐蚀去掉不必要的氮化硅膜,完成元件隔离沟槽。

已知上述元件隔离结构中,形成于有源区的衬底表面上的栅氧化硅膜,在有源区的端部(肩部)局部很薄,栅压的电场集中在该肩部,结果是发生漏电流随低的栅电压流动(可以称之为“弯折特性(kink characteristics)”或“驼峰特性(hump characteristics)”)。关于该问题的解决方法,提出了使有源区的肩部变圆的技术。

例如,日本专利公开昭 63-2371 指出了这种问题,当在由上述元件隔离沟槽包围的衬底有源区中形成沟道宽度为 1 微米或更小的精细 MISFET 时,由于阈值电压(V_{th})减小即所谓的“窄沟道效应”,其不能用作器件。这是由于有源区的肩部在绝缘膜埋置于形成在衬底中的沟槽内的元件隔离结构中,具有接近直角的尖角截面,因而栅压的电场会集中在该区,沟道形成有低栅压。

上述出版物公开了防止阈值电压降低的技术,即,在衬底中形成沟槽,通过在 950℃ 下湿法氧化使有源区的肩部变圆,并使有源区的肩部的栅氧化膜增厚,从而抑制上述窄沟道效应。

日本专利公开平 2-260660 也公开了一种抑制栅压电场集中在有源区的肩部的技术,即,使肩部变圆,从而防止上述弯折(驼峰)特征发生。该出版物中,利用以下方法基本上使有源区的肩部变圆。

用由氧化膜和抗氧化膜构成的层叠膜的掩模,覆盖半导体衬底的元件形成区,在此状态下,热氧化衬底,从而在元件隔离区的衬底上形成氧化膜,使氧化膜的一端侵入到元件形成区上。然后,利用上述抗氧化膜作掩模,进行湿法腐蚀,去掉元件隔离区的氧化膜,利用上述抗氧化膜作掩模,进行反应离子腐蚀,在元件隔离区的衬底中形成沟槽,热氧化衬底,从而在沟槽内壁上形成热氧化膜,并使沟槽的肩部变圆。

图 30 是有源区的肩部及其附近部分的放大示图。图的左部示出了其表面上形成有栅氧化膜 60 的衬底的有源区。图的右部示出了其中埋置有氧化膜 61 的元件隔离沟槽。另外，在图的右和左方向延伸的栅极 62 形成于有源区和元件隔离沟槽的上部。

如图所示，在通过把氧化硅膜 61 埋置到形成在衬底中的沟槽内形成的元件隔离沟槽中，氧化硅膜 61 的表面在有源区附近凹下。当利用形成于衬底的有源区上的氮化硅膜作掩模，腐蚀在衬底中形成沟槽时，氧化硅膜 61 埋置到沟槽内，使表面平面化，并腐蚀去掉不需要的氮化硅膜，在有源区的衬底表面和埋置于沟槽中的氧化硅膜 61 的表面间，产生了对应于氮化硅膜厚度的高度差。在用氢氟酸湿法腐蚀氧化硅膜 61 的表面，减小这种高度差时，与氮化硅膜接触的部分，即有源区附近的氧化硅膜 61 的上表面和侧面暴露于氢氟酸中，因而该区的腐蚀量大于远离有源区的氧化硅膜 61 的腐蚀量。

当有源区附近的氧化硅膜 61 如上所述凹下时，形成于有源区的肩部的衬底表面上的那部分栅氧化膜 60 的端部，到达元件隔离沟槽的侧壁部分。然而，由于难以将形成沟道的杂质打到元件隔离沟槽的侧壁中，该区中的杂质浓度变得低于有源区的平坦部分的杂质浓度。结果，在电压加于栅极上时，在有源区的平坦部分中形成沟道前，会在有源区的肩部形成亚沟道，导致阈值电压减小。特别是在栅宽度随着 MISFET 宽度的减小而减小时，亚沟道的影响变严重，阈值电压的减小变大。这种现象是对于栅极由 n 型多晶硅形成的表面沟道型 MISFET 来说是一个非常严重的问题。

关于防止阈值电压的上述减小问题的方法，可以想到有增大形成沟道的杂质的剂量，以补偿有源区肩部中杂质浓度的减小。然而，由于按该方法，衬底中杂质浓度增大，在动态随机存取存储器（DRAM）的情况下，例如，在存储节点的半导体区附近，电场强度变大，漏电流变大，因而引起了更新特征变差，位线寄生电容增大。

在微细 MISFET 这样形成于由元件隔离区包围的衬底有源区中时，无法通过使有源区的肩部变圆来防止阈值电压的减小，并且必须

采取某种措施，以抑制如上所述在有源区的肩部形成亚沟道。

本发明的目的是提供一种通过使元件隔离沟槽的形状优化，促进 MISFET 的尺寸减小的技术。

本发明另一目的是提供一种尺寸已减小的半导体集成电路器件。

从以下结合附图的介绍中，本发明的上述和其它目的及新特点将变得更清楚。

根据本发明的第一方案，提供了一种具有 MISFET 的半导体集成电路器件，包括：(a) 形成在半导体衬底中的沟槽，以及 (b) 埋置在所述沟槽内的第一绝缘膜；其中，所述沟槽具有倾斜的表面，所述倾斜的表面和所述半导体衬底(1)的表面之间的第一边界部分是圆形的，以及所述倾斜的表面和所述沟槽的侧壁之间的第二边界是圆形的。

根据本发明的另一方案，提供了一种半导体集成电路器件，包括：(a) 形成在半导体衬底中的沟槽，以及 (b) 埋置在所述沟槽内的第一绝缘膜；其中，所述半导体衬底具有第一表面；所述沟槽具有第二和第三表面，所述第三表面的切线和所述第一表面之间的夹角从所述第一表面到第二表面逐渐增加，然后逐渐减小。

本发明还提供了一种具有 MISFET 的半导体集成电路器件，所述 MISFET 包括一栅电极，所述栅电极在第一方向上具有预定宽度，并越过一个有源区、在与所述第一方向交叉的第二方向上通过栅绝缘膜形成在由元件隔离沟槽包围的所述有源区的半导体衬底上，所述半导体集成电路器件包括：(a) 具有第一表面的所述有源区；(b) 具有第二表面和第三表面的所述元件隔离沟槽，所述第二表面构成所述元件隔离沟槽的侧壁，而所述第三表面在所述半导体衬底的表面上插入所述第一表面和第二表面之间；以及 (c) 形成在所述元件隔离沟槽中的第一绝缘膜；其中，所述第三表面的切线和第一表面之间的夹角在所述第二方向从所述第一表面向第二表面逐渐增加，而后逐渐减小。

附图说明

图 1 是根据本发明一个实施例的半导体集成电路器件制造工艺期间衬底的主要部分的平面图；

图 2 是沿图 1 中的线 A-A' 取的衬底剖面图；

图 3 是沿图 1 中的线 B-B' 取的衬底剖面图；

图 4 (a) 是有源区及其附近的元件隔离沟槽的放大示图；图 4 (b) 是有源区的肩部及其附近情况的放大示图；

图 5 是有源区的肩部及其附近情况的放大示图；

图 6 是衬底主要部分的剖面图，用于展示本发明一个实施例制造半导体集成电路器件的方法；

图 7 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 8 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 9 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 10 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 11 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 12 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 13 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 14 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 15 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 16 是衬底主要部分的剖面图，用于展示本发明该实施例制造

半导体集成电路器件的方法；

图 17 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 18 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 19 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 20 是有源区的肩部及其附近情况的放大示图；

图 21 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 22 是有源区的肩部及其附近情况的放大示图；

图 23 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 24 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 25 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 26 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 27 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 28 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 29 是衬底主要部分的剖面图，用于展示本发明该实施例制造半导体集成电路器件的方法；

图 30 是本发明人研制的元件隔离结构中，有源区的肩部及其附近情况的放大示图。

具体实施方式

下面结合附图介绍本发明的优选实施例。各图中，具有相同功能的元件给出了相同的参考符号，用于解释本发明的优选实施例，所以不再对它们进行重复介绍。

图 1 是生产工艺中衬底主要部分的平面图。图 2 是沿图 1 中的线 A-A' 取的剖面图，图 3 是沿图 1 中的线 B-B' 取的剖面图。

其周边由元件隔离沟槽 2 限定的有源区 L 形成于 p 阱 3 中，p 阱 3 形成于由 p 型单晶硅构成的衬底 1 的主表面上。每个有源区 L 都为长岛形图形，其平面尺寸为纵向长 0.6 微米，横向长 0.12 微米。用于存储单元选择的两个 MISFETQ 共享一个源和漏，它们形成于每个有源区 L 中。用于存储单元选择的 MISFETQ 构成 DRAM 存储单元的一部分，并与以后步骤中在 MISFETQ 上形成的信息存储电容元件 C 串联。

用于存储单元选择的上述 MISFETQ 主要由栅氧化膜 7、栅极 8A 和一对 n 型半导体区 10 和 10（源和漏）构成。用于存储单元选择的 MISFETQ 的栅极 8A 与字线 WL 成一体，并在图 1 的垂直方向（第二方向），以与字线 WL 相同的线宽和相同的间隔线性延伸。图 1 的水平方向（第一方向（X））上栅极 8A 的线宽和间隔为由光刻分辨率极限决定的最小值（例如，0.12 微米）。栅极 8A 具有多晶硅和金属结构，例如 WN（氮化钨）膜等阻挡金属膜和 W（钨）膜形成于掺有例如 P（磷）等 n 型杂质的低阻多晶硅膜上。在栅极 8A（字线 WL）的上部，形成具有与栅极 8A（字线 WL）相同平面图形的氮化硅膜 9。

图 4（a）是图 1 中垂直方向（第二方向（Y））上，有源区 L 和有源区 L 附近元件隔离沟槽 2 的放大示意图，图 4（b）和图 5 是图 1 中垂直方向（第二方向）上，有源区 L 的肩部及其附近情况的放大示意图。

包围有源区 L 的元件隔离沟槽 2 是氧化硅膜 6 埋置在形成于衬底 1（p 阱 2）中的沟槽内的结构。用于减小产生于氧化硅膜 6 和衬底 1 间的应力的薄氧化硅膜 11 形成于元件隔离沟槽 2 和氧化硅膜 6

间的界面处。上述埋置于元件隔离沟槽 2 内的氧化硅膜 6 的表面(上表面)几乎与衬底有源区 L 的表面(栅氧化膜 7)齐平,但在有源区附近凹下(到衬底 1 侧)。

在有源区 L 的中心部分,由上述元件隔离沟槽 2 包围的有源区 L 的衬底 1 表面为水平平坦表面,而在有源区 L 的肩部为向着元件隔离沟槽 2 的侧壁下降的斜表面。如图 4(b)所示,该斜面包括具有不同倾斜角的两个斜面(S1, S2)。有源区 L 中心部分附近的第一斜面(S1)较陡峭,而靠近元件隔离沟槽 2 侧壁的第二斜面(S2)比第一斜面(S1)平缓一些。

在上述有源区 L 的肩部,衬底 1 的表面被完成变圆,没有尖角部分。由于具有不同倾斜角的上述两斜面(S1, S2)都形成在有源区 L 的肩部,所以有源区 L 的几乎水平平坦表面和第一斜表面(S1)间的边界部分,及元件隔离沟槽 2 的侧壁与第二斜面(S2)间的边界部分都变圆,形成凸面。第一陡峭斜面(S1)和第二平缓斜面(S2)间的边界部分变圆,形成凸面。即,如图 5 所示,有源区 L 肩部的切线与有源区 L 平坦表面间有夹角(θ),从有源区 L 侧(图的左侧)向着元件隔离沟槽 2 侧(图的右侧)逐渐增大($\theta_A < \theta_B$),逐渐减小($\theta_B > \theta_C$),然后在元件隔离沟槽 2 侧壁之前又增大($\theta_C < \theta_D$)。

用于存储单元选择的 MISFETQ 的栅氧化膜 7 形成于有源区 L 的衬底 1 表面上,栅极 8A 形成于栅氧化膜 7 上。由于在有源区 L 的附近,埋置于元件隔离沟槽 2 中的氧化硅膜 6 的表面凹下,并且如上所述不覆盖有源区 L 的肩部,栅氧化膜 7 形成于有源区 L 的肩部,并且其端部延伸到第二斜面(S2)的下端。由于在有源区 L 肩部,衬底 1 的表面完全变圆,没有尖角部分,所以有源区 L 肩部的栅氧化膜 7 几乎等于有源区 L 中心部分栅氧化膜 7 的厚度。

p 型半导体区 12 靠近栅氧化膜 7 下的衬底 1 表面(p 阱 3)形成,该区构成沟道,在预定电压加于栅极 8A 上时,该沟道作为源和漏间流动的电流的通道。P 半导体区 12 中掺杂有 p 型杂质(硼),用于调节用于存储单元选择的 MISFETQ 的阈值电压(V_{th})。即,用于

存储单元选择的 MISFETQ 是表面沟道型。靠近衬底 1 表面 (p 阱 3) 形成的 p 型半导体区 12 的端部, 延伸到形成于有源区 L 肩部的第二斜面 (S2) 的下端, 位于第二斜面 (S2) 上栅极 8A 的下端之下。如以后所述, 引入到该 p 型半导体区 12 中的杂质 (硼) 浓度几乎等于有源区 L 中心部分和有源区 L 肩部的杂质浓度。

下面结合图 6-29 顺序介绍制造上述 DRAM 的方法。图 6-19、图 21 和图 23-29 的左边示出了 DRAM 的部分存储阵列 (MA), 右侧示出了 DRAM 的部分外围电路 (PHC)。

如图 6 所示, 衬底 1 由 p 型单晶硅构成, 电阻率为 $1-10\Omega\text{cm}$, 例如在约 850°C 氧化该衬底 1, 在表面上形成厚约 10nm 的薄氧化硅膜 40 (第一氧化硅膜), 然后, CVD 法在该氧化硅膜 40 上形成厚约 120nm 的氮化硅膜 (抗氧化膜) 41。氮化硅膜 41 用作腐蚀元件隔离区的衬底 1 形成沟槽的掩模。由于氮化硅膜 41 几乎不会被氧化, 所以还可用作防止以后衬底 1 表面被氧化的掩模。形成氮化硅膜 41 下的氧化硅膜 40 用来减小衬底 1 和氮化硅膜 41 间界面产生的应力, 并防止因这种应力在衬底 1 的表面上形成位错等缺陷。

如图 7 所示, 利用光刻胶膜 PR1 作掩模, 进行干法腐蚀, 选择性去掉元件隔离区的氮化硅膜 41 和氮化硅膜 41 下的氧化硅膜 40, 从而露出衬底 1 的表面。此时, 由于如果有少量氧化硅膜 40 留在露出的衬底 1 表面上, 则会导致形成杂质, 所以要过腐蚀衬底 1, 完全去掉氧化硅膜 40。通过过腐蚀使衬底 1 的元件隔离区凹下, 可以容易在以后步骤中形成的有源区 L 的肩部形成斜面。衬底 1 过腐蚀的量可以为约 10-30nm。

通过灰化去掉了光刻胶膜 PR1 后, 用已知的 SC-1 号液 (氨水和过氧化氢的混合液) 和 SC-2 号液 (盐酸和过氧化氢的混合液) 清洗衬底 1 的表面, 去掉衬底 1 表面上杂质, 再用氢氟酸清洗, 去掉形成于衬底 1 表面上的自然氧化膜。在进行这种清洗时, 氧化硅膜被各向同性浅腐蚀, 因而, 从氮化硅膜 41 的端部露出的氧化硅膜 40 被浅腐蚀, 其端部从氮化硅膜 41 的端部向内凹 (向着有源区 L 侧),

如图 8 所示。从而，容易在以后步骤中形成的有源区 L 的肩部上形成斜面。在这种凹下量大时，氮化硅膜 41 和氧化硅膜 40 间的接触面积减小，这些膜容易在它们之间的界面处彼此分离。氧化硅膜 40 凹下的量优选不大于相当于其厚度（例如约 10nm）的量。

如图 9 所示，在约 800℃ - 1000℃ 热氧化衬底 1，在元件隔离区的衬底 1 表面上，形成厚度（例如约为 20 - 65nm）大于氧化硅膜 40 的氧化硅膜 42（第二氧化硅膜）。由于该热氧化，氧化硅膜 42 的鸟嘴从氮化硅膜 41 的端部向内延伸（到有源区 L 侧）。

如图 10 所示，然后，利用氢氟酸湿法腐蚀，去掉衬底 1 表面上形成的氧化硅膜 42，再露出元件隔离区的衬底 1 表面。将在以后步骤中形成的有源区 L 肩部的衬底 1 表面通过到此为止的步骤变倾斜。可以用干法腐蚀或干法腐蚀和湿法腐蚀结合，去掉上述氧化硅膜 42。

如图 11 所示，然后，利用氮化硅膜 41 作掩模，进行干法腐蚀，在元件隔离区的衬底 1 中，形成深约 350 - 400nm 的沟槽 2a。由于有源区 L 的肩部此时也被腐蚀，所以由于斜面中间部分的凹下，形成凸面。在形成这种沟槽 2a 时，通过控制腐蚀衬底 1 的气体的成分（例如 $\text{CF}_4 + \text{O}_2$ ），以 80 度角使沟槽 2a 的侧壁倾斜。通过使沟槽 2a 的侧壁倾斜，以后步骤形成的氧化硅膜（6）容易埋置于沟槽 2a 内。

通过用上述 SC-1 液、SC-2 液和稀释氢氟酸清洗，去掉附着于沟槽 2a 侧壁上的残留腐蚀液，如图 12 所示，在 800℃ - 1000℃ 下热氧化衬底 1，在沟槽 2a 的内壁上形成厚约 10nm 的薄氧化硅膜（第三氧化硅膜）11。形成该氧化硅膜 11 为的是修复干法腐蚀引起的沟槽 2a 内壁的损伤，并减小将在以后步骤中埋置于沟槽 2a 内的氧化硅膜 6 和衬底 1 间界面处产生的应力。热氧化使有源区 L 肩部的衬底 1 表面变圆，使之具有类似于图 4(a) 和 4(b) 所示的形状。

如图 13 所示，在包括沟槽 2a 内部的衬底 1 上，CVD 形成氧化硅膜（第四氧化硅膜）6。该氧化硅膜 6 的厚度（例如约 450 - 500nm）大于沟槽 2a 的深度，所以沟槽 2a 内部完全被氧化硅膜 6 覆盖。氧化硅膜 6 可以通过具有优异台阶覆盖的膜形成法形成，例如利用氧和四

乙氧基硅烷 ($(\text{C}_2\text{H}_5)_4\text{Si}$) 形成的氧化硅膜。在形成该氧化硅膜 6 的步骤之前, 可在沟槽 2a 的内壁上 CVD 形成薄氮化硅膜 (未示出)。该氮化硅膜的作用是防止使埋置于沟槽 2a 内的氧化硅膜 6 致密时, 形成于沟槽 2a 内侧上的薄化硅膜 11 在有源区侧变厚。

在约 1000°C 下热氧化衬底 1 后, 使埋置于沟槽 2a 内的氧化硅膜 6 致密化, 提高该膜的质量, 如图 14 所示, 利用光刻胶膜 PR2 作掩模, 干法腐蚀去掉氮化硅膜 41 上的氧化硅膜 6。光刻胶膜 PR2 的图形是用于干法腐蚀元件隔离区中的氮化硅膜 41 用的光刻胶膜 PR1 的反图形。

去掉光刻胶膜 PR2 后, 如图 15 所示, 利用化学机械抛光 (CMP) 法, 抛光形成于沟槽 2a 上的氧化硅膜 6, 平面化氧化硅膜 6 的表面。该抛光利用覆盖有源区 L 的衬底 1 表面的氮化硅膜 41 作停止层, 并在氧化硅膜 6 的表面变得与氮化硅膜 41 的表面齐平时终止。

氧化硅膜 6 的抛光可以不用光刻胶膜 PR2。即, 在氧化硅膜 6 形成于包括沟槽 2a 内部的衬底 1 上, 且通过热氧化衬底 1 使氧化硅膜 6 致密化后, 可以利用氮化硅膜 41 作停止层, 化学机械抛光氧化硅膜 6。氧化硅膜 6 的致密化可以在化学机械抛光了氧化硅膜 6 从而只保留于沟槽 2a 内之后进行。这种情况下, 在氧化硅膜 6 的厚度变薄后, 使氧化硅膜 6 致密化, 因而与在抛光前进行致密化的情况相比, 可以缩短致密化时间。通过到此时的各步骤, 基本上完成了氧化硅膜 6 埋置于其中的元件隔离沟槽 2。

此后, 用热磷酸去掉覆盖有源区 L 的衬底 1 表面的氮化硅膜 41, 露出底层氧化硅膜 40。在去掉氮化硅膜 41 时, 如图 16 所示, 在形成于有源区 L 的衬底 1 表面上的氧化硅膜 40 的表面和埋置于元件隔离沟槽 2 中的氧化硅膜 6 的表面间, 产生了等于氮化硅膜 41 的厚度的高度差 (LH)。

如图 17 所示, 用氢氟酸湿法腐蚀元件隔离沟槽 2 中埋置的氧化硅膜 6 的表面, 减小氧化硅膜 6 的表面与有源区 L 的衬底 1 表面间的高度差。此时还腐蚀形成于有源区 L 的衬底 1 上的薄氧化硅膜 40,

暴露衬底 1 的表面。由于氧化硅膜 6 的与氮化硅膜 41 接触部分的上表面和侧面暴露于氢氟酸中,所以被腐蚀的氧化硅膜 6 的量大于与有源区 L 隔开的区域中氧化硅膜 6 的腐蚀量。因而,靠近有源区 L 肩部的氧化硅膜 6 的表面向内凹,有源区 L 肩部的衬底 1 的表面露出。

如图 18 所示,在 850℃ 热氧化衬底 1,在有源区 L 的衬底 1 的表面上,形成厚约 10nm 的薄氧化硅膜(第五氧化硅膜)43。形成该氧化硅膜 43 的目的是减少以后步骤打入杂质离子引起的衬底 1 的损伤。

如图 19 所示,通过氧化硅膜 43,在一部分衬底 1 中打入 n 型杂质(例如磷),在另一部分中打入 p 型杂质(硼),形成阱(p 阱 3 及 n 阱 4 和 5)。为在衬底 1 中形成沟道区 12,通过上述氧化硅膜 43,在衬底 1 中打入 p 型杂质(硼)。形成阱(p 阱 3 及 n 阱 4 和 5)的杂质以高能量引入到衬底 1 的较深区域,形成沟道区 12 的杂质以低能量引入到衬底 1 的较浅区域。

通过到此时的各步骤,在有源区 L 肩部的衬底 1 表面上,形成如图 4(a)和图 4(b)所示夹着变圆的凹面的第一陡峭斜面(S1)和第二平缓斜面(S2)。因此,如图 20 的放大示意图所示,有源区 L 肩部的第一陡峭斜面上,氧化硅膜 43 垂直方向上的厚度(t_1)实际大于有源区 L 中心部分的氧化硅膜 43 的厚度(t_0)。结果,通过第一斜面(S1)上的氧化硅膜 43 引入到衬底 1 中形成沟道的杂质的浓度,变得低于引入有源区 L 中心部分的衬底 1 中形成沟道的杂质的浓度。

同时,由于第二斜面的倾斜度平缓的缘故,靠近元件隔离沟槽 2 的侧壁,第二斜面(S2)上的氧化硅膜 43 的垂直方向厚度(t_2),几乎等于有源区 L 中心部分上氧化硅膜 43 的厚度(t_0)。因此,通过第二斜面(S2)上的氧化硅膜 43 引入到衬底 1 中的形成沟道的杂质的浓度,几乎等于有源区 L 的中心部分的杂质浓度。

如图 21 所示,在约 950℃ 下加热衬底 1,扩散上述杂质,在存储阵列的衬底 1 中形成 p 阱 3 和 n 阱 5,在外围电路的衬底 1 中形成

P阱3和n阱4。在存储阵列的衬底1的较深区域中形成n阱5，为的是防止噪声从外围电路通过衬底1进入存储阵列的p阱3中。

通过上述热处理，靠近存储阵列的衬底1表面（p阱3），形成构成沟道的p型半导体区12，如图22的放大图所示。此时，靠近有源区L肩部，部分杂质从第二斜面（S2）的衬底1和引入了比引入到第一斜面（S1）的衬底1中多的大量杂质的有源区中心部分的衬底1，扩散到第一斜面（S1）的衬底1中。因而，p型半导体区12中杂质的浓度，在有源区L的中心部分，第一斜面（S1）和第二斜面（S2）中几乎是均匀的，未示出，靠近外围电路的衬底1表面（p阱3）形成与如上所述相同的沟道区12。

根据该实施例，构成沟道的p型半导体区12中的杂质浓度，在整个有源区L中几乎是均匀的。因此，可以抑制有源区肩部中形成亚沟道，并可以防止阈值电压降低。

利用氢氟酸湿法腐蚀去掉了衬底1表面上的氧化硅膜43后，如图23所示，在约800-850℃下热氧化衬底1，在表面上形成厚约4nm的洁净栅氧化膜7，如图24所示。由于栅氧化膜7形成于有源区L的肩部上，有源区L肩部的衬底1表面完全变圆，如上所述没有尖角部分，该区中栅氧化膜7的厚度变得几乎等于有源区中心部分的栅氧化膜7的厚度。

如图25所示，然后，在栅氧化膜27上形成栅极8A（字线WL）、8B和8C，例如通过在栅氧化膜7上CVD形成掺有磷的多晶硅，形成栅极8A、8B和8C，在多晶硅膜上溅射形成WN膜和W膜，在这些膜上CVD法形成氮化硅膜9，并用光刻胶膜（未示出）作掩模，构图这些膜。

然后，如图26所示，在存储阵列的p阱3中形成构成用于存储单元选择的MISFETQ的源和漏的n型半导体区12，通过在p阱3中离子注入n型杂质（磷或砷），在外围电路的p阱3中形成n⁻型半导体区14。另外，通过在外围电路的n阱4中注入p型杂质（杂质硼），形成P型半导体区15。通过到此时的各步骤，基本上完成

了用于 DRAM 的存储单元选择的 MISFETQ。

如图 27 所示，在衬底 1 上 CVD 形成厚约 50 - 100nm 的氮化硅膜 17，用光刻胶膜（未示出）覆盖存储阵列的氮化硅膜 17，各向异性腐蚀外围电路的氮化硅膜 17，在栅极 8B 和 8C 的侧壁上形成侧壁间隔层 17C。

然后，在外围电路的 p 阱 3 中注入 n 型杂质（磷）离子，形成具有高杂质浓度的 n⁺ 型半导体区 11（源和漏），通过在外围电路的 n 阱 4 中注入 p 型杂质（硼），形成具有高杂质浓度的 p⁺ 型半导体区 12（源和漏）。通过到此的各步骤，基本上完成了具有轻掺杂漏结构的源和漏的外围电路的 n 沟道 MISFETQn 和 MISFETQp。

如图 28 所示，在用于存储单元选择的 MISFETQ 的顶上形成位线 BL，并在外围电路的 n 沟道 MISFETQn 和 p 沟道 MISFETQp 的顶上形成第一层布线 30 - 34。

为了形成位线 BL 和第一层布线 30 - 34，在衬底 1 上 CVD 法形成厚约 600 nm 的氧化硅膜 20，并用 CMP 法抛光，平面化表面，然后利用光刻胶膜（未示出）作掩模，干法腐蚀覆盖用于存储单元选择的 MISFETQ 的源和漏（n 型半导体区 10）的氧化硅膜 20 和氮化硅膜 17，在源和漏（n 型半导体区 10）之一上形成接触孔 22，并在另一个上形成接触孔 23。

在上述接触孔 22 和 23 上形成栓塞 24。为了形成栓塞 24，在包括接触孔 22 和 23 内部的氧化硅膜 20 上，形成掺有 n 型杂质（磷）的多晶硅膜，并深腐蚀，从而多晶硅只留在接触孔 22 和 23 内。

此后，在上述氧化硅膜 20 上 CVD 法形成厚约 200nm 的氧化硅膜 25，并用光刻胶膜（未示出）作掩模，干法腐蚀存储阵列的氧化硅膜 25，从而在接触孔 22 上形成通孔 27。利用光刻胶膜（未示出）作掩模，干法腐蚀外围电路的氧化硅膜 25 和底层氧化硅膜 20，在 n 沟道 MISFETQn 的源和漏（n⁺ 型半导体区 15）上形成接触孔 35 和 36，并干法腐蚀外围电路的氧化硅膜 25、底层氧化硅膜 20 和覆盖栅极 8C 的氮化硅层 9，在 p 沟道 MISFETQp 的源和漏（p⁺ 型半导体区

12) 上形成接触孔 37 和 38, 在栅极 8C 上形成接触孔 39。

在接触孔 35-39 和通孔 27 中形成栓塞 26。为了形成栓塞 26, 在包括接触孔 35-39 内部和通孔 27 内部的氧化硅膜 25 上, 溅射形成 Co 膜 25 (或钛膜), 在 Co 膜 (或 Ti 膜) 上 CVD 形成 TiN 膜和 W 膜, 利用 CMP 法抛光形成在氧化硅膜 25 上的 W 膜、TiN 膜和 Co 膜 (或 Ti 膜), 从而这些膜只留在接触孔 35-39 内和通孔 27 内。

在氧化硅膜 25 上溅射形成了厚约 200nm 的 W 膜后, 利用光刻胶膜 (未示出) 作掩模, 干法腐蚀 W 膜, 形成外围电路的位线 BL 和第一层布线 30-34。

如图 29 所示, 然后在位线 BL 上形成存储单元的信息存储电容元件 C。

为形成信息存储电容元件 C, 首先在位线 BL 和第一层布线 30-34 上, CVD 法形成厚约 300nm 的氧化硅膜 50, 并干法腐蚀氧化硅膜 50 和底层氧化硅膜 25, 在接触孔 23 上形成通孔 55。

在通孔 54 中形成栓塞 55 后, 在氧化硅膜 50 上 CVD 法形成厚约 100nm 的氮化硅膜 51, 然后, 利用光刻胶膜 (未示出) 作掩模, 腐蚀去掉外围电路的氮化硅膜 51。为形成栓塞 55, 在包括通孔 54 内部的氧化硅膜 50 上, 形成掺杂有 n 型杂质 (磷) 的多晶硅膜, 然后深腐蚀, 从而多晶硅膜只留在通孔 54 内部。

在存储阵列的氮化硅膜 51 和外围电路的氧化硅膜 50 上, CVD 法形成氧化硅膜 52, 然后, 用光刻胶膜 (未示出) 作掩模, 干法腐蚀存储阵列的氧化硅膜 52, 并干法腐蚀氧化硅膜 52 下的氮化硅膜 51, 从而在通孔 54 上形成沟槽 53。由于信息存储电容元件 C 的下电极 56 形成于沟槽 53 内壁上, 所以氧化硅膜 52 必须形成得厚 (例如约 1.3 微米), 必须形成深沟槽 53, 从而通过增大下电极 56 的表面积来增大存储电荷量。

在包括上述沟槽 53 内部的氧化硅膜 52 上, CVD 法形成掺杂有 n 型杂质 (磷) 厚约 50nm 的非晶硅膜 (未示出), 之后, 深腐蚀去掉覆盖氧化硅膜 52 的非晶硅膜, 从而非晶硅膜留在沟槽 53 的内壁上。

然后,用氢氟酸基腐蚀液清洗沟槽 53 内留下的上述非晶硅膜的表面,在减压气氛中,向非晶硅膜的表面供应甲硅烷(SiH_4),加热衬底 1,使非晶硅膜多晶化,并在表面上生长硅颗粒。从而,在沟槽 53 的内壁上形成由具有粗糙表面的多晶硅膜构成的下电极 56。

然后,在下电极 56 上形成由氧化钽膜构成的电容绝缘膜 57 和由 TiN 膜构成的上电极 58。为了形成电容绝缘膜 57 和上电极 58,在包括沟槽 53 内部的氧化硅膜 52 上,CVD 法形成厚约 20nm 的氧化钽膜,然后,在氧化钽膜上,CVD 和溅射形成厚约 150nm 的 TiN 膜,并用光刻胶膜(未示出)作掩模,干法腐蚀 TiN 膜和氧化钽膜。从而,形成包括由多晶硅膜构成的下电极 56、由氧化钽膜构成的电容绝缘膜 57 和由 TiN 膜构成的上电极 58 的信息存储电容元件 C。通过到此为止的步骤,完成了由用于存储单元选择的 MISFETQ 和与 MISFETQ 串联的信息存储电容元件 C 构成的 DRAM 的存储单元。

此后,尽管未示出,但在信息存储电容元件 C 上,形成由 Al 布线层和保护该布线层的表面保护层构成的大约两层。

以上结合优选实施例介绍了本发明人做的发明,然而,无需说,本发明不限于这些优选实施例,在不背离本发明的精神和范围的情况下,可以做出各种变化和改形。

尽管本发明应用于上述实施例中的 DRAM,但本发明不限于此。本发明可广泛应用于用于在具有元件隔离沟槽的衬底上形成微细 MISFET 的各种 SLSI。

下面介绍本发明可达到的效果。

根据本发明,由于可以抑制在有源区肩部形成亚沟道,所以可以防止微细 MISFET 的阈值电压下降。因而,可以减小衬底中的杂质浓度,因此,在 DRAM 的情况下,可以通过减少漏电流,改善更新特性。

另外,根据本发明,由于通过使有源区肩部变圆,可以防止有源区肩部的电场集中和栅绝缘膜厚度减小,所以可以防止由此引起的阈值电压下降。

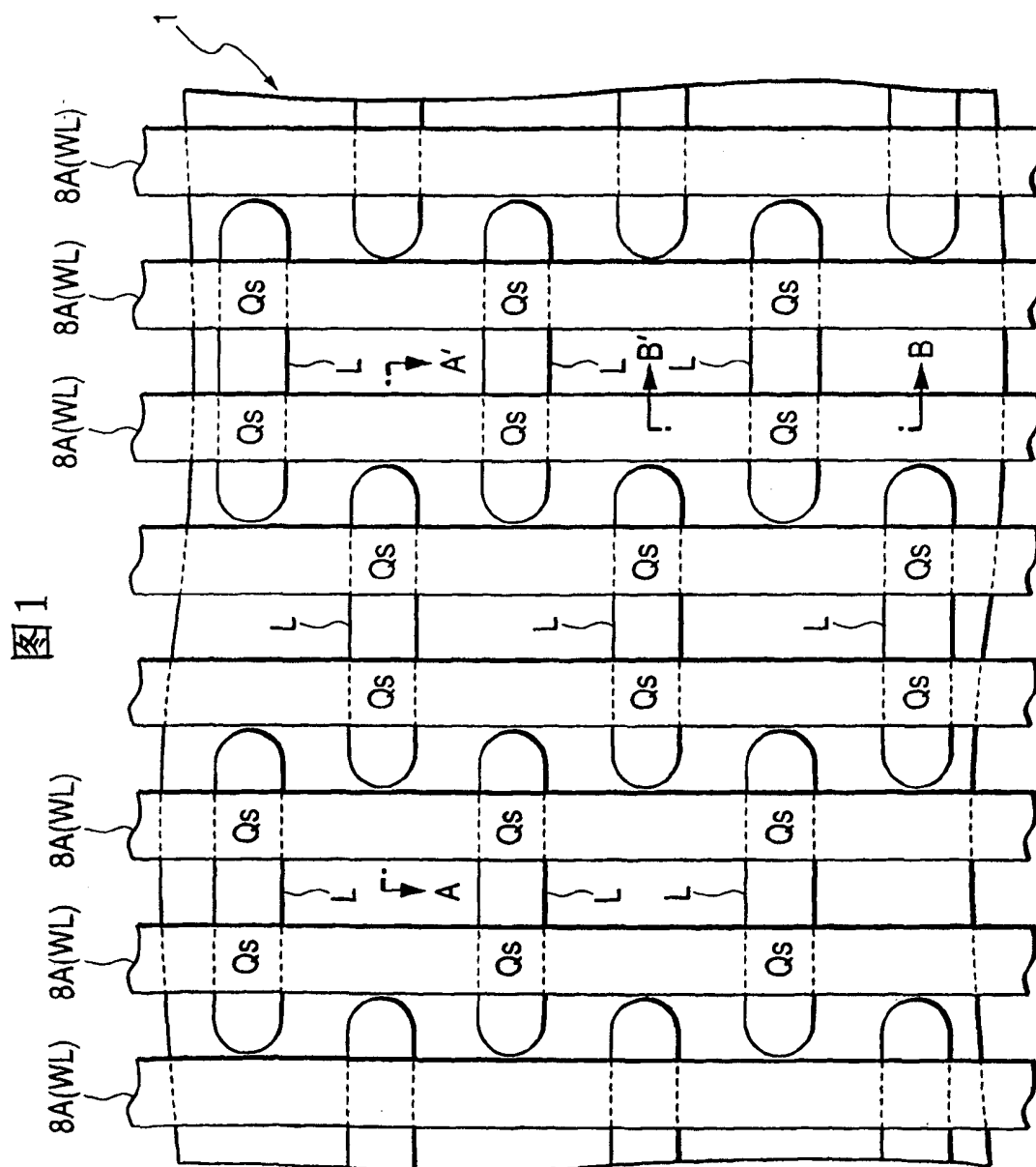


图 4(a)

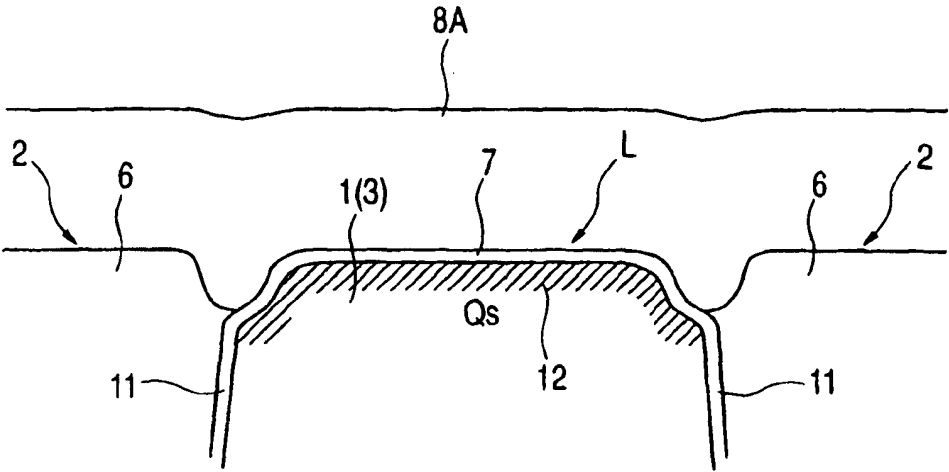


图 4(b)

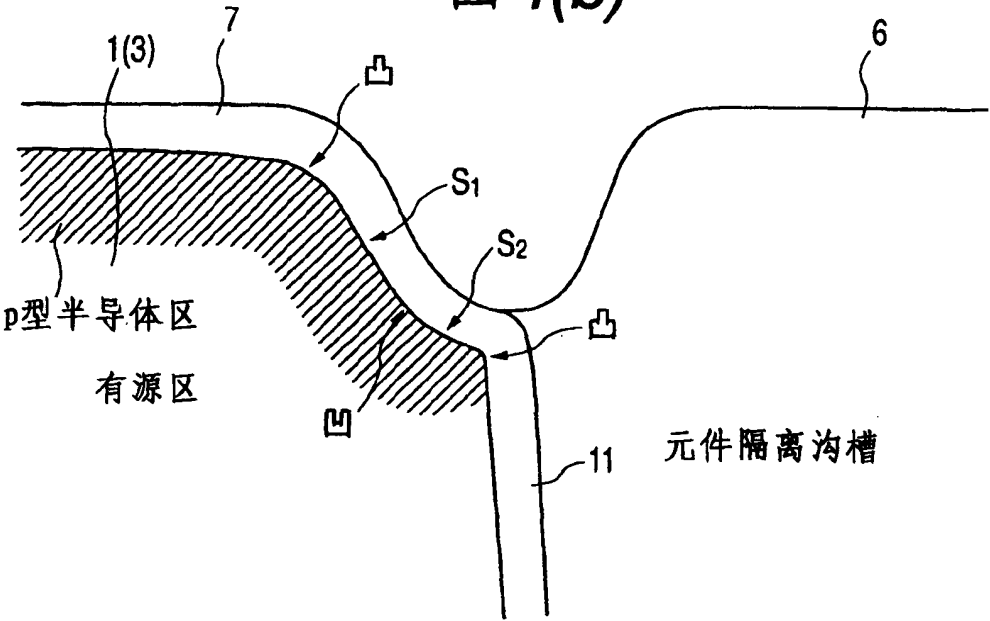


图 5

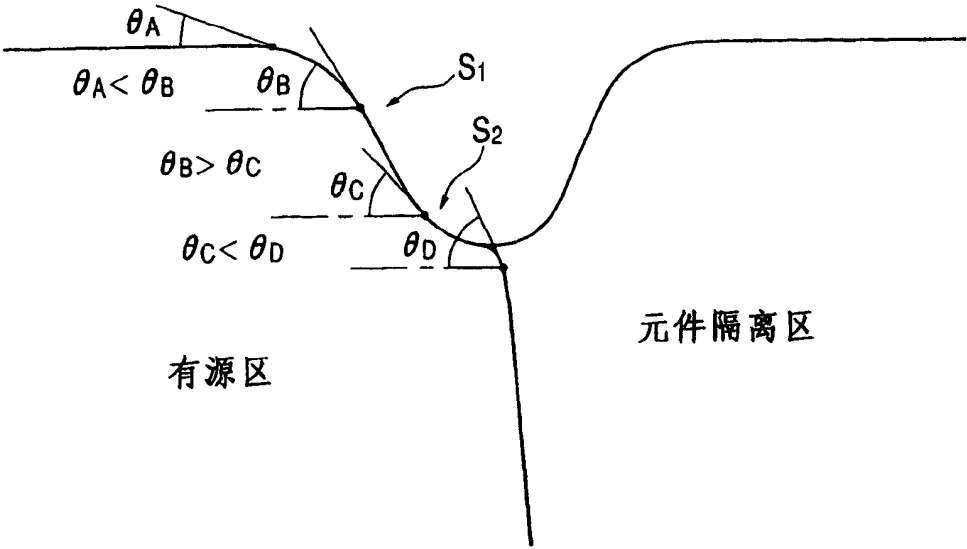
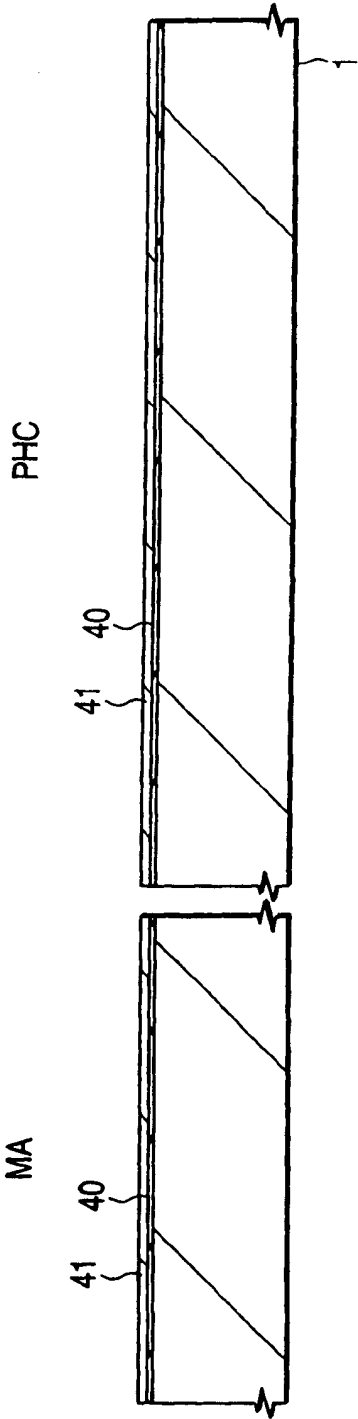


图6



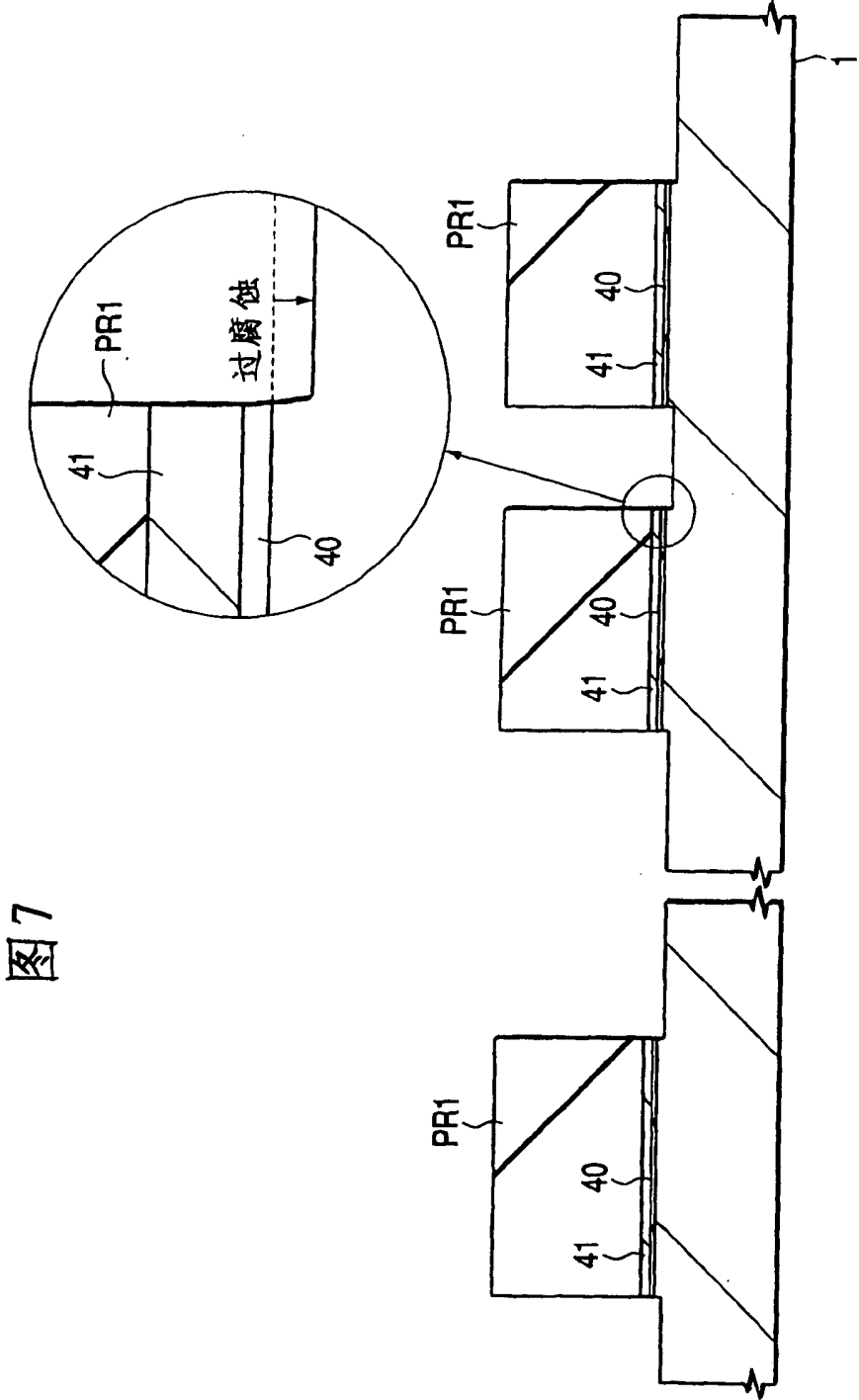


图7

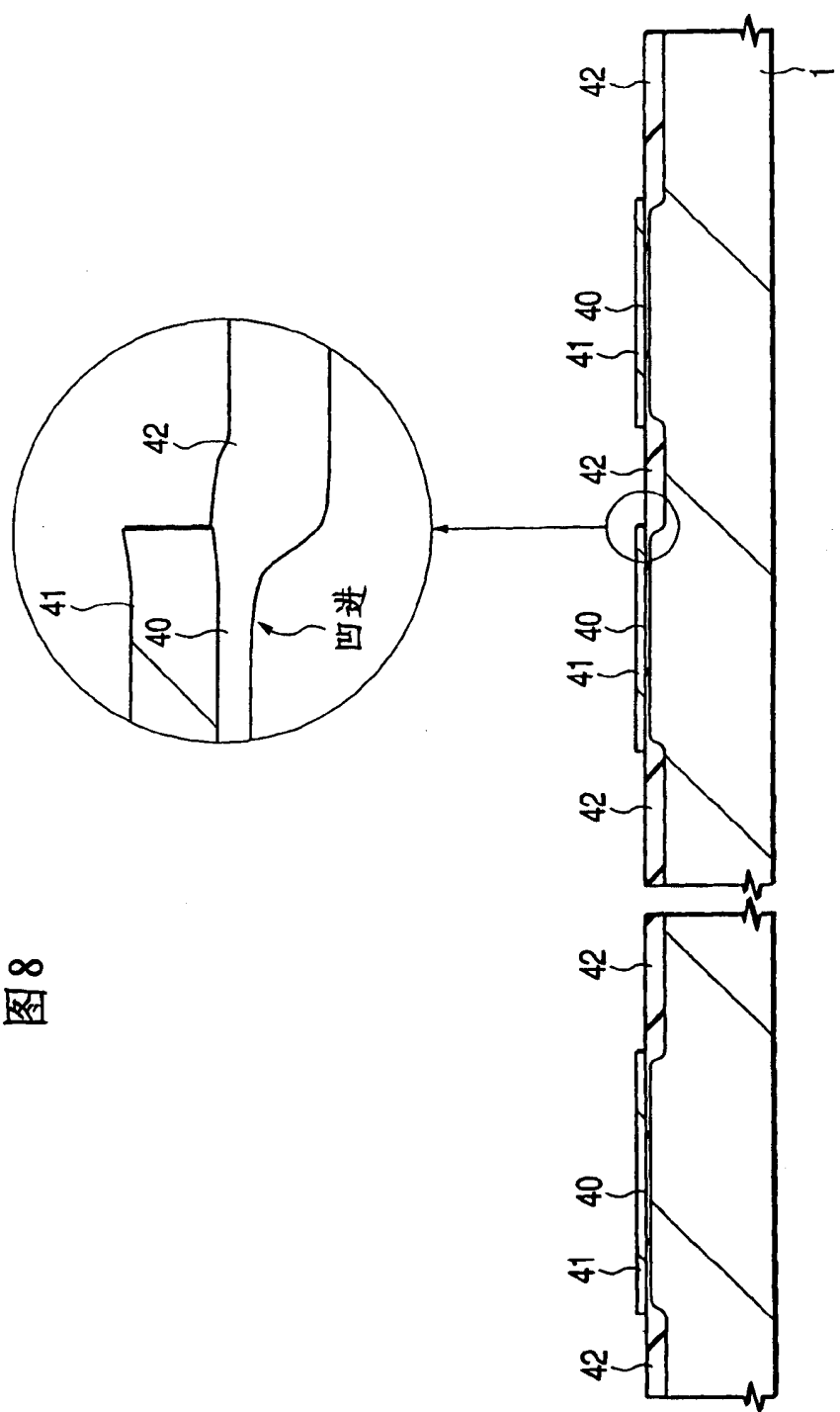


图 8

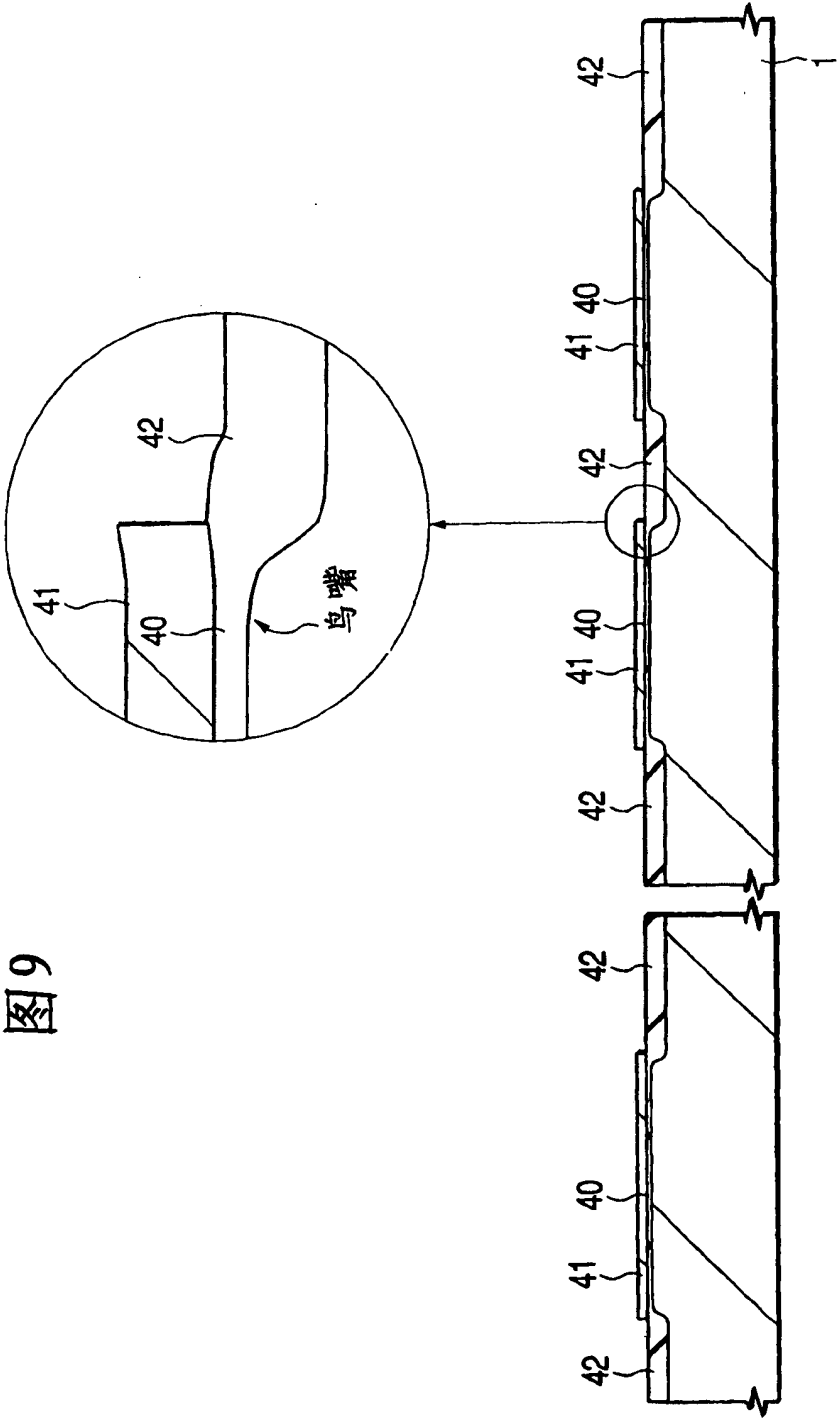


图9

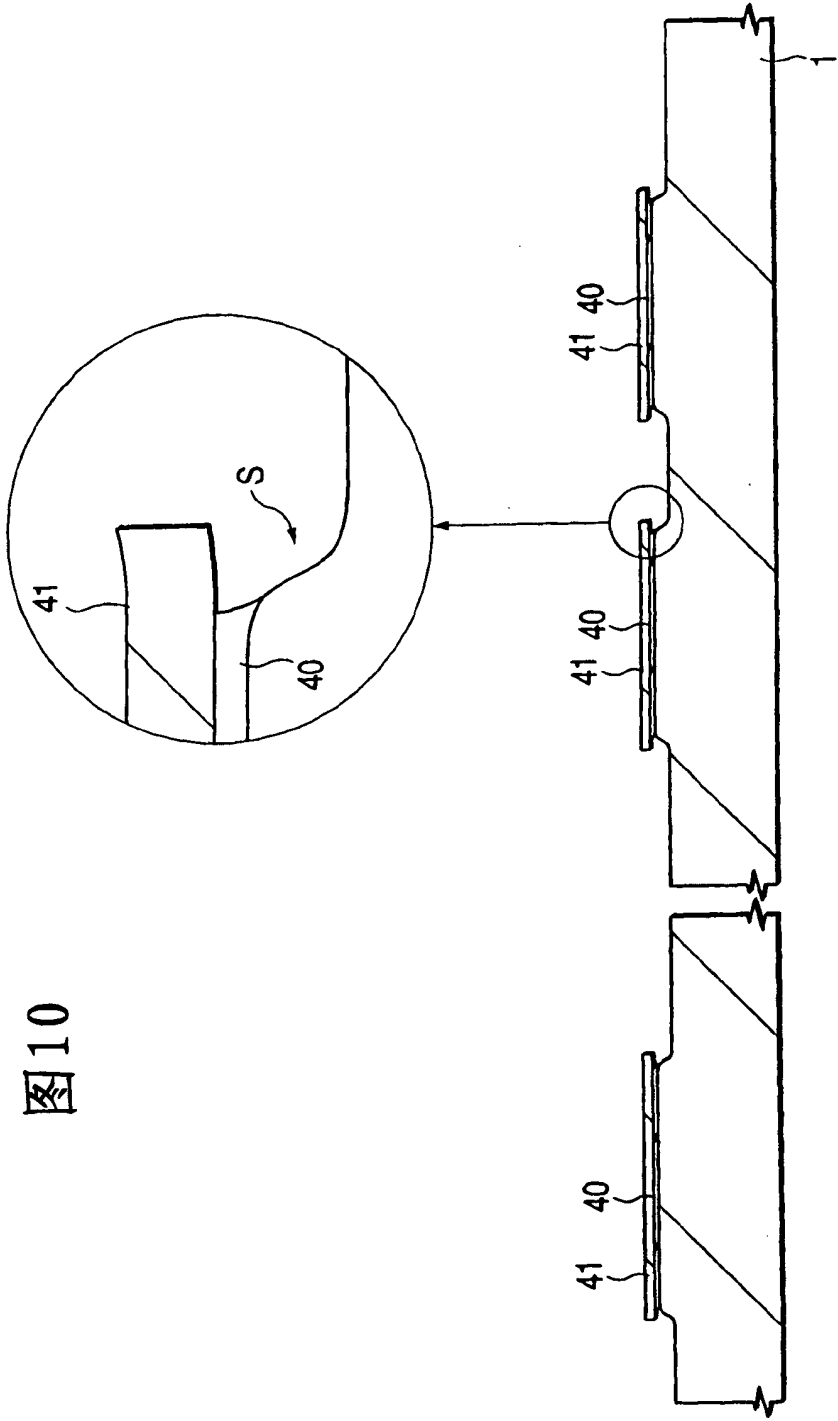
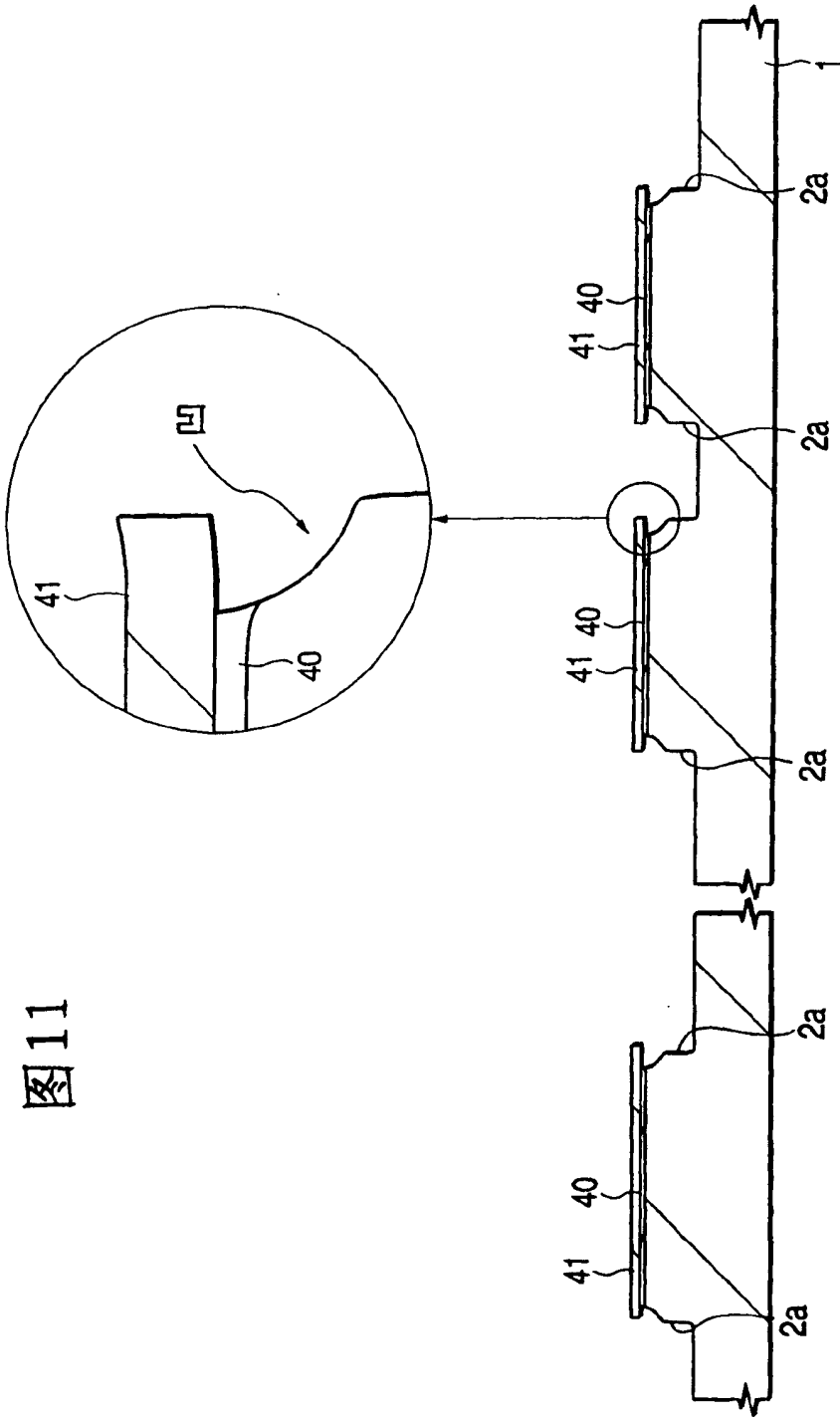


图10



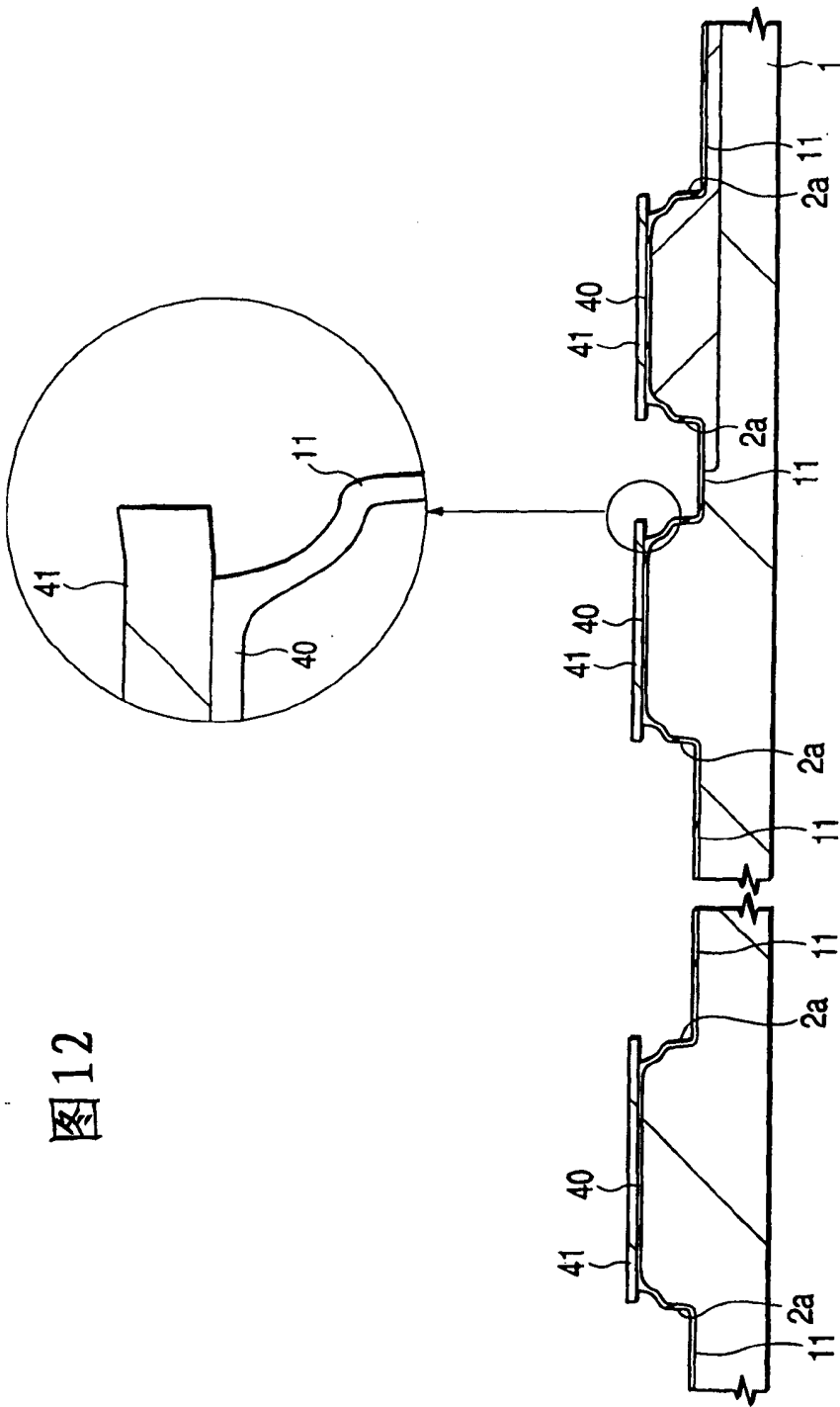


图12

图 13

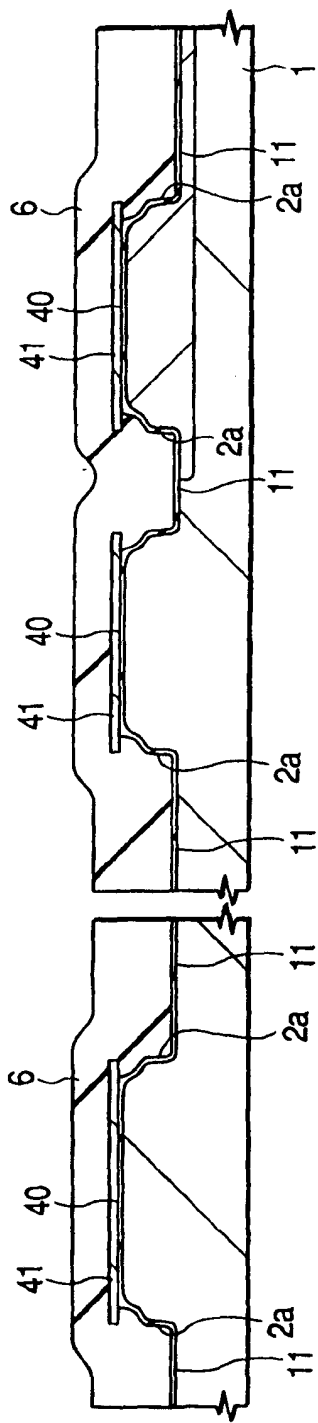


图 14

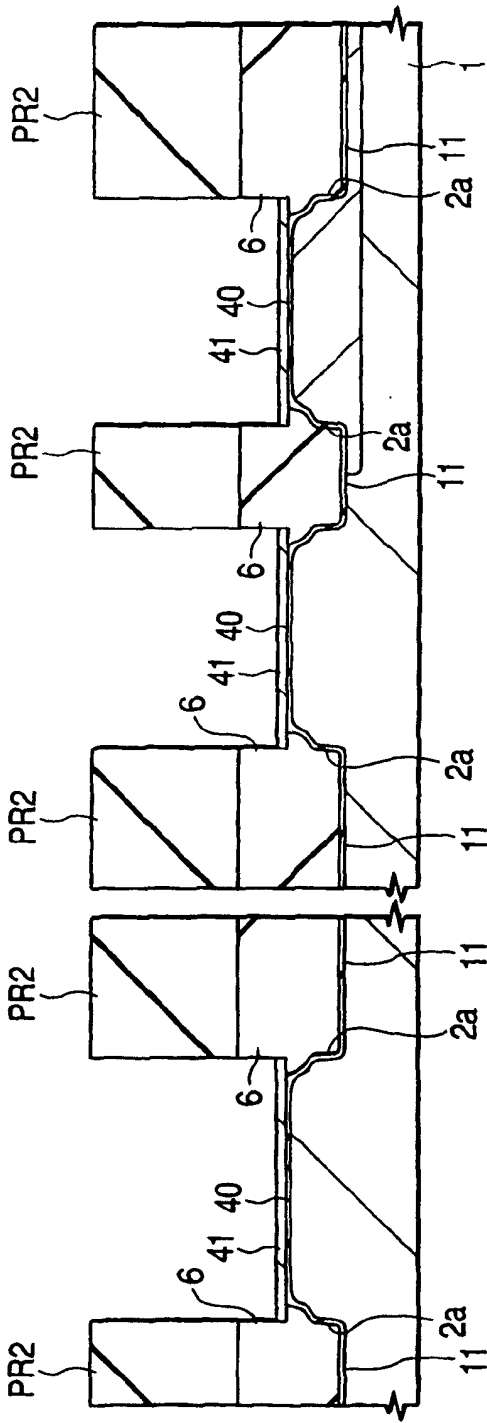


图15

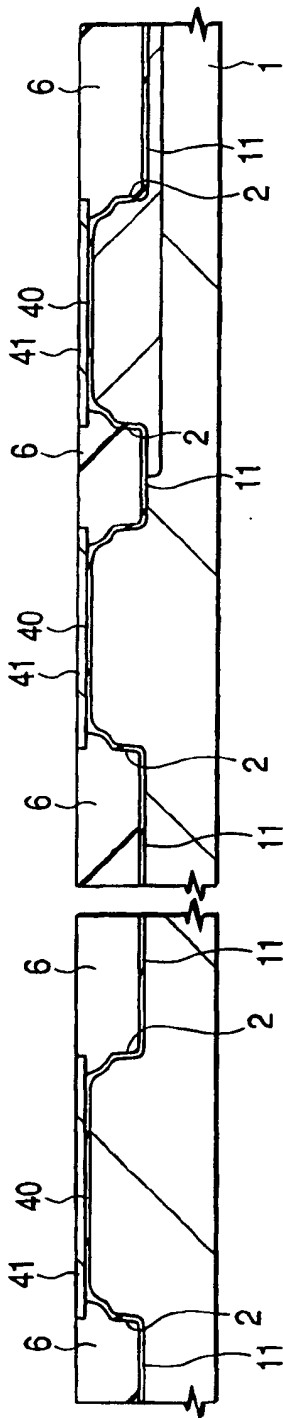
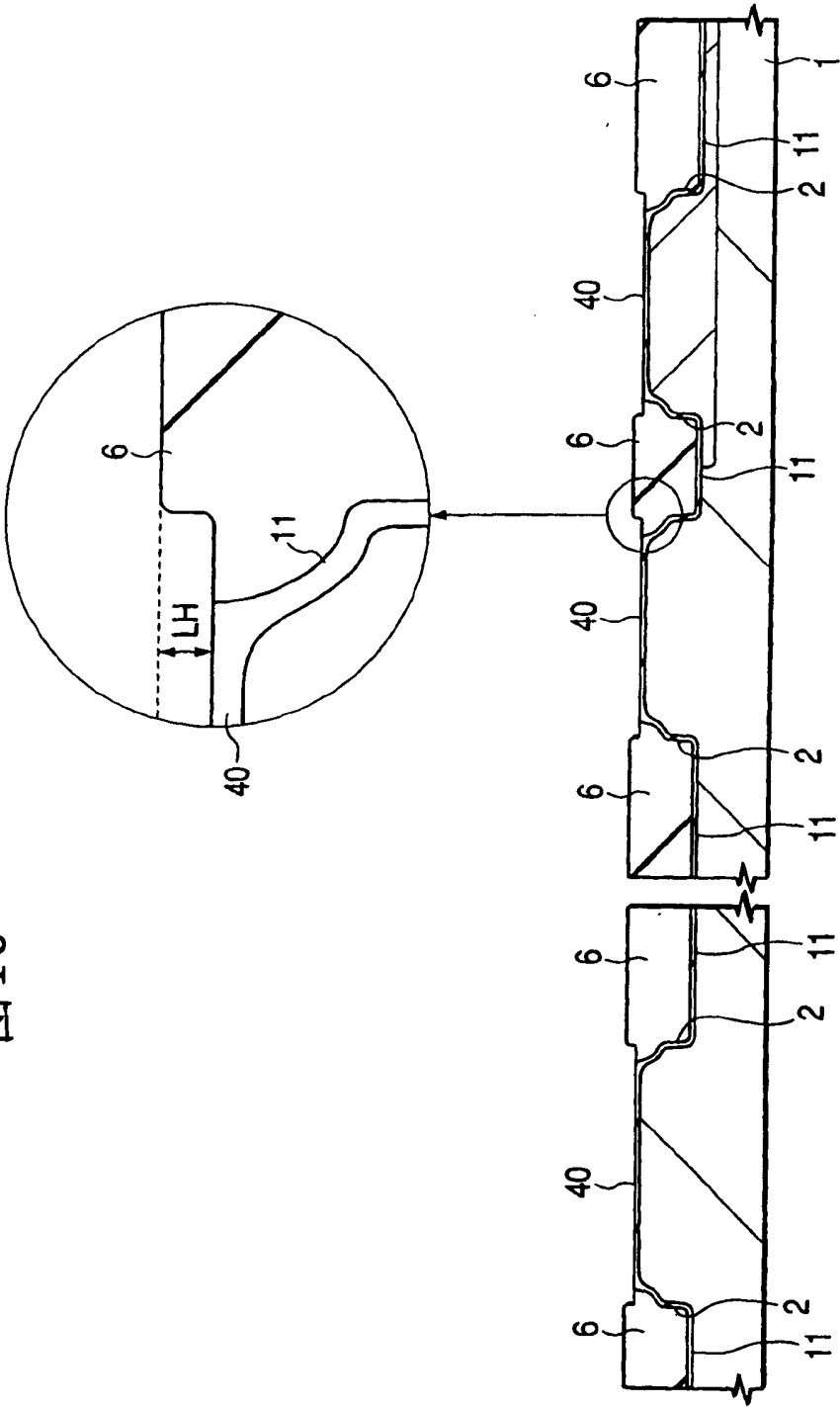


图16



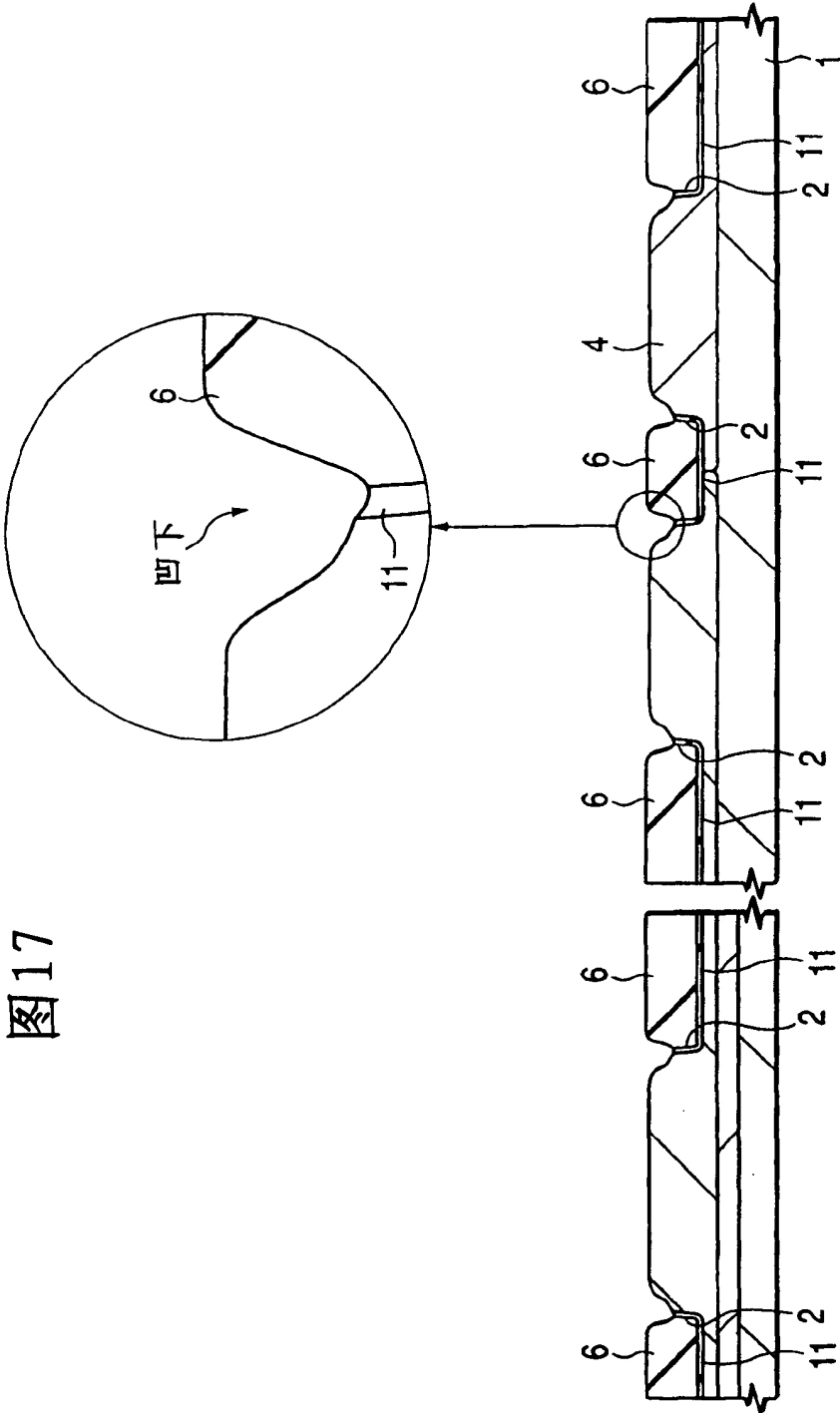


图17

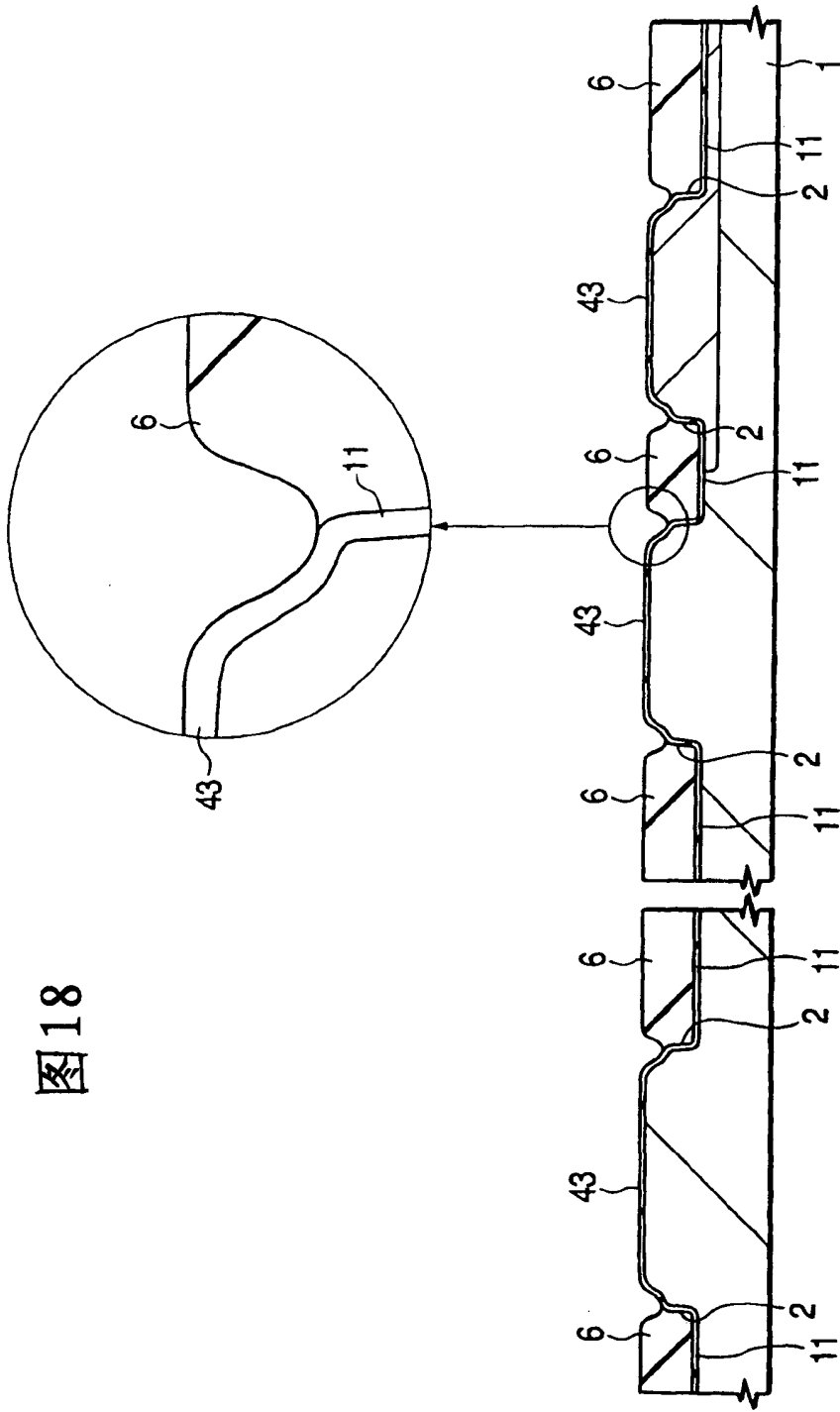


图18

图19

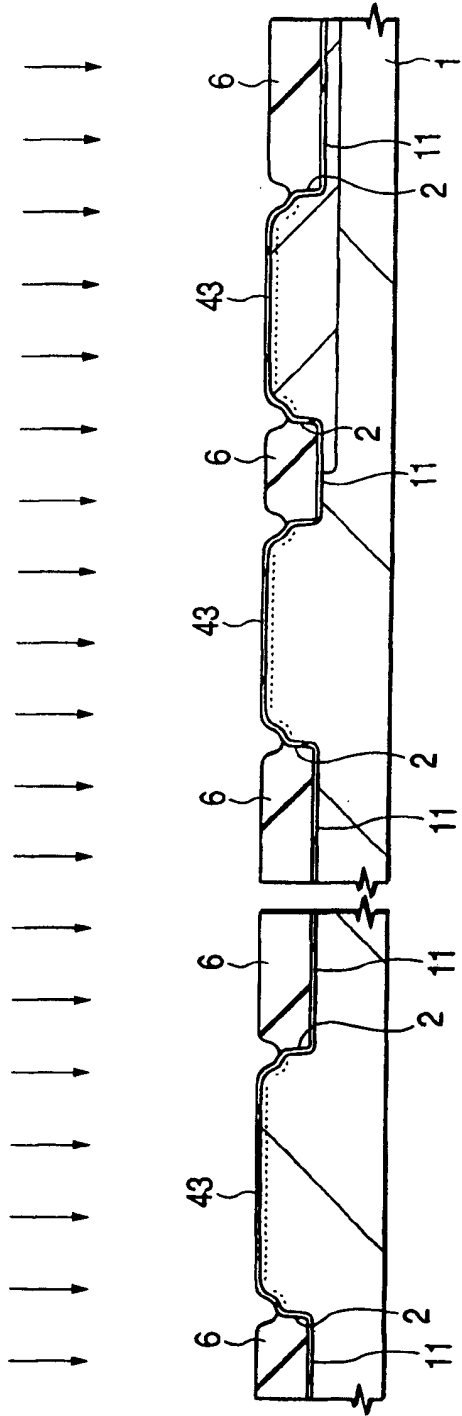


图 20

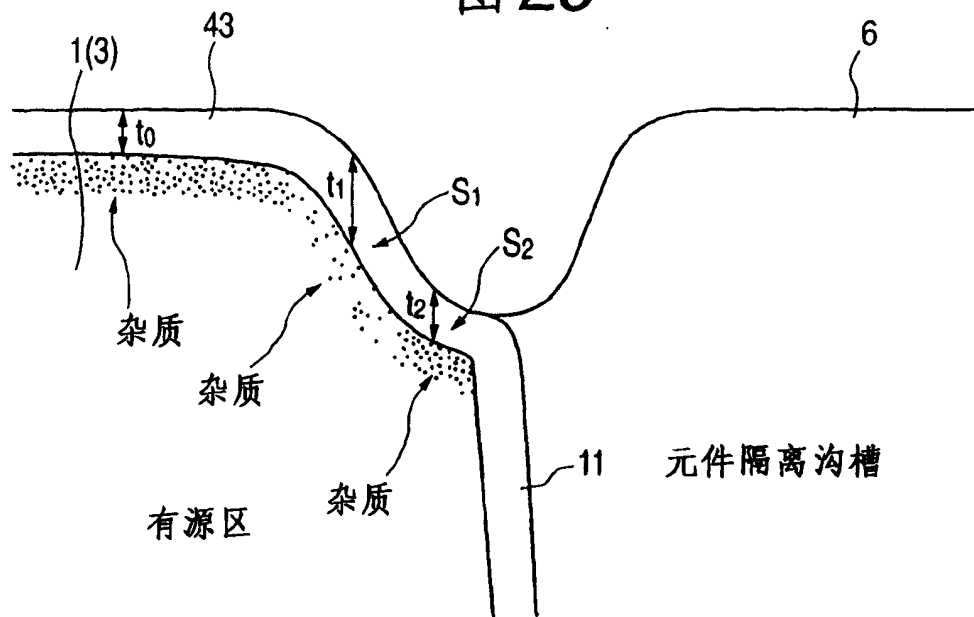


图 22

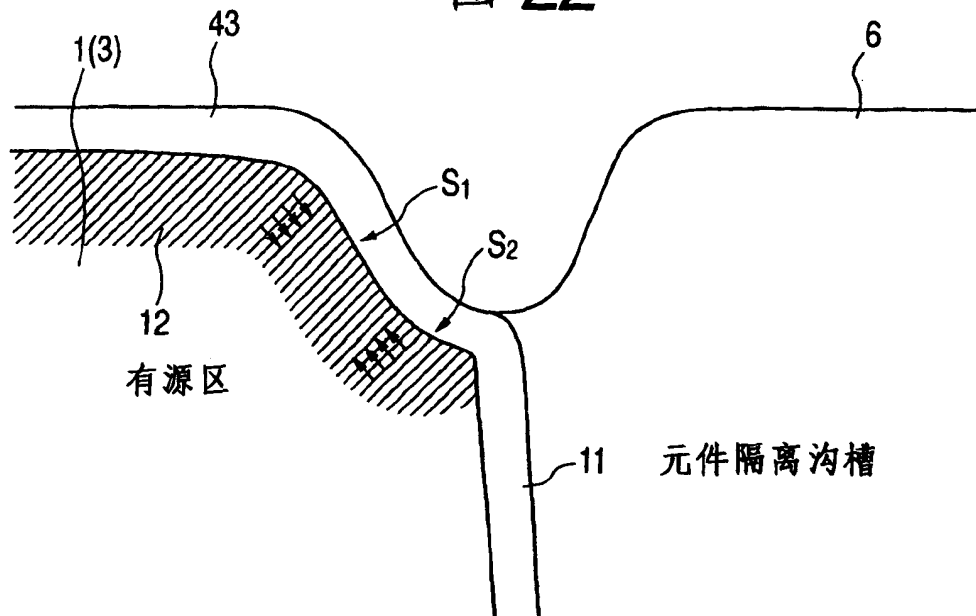


图21

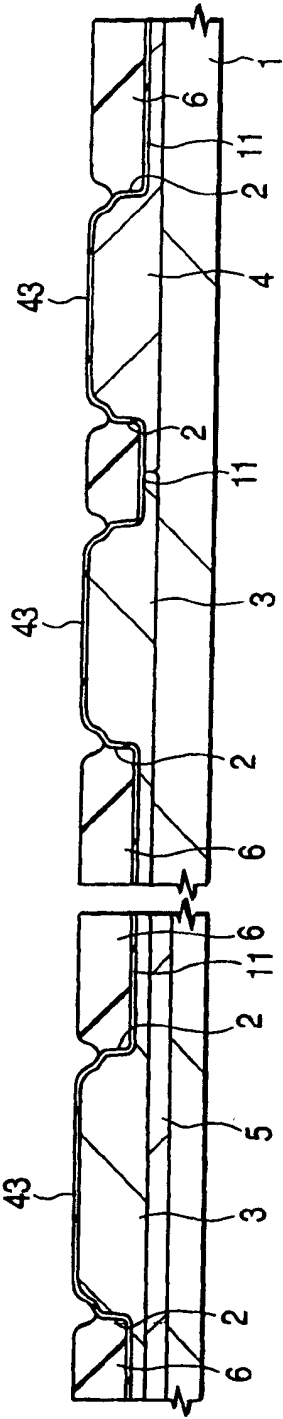


图 23

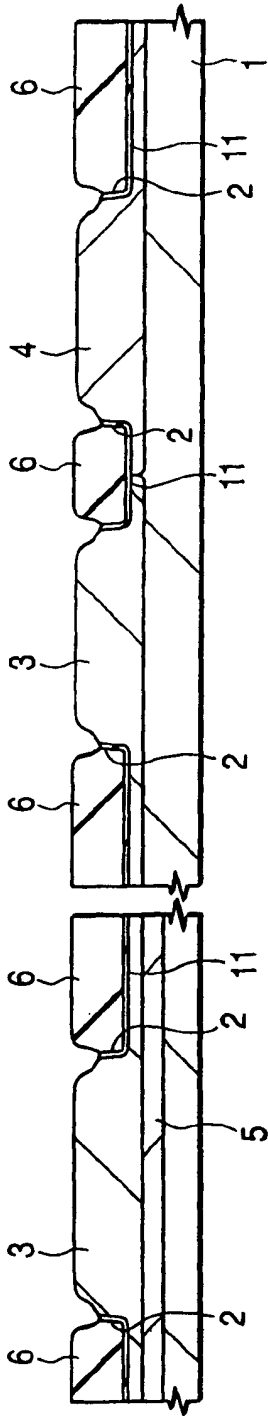


图 24

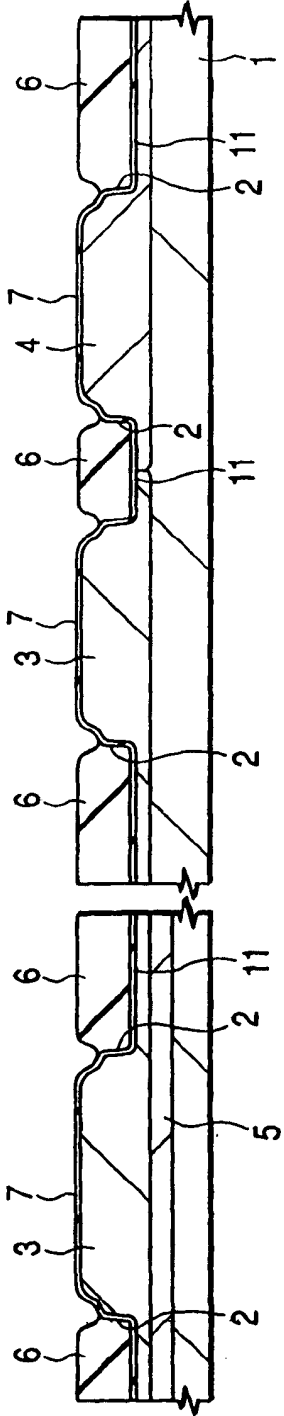


图 30

