



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0067221
(43) 공개일자 2024년05월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/18 (2024.01) H01L 21/304 (2006.01)
H01L 21/306 (2006.01)
(52) CPC특허분류
H01L 21/185 (2013.01)
H01L 21/304 (2013.01)
(21) 출원번호 10-2023-7040244
(22) 출원일자(국제) 2022년05월25일
심사청구일자 없음
(85) 번역문제출일자 2023년11월22일
(86) 국제출원번호 PCT/FR2022/051000
(87) 국제공개번호 WO 2022/254131
국제공개일자 2022년12월08일
(30) 우선권주장
FR2105848 2021년06월03일 프랑스(FR)

(71) 출원인
소이텍
프랑스, 에프-38190 베른느, 슈망 데 프랑크, 뱁
떼끄놀로지끄 데 풍뎨느
(72) 발명자
드루인 알렉시스
프랑스 38190 베른느 슈망 데 프랑크 뱁 떼끄놀로
지끄 데 풍뎨느 소이텍 내
고댕 지웰타츠
프랑스 38190 베른느 슈망 데 프랑크 뱁 떼끄놀로
지끄 데 풍뎨느 소이텍 내
(뒷면에 계속)
(74) 대리인
김태현

전체 청구항 수 : 총 9 항

(54) 발명의 명칭 개선된 전기적 속성들을 갖는 탄화규소로 만들어진 작업 층을 포함하는 반도체 구조체의 제조 프로세스

(57) 요약

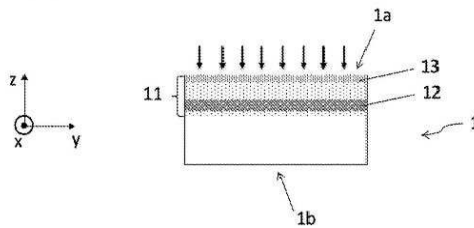
본 발명은 다음 단계들을 포함하는 반도체 구조체의 제조 프로세스에 관한 것이다:

- a) 단결정 탄화규소로 만들어진 도너 기관 및 탄화규소로 만들어진 캐리어 기관을 제공하는 단계,
- b) 전사될 작업 층을 준비하는 단계 - 단계 b)는,

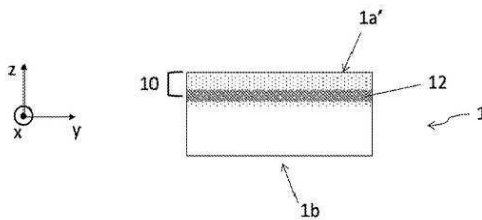
(뒷면에 계속)

대표도 - 도2b

도 2b



도 2b'



- 리더포드 후방 산란 분광법에 의해 특히 측정될 수 있는 손상 프로파일을 형성하기 위해, 전면 상의 도너 기관에 경량 층을 주입하는 단계 - 상기 프로파일은 매립된 취성 평면을 정의하는 깊이 결함들의 주 피크 및 손상된 표면 층을 정의하는 결함들의 이차 피크를 가짐 -,

- 도너 기관의 새로운 전방 표면을 형성하기 위해, 도너 기관의 전면의 화학적 에칭 및/또는 화학적-기계적 연마에 의해 손상된 표면 층을 제거하는 단계를 포함하며,

매립된 취성 평면은, 도너 기관의 전방 표면과 함께, 50 nm 내지 1400 nm의 두께를 갖는 전사될 작업 층의 범위를 정함 -,

c) 접합 계면을 따라 접합된 조립체를 형성하기 위해, 분자 접착에 의해 전방 표면의 면 상의 도너 기관과 캐리어 기관을 결합하는 단계;

d) 반도체 구조체를 형성하기 위해, 매립된 취성 평면을 따라 분리하여, 작업 층을 캐리어 기관 상으로 전사하는 단계.

(52) CPC특허분류

H01L 21/30604 (2013.01)

(72) 발명자

로우치어 세베린

프랑스 38190 베른느 슈망 데 프랑크 뵉 떼끄놀로
지끄 데 풍펜느 소이텍 내

슈와젠바흐 왈터

프랑스 38190 베른느 슈망 데 프랑크 뵉 떼끄놀로
지끄 데 풍펜느 소이텍 내

위디즈 줄리에

프랑스 38054 그르노블 세텍스 9 에비뉴 데 마터스
17 씨이에이 그르노블 내

롤란드 엠마누엘

프랑스 38054 그르노블 세텍스 9 뒤편 데 마터스 17
씨이에이 그르노블 내

명세서

청구범위

청구항 1

반도체 구조체(100)의 제조 프로세스로서,

a) 단결정 탄화규소로 만들어진 도너 기관(1) 및 탄화규소로 만들어진 캐리어 기관(2)을 제공하는 단계,

b) 전사될(transferred) 작업 층(working layer)을 준비하는 단계 - 단계 b)는,

- 러더포드 후방 산란 분광법(Rutherford backscattering spectrometry)에 의해 특히 측정될 수 있는 손상 프로파일(11)을 형성하기 위해, 전면(1a) 상의 상기 도너 기관(1)에 경량 종(light species)을 주입하는 단계 - 상기 프로파일은 매립된 취성 평면(buried brittle plane)(12)을 정의하는 깊이 결합들의 주 피크(12a) 및 손상된 표면 층(13)을 정의하는 결합들의 이차 피크(13a)를 가짐 -,

- 상기 도너 기관(1)의 새로운 전방 표면(1a')을 형성하기 위해, 상기 도너 기관(1)의 상기 전면(1a)의 화학적 에칭 및/또는 화학적-기계적 연마에 의해 상기 손상된 표면 층(13)을 제거하는 단계를 포함하며, 상기 매립된 취성 평면(12)은, 상기 도너 기관(1)의 상기 전방 표면(1a')과 함께, 50 nm 내지 1400 nm의 두께를 갖는 전사될 작업 층(10)의 범위를 정함(delimit) -,

c) 접합 계면(51)을 따라 접합된 조립체(50)를 형성하기 위해, 분자 접착(molecular adhesion)에 의해 상기 전방 표면(1a')의 면 상의 상기 도너 기관(1)과 상기 캐리어 기관(2)을 결합하는 단계;

d) 상기 반도체 구조체(100)를 형성하기 위해, 상기 매립된 취성 평면(12)을 따라 분리하여, 상기 작업 층(10)을 상기 캐리어 기관(2) 상으로 전사하는 단계를 포함하는, 제조 프로세스.

청구항 2

제1항에 있어서, 단계 b)의 제거는 5 nm 내지 200 nm, 바람직하게는 30 nm 내지 50 nm가 박리되는(stripped away) 것을 야기하는, 제조 프로세스.

청구항 3

제1항 또는 제2항에 있어서, 상기 캐리어 기관(2)의 재료는 단결정 또는 다결정인, 제조 프로세스.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 경량 종은 30 keV 내지 210 keV의 에너지 및 $1 \times 10^{16} / \text{cm}^2$ 내지 $5 \times 10^{17} / \text{cm}^2$ 의 용량으로 주입된 수소 이온들인, 제조 프로세스.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 단계 d)로부터 생성된 상기 반도체 구조체(100)에 적용된 마무리 단계 e)를 포함하며, 단계 e)는, 1300°C 내지 1700°C의 온도에서의 열처리를 포함하는, 제조 프로세스.

청구항 6

제5항에 있어서, 단계 e)는 상기 작업 층(10)의 자유 표면(10a)의 화학적-기계적 평활화 처리를 포함하는, 제조 프로세스.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

- 단계 c)는, 분자 접착에 의한 상기 결합 전에, 상기 도너 기관(1)의 상기 전방 표면(1a') 및/또는 상기 캐리어 기관(2)의 전면(2a) 상에 적어도 하나의 추가 층을 형성하는 단계를 포함하고;

- 분자 접촉에 의한 상기 결합 후에 얻어진 상기 접합된 조립체(50)는, 상기 도너 기관(1)과 상기 캐리어 기관(2) 사이에 상기 추가 층을 포함하며, 상기 층은 상기 접합 계면(51)에 인접하거나 후자를 포함하는, 제조 프로세스.

청구항 8

제7항에 있어서, 상기 - 적어도 하나의 - 추가 층은 실리콘, 텅스텐, 탄소 및 티타늄 중에서 선택된 재료를 포함하는, 제조 프로세스.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 반도체 구조체(100) 상에 적어도 하나의 고전압 마이크로전자 컴포넌트를 생성하는 단계들을 추가로 포함하는, 제조 프로세스.

발명의 설명

기술 분야

[0001] 본 발명은 마이크로전자 컴포넌트를 위한 반도체 재료의 분야에 관한 것이다. 본 발명은, 특히, 단결정 탄화규소로 만들어지고, 탄화규소로 만들어진 캐리어 기관 상으로 접합 계면을 통해 전사되는(transferred) 작업 층을 포함하는 반도체 구조체를 제조하기 위한 프로세스에 관한 것이다. 본 방법은, 수직 전기 전도가 요구될 때, 작업 층의 전기적 속성들뿐만 아니라 반도체 구조체의 전기적 속성들을 개선하는 것을 가능하게 한다.

배경 기술

[0002] 낮은 두께 및 높은 결정 품질의 반도체 작업 층을, 유리하게는 더 낮은 결정 품질의 반도체 캐리어 기관 상으로 이동시킴으로써 반도체 구조체를 형성하는 것이 일반적인 관행이다. 하나의 잘 알려진 박막 전사 용액은, 경량 종(light species)을 주입하고 접합 계면에서 분자 접촉(molecular adhesion)에 의해 결합하는 것에 기초한 스마트 컷(Smart Cut)[®] 프로세스이다. 경량 종은 종래에 수소 또는 헬륨 이온들 또는 이들 두 종의 조합 중에서 선택된다. 분자 접촉에 의한 직접 접합은, 주위 온도 또는 주위의 또는 제어된 대기 하의 온도에서, 특히 진공에서, 기관들의 결합될 면들을 밀접하게 접촉시킨 후 기관들에 압력을 가함으로써 또는 결합될 면들이 서로 대면하게 배열될 때 접합파(bonding wave)의 국부적인 개시에 의해, 다양한 접근법들에 의해 획득될 수 있다. 다양한 직접 접합 접근법들은 또한, 결합 직전에 수행되는, 결합될 표면들의 예비 처리에 의해 구별될 수 있다. 건식 또는 습식 화학 세정, 플라즈마 또는 원자 충격에 의한 표면 활성화(예컨대, 표면 활성화 접합(surface activated bonding, SAB), 원자 확산 접합(atomic diffusion bonding, ADB) 등), 표면들의 기계적 또는 화학적-기계적 평활화 또는 실제로 접합을 촉진하는 추가 층들의 침착은, 결합될 기관들 중 하나 또는 둘 모두에 적용될 수 있다.

[0003] 작업 층을 캐리어 기관 상으로 전사한 후, 작업 층 및 접합 계면의 구조적 및 전기적 품질들을 복원하기 위해, 반도체 구조체에 높은 또는 심지어 매우 높은 온도에서 어닐링을 적용하는 것이 또한 일반적인 관행이다. 마이크로전자 컴포넌트들을 수용하도록 의도된, 전사된 작업 층의 자유 면 상에서 낮은 표면 거칠기를 얻기 위해, 열 평활화 처리 또는 화학적-기계적 연마에 기초한 평활화 처리를 수행하는 것이 또한 알려진 관행이다.

[0004] 특히 전력 전자 분야에서, 작업 층의 우수한 전기 전도성이 예상된다. 또한, 수직 컴포넌트들이 생성될 수 있기 위해, 작업 층과 캐리어 기관 사이의 양호한 전기 전도를 보장하는 반도체 구조체를 형성하는 것이 유리할 수 있다.

[0005] 예를 들어, 단결정 탄화규소로 만들어진 작업 층 및 더 낮은 품질의(단결정 또는 다결정) 탄화규소로 만들어진 캐리어 기관을 포함하는 반도체 구조체의 경우, 작업 층의 전기적 특성들은 옴의 법칙을 따를 것으로 예상되며, 상기 층의 저항률은 도핑 레벨에 의해 정의된다. 수직 컴포넌트들과 호환되기 위해, 수직 전기 전도, 즉 접합 계면을 가로지르는 수직 전기 전도가 동작하도록 예상된다: 즉, 가능한 한 낮은, 바람직하게는 1 mohm.cm² 미만, 또는 심지어 0.1 mohm.cm² 미만인 접합 계면의 저항률, 및 옴 I(V)(전압의 함수로서의 전류) 특성.

[0006] 1300°C 내지 1700°C 온도 범위에서 수행된, 반도체 구조체에 적용된, 최종 복원 어닐링과 함께 스마트 컷[®] 프로세스에 의해, 중간 금속 층을 통해, 단결정 탄화규소로 만들어진 작업 층을 단결정 탄화규소로 만들어진 캐리

어 기관 상으로 전사하는 것은, 도 4a에서 명백한 바와 같이, 이전에 언급된 전기 특성들을 얻기에 충분하지 않으며: 작업 층의 전기적 속성들 및 반도체 구조체의 (접합 계면을 가로지르는) 수직 전기 전도를 나타내는 I(V) 곡선은 옴 거동의 목적을 충족하지 않는다.

[0007] 물론, 전형적으로 1800°C 초과인 더 높은 온도에서의 어닐링은, 작업 층 및 반도체 구조체의 전기적 특성들을 부분적으로 개선할 수 있지만, 그러한 처리는 구현하기가 특히 번거롭고, 게다가 다른 유형들의 불리한 결정 결함들, 특히 스텝 번칭(step bunching)을 야기할 수 있으며, 이는, 이들 결함이 나타나는 것을 피하기 위해 표면을 보호하거나, 이들을 제거하기 위해 나중에 표면을 처리하는 추가 단계들을 필요로 한다.

발명의 내용

[0008] 발명의 목적

[0009] 본 발명은 전술된 단점들의 전부 또는 일부를 극복하는 것을 목적으로 한다. 본 발명은, 특히, 반도체 구조체를 제조하기 위한 프로세스에 관한 것이며, 그 작업 층은, 단결정 탄화규소로 만들어지고, 탄화규소로 만들어진 캐리어 기관 상으로 접합 계면을 통해 전사되며, 우수한 전기적 속성들을 갖는다. 또한, 본 발명에 따른 프로세스는 반도체 구조체의 수직 전도 성능을 개선하는 동시에 간단한 구현 단계들을 제안하는 것을 가능하게 한다.

[0010] 과제의 해결 수단

[0011] 본 발명은 다음 단계들을 포함하는 반도체 구조체의 제조 프로세스에 관한 것이다:

[0012] a) 단결정 탄화규소로 만들어진 도너 기관 및 탄화규소로 만들어진 캐리어 기관을 제공하는 단계,

[0013] b) 전사될 작업 층을 준비하는 단계 - 단계 b)는,

[0014] - 러더포드 후방 산란 분광법에 의해 특히 측정될 수 있는 손상 프로파일을 형성하기 위해, 전면 상의 도너 기관에 경량 종을 주입하는 단계 - 상기 프로파일은 매립된 취성 평면(buried brittle plane)을 정의하는 깊이 결함들의 주 피크 및 손상된 표면 층을 정의하는 결함들의 이차 피크를 가짐 -,

[0015] - 도너 기관의 새로운 전방 표면을 형성하기 위해, 도너 기관의 전면의 화학적 에칭 및/또는 화학적-기계적 연마에 의해 손상된 표면 층을 제거하는 단계를 포함하며,

[0016] 매립된 취성 평면은, 도너 기관의 전방 표면과 함께, 50 nm 내지 1400 nm의 두께를 갖는 전사될 작업 층의 범위를 정함(delimit) -,

[0017] c) 접합 계면을 따라 접합된 조립체를 형성하기 위해, 분자 접촉에 의해 전방 표면의 면 상의 도너 기관과 캐리어 기관을 결합하는 단계;

[0018] d) 반도체 구조체를 형성하기 위해, 매립된 취성 평면을 따라 분리하여, 작업 층을 캐리어 기관 상으로 전사하는 단계.

[0019] 단독으로 또는 임의의 기술적으로 실현 가능한 조합으로 본 발명의 다른 유리하고 비제한적인 특징들에 따르면:

[0020] • 단계 b)의 제거는 5 nm 내지 200 nm, 바람직하게는 30 nm 내지 50 nm가 박리되는(stripped away) 것을 야기하고;



[0021] • 캐리어 기관의 재료는 단결정 또는 다결정이고;

[0022] • 경량 종은 30 keV 내지 210 keV의 에너지 및 $1 \times 10^{16}/\text{cm}^2$ 내지 $5 \times 10^{17}/\text{cm}^2$ 의 용량으로 주입된 수소 이온들이고;

[0023] • 제조 프로세스는 단계 d)로부터 생성된 반도체 구조체에 적용된 마무리 단계 e)를 포함하며, 단계 e)는, 1300°C 내지 1700°C의 온도에서의 열처리를 포함하고;

[0024] • 단계 e)는 작업 층의 자유 표면의 화학적-기계적 평활화 처리를 포함하고;

[0025] • 단계 c)는, 분자 접촉에 의한 결합 전에, 도너 기관의 전방 표면 및/또는 캐리어 기관의 전면 상에 적어도 하나의 추가 층을 형성하는 단계를 포함하고; 분자 접촉에 의한 결합 후에 얻어진 접합된 조립체는, 도너 기관과 캐리어 기관 사이에 추가 층을 포함하며, 상기 층은 접합 계면에 인접하거나 후자를 포함하고;

- [0026]  그 - 적어도 하나의 - 추가 층은 실리콘, 텅스텐, 탄소 및 티타늄 중에서 선택된 재료를 포함하고;
- [0027]  프로세스는 반도체 구조체 상에 적어도 하나의 고전압 마이크로전자 컴포넌트를 생성하는 단계들을 추가로 포함한다.
- [0028] 본 발명은 또한 전술한 바와 같은 제조 프로세스에 의해 얻어진 반도체 구조체 상에 생성된 고전압 마이크로전자 컴포넌트에 관한 것이다.

도면의 간단한 설명

- [0029] 본 발명의 다른 특징 및 장점은 첨부된 도면을 참조하여 이하의 상세한 설명으로부터 명백해질 것이다.
 - 도 1은 본 발명에 따른 제조 프로세스에 따라 생성된 반도체 구조체를 도시한다.
 - 도 2a, 도 2b, 도 2b', 도 2c, 도 2d 및 도 2e는 본 발명에 따른 제조 프로세스의 단계들을 도시한다.
 - 도 3은 본 발명에 따른 제조 프로세스의 단계 d)의 경량 중의 주입을 거친 버진 도너 기관 및 도너 기관의 러더포드 후방 산란 분광법(Rutherford backscattering spectrometry, RBS) 측정들을 각각 도시한다.
 - 도 4는 (a) 종래 기술의 반도체 구조체 및 (b) 본 발명에 따른 반도체 구조체에 대한, 전류 경로가 상기 구조체의 접합 계면을 가로지르는, 반도체 구조체 상에 생성된 2개의 전극들로부터 측정되는, 인가된 전압의 함수로서 전류의 I(V) 곡선들을 도시한다.
 - 도 5는 (a) 본 발명에 따르지 않는 최종 반도체 구조체의 투과 전자 현미경(transmission electron microscopy, TEM) 이미지, 및 (b) 본 발명에 따르지 않는 최종 반도체 구조체의, SSRM 저항 측정에 의해 획득된 이미지를 도시한다.
- 도면에서 동일한 참조 번호는 동일한 유형의 구성요소에 대해 사용될 수 있다. 도면들은 개략적 표현들이며, 이들은 가독성을 위해 축척을 따르지 않는다. 특히, z-축을 따른 층들의 두께들은 x-축 및 y-축을 따른 측방향 치수들에 비해 축척을 따르지 않고, 서로에 대한 층들의 상대적 두께들은 개략도들에서 반영되지 않는다.
- 다양한 가능성들(이어지는 설명에서 도시되고/되거나 상세하게 기술된 변형예들 및 실시예들)은 상호 배타적이지 않는 것으로 이해되어야 하며 서로 조합될 수 있다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 캐리어 기관(2) 상으로 전사된 단결정 탄화규소(SiC)로 만들어진 작업 층(10)을 포함하는 반도체 구조체(100)(도 1)를 제조하기 위한 프로세스에 관한 것이다. 캐리어 기관(2)은 단결정 또는 다결정 탄화규소로 형성될 수 있다.
- [0031] 제조 프로세스는 먼저 a) 단결정 탄화규소로 만들어진 도너 기관(1) 및 단결정 또는 다결정 탄화규소로 만들어진 캐리어 기관(2)을 제공하는 단계 a)를 포함한다(도 2a). 이들 두 초기 기관들(1, 2)은 바람직하게는 직경이 100 mm, 150 mm 또는 200 mm이고, (z-축을 따른) 두께가 전형적으로 300 내지 800 마이크로미터인 (평면 (x, y)에서의) 웨이퍼들의 형태이다. 이들은 각각 전면(1a, 2a) 및 후면(1b, 2b)을 갖는다. 전면들(1a, 2a)의 표면 거칠기는 유리하게는, 20 마이크로미터 x 20 마이크로미터의 스캔에서 원자력 현미경(AFM)에 의해 측정된 1 nm RMS 미만하도록 선택된다.
- [0032] 도너 기관(1)은, 예를 들어, 4H 또는 6H 폴리타입일 수 있으며, n 또는 p 타입의 도핑을 가질 수 있다. 프로세스 후반부에, 반도체 구조체(100)의 작업 층(10)은 도너 기관(1)으로부터 분리될 것이며: 따라서 후자는 목표 응용에 필요한 기계적, 전기적 및 결정학적 속성들을 가져야 한다.
- [0033] 하나의 특정 실시예에 따르면, 도너 기관(1)은 초기 기관을 포함하며, 초기 기관 상에 도너 층이 에피택시에 의해 생성된다. 에피택셜 성장 단계는 도너 층이 초기 기관의 결정 결함 밀도보다 더 낮은 결정 결함 밀도를 갖도록 수행된다. 이 경우, 작업 층(10)은 도너 층으로부터 분리되므로, 초기 기관은 도너 층만큼 높은 레벨의 품질을 필요로 하지 않는다.
- [0034] 캐리어 기관(2)은 기계적 강도에 대한 사양들 및 잠재적으로 전기적 속성들에 대한 사양들을 충족하여, 최종 반도체 구조체(100) 상에서 그리고 그 내에서 생성되는 수직 전력 컴포넌트들의 동작을 위한 양호한 수직 전기 전도도를 가능하게 해야 한다.

- [0035] 이어서, 제조 프로세스는 전사될 작업 층(10)을 준비하는 것으로 이루어진 단계 b)를 포함한다. 이 단계는 먼저, 경량 종의 주입 프로파일 및 손상 프로파일(11)을 형성하기 위해, 전면(1a) 상의 도너 기관(1)(또는 존재하는 경우, 도너 층)에 경량 종을 주입하는 단계를 포함한다(도 2b). 이러한 두 프로파일들은 거의 중첩되는데, 첫 번째는 주입된 종의 깊이별 농도에 대응하고, 다른 하나는 종이 침투할 때 도너 기관(1)의 SiC 재료의 결정 격자에서 생성된 결함들에 대응한다.
- [0036] 손상 프로파일(11)은 특히 러더포드 후방 산란 분광법(또는 RBS)에 의해 측정될 수 있다. 잘 알려진 바와 같이, RBS는 재료에 충돌하는 고에너지 이온 빔의 후방 산란을 분석함으로써 상기 재료의 구조 및 조성을 결정하는 데 사용된다. 이 경우, 그것은 도너 기관(1)의 주입된 SiC 결정 격자에 존재하는 결함들의 영역들을 드러내는 것을 가능하게 한다.
- [0037] 도 3의 곡선 A는 경량 종을 주입하기 전의 도너 기관(1)의 RBS 측정에 대응하며: RBS 프로파일은 편평하다(모든 측정된 샘플들에서 나타나며 따라서 특징적이지 않은, 전면(1a) 상에서 검출된 매우 좁은 피크를 제외하고).
- [0038] 도 3의 곡선 B는 경량 종을 주입한 후의 도너 기관(1)의 RBS 측정에 대응한다. 손상 프로파일(11)은 깊이 결함들의 주 피크(12a)를 가지며(이는 주입된 경량 종의 농도의 피크에 실질적으로 중첩됨), 이는 매립된 취성 평면(12)을 정의한다. 손상 프로파일(11)은 또한 손상된 표면 층(13)을 정의하는 결함들의 이차 피크(13a)를 갖는다.
- [0039] 주입된 경량 종은 바람직하게는 수소, 헬륨 또는 이들 두 종의 공동-주입이다. 도입에서 언급된, 스마트 컷[®] 프로세스와 관련하여, 이들 경량 종은, 주 피크(12a)에서 그리고/또는 그 부근에서, 도너 기관(1)의 전면(1a)에 평행한, 즉 도면에서 평면 (x,y)에 평행한, 박층에 분포된 미세공동들을 형성할 것이다. 이 박층은 단순화를 위해 매립된 취성 평면(12)으로 불린다.
- [0040] 경량 종의 주입 에너지는 도너 기관(1) 내의 결정된 깊이에 도달하도록 선택된다. 전형적으로, 100 nm 내지 1500 nm의 깊이에서 매립된 취성 평면(12)을 형성하기 위해, 수소 이온들은 30 keV 내지 210 keV의 에너지, 및 $1 \times 10^{16} / \text{cm}^2$ 내지 $5 \times 10^{17} / \text{cm}^2$ 의 용량으로 주입된다.
- [0041] 도 3에서 볼 수 있는 이차 피크(13a)는 도너 기관(1)의 전면(1a)으로부터, 10 nm 내지 100 nm의 가변 깊이까지 연장되는데, 이는 본질적으로 주입 조건들(에너지, 용량, 온도 등)에 의존한다. 이러한 손상된 표면 층(13)은 특히 국부적인 결정 결함들, 연장된 결함들(전위(dislocation)들 등), 또는 주입된 경량 종 이외의 의도적으로 주입되지 않은 종을 포함할 수 있다. 주입을 거친 전면(1a) 상의 도너 기관(1)의 표면 거칠기는 영향을 받지 않고, 초기 거칠기와 실질적으로 유사하게, 전형적으로 1 nm RMS 미만으로 유지된다.
- [0042] 경량 종을 이온적으로 주입한 후, 작업 층(10)을 준비하는 단계 b)는 도너 기관(1)의 전면(1a)의 화학적 에칭 및/또는 화학적-기계적 연마에 의해 손상된 표면 층(13)을 제거하는 단계를 포함한다(도 2b').
- [0043] 화학적 에칭은 유리하게는, 건식, 예를 들어 O₂/SF₆/Ar/F 가스에 기초한 반응성-이온 에칭이다. 화학적 기계적 연마는 알루미늄- 또는 다이아몬드-계 나노연마제를 갖는 연마 용액(슬러리), 및 폴리우레탄 또는 열가소성 발포체 유형의 종래의 직물을 사용하여 수행될 수 있다.
- [0044] 어떤 기술이 구현되든, 단계 b)에서 수행되는 제거는 5 nm 내지 200 nm, 바람직하게는 20 nm 내지 100 nm, 더 바람직하게는 30 nm 내지 50 nm의 SiC가 박리되는 것을 야기한다. 이 재료가 박리된 후, 도너 기관(1)의 새로운 전방 표면(1a')이 형성된다.
- [0045] 목표는 전체 손상된 표면 층(13)을 제거하는 동시에, 전사될 작업 층(10)의 양호한 균일성을 보존하는 것이며: 구체적으로, 상기 작업 층(10)은, 박리 후, 도너 기관(1)의 매립된 취성 평면(12) 및 전방 표면(1a')에 의해 범위가 정해진다. 작업 층(10)의 두께의 +/- 20% 미만의 비균일성이 목표이다. 전사될 작업 층(10)은 전형적으로 50 nm 내지 1400 nm의 두께를 갖는다.
- [0046] 이어서, 제조 프로세스는, 접합 계면(51)을 따라 접합된 조립체(50)를 형성하기 위해, 분자 접착에 의해, 전방 표면(1a')의 면 상의 도너 기관(1)과 전방 표면(2a)의 측의 캐리어 기관(2)을 결합하는 단계 c)를 포함한다(도 2c).
- [0047] 그 자체로 잘 알려진 바와 같이, 접합들은 결합된 표면들 사이의 원자 스케일에서 확립되므로, 분자 접착에 의한 직접 접합은 접착제 재료를 필요로 하지 않는다. 분자 접착에 의한 여러 유형들의 접합이 존재하며, 이는 특히 표면들을 접촉시키기 전에 온도, 압력, 대기 조건들 또는 처리들에서 상이하다. 결합된 표면들의 사전 플

라즈마 활성화를 이용하거나 이용하지 않는 실온에서의 접합, 원자 확산 접합(ADB), 표면 활성화 접합(SAB) 등이 언급될 수 있다.

- [0048] 결합 단계 c)는, 결합될 면들을 접촉시키기 전에, 화학적 세정(예를 들어, RCA 세정) 및 표면 활성화(예를 들어, 산소 또는 질소 플라즈마에 의한) 또는 기타 표면 준비들(예컨대, 스크러빙)의 종래의 시퀀스들을 포함할 수 있으며, 이는 접합 계면들(51)의 품질(낮은 결합 밀도, 높은 접촉 에너지)을 촉진할 가능성이 있다.
- [0049] 제1 실시예에 따르면, 도 2c에 도시된 바와 같이, 도너 기판(1)의 전방 표면(1a')과 캐리어 기판(2)의 전방 면(2a)은 직접 결합된다.
- [0050] 제2 실시예에 따르면, 단계 c)는, 분자 접촉에 의한 결합 전에, 도너 기판(1)의 전방 표면(1a') 및/또는 캐리어 기판(2)의 전면(2a) 상에 적어도 하나의 추가 층(도시되지 않음)을 형성하는 단계를 포함한다. 그러한 - 적어도 하나의 - 추가 층은, 유리하게는 최종 반도체 구조체(100)에서 수직 전기 전도를 촉진하기 위해 선택된, 실리콘, 텅스텐, 탄소 또는 티타늄과 같은 재료를 포함할 수 있다. 또한, 중간 층은, 특히 결합될 면들에 존재하는 잔류 거칠기 또는 표면 결함들을 제거함으로써, 분자 접촉에 의한 접합을 촉진할 가능성이 있다. 그것은 1 nm RMS 미만의 거칠기, 또는 0.5 nm RMS 미만의 거칠기에 도달하기 위해, 종래의 평탄화 또는 평활화 처리들을 거칠 수 있고 - 이는 접합을 촉진함 -; 그것은 또한 이전에 언급된 것들(세정, 활성화 등)과 같은 준비 처리들을 거칠 수 있다. 추가 층의 두께는 바람직하게는 0.5 nm 내지 50 nm이도록 선택된다.
- [0051] 본 발명에 따른 제조 프로세스는 최종적으로, 반도체 구조체(100)를 형성하기 위해, 매립된 취성 평면(12)을 따라 분리하여, 작업 층(10)을 캐리어 기판(2) 상으로 전사하는 단계 d)를 포함한다(도 2d).
- [0052] 매립된 취성 평면(12)을 따른 분리는 보통 800°C 내지 1200°C의 온도에서 열처리를 적용함으로써 수행된다. 그러한 열처리는 매립된 취성 평면(12)에서 공동들 및 미세균열들이 발생하게 하고, 이들이, 상기 취성 평면(12)을 따라 파열이 전파될 때까지, 기체 형태로 존재하는 경량 종을 의해 가압되게 한다. 대안적으로, 또는 공동으로, 기계적 응력이 접합된 조립체(50), 특히 매립된 취성 평면(12)에 인가되어, 분리를 야기하는 파열을 전파시키거나 파열을 기계적으로 전파시키는 것을 보조하도록 할 수 있다. 이러한 분리의 결과로, 한편으로는 캐리어 기판(2) 및 단결정 SiC로 만들어진 전사된 작업 층(3)을 포함하는 반도체 구조체(100), 및 다른 한편으로는 도너 기판의 나머지(1')가 얻어진다. 작업 층(10)의 도핑의 레벨 및 유형은 도너 기판(1)의 속성들의 선택에 의해 정의되거나, 반도체 층들을 도핑하기 위한 알려진 기술들에 의해 후속적으로 조정될 수 있다.
- [0053] 작업 층(10)의 자유 표면(10a)은 일반적으로 분리 후에 거칠다: 예를 들어, 그것은 5 nm 내지 100 nm RMS(AFM, 20 마이크로미터 x 20 마이크로미터 스캔)의 거칠기를 갖는다. 양호한 표면 마감(전형적으로, 20 마이크로미터 x 20 마이크로미터 AFM 스캔에서 수 옴스트롬 RMS 미만의 거칠기)을 복원하기 위해 세척 및/또는 평활화 단계들이 적용될 수 있다.
- [0054] 이것은 특히, 바람직하게는 본 발명에 따른 제조 프로세스에 포함된, 마무리 단계 e)의 목적이다. 단계 d)로부터 생성된 반도체 구조체(100)에 적용된 이 단계는, 작업 층(10)의 자유 표면(10a)의 화학적-기계적 평활화(CMP) 처리를 포함할 수 있다. 50 nm 내지 300 nm의 박리는 상기 층(10)의 표면 마감을 효과적으로 복원하는 것을 가능하게 한다.
- [0055] 단계 e)는 또한 1300°C 내지 1700°C의 온도에서의 열처리를 포함할 수 있다. 그러한 열처리는, 작업 층(10)으로부터 잔류 경량 종을 제거하기 위해 그리고 작업 층(10)의 결정 격자의 재배열을 촉진하기 위해 적용된다.
- [0056] 서론에서 언급한 바와 같이, 종래에 경량 종을 주입함으로써 전사되는 작업 층(10)의 양호한 전기적 특성들은, 마무리 열처리가 1800°C 미만의 온도에서 유지되는 경우 얻기 어렵다. 도 4a의 예에서, 본 발명에 따르지 않는 반도체 구조체는, 단결정 SiC(약 20 mohm.cm의 전형적인 저항률)로 만들어지고 추가 금속 층을 통해 캐리어 기판(약 50 mohm.cm의 전형적인 저항률) 상으로 전사된 작업 층으로부터 형성되며; 도너 기판에서의 주입이 이루어진 조건들은 다음과 같았고: 130 keV, 6×10^{16} H/cm², 마무리 열처리는 1700°C에서 1시간 동안 수행되었다. 이 구조체의 I(V) 거동은 옴이 아닌 것을 알 수 있다.
- [0057] 본 발명에 따른 프로세스에서, 이러한 열처리는 1700°C 이하, 또는 심지어 1400°C 내지 1500°C의 온도에서 수행될 수 있다. 실제로, 본 발명에 따라 생성되는 반도체 구조체(100)의 작업 층(10) 및 접합 계면(51)의 완벽한 옴 거동은 도 4b의 I(V) 곡선 상에서 관찰된다. 반도체 구조체는, 단결정 SiC(약 20 mohm.cm의 전형적인 저항률)로 만들어지고 추가 금속 층(도 4a를 참조하여 기술한, 종래 기술에 따른 구조체와 유사한 스택)을 통해 캐리어 기판(2)(약 20 mohm.cm의 전형적인 저항률) 상으로 전사된 작업 층(10)으로부터 형성되며; 도너 기판(1)에

서의 주입(단계 b))이 이루어진 조건들은 130 keV, 6×10^{16} H/cm²이고, 손상된 표면 층(13)의 제거(단계 b))는 CMP에 의해 50 nm를 박리하는 것으로 이루어졌고, 단계 e)의 열처리는 1700°C에서 1시간 동안 수행되었다.

[0058] 최대 1900°C의 어닐링이 분명히 수행될 수 있지만, 이러한 매우 높은 온도는 본 발명에 따른 프로세스에서 박층(10)의 전기적 특성들을 복원하는 데 필요하지 않다는 것에 유의한다.

[0059] 출원인은, 도너 기관(1)으로부터 전사될 작업 층(10)을 준비하는 단계 b)의 이온 주입 동안 생성된 손상된 표면 층(13)을 제거하는 것이, 전사 후, 박층(10)의 그리고 일반적으로 반도체 구조체(100)의 우수한 전기적 속성들을 얻으면서도 적절한 마무리 열처리 온도를 유지하는 데 중요하다는 것을 확인하였다.

[0060] 이러한 손상된 표면 층(13)은, 본 발명에 따른 프로세스의 단계 b) 동안 제거되지 않는 경우, 도 5a에 도시된 바와 같이, 최종 반도체 구조체의 박층 내의 잔류 결함들(13')의 원인이 되며: 최대 1700°C 또는 심지어 최대 1900°C의 고온에서의 열처리에도 불구하고 존재하는 상기 잔류 결함들(13')은, 투과 전자 현미경(TEM) 이미지에서 관찰된다. 잔류 결함들(13')의 영역과 상관되어, 반도체 구조체의 접합 계면(51) 근처에서 더 큰 저항률의 영역을 나타내는 SSRM(주사 확산 저항 현미경법, 원자력 현미경의 팁에 의해 스캔함으로써 저항을 측정하는 기술) 측정을 또한 도 5b에서 볼 수 있다. 접합 계면(51) 근처의 작업 층(10)에 존재하는 잔류 결함들(13')은, 결함 전에 손상된 표면 층(13)이 제거되지 않을 때, 도 4a에서 관찰되는 반도체 구조체의 비-옴 전기적 거동의 원인이다.

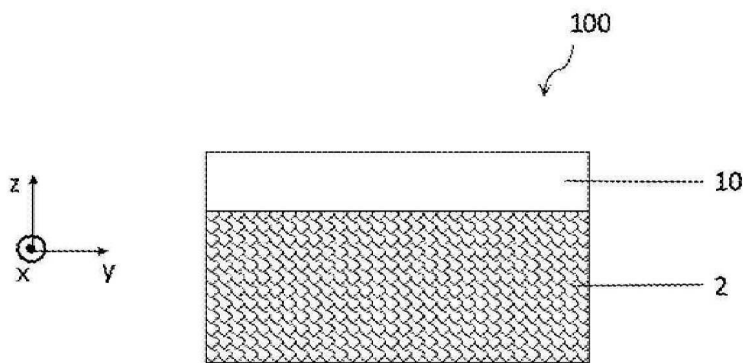
[0061] 본 발명에 따른 제조 프로세스는 도너 기관(1)에 경량 중을 주입함으로써 생성된 손상된 표면 층(13)을 제거하는 것을 제공하며, 따라서 최종 반도체 구조체(100)에서 작업 층(10)의 높은 품질 및 그것의 옴 유형의 전기적 거동을 보장한다.

[0062] 본 발명은 또한 이전에 설명된 제조 프로세스로부터 생성된 반도체 구조체(100) 상에서 그리고/또는 그 내에서 생성된, 예를 들어, 쇼트키 다이오드, MOSFET 등과 같은, 하나의 (또는 그 이상의) 고전압 마이크로전자 컴포넌트(들)에 관한 것이다. 컴포넌트들을 생성하는 종래의 단계들이 구현될 수 있으며, 반도체 구조체(100)는 마이크로전자 기술들 및 라인들과 완벽하게 호환된다.

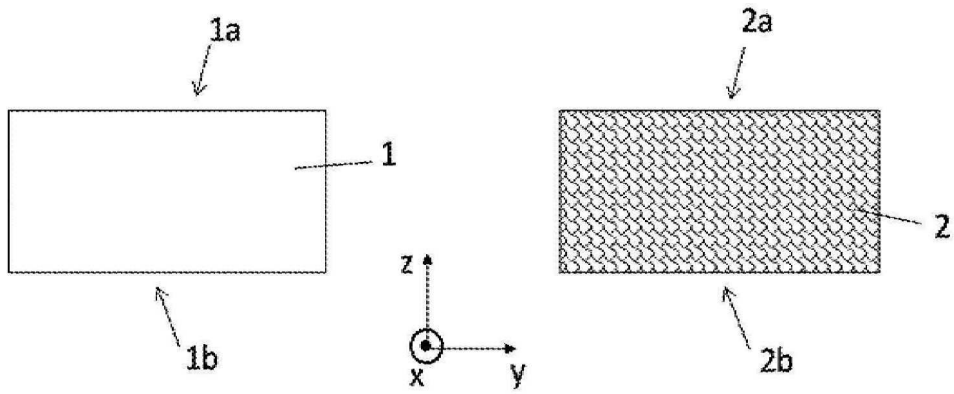
[0063] 물론, 본 발명은 설명된 실시예들 및 예들에 제한되지 않으며, 청구범위에 의해 정의된 본 발명의 범주로부터 벗어나지 않으면서 변형 실시예들이 그에 추가될 수 있다.

도면

도면1

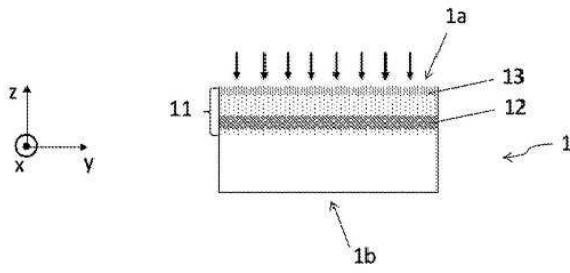


도면2a

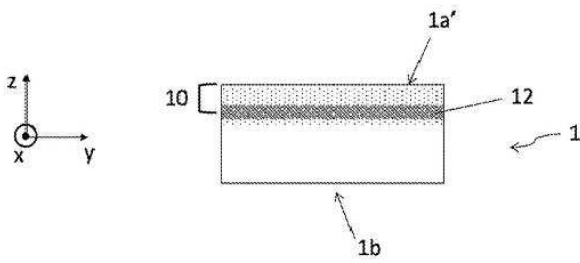


도면2b

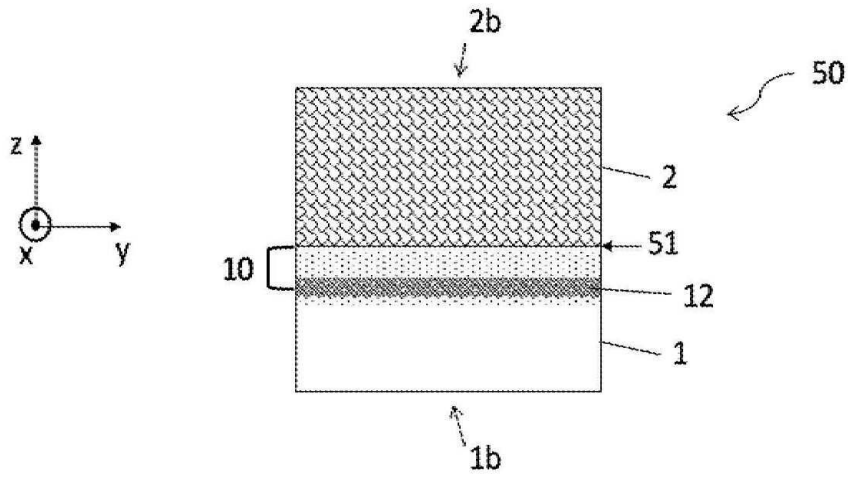
도 2b



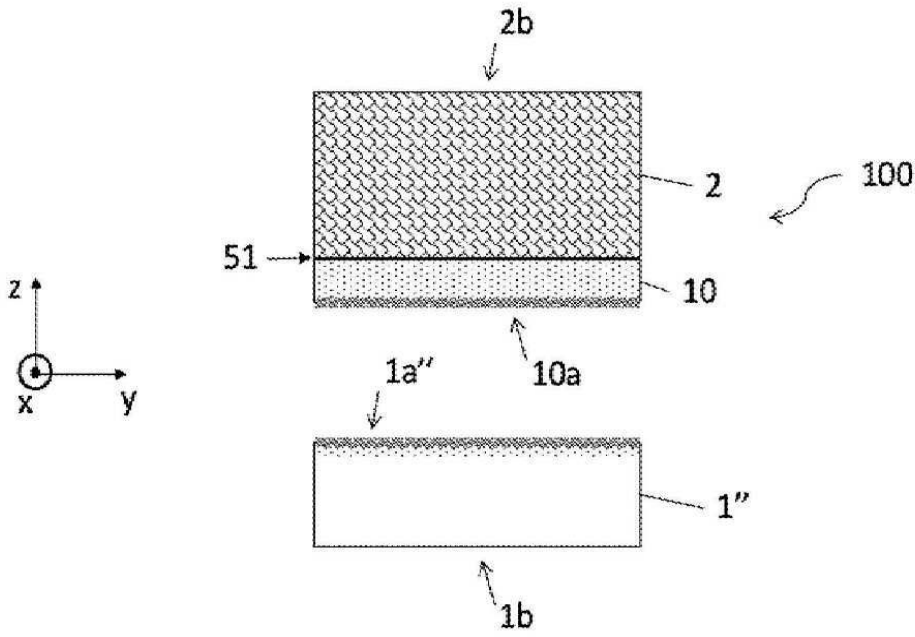
도 2b'



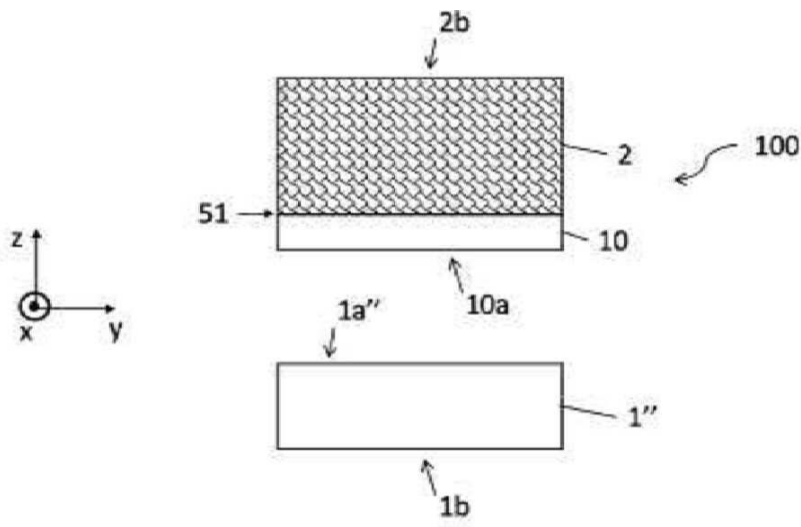
도면2c



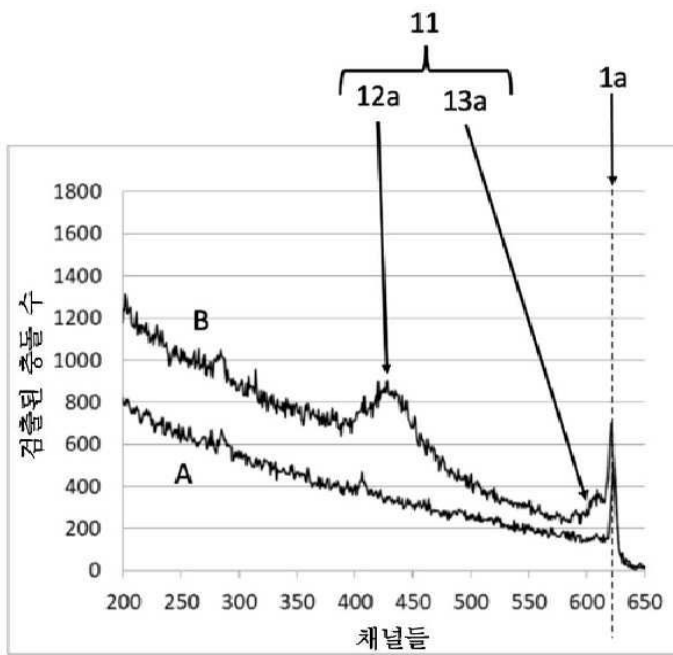
도면2d



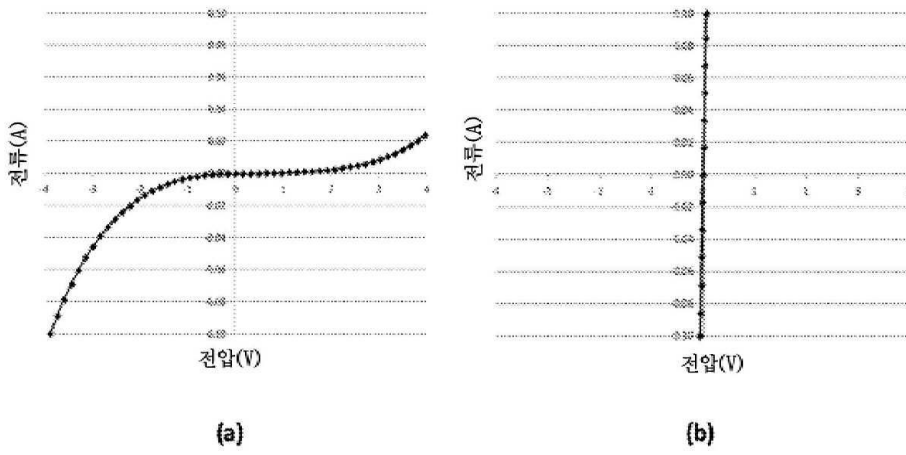
도면2e



도면3



도면4



도면5

