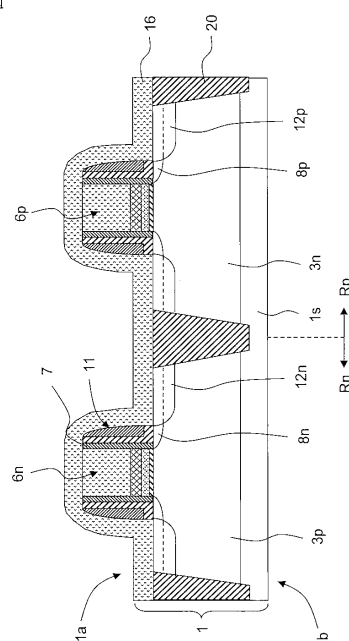




## 【特許請求の範囲】

## 【請求項 1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第 1 の主面上に、酸化物素子分離領域を形成することにより、アクティブ領域をパターンニングする工程；

(b) 前記半導体ウエハの前記第 1 の主面上において、前記アクティブ領域を横切るように、Nチャネル型MISFETのHigh-kゲートスタックをパターンニングする工程；

(c) パターンニングされた前記ゲートスタックの側面にゲート側面構造体を形成することによって、前記ゲートスタックおよび前記ゲート側面構造体を含むゲート構造体を形成する工程；

(d) 前記ゲート構造体の両側の前記半導体ウエハの前記アクティブ領域の半導体表面内に、前記Nチャネル型MISFETのソースドレイン領域となる不純物ドーパ領域をイオン注入により形成する工程；

(e) 前記工程(d)の後、前記ゲート構造体上、前記酸化物素子分離領域上、および前記半導体表面上を覆うように、前記半導体ウエハの前記第 1 の主面上に酸素吸収膜を形成する工程；

(f) 前記酸素吸収膜が前記ゲート構造体上、前記酸化物素子分離領域上、および前記半導体表面上を覆った状態で、前記不純物ドーパ領域に対する活性化アニールを実行する工程；

(g) 前記工程(f)の後、前記酸素吸収膜を除去する工程。

## 【請求項 2】

前記 1 項の半導体集積回路装置の製造方法において、前記酸素吸収膜は、ポリシリコン膜又はアモルファスシリコン膜である。

## 【請求項 3】

前記 2 項の半導体集積回路装置の製造方法において、前記半導体集積回路装置は、CMIS型であり、前記工程(f)においては、前記酸素吸収膜は、P型MISFET領域上に被覆していない。

## 【請求項 4】

前記 1 項の半導体集積回路装置の製造方法において、前記酸素吸収膜は、アモルファスまたはポリSiGe膜である。

## 【請求項 5】

前記 2 項の半導体集積回路装置の製造方法において、前記ゲートスタックを構成するHigh-kゲート絶縁膜には、ランタンが添加されている。

## 【請求項 6】

前記 5 項の半導体集積回路装置の製造方法において、前記ゲートスタックは、実ゲートスタックである。

## 【請求項 7】

前記 6 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(h) 前記工程(e)の後であって前記工程(f)の前に、前記酸素吸収膜上に、前記ゲート構造体、前記酸化物素子分離領域、および前記半導体表面の上方を覆うように、ストレス付与膜を形成する工程；

(i) 前記工程(f)の後であって前記工程(g)の前に、前記ストレス付与膜を除去する工程。

## 【請求項 8】

前記 7 項の半導体集積回路装置の製造方法において、前記ストレス付与膜は、窒化シリコン系絶縁膜である。

## 【請求項 9】

前記 8 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(j) 前記工程(e)の後であって前記工程(h)の前に、前記酸素吸収膜上のほぼ全面に、第 1 の酸化シリコン系絶縁膜を形成する工程；

(k) 前記工程 (i) の後であって前記工程 (g) の前に、前記酸化シリコン系絶縁膜を除去する工程。

【請求項 10】

前記 9 項の半導体集積回路装置の製造方法において、前記第 1 の酸化シリコン系絶縁膜は、前記酸素吸収膜および前記ストレス付与膜のいずれよりも薄い。

【請求項 11】

前記 2 項の半導体集積回路装置の製造方法において、前記工程 (e) の前記酸素吸収膜の形成の際には、前記半導体表面との間に、第 2 の酸化シリコン系絶縁膜を介在させる。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体集積回路装置（または半導体装置）の製造方法におけるゲートスタック (Gate Stack) および、その周辺構造形成技術に適用して有効な技術に関する。

【背景技術】

【0002】

米国特許公開 2009-75442 号公報（特許文献 1）には、金属膜をストレス付加膜とする SMT (Stress Memorization Technique) が開示されている。

20

【0003】

米国特許公開 2007-18252 号公報（特許文献 2）には、窒化シリコン膜等をストレス付加膜とする SMT が開示されている。

【0004】

日本特開 2004-172389 号公報（特許文献 3）または、これに対応する米国特許第 7183204 号公報（特許文献 4）には、シリコン酸化膜、金属膜、またはシリサイド膜等をストレス付加膜とする SMT が開示されている。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献 1】 米国特許公開 2009-75442 号公報

【特許文献 2】 米国特許公開 2007-18252 号公報

【特許文献 3】 特開 2004-172389 号公報

【特許文献 4】 米国特許第 7183204 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

高誘電率ゲート絶縁膜 (High-k Gate Insulation Layer) を用いた CMIS (Complementary metal Insulator Semiconductor) 型半導体集積回路において、短チャネル長、且つ狭チャネル幅のデバイス領域では、ソースドレイン領域の活性化アニールによって、高誘電率ゲート絶縁膜とシリコン系基板部との界面膜 (Interfacial Layer) である IL の膜厚が増加することによって、N 型 MISFET は閾値電圧の絶対値が増加し、P 型 MISFET も、変化の幅は N 型 MISFET 程ではないが、閾値電圧の絶対値が減少するという問題がある。また、メタルゲート電極中に酸化物素子分離領域中の酸素やサイドウォール酸化シリコン膜中の酸素が拡散し、メタルゲート電極が酸化されて仕事関数に変調するという問題もある。

40

【0007】

本願発明は、これらの課題を解決するためになされたものである。

【0008】

50

本発明の目的は、信頼性の高い半導体集積回路装置の製造プロセスを提供することにある。

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

すなわち、本願の一つの発明は、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造方法において、MISFETのHigh-kゲートスタック及びその周辺構造を形成した後、半導体基板表面を酸素吸収膜で覆い、その状態でソースドレインの不純物を活性化するためのアニールを実行し、その後、当該酸素吸収膜を除去するものである。

【発明の効果】

【0012】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0013】

すなわち、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造方法において、MISFETのHigh-kゲートスタック及びその周辺構造を形成した後、半導体基板表面を酸素吸収膜で覆い、その状態でソースドレインの不純物を活性化するためのアニールを実行し、その後、当該酸素吸収膜を除去するので、熱処理中における界面酸化シリコン膜の不所望な膜厚増加による短チャネル長&狭チャネル幅MISFETの閾値電圧（正確にはその絶対値）の上昇を低減することができる。

【図面の簡単な説明】

【0014】

【図1】本願の各実施の形態の半導体集積回路装置の製造方法における対象デバイスの一例であるCMOSチップの上面レイアウト等を示すウエハ及び半導体チップ上面図である。

【図2】図1におけるチップ上のチャンネル方向と結晶面方位の関係の一例を示すウエハ及び半導体チップ上面模式図である。

【図3】図1の半導体チップ上のロジックゲートLGの回路構成の一例を示す回路図である。

【図4】図1の半導体チップ上のメモリセルMCの回路構成の一例を示す回路図である。

【図5】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（ゲートスタック加工完了時点）である。

【図6】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（オフセットスペーサ用窒化シリコン膜成膜時点）である。

【図7】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（N型ソースドレインエクステンション領域導入時点）である。

【図8】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（オフセットスペーサ用窒化シリコン膜エッチバック時点）である。

【図9】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセス

10

20

30

40

50

フローを説明するためのウエハ部分断面図（P型ソースドレインエクステンション領域導入時点）である。

【図10】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（サイドウォール酸化シリコン膜成膜時点）である。

【図11】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（サイドウォール窒化シリコン膜成膜時点）である。

【図12】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（サイドウォール絶縁膜エッチバック時点）である。

【図13】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（P型高濃度ソースドレイン領域導入時点）である。

【図14】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（N型高濃度ソースドレイン領域導入時点）である。

【図15】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（酸素吸収膜成膜&活性化アニール時点）である。

【図16】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（酸素吸収膜成膜除去時点）である。

【図17】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（シリサイド化完了時点）である。

【図18】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（CESL成膜時点）である。

【図19】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（酸化シリコン系プリメタル絶縁膜成膜時点）である。

【図20】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（コンタクトホール開口時点）である。

【図21】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（タングステンプラグ埋め込み完了時点）である。

【図22】本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウエハ部分断面図（多層配線完成時点）である。

【図23】本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図（中間酸化シリコン系薄膜成膜時点）である。

【図24】本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図（窒化シリコン系ストレス膜成膜&活性化アニール時点）である。

【図25】本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図（窒化シリコン系ストレス膜除去時点）である。

【図26】本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図（中間酸化シリコン系薄膜除去時点）である。

【図27】High-kゲート絶縁膜を有する狭チャネル幅Nチャネル型MISFETおよびSiONゲート絶縁膜を有する狭チャネル幅Nチャネル型MISFETの閾値電圧の

10

20

30

40

50

チャンネル幅依存性を示すデータプロット図である。

【図 28】図 1 のロジックゲート LG 等の N 型 MISFET<sub>Qn</sub> (図 3) 及び、その周辺を切り出したデバイス上面拡大図である。

【図 29】図 28 の X-X' 断面に対応するデバイス断面拡大図である。

【図 30】図 28 の Y-Y' 断面に対応するデバイス断面拡大図である。

【発明を実施するための形態】

【0015】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0016】

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 半導体ウエハの第 1 の主面上に、酸化物素子分離領域を形成することにより、アクティブ領域をパターニングする工程；

(b) 前記半導体ウエハの前記第 1 の主面上において、前記アクティブ領域を横切るように、N チャンネル型 MISFET の High-k ゲートスタックをパターニングする工程；

(c) パターニングされた前記ゲートスタックの側面にゲート側面構造体を形成することによって、前記ゲートスタックおよび前記ゲート側面構造体を含むゲート構造体を形成する工程；

(d) 前記ゲート構造体の両側の前記半導体ウエハの前記アクティブ領域の半導体表面内に、前記 N チャンネル型 MISFET のソースドレイン領域となる不純物ドーパ領域をイオン注入により形成する工程；

(e) 前記工程 (d) の後、前記ゲート構造体上、前記酸化物素子分離領域上、および前記半導体表面上を覆うように、前記半導体ウエハの前記第 1 の主面上に酸素吸収膜を形成する工程；

(f) 前記酸素吸収膜が前記ゲート構造体上、前記酸化物素子分離領域上、および前記半導体表面上を覆った状態で、前記不純物ドーパ領域に対する活性化アニールを実行する工程；

(g) 前記工程 (f) の後、前記酸素吸収膜を除去する工程。

【0017】

2. 前記 1 項の半導体集積回路装置の製造方法において、前記酸素吸収膜は、ポリシリコン膜又はアモルファスシリコン膜である。

【0018】

3. 前記 1 または 2 項の半導体集積回路装置の製造方法において、前記半導体集積回路装置は、CMIS 型であり、前記工程 (f) においては、前記酸素吸収膜は、P 型 MISFET 領域上を被覆していない。

【0019】

4. 前記 1 または 3 項の半導体集積回路装置の製造方法において、前記酸素吸収膜は、アモルファスまたはポリ SiGe 膜である。

【0020】

5. 前記 1 から 4 項のいずれか一つの半導体集積回路装置の製造方法において、前記ゲートスタックを構成する High-k ゲート絶縁膜には、ランタンが添加されている。

【0021】

6. 前記 1 から 5 項のいずれか一つの半導体集積回路装置の製造方法において、前記ゲートスタックは、実ゲートスタックである。

【0022】

7. 前記 1 から 6 項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(h) 前記工程 (e) の後であって前記工程 (f) の前に、前記酸素吸収膜上に、前記ゲート構造体、前記酸化物素子分離領域、および前記半導体表面の上方を覆うように、ストレス付与膜を形成する工程；

10

20

30

40

50

(i) 前記工程 (f) の後であって前記工程 (g) の前に、前記ストレス付与膜を除去する工程。

【0023】

8. 前記7項の半導体集積回路装置の製造方法において、前記ストレス付与膜は、窒化シリコン系絶縁膜である。

【0024】

9. 前記8項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(j) 前記工程 (e) の後であって前記工程 (h) の前に、前記酸素吸収膜上のほぼ全面に、第1の酸化シリコン系絶縁膜を形成する工程；

(k) 前記工程 (i) の後であって前記工程 (g) の前に、前記酸化シリコン系絶縁膜を除去する工程。

【0025】

10. 前記9項の半導体集積回路装置の製造方法において、前記第1の酸化シリコン系絶縁膜は、前記酸素吸収膜および前記ストレス付与膜のいずれよりも薄い。

【0026】

11. 前記1から10項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (e) の前記酸素吸収膜の形成の際には、前記半導体表面との間に、第2の酸化シリコン系絶縁膜を介在させる。

【0027】

〔本願における記載形式、基本的用語、用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0028】

更に、本願において、「半導体装置」または「半導体集積回路装置」というときは、主に、各種トランジスタ（能動素子）単体、および、それらを中心に、抵抗、コンデンサ等を半導体チップ等（たとえば単結晶シリコン基板）上に集積したものをいう。ここで、各種トランジスタの代表的なものとしては、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) に代表されるMISFET (Metal Insulator Semiconductor Field Effect Transistor) を例示することができる。このとき、集積回路構成の代表的なものとしては、Nチャネル型MISFETとPチャネル型MISFETを組み合わせたCMOS (Complementary Metal Oxide Semiconductor) 型集積回路に代表されるCMIS (Complementary Metal Insulator Semiconductor) 型集積回路を例示することができる。

【0029】

今日の半導体集積回路装置、すなわち、LSI (Large Scale Integration) のウエハ工程は、通常、原材料としてのシリコンウエハの搬入からプリメタル (Premetal) 工程 (M1配線層下端とゲート電極構造の間の層間絶縁膜等の形成、コンタクトホール形成、タングステンプラグ、埋め込み等からなる工程) あたりまでのFEOL (Front End of Line) 工程と、M1配線層形成から始まり、アルミニウム系パッド電極上のファイナルパッシベーション膜へのパッド開口の形成あたりまで (ウエハレベルパッケージプロセスにおいては、当該プロセスも含む) のBEOL (Back End of Line) 工程に大別できる。FEOL工程の内、ゲート電極パターンニング工程、コンタクトホール形成工程等は、特に微細な加工が要求される微細加工工程である。一方、BEOL工程においては、ビアおよびトレンチ形成工程、特

に、比較的下層のローカル配線（たとえば４層程度の構成の埋め込み配線では、M1からM3あたりまで、10層程度の構成の埋め込み配線では、M1からM5あたりまでの微細埋め込み配線）等において、特に微細加工が要求される。なお、「MN（通常N＝1から15程度）」で、下から第N層配線を表す。M1は第1層配線であり、M3は第3層配線である。

#### 【0030】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドーパ酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxycarbide)またはカーボンドーパ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Borophosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノクラスタリングシリカ(Nano-Clustering Silica:NCS)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜（ポーラス系絶縁膜）、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことは言うまでもない。

#### 【0031】

また、酸化シリコン系絶縁膜と並んで、半導体分野で常用されているシリコン系絶縁膜としては、窒化シリコン系絶縁膜がある。この系統の属する材料としては、SiN, SiCN, SiNH, SiCNH等がある。ここで、「窒化シリコン」というときは、特にそうでない旨明示したときを除き、SiNおよびSiNHの両方を含む。同様に、「SiCN」というときは、特にそうでない旨明示したときを除き、SiCNおよびSiCNHの両方を含む。

#### 【0032】

なお、SiCは、SiNと類似の性質を有するが、SiONは、むしろ、酸化シリコン系絶縁膜に分類すべき場合が多い。

#### 【0033】

窒化シリコン膜は、SAC(Self-Aligned Contact)技術におけるエッチストップ膜またはCESL(Contact Etch Stop Layer)として、多用されるほか、SMT(Stress Memorization Technique)における応力付与膜（ストレッサまたはストレッサ膜）としても使用される。

#### 【0034】

同様に、「ニッケルシリサイド」というときは、通常、ニッケルモノシリサイドを指すが、比較的純粋なものばかりではなく、ニッケルモノシリサイドを主要な構成要素とする合金、混晶等を含む。また、シリサイドは、ニッケルシリサイドに限らず、従来から実績のあるコバルトシリサイド、チタンシリサイド、タングステンシリサイド等でもよい。また、シリサイド化のための金属膜としては、Ni（ニッケル）膜以外にも、例えばNi-Pt合金膜（NiとPtの合金膜）、Ni-V合金膜（NiとVの合金膜）、Ni-Pd合金膜（NiとPdの合金膜）、Ni-Yb合金膜（NiとYbの合金膜）またはNi-Er合金膜（NiとErの合金膜）のようなニッケル合金膜などを用いることができる。なお、これらのニッケルを主要な金属元素とするシリサイドを「ニッケル系のシリサイド」と総称する。

#### 【0035】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明

示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0036】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0037】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

10

【0038】

6. 本願において、「ゲート」というときは、「実ゲート」すなわち、実際にゲートとなるものとともに、後に除去するいわゆる「ダミーゲート」、「リプレースメントゲート」を含む。「ゲートスタック」とは、主にゲート絶縁膜およびゲート電極から構成された積層体を言う（「ダミーゲートスタック」と特に区別する必要があるときは、「実ゲートスタック」という）。「High-kゲートスタック」というときは、ゲート絶縁膜中にHigh-kゲート絶縁層を有するものをいう。

【0039】

また、「ゲート側面構造体」とは、ゲートスタックの側壁に作られたオフセットスペーサ、サイドウォールスペーサ等のゲート周辺構造を言う。更に、ゲートスタックとゲート側面構造体を含むゲート周辺構造を「ゲート構造体」という。

20

【0040】

また、本願において、「ゲートファースト方式」とは、MISFETを集積した集積回路装置の製造方法において、実ゲートスタックの形成をソースドレインの活性化熱処理よりも前に実行する方式を言う。一方、「ゲートラスト方式」とは、実ゲートスタックの主要要素の形成をソースドレインの活性化熱処理よりも後に実行する方式を言う。ゲートラスト方式のうち、界面ゲート絶縁膜（界面実ゲート絶縁膜）およびHigh-kゲート絶縁膜（実ゲート絶縁膜）をソースドレインの活性化熱処理よりも前に実行し、それよりも上層の実ゲートスタックの主要要素の形成をソースドレインの活性化熱処理よりも後に実行する方式を「High-kファーストメタルゲートラスト方式」言う。

30

【0041】

更に、本願において、「酸素吸収膜」とは、ポリシリコン膜、アモルファスシリコン膜、SiGe膜等のシリコンを主要な成分とする膜（すなわち、Si系半導体膜）のように、酸素を吸収する性質のある膜を言う。因みに、酸化シリコン系絶縁膜、窒化シリコン系絶縁膜等は、酸素吸収膜ではないが、Si系半導体膜の一部（主要部は、Si系半導体膜）に酸化シリコン系絶縁膜、窒化シリコン系絶縁膜等を含む膜は、全体として、酸素吸収膜である。

【0042】

なお、結晶面又は結晶方位については、特定の結晶面又は結晶方位自体のみを指すのではなく、その結晶面又は結晶方位と実質的に同様の性質を示すような当該特定の結晶面又は結晶方位の周辺近傍を含むものとする。たとえば、一般に特定の結晶面又は結晶方位から10度以内程度、ある方向に傾けた結晶面又は結晶方位は、歪特性や移動度等に関する限り、元の結晶面又は結晶方位と実質的に同一の特性を示すものと考えられている。

40

【0043】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0044】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である

50

場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッチングを付すことがある。

#### 【0045】

1. 本願の各実施の形態の半導体集積回路装置の製造方法における対象デバイスの一例であるCMOSチップ等の説明（主に図1から図4）

図1は本願の各実施の形態の半導体集積回路装置の製造方法における対象デバイスの一例であるCMOSチップの上面レイアウト等を示すウエハ及び半導体チップ上面図である。図2は図1におけるチップ上のチャンネル方向と結晶面方位の関係の一例を示すウエハ及び半導体チップ上面模式図である。図3は図1の半導体チップ上のロジックゲートLGの回路構成の一例を示す回路図である。図4は図1の半導体チップ上のメモリセルMCの回路構成の一例を示す回路図である。これらに基づいて、本願の各実施の形態の半導体集積回路装置の製造方法における対象デバイスの一例であるCMOSチップ等を説明する。

#### 【0046】

図1に示すように、ウエハ工程途中のウエハ1（ここでは、300φシリコン単結晶ウエハを例に取り説明するが、直径は450φでも200φファイでも良い）のデバイス主面1a（第1の主面）には、多数のチップ領域2が形成されている。また、ウエハ1には、その配向を判別するためのノッチ43が設けられている。

#### 【0047】

次に、各チップ2（チップ領域）のレイアウトの詳細を説明する。チップ領域2の周辺部には、多数のボンディングパッド44が設けられており、内部領域にはメモリ回路領域42および演算およびロジック回路領域41（単に「ロジック回路領域」という）が設けられている。

#### 【0048】

ここで、メモリ領域42としては、SRAM（Static Random Access Memory）を例示するが、これに限らず、DRAM（Dynamic Random Access Memory）でもフラッシュメモリでもよい。

#### 【0049】

次に、図2により、ウエハ1の面方位、チップ2の配向、およびMISFET（Q）のチャンネル方向46との関係（「結晶方位関係」という）を説明する。結晶方位関係は、必要に応じて、比較的自由に設定できるが、ここでは、一例として、図2に示すように、デバイス主面1a（第1の主面）の結晶面が（100）面、またはそれと等価な面であり（以下、単に「（100）面」というと、それと等価な面を含む）、ノッチ43の方向が〈100〉方向（それと等価な方向を含む、以下同じ）とする。このようなウエハ1を（100）/〈100〉ウエハと略称する。なお、これ以外に好適なウエハとしては、（100）/〈110〉ウエハ、（100）/〈111〉ウエハ等がある。

#### 【0050】

このような（100）/〈100〉ウエハ1上のチップ2では、通常、MISFET（Q）のチャンネル方向46、すなわち、ゲート電極5を挟んで対向するソースドレイン領域12を結ぶ方向は、チップ2のX軸またはY軸方向に沿っている。もちろん、特別な目的があるときは、これらと異なる配向としても良い。

#### 【0051】

次に、図3及び図4によって、図1のロジック回路領域41およびメモリ回路領域42の回路の具定例を簡単に説明する。ロジック回路領域41内には、たとえば非常に多数の各種の論理ゲートLG（たとえばCMOS-NANDゲート）が設けられている。図3に示すように、論理ゲートLGは、電源端子Vdd（電源ライン）、グランド端子Vss（グランドライン）、単数又は複数の入力端子Din1、Din2、出力端子Dout、ゲートを形成するN型MISFET（Qn）、P型MISFET（Qp）等から構成されている。

10

20

30

40

50

## 【0052】

更に、図4に示すように、メモリ回路領域42（たとえばSRAM）は、マトリクス状に配置された非常に多数のメモリセルMCから構成されている。各メモリセルMCは、たとえば、電源端子V<sub>dd</sub>（電源ライン）、グランド端子V<sub>ss</sub>（グランドライン）、ワードラインWL、一对のビットラインBL、BLB、一对のN型読み出しトランジスタQ<sub>n3</sub>、Q<sub>n4</sub>、一对のN型メモリトランジスタQ<sub>n1</sub>、Q<sub>n2</sub>、一对のP型メモリトランジスタQ<sub>p1</sub>、Q<sub>p2</sub>等から構成されている。

## 【0053】

2. 本願の一実施の形態の半導体集積回路装置の製造方法におけるプロセスフローの説明（主に図5から図22、及び図29及び図30を参照）

以下の例では、28nmテクノロジノードのデバイスを例にとり具体的に説明するが、その他のテクノロジノードのデバイスにも適用できることは言うまでもない。

## 【0054】

図5は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（ゲートスタック加工完了時点）である。図6は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（オフセットスペーサ用窒化シリコン膜成膜時点）である。図7は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（N型ソースドレインエクステンション領域導入時点）である。図8は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（オフセットスペーサ用窒化シリコン膜エッチバック時点）である。図9は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（P型ソースドレインエクステンション領域導入時点）である。図10は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（サイドウォール酸化シリコン膜成膜時点）である。図11は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（サイドウォール窒化シリコン膜成膜時点）である。図12は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（サイドウォール絶縁膜エッチバック時点）である。図13は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（P型高濃度ソースドレイン領域導入時点）である。図14は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（N型高濃度ソースドレイン領域導入時点）である。図15は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（酸素吸収膜成膜&活性化アニール時点）である。図16は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（酸素吸収膜成膜除去時点）である。図17は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（シリサイド化完了時点）である。図18は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（CESL成膜時点）である。図19は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（酸化シリコン系プリメタル絶縁膜成膜時点）である。図20は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（コンタクトホール開口時点）である。図21は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（タングステンプラグ埋め込み完了時点）である。図22は本願の一実施の形態の半導体集積回路装置の製造方法におけるCMISプロセスフローを説明するためのウェハ部分断面図（多層配線完成時点）である。これらに基づいて、本願の一実施の形

10

20

30

40

50

態の半導体集積回路装置の製造方法におけるプロセスフローを説明する。

【0055】

図5に示すように、たとえばP型単結晶シリコンウエハ1の基板部1s（たとえば比抵抗が1から10Ωcm程度）のデバイス面（第1の主面）1a側（裏面1bの反対側）には、STI（Shallow Trench Isolation）領域（酸化物素子分離領域）20で区画されたPウェル領域3pおよびNウェル領域3nが設けられている。Pウェル領域3pが設けられている部分が、N型MISFET領域Rnに対応しており、Nウェル領域3nが設けられている部分が、P型MISFET領域Rpに対応している。N型MISFET領域Rnのデバイス面1a上には、N型MISFETのゲートスタック6nが設けられており、P型MISFET領域Rpのデバイス面1a上には、P型MISFETのゲートスタック6pが設けられている。ここで、STI領域（酸化物素子分離領域）20は、たとえば、通常のドライエッチング、CVD（Chemical Vapor Deposition）等による酸化シリコン系絶縁膜の埋め込み、CMP（Chemical Mechanical Deposition）による平坦化处理等により実行される。

10

【0056】

ゲートスタック6nは、下からゲート絶縁膜4n、ゲート電極5n等から構成されており、ゲート絶縁膜4nは、下から酸化シリコン系膜（酸窒化シリコン膜を含む）等の界面層ゲート絶縁膜4na（例えば、厚さ1nm程度）、ランタン等が添加された酸化ハフニウム系絶縁膜等のHigh-kゲート絶縁膜4nb（例えば、厚さ1.5nm程度）等から構成されており、ゲート電極5nは、下から窒化チタン等のメタルゲート電極5na（例えば、厚さ10nm程度）、ポリSiゲート電極5nb（例えば、厚さ50nm程度）等から構成されている。一方、ゲートスタック6pは、下からゲート絶縁膜4p、ゲート電極5p等から構成されており、ゲート絶縁膜4pは、下から酸化シリコン系膜（酸窒化シリコン膜を含む）等の界面層ゲート絶縁膜4pa（例えば、厚さ1nm程度）、アルミニウム等が添加された酸化ハフニウム系絶縁膜等のHigh-kゲート絶縁膜4pb（例えば、厚さ1.5nm程度）等から構成されており、ゲート電極5pは、下から窒化チタン等のメタルゲート電極5pa（例えば、厚さ10nm程度）、ポリSiゲート電極5pb（例えば、厚さ50nm程度）等から構成されている。ここで、ゲートスタック6n、6pの形成は、熱酸化、ALD（Atomic Layer deposition）、スパッタリング成膜、CVD、異方性ドライエッチング等により実行される。

20

30

【0057】

次に図6に示すように、ウエハ1のデバイス面1aのほぼ全面に、たとえばCVD等により、オフセットスペーサ用窒化シリコン膜7（例えば、厚さ10nm程度）を形成する。

【0058】

次に図7に示すように、通常のリソグラフィにより、P型MISFET領域RpをN型ソースドレインエクステンション領域導入用レジスト膜9で覆った状態で、たとえばイオン注入により、ゲートスタック6nの両側の半導体基板表面に、N型ソースドレインエクステンション領域8nを導入する。ここで、イオン注入条件としては、たとえば、イオン種：As、打ち込みエネルギー：1KeVから10KeV、ドーズ量： $1 \times 10^{15} / \text{cm}^2$ から $9 \times 10^{15} / \text{cm}^2$ ；イオン種：C、打ち込みエネルギー：1KeVから5KeV、ドーズ量： $4 \times 10^{14} / \text{cm}^2$ から $9 \times 10^{14} / \text{cm}^2$ 等を好適なものとして例示することができる。

40

【0059】

その後、不要になったレジスト膜9をアッシング等により除去する。

【0060】

次に図8に示すように、たとえば異方性ドライエッチング等により、窒化シリコン系オフセットスペーサ7を形成する。

【0061】

50

次に図 9 に示すように、通常のリソグラフィにより、N 型 M I S F E T 領域 R n を P 型ソースドレインエクステンション領域導入用レジスト膜 1 0 で覆った状態で、たとえばイオン注入により、ゲートスタック 6 p の両側の半導体基板表面に、P 型ソースドレインエクステンション領域を導入する。ここで、イオン注入条件としては、たとえば、イオン種：B F <sub>2</sub>、打ち込みエネルギー：1 K e V から 5 K e V、ドーズ量： $1 \times 10^{15} / \text{cm}^2$  から  $8 \times 10^{15} / \text{cm}^2$ ；イオン種：C、打ち込みエネルギー：1 K e V から 5 K e V、ドーズ量： $4 \times 10^{14} / \text{cm}^2$  から  $9 \times 10^{14} / \text{cm}^2$  等を好適なものとして例示することができる。

#### 【0062】

その後、不要になったレジスト膜 1 0 をアッシング等により除去する。

10

#### 【0063】

次に図 1 0 に示すように、ウエハ 1 のデバイス面 1 a のほぼ全面に、たとえば C V D 等により、サイドウォール酸化シリコン膜 1 1 a（例えば、厚さ 1 0 n m 程度）を形成する。

#### 【0064】

次に図 1 1 に示すように、ウエハ 1 のデバイス面 1 a のほぼ全面に、たとえば C V D 等により、サイドウォール窒化シリコン膜 1 1 b（例えば、厚さ 2 0 n m 程度）を形成する。サイドウォール酸化シリコン膜 1 1 a とサイドウォール酸化シリコン膜 1 1 a で、サイドウォール絶縁膜 1 1 を構成している。

#### 【0065】

20

次に図 1 2 に示すように、たとえば異方性ドライエッチング等により、酸化シリコン系サイドウォール 1 1 a と窒化シリコン系サイドウォール 1 1 b からなるサイドウォール 1 1 を形成する。ここで、窒化シリコン系オフセットスペーサ 7、サイドウォール絶縁膜 1 1 等から成る構造体をゲート側面構造体 3 2 という。また、ゲートスタック（6 n、6 p）、ゲート側面構造体 3 2 等から成る構造体をゲート構造体 3 3 という。

#### 【0066】

次に図 1 3 に示すように、通常のリソグラフィにより、N 型 M I S F E T 領域 R n を P 型高濃度ソースドレイン領域導入用レジスト膜 1 4 で覆った状態で、たとえばイオン注入により、P 型 M I S F E T のゲート構造体 3 3 の両側の半導体基板表面に、P 型高濃度ソースドレイン領域 1 2 p を導入する。ここで、イオン注入条件としては、たとえば、イオン種：B、打ち込みエネルギー：0. 5 K e V から 2 0 K e V、ドーズ量： $1 \times 10^{15} / \text{cm}^2$  から  $8 \times 10^{15} / \text{cm}^2$  等を好適なものとして例示することができる。

30

#### 【0067】

その後、不要になったレジスト膜 1 4 をアッシング等により除去する。

#### 【0068】

次に図 1 4 に示すように、通常のリソグラフィにより、P 型 M I S F E T 領域 R p を N 型高濃度ソースドレイン領域導入用レジスト膜 1 5 で覆った状態で、たとえばイオン注入により、N 型 M I S F E T のゲート構造体 3 3 の両側の半導体基板表面に、N 型高濃度ソースドレイン領域 1 2 n を導入する。ここで、イオン注入条件としては、たとえば、イオン種：A s、打ち込みエネルギー：2 K e V から 4 0 K e V、ドーズ量： $8 \times 10^{14} / \text{cm}^2$  から  $4 \times 10^{15} / \text{cm}^2$ ；イオン種：P、打ち込みエネルギー：1 0 K e V から 8 0 K e V、ドーズ量： $1 \times 10^{13} / \text{cm}^2$  から  $8 \times 10^{13} / \text{cm}^2$  等を好適なものとして例示することができる。

40

#### 【0069】

その後、不要になったレジスト膜 1 5 をアッシング等により除去する。

#### 【0070】

次に図 1 5 に示すように、ウエハ 1 のデバイス面 1 a のほぼ全面に、たとえば C V D 等により、アモルファス S i 膜（たとえば、厚さ 3 0 n m 程度）等の酸素吸収膜 1 6 を成膜する。酸素吸収膜 1 6 の成膜温度としては、たとえば、摂氏 4 0 0 度から 5 0 0 度を好適なものとして例示することができる（なお、酸素吸収膜 1 6 がポリシリコン膜の場合は、

50

成膜温度は、たとえば、摂氏450度から650度を好適なものとして例示することができる）。なお、酸素吸収膜16の成膜の前に、ウエハ1のデバイス面1aのシリコン表面をたとえば、酸素雰囲気中でのプラズマ酸化処理（アッシング酸化処理）により、第2の酸化シリコン系絶縁膜すなわち1nm程度の薄膜酸化シリコン膜28（「アッシング酸化シリコン膜」という）を形成しておくことが好適である（図29及び図30を参照）。すなわち、酸素吸収膜16の除去の際に、下地のウエハ1のデバイス面1aのシリコン表面にダメージを与えないためである。

#### 【0071】

その後、酸素吸収膜16が形成された状態で、注入された不純物を活性化するための高温アニールを実行する。高温アニールは、たとえば、スパイクRTA（たとえば、摂氏1000度程度で1秒程度）、LSA（Lase Spike Anneal）等の組み合わせを好適なものとして例示することができる。なお、LSAの条件としては、たとえば、摂氏1200度程度で単位スパイクを好適なものとして例示することができる。

#### 【0072】

なお、酸素吸収膜16としては、ポリSi膜（たとえば、厚さ30nm程度）でも良い。しかし、酸素吸収膜16はストレス付与膜としても作用するので、ストレス付与作用については、アモルファスSi膜の方が有利である。

#### 【0073】

次に図16に示すように、酸素吸収膜16を全面除去する。これにより、酸素吸収処理プロセスが完了したことになる。なお、酸素吸収膜16の除去は、たとえば、アンモニア/過酸化水素水溶液等のアルカリ系エッチング液等により、アッシング酸化シリコン膜をエッチストップ膜として、実行する。アッシング酸化シリコン膜は、その後の、弗酸系洗浄液による洗浄によって除去される。

#### 【0074】

次に図17に示すように、通常のリソグラフィにより、ニッケルシリサイド系のシリサイド膜17（たとえばNiPtシリサイド）を必要に応じて、N型高濃度ソースドレイン領域12n、P型高濃度ソースドレイン領域12p、およびゲートスタック6n、6p（ポリSiゲート電極5nb、5pb）上に形成する。

#### 【0075】

次に図18に示すように、ウエハ1のデバイス面1aのほぼ全面に、たとえばCVD等により、コンタクトエッチストップ用窒化シリコン膜18a（たとえば、厚さ25nm程度）を成膜する。

#### 【0076】

次に図19に示すように、ウエハ1のデバイス面1aのほぼ全面に、たとえばCVD等により、コンタクトエッチストップ用窒化シリコン膜18aとともにプリメタル絶縁膜18を構成する酸化シリコン系プリメタル絶縁膜18b（通常、この膜は、コンタクトエッチストップ用窒化シリコン膜18aよりも厚い。たとえば、厚さ200nm程度）を成膜する。その後必要に応じて、CMP等により表面の平坦化を実施する。

#### 【0077】

次に図20に示すように、通常のリソグラフィにより、コンタクトホール19を開口する。

#### 【0078】

次に図21に示すように、コンタクトホール19にタングステンプラグ21等を埋め込む。

#### 【0079】

次に図22に示すように、プリメタル絶縁膜18上に、たとえば、酸化シリコン膜系の第1層配線絶縁膜22を成膜し、銅系埋め込み配線（たとえばシングルダマシン配線）のような第1層埋め込み配線23（もちろん、アルミニウム系の非埋め込み配線や埋め込み配線と非埋め込み配線を層で分けて適用した混合配線を適用しても良い。）を形成する。その後、同様のプロセスを繰り返して、上層多層配線層24（たとえばデュアルダマシン

10

20

30

40

50

配線)、ファイナルパッシベーション膜、ボンディングパッド等を形成する。続いて、ウエハテスト工程、バックグラインディング工程、ダイシング工程等を経て、個々のチップ2となり、必要に応じて、パッケージされて最終のデバイスとなる。

#### 【0080】

3. 本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローの説明(主に図23から図26)

このセクションの例は、セクション2の図15から図16の酸素吸収処理プロセスの変形例1(「付加ストレッサオーバーコート(Stressor Overcoat)方式」という)であり、酸素吸収膜16の副次的作用であるストレス付与効果を高めるために、上方に付加的なストレス付与膜として、窒化シリコン膜等の窒化シリコン系ストレス付与膜を追加したものである。そのため、図5から図22に説明したところは、全く同じであるので、以下では異なる部分すなわち、図15と図16の間のみを説明する。

#### 【0081】

図23は本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図(中間酸化シリコン系薄膜成膜時点)である。図24は本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図(窒化シリコン系ストレッサ膜成膜&活性化アニール時点)である。図25は本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図(窒化シリコン系ストレッサ膜除去時点)である。図26は本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明するためのウエハ部分断面図(中間酸化シリコン系薄膜除去時点)である。これらに基づいて、本願の前記一実施の形態の半導体集積回路装置の製造方法の変形例におけるプロセスフローを説明する。

#### 【0082】

図15に続き、図23に示すように、酸素吸収膜16(酸素吸収用アモルファスSi膜または酸素吸収用ポリSi膜)上のほぼ全面に、たとえばCVD等により、比較的薄い(酸素吸収膜16と比べて薄い)酸化シリコン膜等の中間酸化シリコン系薄膜25(たとえば、厚さ10nm程度)すなわち第1の酸化シリコン系絶縁膜を成膜する。

#### 【0083】

次に、図24に示すように、中間酸化シリコン系薄膜25上のほぼ全面に、たとえばCVD等により、比較的厚い(酸素吸収膜16と比べて厚い)窒化シリコン膜等の窒化シリコン系ストレッサ膜26(たとえば、厚さ30nm程度)を成膜する。

#### 【0084】

その後、酸素吸収膜16、中間酸化シリコン系薄膜25および窒化シリコン系ストレッサ膜26が形成された状態で、注入された不純物を活性化するための高温アニールを実行する。

#### 【0085】

次に、図25に示すように、窒化シリコン系ストレッサ膜26を全面除去する。窒化シリコン系ストレッサ膜26の除去は、たとえば、熱燐酸によるウェット処理等で実行する。

#### 【0086】

次に、図26に示すように、中間酸化シリコン系薄膜25を全面除去する。中間酸化シリコン系薄膜25の除去は、たとえば、弗酸系酸化シリコン膜エッチング液等により、実行する。

#### 【0087】

その後、先と同様に、酸素吸収膜16を全面除去すると、図16の状態となる。なお、酸素吸収膜16の除去は、たとえば、アンモニア/過酸化水素水溶液等のアルカリ系エッチング液等により、アッシング酸化シリコン膜をエッチストップ膜として、実行する。アッシング酸化シリコン膜は、その後の、弗酸系洗浄液による洗浄によって除去される。

#### 【0088】

その後は、先に説明した図 1 6 図以降のプロセス処理を行う。

【0089】

4. 本願の全般及び各実施の形態に対する考察並びに補足的説明（主に図 2 7 から図 3 0）

図 2 7 は H i g h - k ゲート絶縁膜を有する狭チャネル幅 N チャネル型 M I S F E T および S i O N ゲート絶縁膜を有する狭チャネル幅 N チャネル型 M I S F E T の閾値電圧のチャネル幅依存性を示すデータプロット図である。図 2 8 は図 1 のロジックゲート L G 等の N 型 M I S F E T Q n（図 3）及び、その周辺を切り出したデバイス上面拡大図である。図 2 9 は図 2 8 の X - X' 断面に対応するデバイス断面拡大図である。図 3 0 は図 2 8 の Y - Y' 断面に対応するデバイス断面拡大図である。これらに基づいて、本願の全般及び各実施の形態に対する考察並びに補足的説明を行う。

10

【0090】

（1）各実施の形態に共通なメカニズム等の説明：

先に述べたように、高誘電率ゲート絶縁膜を用いた C M I S 型半導体集積回路において、短チャネル長、且つ狭チャネル幅のデバイス領域（「狭チャネル幅領域」という）では、ソースドレイン領域の活性化アニールによって、高誘電率ゲート絶縁膜とシリコン系基板部との界面膜である I L の膜厚が増加することによって、閾値電圧の絶対値が増加するという問題があることが、本願発明者等によって明らかにされた。このことを示したものが、図 2 7 である。図 2 7 に示すように、非 H i g h - k ゲート絶縁膜である酸化シリコン膜（S i O N ゲート絶縁膜）をゲート絶縁膜とする短チャネル長 M I S F E T では、狭チャネル幅領域では、閾値電圧が降下する傾向にあるのに対して、H i g h - k ゲート絶縁膜である H f O 系ゲート絶縁膜の短チャネル長 M I S F E T では、狭チャネル幅領域では、閾値電圧が急速に上昇している。なお、この場合、H i g h - k ゲート絶縁膜は、その下に、界面膜すなわち I L（I n t e r f a c i a l L a y e r）として酸化シリコン膜または酸化シリコン膜等の酸化シリコン膜系下地絶縁膜を有する。

20

【0091】

以下、図 1 5 に対応する N 型 M I S F E T（Q n）を例に取り、原因及び対策を具体的に説明する。すなわち、この原因は、活性化アニール等の高温熱処理（たとえば、摂氏 8 5 0 度以上での熱処理）によって、S T I 領域 2 0（酸化物素子分離領域）中の酸素が、図 3 0 に矢印で示すチャネル端部（アクティブ領域 3 1 の端部）の界面層ゲート絶縁膜 4 n a に到達して、そこの膜厚を増加させるためと考えられる。

30

【0092】

そこで、前記実施の形態では、図 2 8、図 2 9 及び図 3 0 に示すように、高温熱処理の際に、アモルファス S i 膜等の酸素吸収膜 1 6 を近傍に介在させることによって、過剰な酸素を吸収させている。

【0093】

（2）変形例 2（N チャネル側のみ酸素吸収膜適用；主に図 1 5 又は図 2 4 を参照）：

セクション 2 及び 3 の例では、N 型 M I S F E T 領域 R n および P 型 M I S F E T 領域 R p の両方を酸素吸収膜 1 6 で覆ったが、N 型 M I S F E T 領域 R n のみを覆うようにしてもよい。これは、P チャネル側は、比較的酸素導入による界面層ゲート絶縁膜の膜厚増加が少なく、更に P 型 M I S F E T 領域 R p では、酸素が導入される方が、P 型 M I S F E T の閾値電圧の絶対値が低下するからである。

40

【0094】

この場合、セクション 3 の方式（図 2 4）を適用する場合は、酸素吸収膜 1 6、中間酸化シリコン系薄膜 2 5、および窒化シリコン系ストレッサ膜 2 6 の全てを N 型 M I S F E T 領域 R n のみに適用するやり方（第 1 方法）と、酸素吸収膜 1 6 を N 型 M I S F E T 領域 R n のみに適用し、全領域に中間酸化シリコン系薄膜 2 5、および窒化シリコン系ストレッサ膜 2 6 を適用するやり方（第 2 方法）がある。第 1 方法では、不要な酸素供給をしないメリットがあり、第 2 方法では、S M T の効果を N 型 M I S F E T 領域 R n および P 型 M I S F E T 領域 R p の両方で享有できるメリットがある。

50

## 【0095】

(3) 酸素吸収膜の選択（主に図15又は図24を参照）：

図15における酸素吸収膜16の材質として、セクション2及び3の例では、アモルファスSi膜の例を具体的に示したが、これは、ポリSi膜等に比べて、サーマルバジェット（Thermal Budget）の面で有利なほか、ストレス付与効果が大いと考えられるからである。

## 【0096】

しかし、その他の材料として、ポリSi膜のほか、アモルファスSiGe膜、ポリSiGe膜等を好適なものとして例示することができる。ここで、アモルファスSiGe膜とポリSiGe膜との関係は、上で述べたアモルファスSi膜とポリSi膜の関係と同じである。また、SiGe膜とシリコン膜（アモルファスSi膜およびポリSi膜）とでは、熱膨張係数が異なるので、ストレス付与膜としての効果が大いと考えられる。

## 【0097】

## 5. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

## 【0098】

例えば、前記実施の形態では、酸素吸収膜として、アモルファスSi膜やポリSi膜などのシリコン系半導体膜を使用した例を具体的に説明したが、本発明はそれに限定されるものではなく、SiGe系半導体膜、Ge系半導体膜等を使用したものにも適用できることは言うまでもない。

## 【0099】

また、前記実施の形態では、前記実施の形態では、主にゲートファースト（Gate First）方式を例に取り具体的に説明したが、本発明はそれに限定されるものではなく、ゲートラスト（Gate Last）方式にも適用できることは言うまでもない。

## 【符号の説明】

## 【0100】

1 半導体ウェハ

1a 半導体ウェハのデバイス面（第1の主面）

1b 半導体ウェハの裏面（第2の主面）

1s P型単結晶シリコン基板（ウェハのP型基板部）

2 半導体チップ又はチップ領域

3n Nウェル領域

3p Pウェル領域

4n ゲート絶縁膜

4na N型MISFETの界面層ゲート絶縁膜

4nb N型MISFETのHigh-kゲート絶縁膜

4pa P型MISFETの界面層ゲート絶縁膜

4pb P型MISFETのHigh-kゲート絶縁膜

5 MISFETのゲート電極

5n N型MISFETのゲート電極

5na N型MISFETのメタルゲート電極

5nb N型MISFETのポリSiゲート電極

5p P型MISFETのゲート電極

5pa P型MISFETのメタルゲート電極

5pb P型MISFETのポリSiゲート電極

6n N型MISFETのゲートスタック

6p P型MISFETのゲートスタック

7 窒化シリコン系オフセットスペーサ（またはオフセットスペーサ用窒化シリコン膜

10

20

30

40

50

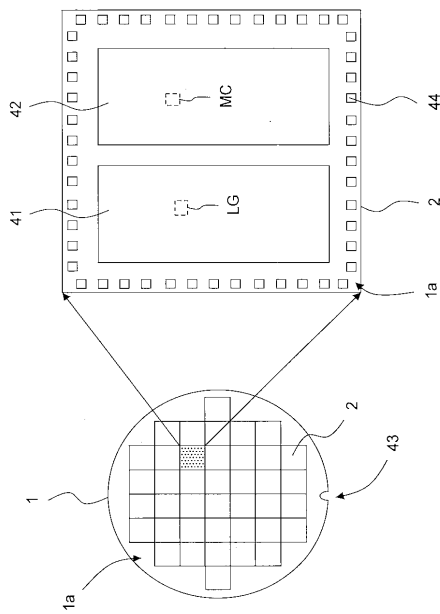
)

|                  |                                          |    |
|------------------|------------------------------------------|----|
| 8 n              | N型ソースドレインエクステンション領域                      |    |
| 8 p              | P型ソースドレインエクステンション領域                      |    |
| 9                | N型ソースドレインエクステンション領域導入用レジスト膜              |    |
| 1 0              | P型ソースドレインエクステンション領域導入用レジスト膜              |    |
| 1 1              | サイドウォール（またはサイドウォール絶縁膜）                   |    |
| 1 1 a            | 酸化シリコン系サイドウォール（またはサイドウォール酸化シリコン膜）        |    |
| 1 1 b            | 窒化シリコン系サイドウォール（またはサイドウォール窒化シリコン膜）        |    |
| 1 2              | M I S F E Tの高濃度ソースドレイン領域                 |    |
| 1 2 n            | N型高濃度ソースドレイン領域                           | 10 |
| 1 2 p            | P型高濃度ソースドレイン領域                           |    |
| 1 4              | P型高濃度ソースドレイン領域導入用レジスト膜                   |    |
| 1 5              | N型高濃度ソースドレイン領域導入用レジスト膜                   |    |
| 1 6              | 酸素吸収膜（酸素吸収用アモルファス S i 膜または酸素吸収用ポリ S i 膜） |    |
| 1 7              | シリサイド層                                   |    |
| 1 8              | プリメタル絶縁膜                                 |    |
| 1 8 a            | コンタクトエッチストップ用窒化シリコン膜                     |    |
| 1 8 b            | 酸化シリコン系プリメタル絶縁膜                          |    |
| 1 9              | コンタクトホール                                 |    |
| 2 0              | S T I 領域（酸化物素子分離領域）                      | 20 |
| 2 1              | タングステンプラグ                                |    |
| 2 2              | 第 1 層配線絶縁膜                               |    |
| 2 3              | 第 1 層埋め込み配線                              |    |
| 2 4              | 上層多層配線層                                  |    |
| 2 5              | 中間酸化シリコン系薄膜（第 1 の酸化シリコン系絶縁膜）             |    |
| 2 6              | 窒化シリコン系ストレス膜                             |    |
| 2 7              | 下地酸化シリコン系薄膜                              |    |
| 2 8              | アッシング酸化シリコン膜（第 2 の酸化シリコン系絶縁膜）            |    |
| 3 1              | アクティブ領域                                  |    |
| 3 2              | ゲート側面構造体（サイドウォールおよびオフセットスペーサ）            | 30 |
| 3 3              | ゲート構造体（ゲートスタックおよびゲート側面構造体）               |    |
| 4 1              | 演算およびロジック回路領域（またはロジック回路領域）               |    |
| 4 2              | メモリ回路領域                                  |    |
| 4 3              | ノッチ                                      |    |
| 4 4              | ボンディングパッド                                |    |
| 4 6              | M I S F E T のチャンネル方向                     |    |
| B L, B L B       | ビットライン                                   |    |
| D i n 1, D i n 2 | 入力端子                                     |    |
| D o u t          | 出力端子                                     |    |
| L G              | ロジックゲート                                  | 40 |
| M C              | メモリセル                                    |    |
| Q                | M I S F E T                              |    |
| Q n              | N型 M I S F E T                           |    |
| Q n 1, Q n 2     | N型メモリトランジスタ                              |    |
| Q n 3, Q n 4     | N型読み出しトランジスタ                             |    |
| Q p              | P型 M I S F E T                           |    |
| Q p 1, Q p 2     | P型メモリトランジスタ                              |    |
| R n              | N型 M I S F E T 領域                        |    |
| R p              | P型 M I S F E T 領域                        |    |
| V d d            | 電源端子（電源ライン）                              | 50 |

VSS グランド端子 (グラウンドライン)  
WL ワードライン

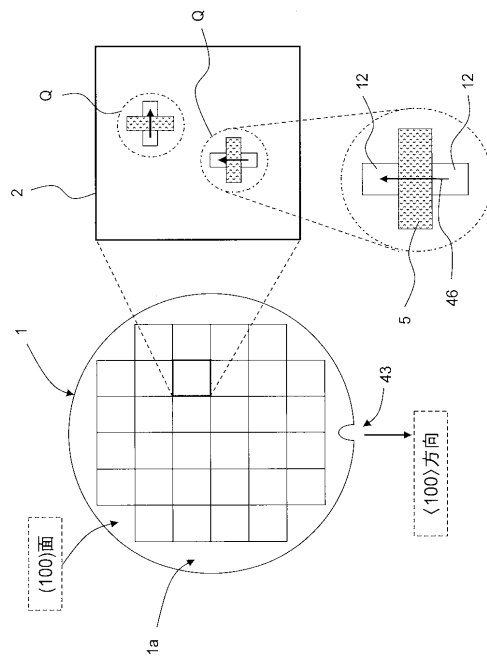
【図 1】

図1



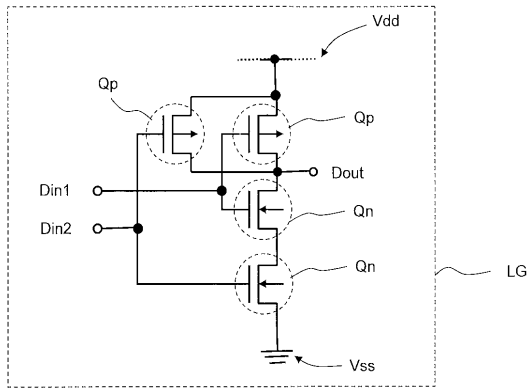
【図 2】

図2



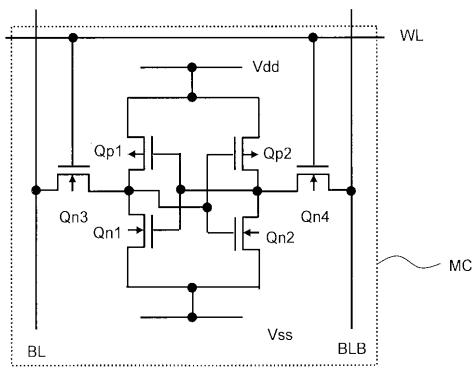
【図 3】

図3



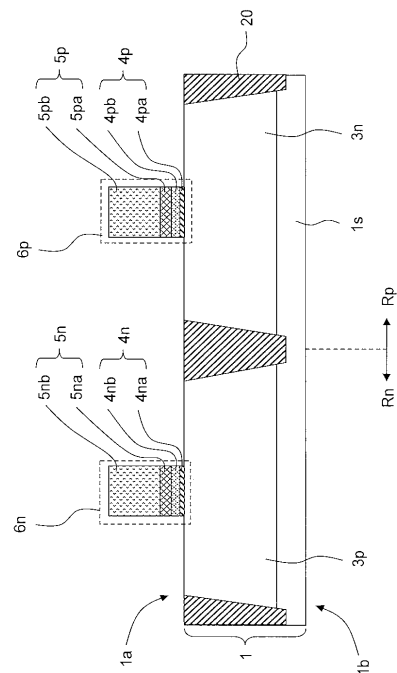
【図 4】

図4



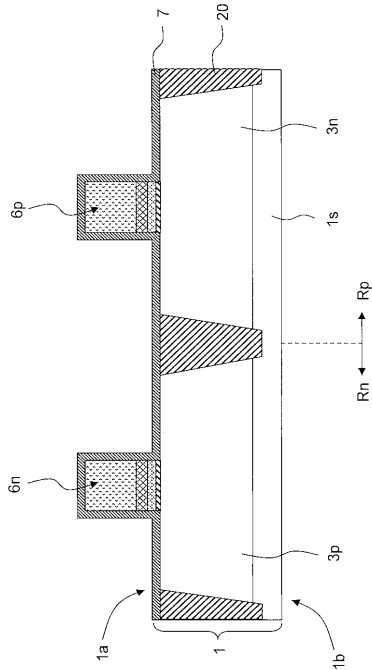
【図 5】

図5



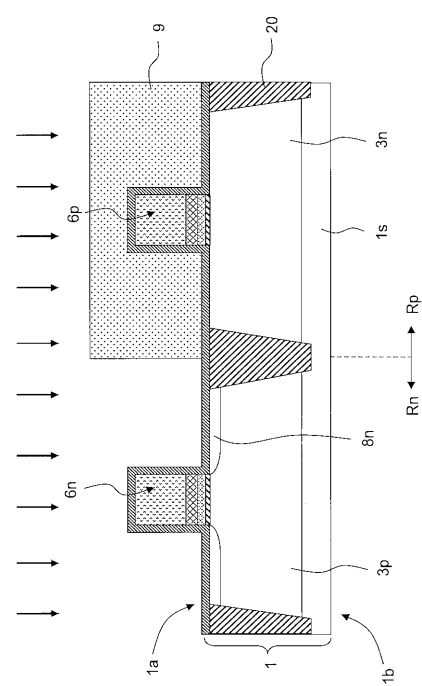
【図 6】

図6



【図 7】

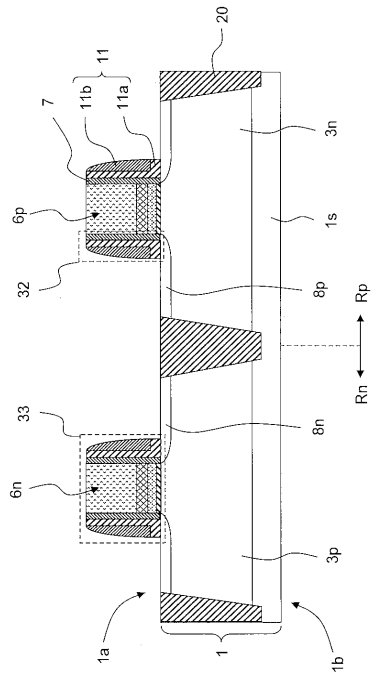
図7





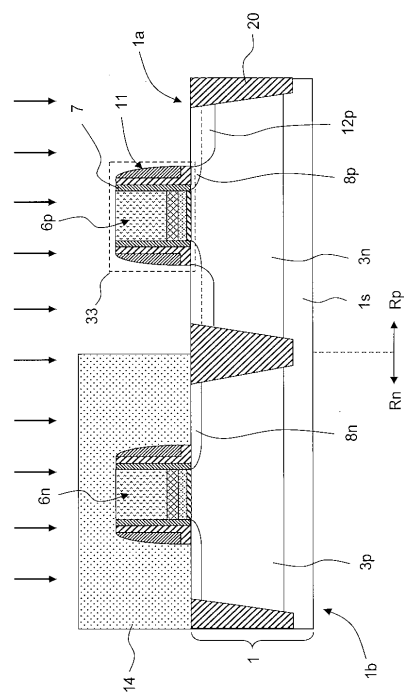
【図 12】

図12



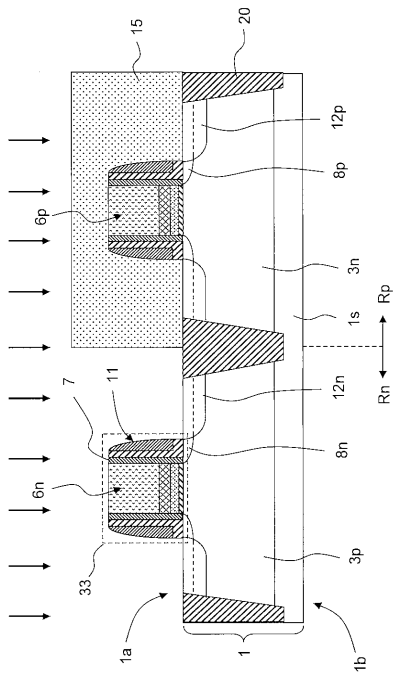
【図 13】

図13



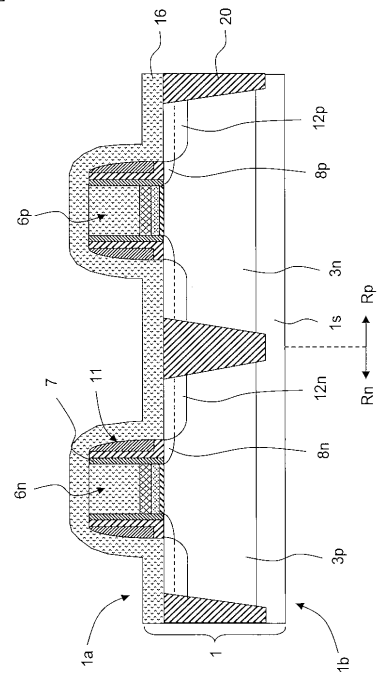
【図 14】

図14



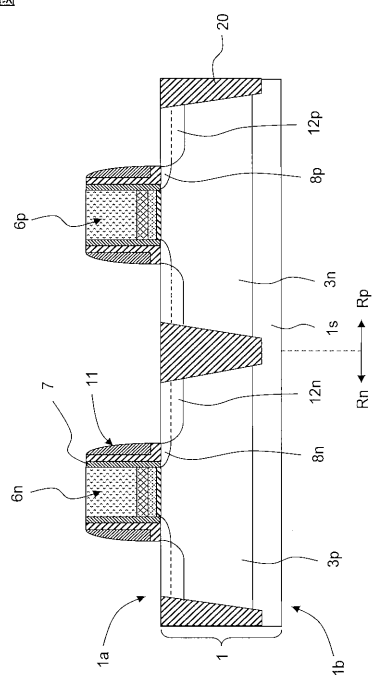
【図 15】

図15



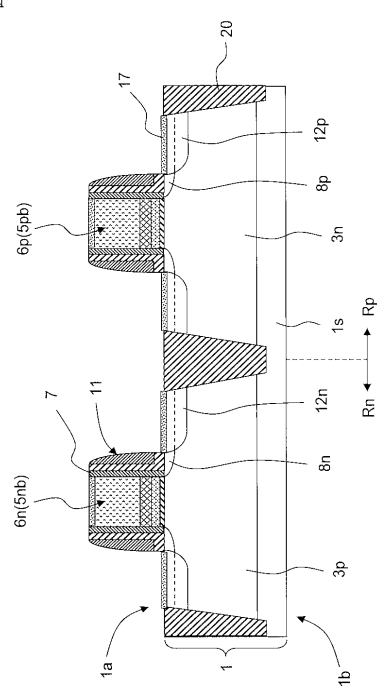
【图 16】

16



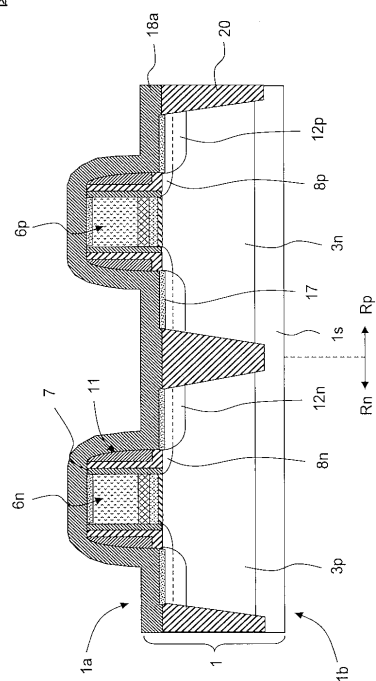
【図 17】

图 17



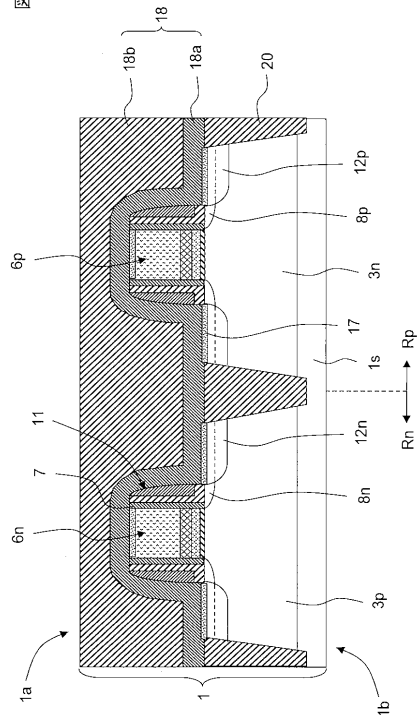
【图 18】

18

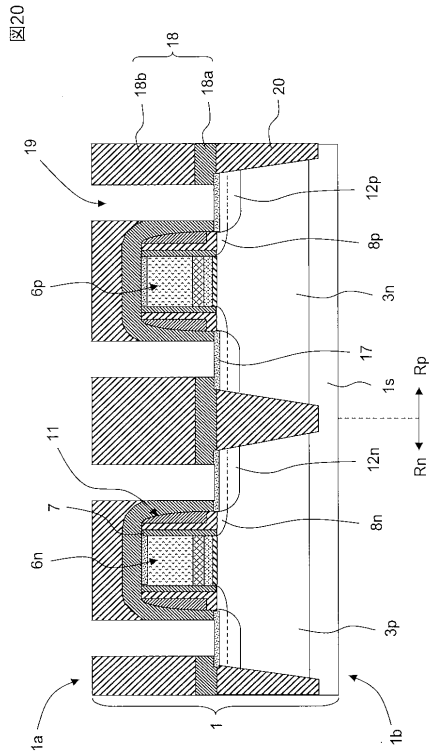


【図 19】

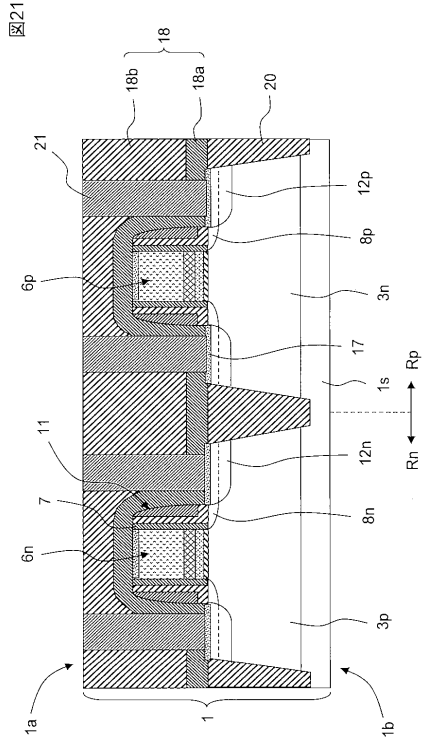
19.



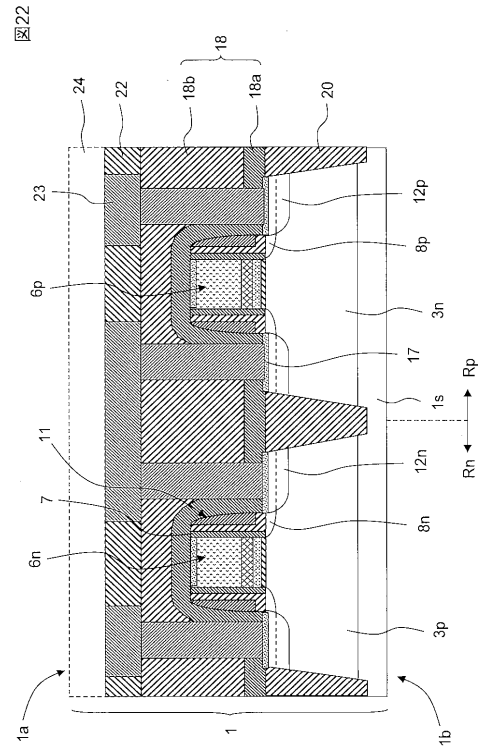
【図 20】



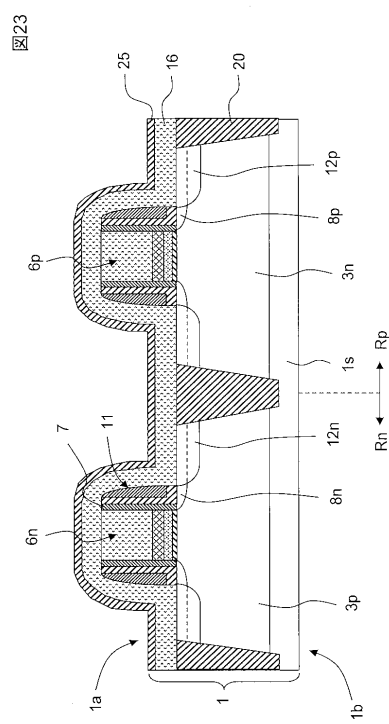
【図 2 1】



【图 2 2】

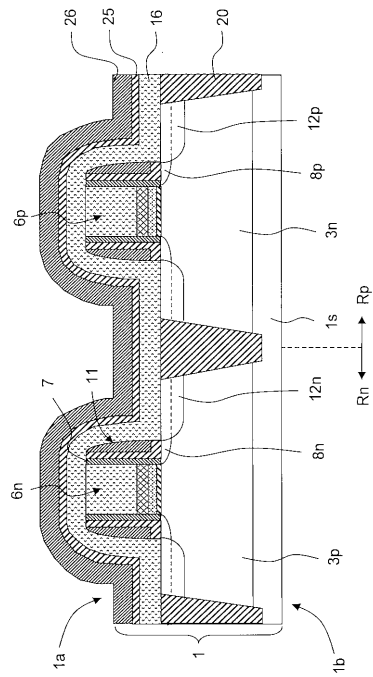


【图 2 3】



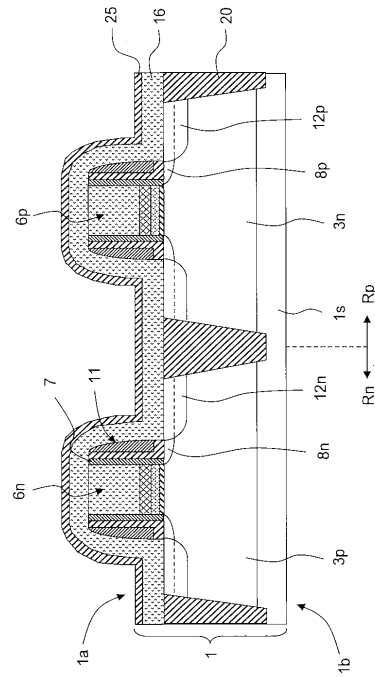
【図 2 4】

図24



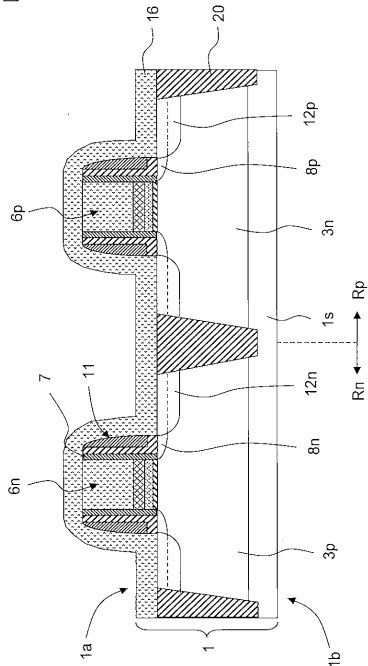
【図 2 5】

図25



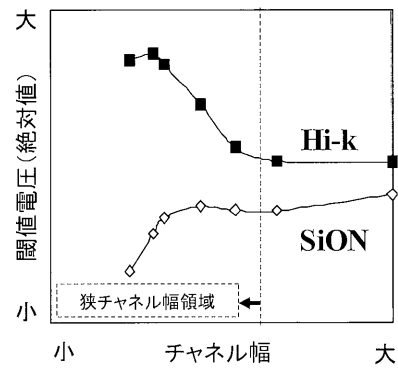
【図 2 6】

図26



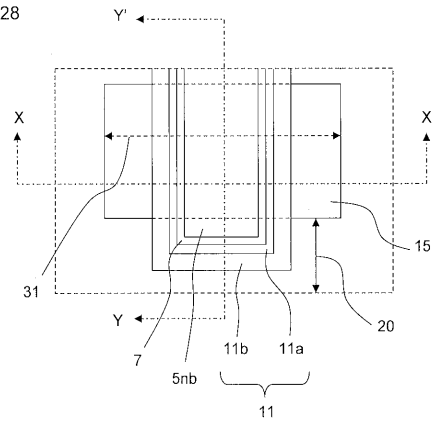
【図 2 7】

図27

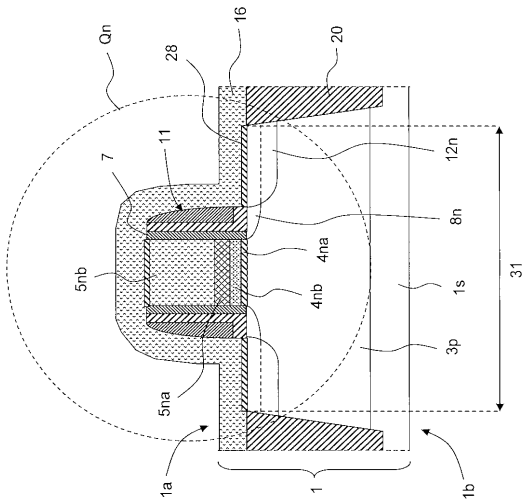


【図 2 8】

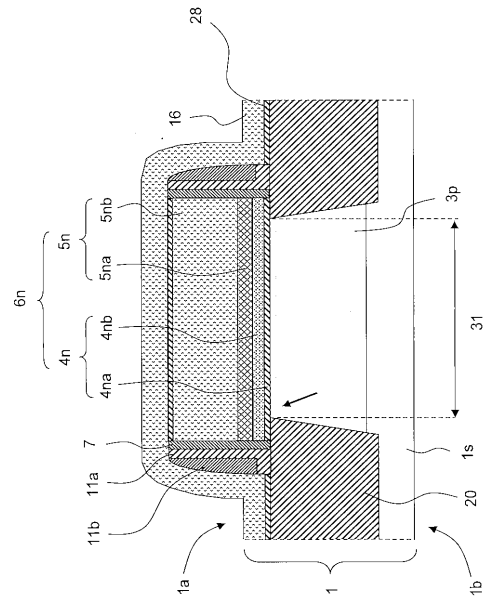
図28



【图 29】



【 図 3 0 】



フロントページの続き

|                                  |  |               |       |             |
|----------------------------------|--|---------------|-------|-------------|
| (51)Int.Cl.                      |  | F I           |       | テーマコード (参考) |
| <b>H O 1 L 21/768 (2006.01)</b>  |  | H O 1 L 27/10 | 4 6 1 |             |
| <b>H O 1 L 27/11 (2006.01)</b>   |  |               |       |             |
| <b>H O 1 L 21/8244 (2006.01)</b> |  |               |       |             |
| <b>H O 1 L 27/10 (2006.01)</b>   |  |               |       |             |

F ターム (参考)

|       |      |      |      |      |      |      |      |      |      |      |
|-------|------|------|------|------|------|------|------|------|------|------|
| 5F033 | HH04 | HH08 | HH11 | HH33 | JJ19 | KK01 | KK25 | KK27 | KK28 | MM01 |
|       | MM05 | MM07 | PP06 | PP15 | QQ08 | QQ09 | QQ16 | QQ25 | QQ37 | QQ48 |
|       | QQ70 | QQ73 | RR04 | RR06 | SS11 | TT08 | VV06 | XX19 | XX20 |      |
| 5F048 | AA07 | AB10 | AC03 | BA01 | BA10 | BB05 | BB08 | BB09 | BB13 | BB14 |
|       | BB17 | BC06 | BE03 | BF07 | BF16 | BG13 |      |      |      |      |
| 5F083 | BS06 | BS18 | BS27 | GA11 | HA08 | JA35 | JA36 | JA39 | JA40 | LA12 |
|       | LA16 | PR33 | ZA12 |      |      |      |      |      |      |      |
| 5F140 | AA00 | AA06 | AB03 | AC32 | AC33 | BA01 | BA20 | BD01 | BD05 | BD07 |
|       | BD09 | BD11 | BD17 | BE07 | BE08 | BE09 | BE10 | BE11 | BF10 | BF13 |
|       | BF14 | BF28 | BG10 | BG12 | BG14 | BG27 | BG28 | BG30 | BG34 | BG38 |
|       | BG52 | BG53 | BH14 | BH49 | BJ08 | BJ11 | BJ17 | BJ27 | BK02 | BK13 |
|       | BK19 | BK21 | BK23 | BK25 | BK34 | CA03 | CA10 | CB04 | CB08 | CC01 |
|       | CC03 | CC05 | CC06 | CC07 | CC08 | CC09 | CC12 | CE07 | CF04 |      |