(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1578201 B
(45)授权公告日 2010.05.26

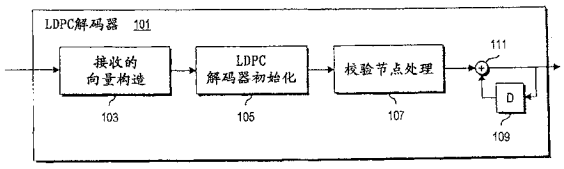
(21)申请号 200410055273.2
(22)申请日 2004.07.02
(30)优先权数据
60/484,988 2003.07.03 US
(73)专利权人 直视集团公司
地址 美国加利福尼亚
(72)发明人 孙凤文 李琳南
穆斯塔法·埃勒兹
(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 李德山
(51)Int.Cl.
H04B 14/04(2006.01)
H04B 1/06(2006.01)
H03M 13/11(2006.01)
H04L 27/32(2006.01)
(56)对比文件
US 2003033575 A1,2003.02.13, 全文.
US 6473010 B1,2002.10.29, 全文.
审查员 王春艳
权利要求书 2 页 说明书 6 页 附图 5 页

(54)发明名称

用于发送和接收低密度奇偶校验码的方法和设备

(57)摘要

提供一种用于支持将低密度奇偶校验(LDPC)编码信号的广播发送的方法。接收机包括配置成将LDPC信号进行解码以输出解码信号的解码器(101)。所述解码器(101)进一步配置成作为编码器操作:同样,通过所述编码器重新编码所述接收的解码信号来执行消除干扰。上述方法特别适合于卫星广播系统。



CN 1578201 B

1. 一种用于支持将低密度奇偶校验 LDPC 编码后的信号广播发送到多个接收机的方法，所述方法包括：

利用其中一个所述接收机接收输入的 LDPC 编码后的信号，所述的其中一个接收机包括 LDPC 解码器；以及

利用所述 LDPC 解码器对所述输入的 LDPC 编码后的信号进行编码，以输出编码后的 LDPC 信号。

2. 根据权利要求 1 所述的方法，进一步包括：所述 LDPC 解码器 (101) 对所述 LDPC 信号进行解码，以输出解码后的 LDPC 信号。

3. 根据权利要求 2 所述的方法，其中所述输入的 LDPC 编码后的信号是所述解码后的 LDPC 信号，并且所述编码后的 LDPC 信号用于对所述接收到的 LDPC 信号进行干扰消除。

4. 根据权利要求 2 所述的方法，其中所述解码和编码步骤被同时执行。

5. 根据权利要求 4 所述的方法，进一步包括：

基于所述解码后的信号的头 k 个信息位，构造接收向量；以及

利用所述接收向量，初始化所述 LDPC 解码器。

6. 根据权利要求 5 所述的方法，其中所述接收向量的长度是 n，并且根据与逻辑零值相关联的信道位的似然比的最大值，初始化 n-k 个比特。

7. 根据权利更求 5 所述的方法，其中所述接收向量的长度是 n，以及根据与空值相关联的信道位的似然比的最大值，初始化 n-k 个比特。

8. 根据权利要求 1 所述的方法，其中通过卫星链路接收所述 LDPC 信号。

9. 根据权利要求 1 所述的方法，其中所述 LDPC 编码信号根据信号构象调制，所述信号构象包括：8-PSK、16-QAM、16-APSK、32-APSK 以及 QPSK 中的一个。

10. 一种用于接收低密度奇偶校验 LDPC 编码后的信号的广播发送的接收器设备，所述设备包括：

用于通过其中一个接收机接收输入的 LDPC 编码后的信号的装置，所述其中一个接收机包括 LDPC 解码器；以及

LDPC 解码器，配置成将所述输入的 LDPC 编码后的信号进行编码，以输出编码后的 LDPC 信号。

11. 根据权利要求 10 所述的设备，进一步包括：所述 LDPC 解码器将所述 LDPC 信号解码以输出解码后的 LDPC 信号。

12. 根据权利要求 11 所述的设备，其中所述输入的 LDPC 编码后的信号是所述解码后的 LDPC 信号，并且所述编码后的 LDPC 信号用于对所述接收到的 LDPC 信号进行干扰消除。

13. 根据权利要求 11 所述的设备，其中所述 LDPC 解码器同时执行所述解码和编码。

14. 根据权利要求 11 所述的设备，其中所述 LDPC 解码器进一步配置成基于所述解码后的信号的头 k 个信息位构造接收向量，并且利用所述接收向量初始化所述 LDPC 解码器。

15. 根据权利要求 14 所述的设备，其中所述的接收向量长度是 n，并且限据与逻辑零值相关联的信道位的似然比的最大值，初始化所述 n-k 个比特。

16. 根据权利要求 14 所述的设备，其中所述接收向量长度是 n，以及根据与空值相关联的信道位的似然比的最大值，初始化 n-k 个比特。

17. 根据权利要求 10 所述的设备，其中通过在卫星链路接收所述 LDPC 信号。

18. 根据权利要求 10 所述的设备，其中所述 LDPC 编码后的信号根据信号构象调制，所述信号构象包括 ：8-PSK、16-QAM、16-APSK、32-APSK 以及 QPSK 中的一个。

19. 一种用于生成低密度奇偶校验 LDPC 码的解码器，所述解码器包括 ：

配置成将接收到的 LDPC 编码后的信号进行解码的处理器 ；以及

其中所述处理器进一步配置成将所述解码后的 LDPC 信号进行编码，以对所述接收到的 LDPC 编码后的信号进行干扰消除。

用于发送和接收低密度奇偶校验码的方法和设备

技术领域

[0001] 本发明涉及通信系统，尤其涉及编码系统。

背景技术

[0002] 通信系统使用编码来确保通过噪声通信信道的可靠通信。这些通信信道展示出固定的容量，该固定的容量可根据在某一信噪比 (SNR) 上的每符号位数表示，由此定义理论的上限值（称为香农 (Shannon) 极限）。结果，编码设计的目标是达到逼近该香农极限的速率。一种逼近香农极限的编码类是低密度奇偶校验 (LDPC) 码。

[0003] 由于存在许多弊端，传统的 LDPC 码还没有广泛应用。一个弊端是 LDPC 编码技术非常复杂。使用其生成矩阵将 LDPC 码进行编码需要存储一个很大的非稀疏矩阵。此外，LDPC 码需要大块是有效的；因此，即使 LDPC 码的奇偶校验矩阵是稀疏的，存储这些矩阵也是有困难的。

[0004] 从实现的观点来看，面临很多挑战。例如，存储是 LDPC 码尚未广泛实施的重要原因。同样，在 LDPC 码实现上的关键挑战是怎样实现解码器中的几个处理引擎（节点）之间的连接网络。此外，解码过程中的计算负荷，特别是校验节点操作，面临困难。

[0005] 例如，在广播应用中，由于利用接收机的参差调谐量，来源于对包括 LDPC 解码器的接收机硬件的任何成本影响是深远的。

[0006] 另一方面，在一些诸如卫星广播应用的应用中，所需发射机的数量相对较少。这导致发射机的成本比接收机高很多。

[0007] 因此，需要配置一种标准的接收机来执行编码操作。这样，发射机可以享受到接收机的经济性。

发明内容

[0008] 这些和其他需要由本发明提出，其中，提供一种通过使用 LDPC 解码器部件执行低密度奇偶校验 (LDPC) 编码的方法。在一个实施例中，n-K 个比特根据与逻辑 0 值相关联的信道比特的似然比的最大值被初始化。上述方法通过共享现有的 LDPC 解码器硬件有利地提供编码能力，从而以最小的成本来增强接收机的功能。由于 LDPC 解码器可以使用并行处理引擎的多重性，该 LDPC 解码器可以利用这些资源来提供快速有效的编码。同样，上述方案有利地消除在该接收机中构造用于该编码器的专用硬件的需要。这在涉及数百万个接收机的部署的卫星广播应用中能提供明显的成本节省。

[0009] 相据本发明实施例的一方面，披露一种用于支持低密度奇偶校验 (LDPC) 编码信号广播发送到多个接收机的方法。该方法包括通过其中一个包括 LDPC 解码器的接收机接收输入信号。该方法还包括通过该 LDPC 解码器对输入信号进行编码以输出编码的信号。

[0010] 根据本发明实施例的另一方面，披露一种用于接收低密度奇偶校验编码信号的广播发送的设备。该设备包括通过其中一个包括 LDPC 解码器的接收机接收输入信号的装置。该设备还包括一个配置为对输入信号进行编码以输出编码的信号的 LDPC 解码器。

[0011] 根据本发明实施例的又一方面，披露一个用于产生低密度奇偶校验码的 LDPC 解码器。该 LDPC 解码器包括一个被配置为将接收的 LDPC 编码信号进行解码的处理器。该处理器进一步配置成对编码信号进行解码用于对接收的 LDPC 编码信号的干扰消除。

[0012] 根据本发明的一个方面，提供了一种用于支持将低密度奇偶校验 LDPC 编码后的信号广播发送到多个接收机的方法，所述方法包括：

[0013] 利用其中一个所述接收机接收输入的 LDPC 编码后的信号，所述的其中一个接收机包括 LDPC 解码器；以及

[0014] 利用所述 LDPC 解码器对所述输入的 LDPC 编码后的信号进行编码，以输出编码后的 LDPC 信号。

[0015] 根据本发明的另一个方面，提供了一种用于接收低密度奇偶校验 LDPC 编码后的信号的广播发送的接收器设备，所述设备包括：

[0016] 用于通过其中一个接收机接收输入的 LDPC 编码后的信号的装置，所述其中一个接收机包括 LDPC 解码器；以及

[0017] LDPC 解码器，配置成将所述输入的 LDPC 编码后的信号进行编码，以输出编码后的 LDPC 信号。

[0018] 根据本发明的再一个方面，提供了一种用于生成低密度奇偶校验 LDPC 码的 LDPC 解码器，所述 LDPC 解码器包括：

[0019] 配置成将接收到的 LDPC 编码信号进行解码的处理器；以及

[0020] 其中所述处理器进一步配置成将所述解码后的 LDPC 信号进行编码，以对所述接收到的 LDPC 编码信号进行干扰消除。

[0021] 仅仅通过示意包括预计用于实现本发明的最好模式的多个特定实施例和实现，本发明的其他方面、特征和优点从下面详细的描述中更加明显。本发明还具有其他的不同的实施例，以及它的多个细节在各种显而易见的方面可以改进，所有这些没有脱离本发明的精神和范围。所以，附图和说明书认为本质上是示意，而不是限制。

附图说明

[0022] 在附图中，本发明通过举例而不是限定的方式来描述，附图中的相同附图标记指示类似单元，其中：

[0023] 图 1 是根据本发明实施例的能够执行 LDPC 编码的 LDPC 解码器原理图；

[0024] 图 2 是根据本发明实施例的稀疏奇偶校验矩阵图；

[0025] 图 3 是图 2 所示矩阵的 LDPC 码的偶图 (bipartite graph)；

[0026] 图 4 是根据本发明实施例的稀疏奇偶校验矩阵的子矩阵图，其中该子矩阵包含限定于低三角区的奇偶校验值；

[0027] 图 5 是根据本发明实施例的图 1 所示的用于编码数据的 LDPC 解码器的操作的流程图；

[0028] 图 6 是根据本发明实施例的图 1 所示的用于编码数据的 LDPC 解码器的修改操作的流程图；以及

[0029] 图 7 是根据本发明实施例的可以执行编码和解码 LDPC 码处理的计算机系统图。

具体实施方式

[0030] 描述对低密度奇偶校验 (LDPC) 码进行有效编码的系统、方法以及软件。在下面描述中，为了解释的目的，描述大量具体细节以提供对本发明的全面理解。然而，本领域的技术人员显然知道本发明在没有这些具体细节或有等同方案的情况下可以实施。其他情况下，已知的结构和装置以框图的形式示出以避免不必要地模糊本发明。

[0031] 图 1 是根据本发明实施例的能够执行 LDPC 编码的低密度奇偶校验 (LDPC) 解码器的原理图。通常，LDPC 编码过程包括在接收机处从信息源接收输入并输出适于纠错处理的高冗余的编码数据流。举例来说，该信息源从离散的字母表 X 中生成 k 信号。LDPC 码由奇偶校验矩阵指定。另一方面，对 LDPC 码进行编码通常需要指定生成矩阵。即使可能通过使用高斯 (Gaussian) 消除从奇偶校验矩阵中获得生成矩阵，但产生的矩阵不再稀疏以及存储大的生成矩阵是复杂的。

[0032] LDPC 编码过程使用简单编码技术从字母 Y 产生信号到调制器，所述简单编码技术通过将结构加到奇偶校验矩阵上仅仅使用该奇偶校验矩阵。具体地，通过约束矩阵的某个部分为三角形，而将限定置于奇偶校验矩阵上。这种奇偶校验矩阵的构造在图 4 中充分描述。这种限定导致产生可忽略不计的性能损耗，因此，构成有吸引力的折衷。

[0033] 正如所示出的，由 LDPC 解码器 101 支持 LDPC 编码处理的功能组件包括接收的向量构造模块 103、LDPC 解码器初始化模块 105 和校验节点处理模块 107。该校验节点处理模块 107 输出到计算存储在寄存器 109 的先前输出之和的加法器 111。这些模块 103、105、107 以协同操作编码新的信息或重编码接收的数据流（如同在干扰消除应用中一样）。这个过程将参考图 5 和图 6 更详细描述。

[0034] 为了理解本发明提供的优点，建议仔细观察如下描述的 LDPC 码是怎样产生的。

[0035] 图 2 是根据本发明实施例的稀疏奇偶校验矩阵图。LDPC 码是具有稀疏奇偶校验矩阵 $H_{(n-k)xn}$ 的长的、线性块码。通常，该块的长度 n 的范围从数千比特到好几万比特。例如，长度 n ＝ 8 和比率为 1/2 的 LDPC 码的奇偶校验矩阵在图 2 中描述。相同的码用每图 3 中的偶图等同表示。

[0036] 图 3 是图 2 所示矩阵的 LDPC 码的偶图。奇偶校验等式表明，对于每个校验节点，所有相邻的比特节点的总和 (GF（伽罗瓦域）(2) 上）等于 0。如附图中所示，根据预定的关系，比特节点占了图的左边并与一个或多个校验节点反复地相关联。例如，对应校验节点 m_1，下面关于比特节点的表达式存在：$n_1+n_4+n_5+n_8 = 0$

[0037] 返回到图 1 的实例，LDPC 解码器 101 被认为是消息传递解码器，其中，LDPC 解码器 101 的目的是找到比特节点的值。为了完成这个任务，比特节点和校验节点反复地互相通信。这种通信的特性在下面描述。

[0038] 从校验节点到比特节点，每个校验节点基于来自其他相邻比特节点的信息，给相邻比特节点提供一个关于那个比特节点的值的估计（“看法”）。例如，在上面的例子中，如果对于 m_1，n_4，n_5 和 n_8 的总和“看似”0，那么 m_1 指示 n_1，n_1 的值肯定是 0（因为 $n_1+n_4+n_5+n_8 = 0$）；否则 m_1 指示 n_1，n_1 的值肯定是 1。此外，对于软判决解码，能增加可靠性量度。

[0039] 从比特节点到校验节点，每个比特节点基于来自其其他相邻校验节点的反馈，传递给相邻校验节点有关其自己的值的估计。在上面例子中，n_1 仅有两个相邻校验节点 m_1 和 m_3。如果来自 m_3 到 n_1 的反馈显示 n_1 的值大概是 0，则 n_1 将通知 m_1，n_1 自己的估计值是 0。

对于比特节点具有多于 2 个相邻校验节点的情况，在汇报那个决定给其通信的校验节点之前，该比特节点根据来自于其他相邻校验节点的反馈来执行多数表决（软判决）。上述过程一直重复直到所有的比特节点被认为是正确的（也就是，所有奇偶校验等式都满足），或者直到达到预定的迭代的最大次数，由此宣布一个解码故障。

[0040] 图 4 是根据本发明实施例的稀疏奇偶校验矩阵的子矩阵图，其中该子矩阵包括限定于低三角区的奇偶校验值。如前所述，LDPC 编码过程通过限定奇偶校验矩阵的低三角区的值能使用一种简单的编码技术。根据本发明的实施例，强加于奇偶校验矩阵的限定为以下形式：

[0041] $H_{(n-k)xn} = [A_{(n-k)xk} B_{(n-k)x(n-k)}]$，其中 B 是低三角.

[0042] 任何信息块 $i = (i_0, i_1, \ldots, i_{k-1})$，通过使用 $Hc^T = 0$ 以及递归解出奇偶位被编码成码字 $c = (i_0, i_1, \ldots, i_{k-1}, p_0, p_1, \ldots, p_{n-k-1})$；例如

[0043]

$$a_{00} i_0 + a_{01} i_1 + \ldots + a_{0,k-1} i_{k-1} + p_0 = 0 \Rightarrow 解 p_0$$

[0044] $a_{10} i_0 + a_{11} i_1 + \ldots + a_{1,k-1} i_{k-1} + b_{10} p_0 + p_1 = 0 \Rightarrow 解 p_1$，以及同样用于 $p_2, p_3, \ldots, p_{n-k-1}$.

[0045] 由于 LDPC 解码器 101 可以实现为一个高度并行系统，使用硬件来解码的合理设计的编码器在处理时间方面是十分有效的。因此，编码过程在没有影响正常解码操作的情况下可以“窃取”时钟周期。在硬件成本方面，通过有利地调节解码器硬件的编码只给 LDPC 解码器 101 增加少许或者没有额外的成本。

[0046] 为了解释的目的，尽管本发明的方法可以应用到其他 LDPC 码，关注的焦点是 LDPC 码（图 4 描述的）的一个特定族。根据矩阵运算的形式延续代码集，奇偶位的计算表达如下：

[0047] $\overline{P} = B^{-1} A \bar{i}$。

[0048] 编码通过执行上面的矩阵乘法来完成。这种编码过程适用于 LDPC 解码器 101。为了解释的目的，假设 LDPC 由信任的传播解码。

[0049] 两种情况可以考虑：第一种情况包括使用 LDPC 解码器 101 的硬件来编码通常任何信息（图 5 和图 6）；以及第二种情况涉及重编码被同一硬件解码的数据。原则上，第二种情况是第一种情况的特殊情况，因此，其处理正好与第一种情况相同。可选地，关注对于第二种情况处理的某些优点不同于仅将这种情况视为先前方法的具体情况。

[0050] 图 5 是根据本发明实施例的图 1 所示用于编码数据的 LDPC 解码器的操作流程图。应当认识到，任何硬件的实现必须使用有限的精度。因此，定义如下：令分别为一个特定信道比特的似然比的最大值的 POSINF 和 NEGINF 取 1 或 -1（分别是逻辑 0 或 1）。第一种情况的编码算法如下。

[0051] 在步骤 501，LDPC 解码器 101，每模块 103，从将被编码的 k 信息位构造一个“接收向量”，使得头 k 个接收值从 k 信息位映射，逻辑 0 映射到 POSINF 和逻辑 1 映射到 NEGINF。最后 n-k 个接收值也波初始化为 POSINF。接下来，如步骤 503，通过执行 LDPC 解码器 101 的正常初始化，LDPC 解码器 101 被模块 105 用该构造向量（所有边的值）初始化。

[0052] 在步骤 505 中，对于第 i 个校验节点，校验节点处理引擎 107 计算下面：$d_i = g(e_{1,i}, e_{2,i}, \ldots, e_{v_i - 1})$，

[0053] 其中 v_i 是连接到第 i 个校验节点的边数。在没有失去一般性的情况下，假定 e_{v_i} 是

连接到对应于一个非信息位（奇偶校验位）的比特节点的边。

[0054] 接下来，如步骤507，LDPC解码器101执行硬判决$\bar{d}=(d_o,...,d_{n-k-1})$到一个二进位向$\bar{b}=(b_0,...,b_{n-k-1})$。最后的奇偶校验$\bar{P}$则计算如下（步骤509）：

[0055] $$P_i=\sum_{m=n}^{i}\oplus b_m$$

[0056] 从上面的过程来看，观察到，利用LDPC解码器101的一个迭代的计算时间，编码过程也可以由LDPC解码器101完成。假定LDPC解码器101通常需要迭代至少数十次迭代来对大多数码进行解码的事实，执行编码的时间是用于解码一个典型LDPC帧的时间的相对小的部分。

[0057] 图6是根据本发明实施例的图1所示的用于编码数据的LDPC解码器的改进操作的流程图。该改进的过程类似于图5的过程；然而，在步骤601，最后n-k个接收值被初始化为“DON’T CARE”（或空值）而不是POSNF。步骤603-609对应于步骤503-509，因此不再描述。

[0058] 图7示出了根据本发明实施例可以在其上实现的计算机系统。计算机系统700包括总线701或其他用于传输信息的通信机制，和耦合到总线701用来处理信息的处理器703。计算机系统也700还包括如随机存取存储器（RAM）或其他动态存储设备的主存储器705，该存储器耦合到总线701用于存储信息和被处理器703执行的指令。在被处理器703执行的指令的执行期间主存储器705也可用来存储临时变量或其他中间信息。计算机系统700进一步包括只读存储器（ROM）707或其他耦合到总线701用来存储静态信息和用于处理器703的指令的静态存储设备。诸如磁盘或光盘的存储设备709被另外耦合到总线701中用来存储信息和指令。

[0059] 计算机系统700经由总线701耦合到显示器711，如：阴极射线管（CRT）、液晶显示器、有源矩阵显示器或等离子显示器，用来向计算机用户显示信息。诸如包括字母数字键和其他键的键盘的输入设备713耦合到总线701用于传输信息和命令选择到处理器703。另一类型的用户输入设备是光标控制器715，如：鼠标、跟踪球或光标指示键，用于传输指示信息和命令选择到处理器703并用于控制显示器711上的光标移动。

[0060] 根据本发明的一个实施例，响应于处理器703执行包含在主存储器705中的指令的方案，计算机系统700提供LDPC码的产生。这些指令可以从另一个诸如存储设备709的计算机可读介质中读到主存储器705中。包含在主存储器705中的指令的方案的执行导致处理器703执行在此描述的处理步骤。多处理方案中的一个或多个处理器也可用来执行包含在主存储器705中的指令。在可选实施例中，硬线电路可以用来取代软件指令或与软件指令结合来实现本发明的实施例。因此，本发明的实施例不局限于任何具体的硬件电路和软件的组合。

[0061] 计算机系统700也包括耦合到总线701的通信接口717。该通信接口717提供一个与网络链路719耦合的双向数据通信，该网络链路719连接到局域网721。例如，该通信接口717可以是数字用户线（DSL）卡或调制解调器、综合业务数字网（ISDN）卡、电缆调制解调器或电话调制解调器，以提供一个到相应类型电话线的数据通信连接。作为另一个例子，通信接口717可以是局域网（LAN）卡（如：以太网™或异步传输模式（ATM）网络），来提

供一个到兼容 LAN 的数据通信连接。无线链路也可以实现。在任何这种实现中，通信接口 717 发送和接收电、电磁或光信号，这些信号携带表示不同类型信息的数字数据流。此外，该通信接口 717 可以包括外围接口设备，如：通用串行总线 (USB) 接口、PCMCIA（个人计算机存储卡国际联合会）接口等等。

[0062] 网络链路 719 典型地通过一个或多个网络为其他数据设备提供数据通信。例如，网络链路 719 可通过局域网 721 提供到主机 723 的连接，其中局域网具有一个到网络 725（如广域网 (WAN) 或现在通常称为“因特网”的全球分组数据通信网络）或到被服务提供者操作的数据装置的连通性。局域网 721 和网络 725 都用电、电磁或光信号来输送信息和指令。通过各种网络的信号以及在网络链路 719 上和通过通信接口 717 的信号，与计算机系统 700 交换数字数据，是承载信息和指令的载波的示例形式。

[0063] 计算机系统 700 可以通过网络、网络链路 719 和通信接口 717 来发送和接收包括程序代码的消息和数据。在因特网例子中，服务器（未示出）通过网络 725、局域网 721 和通信接口 717，可以发送请求的编码，该编码属于用来执行本发明实施例的应用程序。当编码接收到时，处理器 703 可以执行发送的编码和 / 或将编码存储在存储设备 709 或其他非易失性存储器中用来以后执行。如此，计算机系统 700 可以获得载波形式的应用编码。

[0064] 术语“计算机可读介质”用在这儿指的是参与提供指令给处理器 703 用来执行的任何介质。这种介质可以有很多形式，包括但不限于非易失介质、易失介质和传输介质。非易失介质包括：如光盘或磁盘，例如存储设备 709。易失介质包括诸如主存储器 705 的动态存储器。传输介质包括同轴电缆、铜线和光纤、包括包含总线 701 的线路。传输介质也可以呈现声波、光波或电磁波的形式，例如那些在射频 (RF) 和红外 (IR) 数据通信期间产生的中磁波。计算机可读介质通常的形式包括：例如：软盘、软磁盘、硬盘、磁带、任何其他磁介质、CD-ROM、CDRW、DVD、任何其他光介质、穿孔卡、纸带、光标记片、任何其他具有孔式样的或其他光学识别的标记的物理介质、RAM、PROM、EPROM、FLASH-EPROM、任何其他存储芯片或盒、载波、或任何计算机能读的介质。

[0065] 计算机可读介质的各种形式包含给处理器提供用来执行的指令。例如，用于执行本发明的至少部分的指令最初承载在远程计算机的磁盘上。在这种方案中，远程计算机将指令加载到主存储器中并通过使用调制解调器在电话线上发送指令。本地计算机系统的调制解调器接收电话线上的数据并使用红外发射机将数据转换成红外信号然后发送该红外信号到便携式计算设备上，例如：个人数字助理 (PDA) 和膝上电脑。便携式计算设备上的红外检测器接收红外信号承载的信息和指令并将数据放到总线上。总线将数据传输到主存储器，处理器从存储器中检索指令并执行该指令。主存储器接收到的指令在被处理器执行前或执行后随意地存储在存储设备中。

[0066] 因此，本发明的各种实施例提供一种用于支持将低密度奇偶校验 (LDPC) 编码的信号广播发送到多个接收机的方法。接收机包括一个 LDPC 解码器，该 LDPC 解码器将 LDPC 信号解码以输出解码的信号以及编码输入信号。该输入信号可以是解码信号，由此所述重编码的信号用于干扰消除。上述方法有利地避免了在接收机中配置一个单独、专用的编码器。

[0067] 虽然本发明结合许多实施例和实施方案进行描述，然而本发明不受这些限制，而是包括所附权利要求书范围内的各种明显的修改和等同方案。

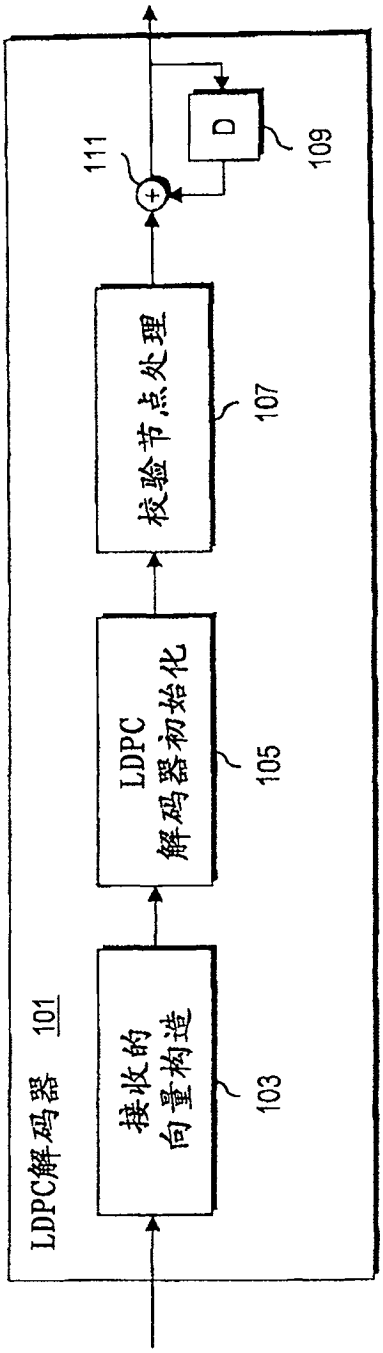


图 1

$$H = \begin{array}{c} \begin{matrix} n_1 & n_2 & n_3 & n_4 & n_5 & n_6 & n_7 & n_8 \end{matrix} \\ \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \begin{matrix} m_1 \\ m_2 \\ m_3 \\ m_4 \end{matrix} \end{array}$$

图 2

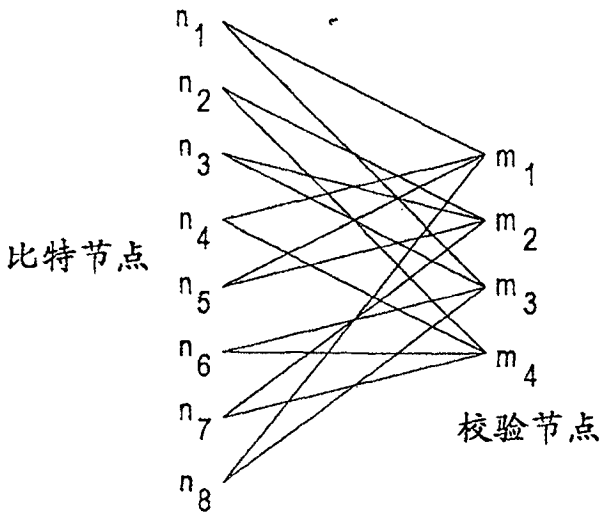


图 3

$$B=\begin{bmatrix} 1 & & & & & \\ x & 1 & & \mathbf{0} & & \\ x & x & 1 & & & \\ x & x & x & 1 & & \\ x & x & x & x & 1 & \\ x & x & x & x & x & 1 \end{bmatrix}$$

图 4

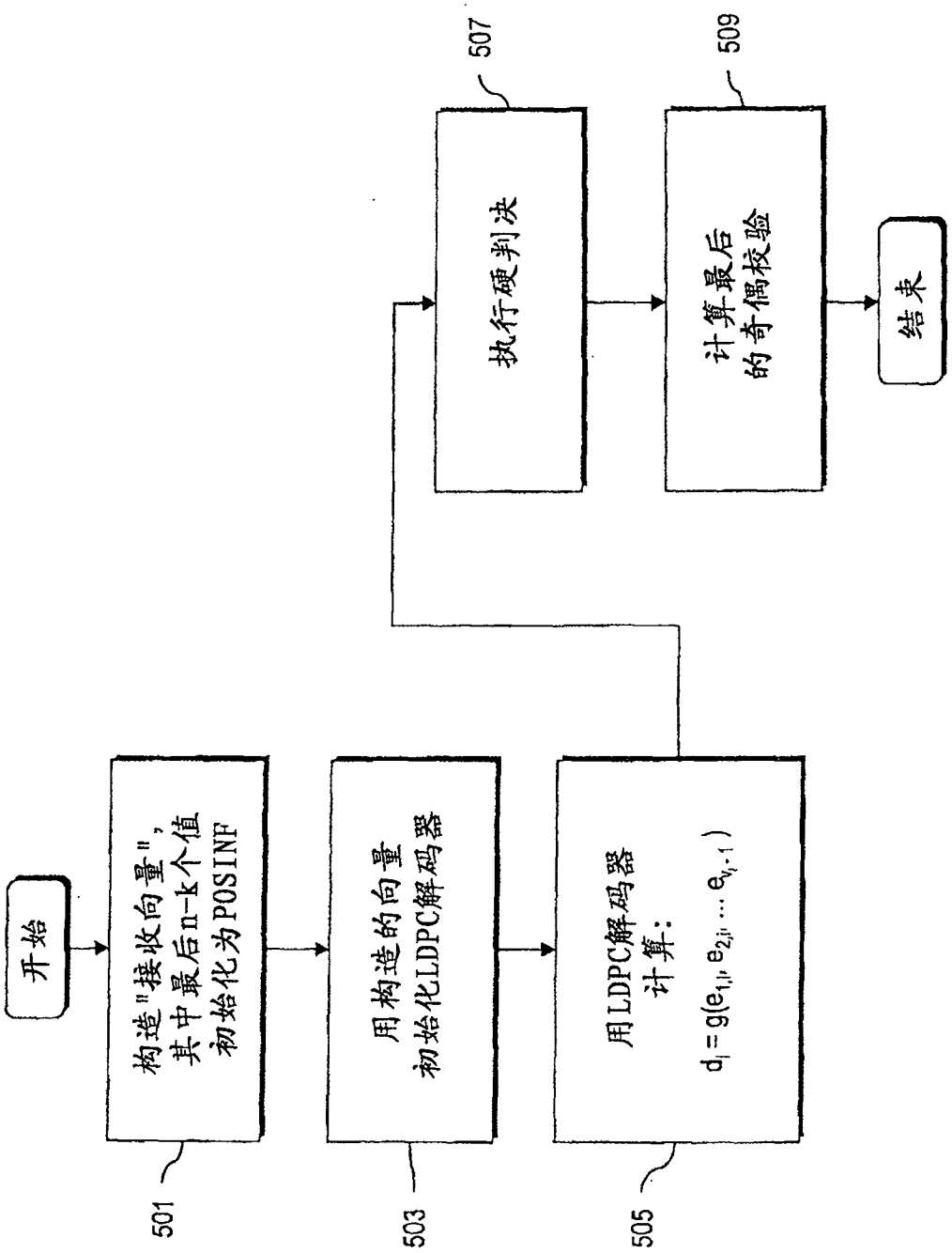

开始
构造"接收向量",
其中最后n-k个值
初始化为POSINF
501
用构造的向量
初始化LDPC解码器
503
用LDPC解码器
计算:
$d_i = g(e_{1,i}, e_{2,i}, \ldots e_{v_i,i})$
505
执行硬判决
507
计算最后
的奇偶校验
509
结束

图 5

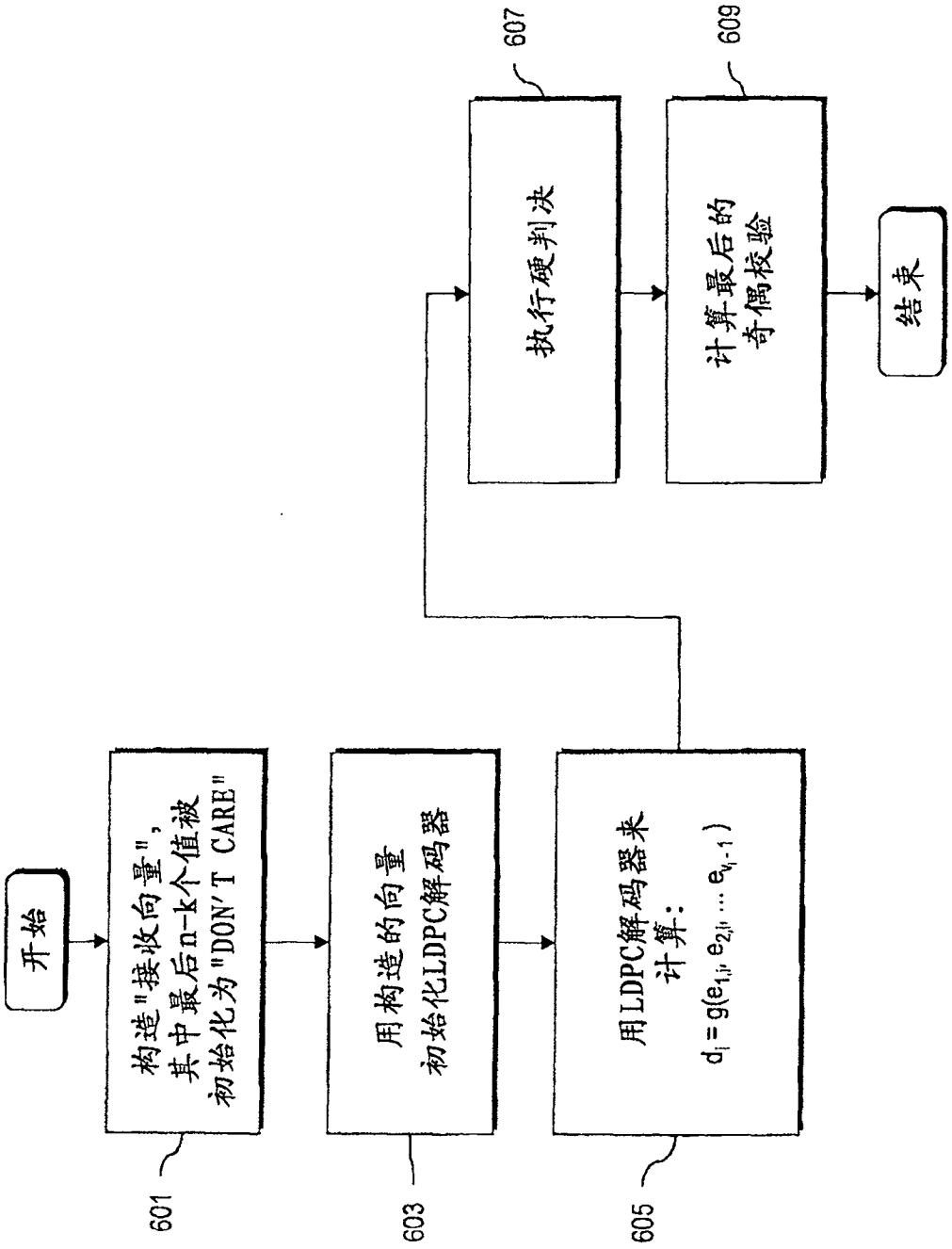

开始
构造"接收向量",
其中最后n-k个值被
初始化为"DON'T CARE"
601
用构造的向量
初始化LDPC解码器
603
用LDPC解码器来
计算:
$d_i = g(e_{1,i}, e_{2,i}, \ldots e_{v_i-1})$
605
执行硬判决
607
计算最后的
奇偶校验
609
结束

图 6

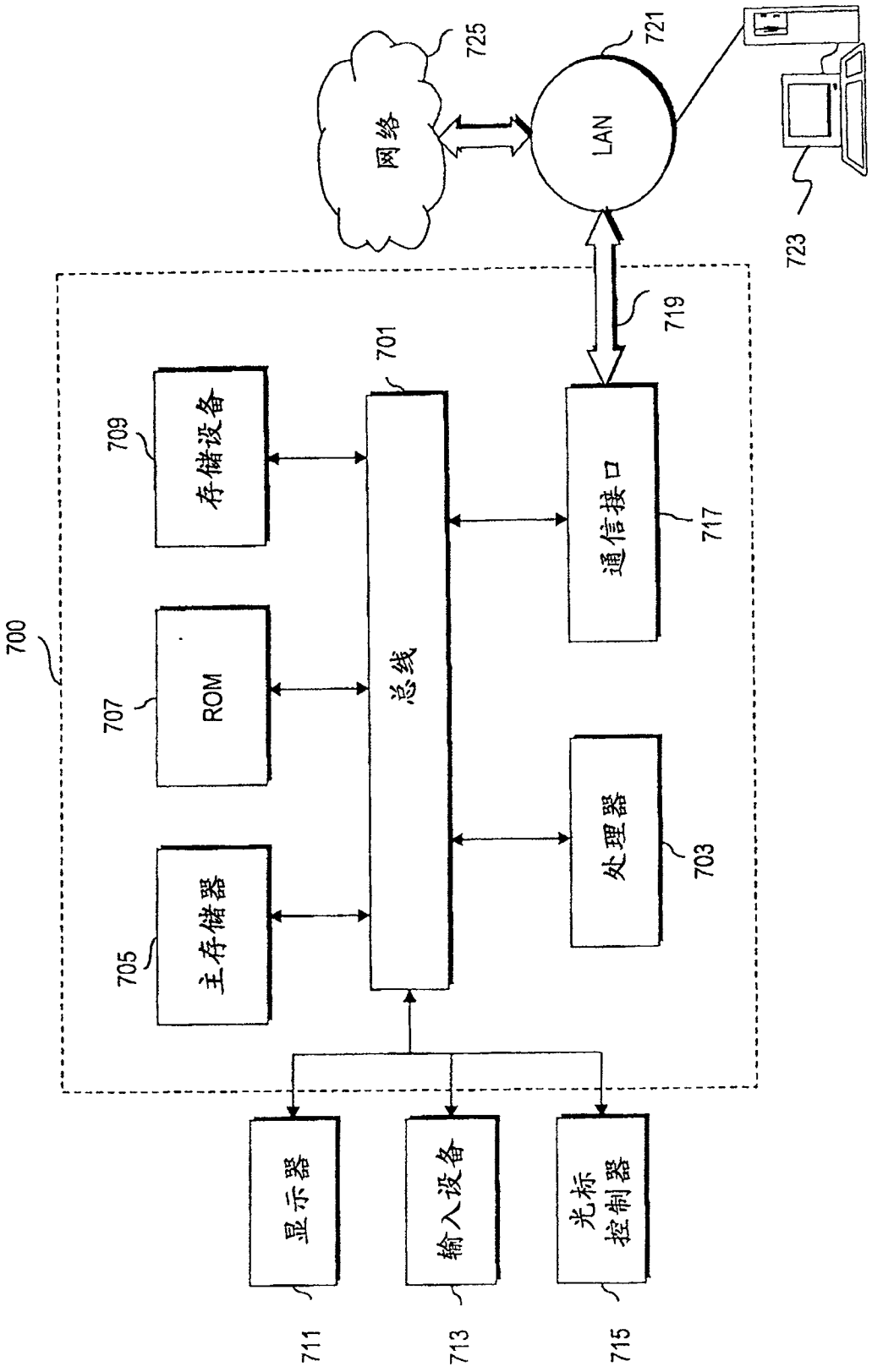

网络
725
LAN
721
723
719
700
701
存储设备
709
ROM
707
主存储器
705
总线
通信接口
717
处理器
703
显示器
711
输入设备
713
光标
控制器
715

图 7