

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5012779号
(P5012779)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int. Cl. F I
HO 1 L 23/12 (2006.01) HO 1 L 23/12 Q
HO 1 L 25/04 (2006.01) HO 1 L 25/04 Z
HO 1 L 25/18 (2006.01)

請求項の数 12 (全 12 頁)

(21) 出願番号 特願2008-311802 (P2008-311802)
 (22) 出願日 平成20年12月8日(2008.12.8)
 (65) 公開番号 特開2010-135660 (P2010-135660A)
 (43) 公開日 平成22年6月17日(2010.6.17)
 審査請求日 平成23年8月31日(2011.8.31)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100096253
 弁理士 尾身 祐助
 (72) 発明者 大島 大輔
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 中島 嘉樹
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 菊池 克
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

L S I が実装されたプリント配線基板の内部または表面に、該プリント配線基板の横断面または表面を2分する分割線を挟んで2枚の導体板が配置され、前記分割線の中心を跨いで二つの前記導体板を接続する第1のインピーダンス素子が配置され、前記分割線の中心点から最も離れた位置の近傍の2箇所において、二つの前記導体板を接続する第2のインピーダンス素子が配置されている半導体装置であって、前記2枚の導体板が自己補対形状をなしていることを特徴とする半導体装置。

【請求項2】

L S I が実装されたプリント配線基板の内部または表面に、該プリント配線基板の横断面または表面が複数の領域に分割されており、分割された各領域を2分する分割線を挟んで2枚の導体板が配置され、前記分割線の中心を跨いで二つの前記導体板を接続する第1のインピーダンス素子が配置され、前記分割線の中心点から最も離れた位置の近傍の2箇所において、二つの前記導体板を接続する第2のインピーダンス素子が配置されている半導体装置であって、前記2枚の導体板が自己補対形状をなしていることを特徴とする半導体装置。

【請求項3】

少なくとも一部のL S I が前記プリント配線基板の内部に実装されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記プリント配線基板の内部に一部のLSIが実装され、前記プリント配線基板の表面に他の一部のLSIが実装されており、前記導体板が一部のLSIと前記他の一部のLSIとの間に配置されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】

前記分割線が、前記プリント配線基板の横断面若しくはその表面、または、前記領域の一对角線であることを特徴とする請求項1～4のいずれか一項に記載の半導体装置。

【請求項6】

前記第1のインピーダンス素子のインピーダンスは、当該半導体装置の使用周波数の最大値における前記自己補対形状導体からなるアンテナの特性インピーダンスの複素共役値であることを特徴とする請求項1～5のいずれか一項に記載の半導体装置。

10

【請求項7】

前記第2のインピーダンス素子の実部の値は、当該半導体装置の使用周波数の最大値における前記自己補対形状導体からなるアンテナの特性インピーダンスの実部の値より大きく、かつ、前記第2のインピーダンス素子の虚部と前記特性インピーダンスの虚部とは符号が異なっていることを特徴とする請求項1～6のいずれか一項に記載の半導体装置。

【請求項8】

前記第1のインピーダンス素子のインピーダンスは、 $60 / \epsilon$ （プリント配線基板の比誘電率）であることを特徴とする請求項1～5のいずれか一項に記載の半導体装置。

【請求項9】

前記第2のインピーダンス素子は、抵抗であってその抵抗値は $60 / \epsilon$ （プリント配線基板の比誘電率）より大きいことを特徴とする請求項1～5または8のいずれか一項に記載の半導体装置。

20

【請求項10】

前記導体板には、前記第1、第2のインピーダンス素子が接続されているのみで、他のいかなる導体や素子も接続されていないことを特徴とする請求項1～9のいずれか一項に記載の半導体装置。

【請求項11】

前記第2のインピーダンスの接続箇所において、二つの前記導体板間の距離は1mm未満であることを特徴とする請求項1～10のいずれか一項に記載の半導体装置。

【請求項12】

前記導体板の有する間隙または前記2つの導体板間の間隙を利用して、前記導体板を挟む配線層間の層間接続が行なわれていることを特徴とする請求項1～11のいずれか一項に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特にLSIがプリント配線基板に高密度に実装されている半導体装置に関する。

【背景技術】

【0002】

近年、LSIなどの半導体素子を複数個混載させたプリント配線基板が実用化されている。このような基板はSiP(System in Package)などと呼ばれている。この種の半導体装置は、小型化への要求は強く、そのために半導体素子や受動部品をプリント配線基板に内蔵させた形態も見られるようになってきている。例えば、非特許文献1にはコアレス基板にLSIを内蔵したパッケージが開示されている。

LSI内蔵基板は小型化、薄型化には有利である反面、基板が反りやすくなるという問題が起こる。反りを低減するためには、剛性の大きい材料を支持体とすればよい。そのための構造として、例えば特許文献1には、LSIが埋設された絶縁層の上下面に、プリプレグ材からなる補強層を形成するを用いたLSI内蔵基板が開示されている。

40

【非特許文献1】Braunisch, H., Towle, S.N., Emery, R.D., Chuan Hu, Vandentop, G.

50

J., "Electrical performance of bumpless build-up layer packaging", Electronic Components and Technology Conference, 2002. Proceedings. 52nd.

【特許文献1】特開2006-339421号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献1で開示されている方法では、補強層によって剛性を補っても、プリプレグ材によって形成された補強層は金属ほど剛性はないので、特に非常に薄いプリント配線基板においては、補強層も薄くしなければならず、反りに対する抑制効果は小さい。

SiPのように高密度実装された半導体装置において起こるもう一つの問題は、LSIのように高速で動作するデバイスを高密度実装したことで、電磁ノイズの影響を受けやすいということである。電磁ノイズは機器の誤動作や性能劣化につながる。SiPでは高密度配線となるため、配線間のクロストークも大きくなる。

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、LSI内蔵基板などの高密度実装基板に係る反りを抑制することであり、第2に高密度実装に伴う電磁ノイズの影響を低減することである。

【課題を解決するための手段】

【0004】

上記の目的を達成するため、本発明によれば、LSIが実装されたプリント配線基板の内部に、該プリント配線基板の横断面を2分する分割線を挟んで2枚の導体板が配置され、前記分割線の中心を跨いで二つの前記導体板を接続する第1のインピーダンス素子が配置され、前記分割線の中心点から最も離れた位置の2箇所において、導体板間の距離が最小となる位置に二つの前記導体板を接続する第2のインピーダンス素子が配置されている半導体装置であって、前記2枚の導体板が自己補対形状をなしていることを特徴とする半導体装置、が提供される。

そして、好ましくは、第1のインピーダンス素子のインピーダンスは、 $60 / \sqrt{\epsilon_r}$ （プリント配線基板の比誘電率）であり、第2のインピーダンス素子は、抵抗であってその抵抗値は $60 / \sqrt{\epsilon_r}$ （プリント配線基板の比誘電率）より大きい。

【0005】

【作用】

2枚からなる自己補対形状の導体板は、自己補対アンテナとして作用する。本発明では、これらの導体板はLSIチップ1を初めとするノイズ源から放射されるノイズを受信するアンテナとなる。ノイズを効率的に受信するには、受信アンテナの受信最大有効電力が最大になればよい。この条件は、受電点に接続する負荷のインピーダンスが受信アンテナの特性インピーダンスの複素共役となるときである。

自己補対アンテナはその周波数によらず $60 / \sqrt{\epsilon_r}$ の特性インピーダンス（真空中）、つまり純抵抗値を持つことが知られているから、受電点に接続する負荷のインピーダンスが $60 / \sqrt{\epsilon_r}$ となるとき、受信最大有効電力が最大となる。

ここで、本発明では導体板10がプリント配線基板2の内部に構成されるから、上記のインピーダンスはプリント基板の比誘電率の平方根で除算される。

自己補対アンテナの特性インピーダンスがその周波数によらず $60 / \sqrt{\epsilon_r}$ （真空中）となるのは、導体が無限長の場合であるが、使用周波数が高くなれば、有限長であっても実用上問題はない。

最も簡単な自己補対構造である蝶ネクタイ型アンテナを例に本発明の作用について説明する。上面図を図1に、断面図を図2に示す。30mm角の蝶ネクタイ型の導体板10が比誘電率4、厚み0.7mmの基板2aに埋め込まれている。中心に給電点がある。このときの入力インピーダンスの周波数特性を図3に示す。図3において、横軸の単位はGHzであり、縦軸の単位は Ω である。図3に示すように、低い周波数では抵抗分は0、リアクタンス分は-とほぼキャパシタに近い特性を持つが、高い周波数では抵抗分は $30 / \sqrt{\epsilon_r}$ （ Ω ）、リアクタンス分は0に収束する。7GHzを越えると、抵抗分とリアクタンス分

10

20

30

40

50

が大きく変動することがなくなり純抵抗に近い特性を示すので、この点以降が自己補対アンテナとして動作する周波数帯域であるといえる。そして、アンテナの給電点に複素共役となる負荷インピーダンスを接続して広い周波数帯域にわたる電磁ノイズを吸収させるには、アンテナの周波数特性が純抵抗を示すことが、換言すればアンテナが自己補対アンテナの特性を示す周波数帯域であることが望ましいので、図1に図示した構造では、概ね7GHz以上の周波数で動作する半導体装置の電磁ノイズであれば吸収させることができることになる。つまり、この場合、電磁ノイズをアンテナに吸収させるために半導体装置が使用可能な周波数の下限（使用下限周波数）が概ね7GHzということである。

ところが、本発明が対象とする半導体装置においては、信号の周波数は高々数百MHz（図3において、所望の周波数帯域として示す範囲）である。LSI内蔵基板も30mm角未満程度であることが多いため、使用下限周波数が上記の7GHz程度ないしそれ以上となってしまう。したがって、単に自己補対構造のアンテナを配置しただけでは数百MHz程度のノイズを効果的に吸収することができない。

そこで、図4に示すように、2枚の導体板の中心から最も離れた導体板の端部同士を、2箇所において、自己補対アンテナの特性インピーダンスよりも大きいインピーダンス素子（自己補対アンテナの特性インピーダンスの実部よりも大きい実部を有するインピーダンス素子）にて接続する。これは、ループアンテナにインピーダンス素子を装荷したと等価である。このときの入力インピーダンスの周波数特性を図5に示す。高い周波数では抵抗分は30（ Ω ）に、リアクタンス分は0に収束するのは図3の場合と同様であるが、1GHz以下の低い周波数ではリアクタンス分はほぼ0と純抵抗に近い特性を示す。つまり、導体板の端部同士をインピーダンス素子で接続することで、直流に近い低周波数域でアンテナの入力インピーダンスが30（ Ω ）（比誘電率4の誘電体中で）に近づき、本発明で対象となる数百MHzのノイズを効果的に吸収できるようになる。

また、導体板10のサイズを小さくすれば、自己補対アンテナとしての使用下限周波数は上昇するが、上記2箇所に抵抗を接続したことにより、周波数特性が純抵抗となる周波数帯域が直流に近い周波数から比較的低い周波数帯域をカバーしているため、導体板10のサイズを小さくした場合にも本発明で対象となる数百MHzの電磁ノイズを吸収させることができる。

自己補対構造の導体板10は、原理上、残銅率（配線パターンと空き領域の面積比率）は50%となるため、導体板10のパターン間に間隙ができ、ここに層間を接続するスルーホールやビアホールを通すことが可能となる。したがって、LSIチップ1とプリント配線基板2表面に搭載する他の能動または受動部品と電気的な接続をすることが可能となる。そして、残銅率50%の自己補対構造の導体板10は、パターンを適切に選ぶことで搭載面内を均一に覆うことができるので、基板の反りを抑制することが可能となる。

【発明の効果】

【0006】

第1の効果は、電氣的に接続されていないパターンを、その特性インピーダンスで終端した受信アンテナとすることで、受信したノイズを反射することなく終端素子に吸収させ、ノイズの再放射を抑制した半導体装置を提供することができる。

第2の効果は、反り抑制のために配置する導体板に間隙を設けることができるため、基板表面と内蔵LSIチップ1との間に電氣的接続が可能となり、反りの低減を実現した高密度実装半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0007】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

〔構造〕

図6は、本発明の第1の実施の形態である半導体装置の上面図であり、図7はその断面図である。プリント配線基板2は、複数の絶縁層4と配線層3を有する。絶縁層4は、樹脂層やプリプレグ硬化層である。配線層3は、導電性接着剤の印刷配線、電解ないし無電解めっき法を用いた銅配線、銅箔のパターニングにより形成された配線などにより構成さ

10

20

30

40

50

れる。プリント配線基板 2 の裏面には、内部の配線層と電氣的に接続された電極（図示なし）が形成されており、その電極上には外部接続端子となる半田ボール 7 が形成されている。プリント配線基板 2 の表面には L S I チップ 6 が 4 つ、基板の外周に沿うように表面実装されている。図示を省略するが、L S I チップ 6 の安定動作のために必要な抵抗やコンデンサなどのチップ部品が必要に応じて表面実装される。プリント配線基板 2 内部には、その中心に L S I チップ 1 が配置され、その半田ボール 7 が配線層に接続されている。内蔵された L S I チップ 1 の上側の同一層内に 2 枚の導体板 1 0 が配置されている。図 7 に示されるように、2 枚の導体板 1 0 は、L S I チップ 1 と L S I チップ 6 とを分離する態様に配置されている。導体板 1 0 は、プリント配線基板 2 の中心を対称点とした点対称の自己補対構造となるように配置される。ここで、2 枚の導体 1 0 板同士は接触しておらず、プリント配線基板 2 の一つの対角線を挟んで配置され、2 枚の導体 1 0 板の対称点にできる間隙を塞ぐように、 $60 / (\text{プリント配線基板 2 の比誘電率})$ の抵抗 1 1 が接続される。さらに、2 枚の導体 1 0 板の対称点から見て最も遠く、かつ間隙が最小となる位置 2 箇所、抵抗 1 1 より抵抗値が大きいインピーダンス素子 1 2 が接続される。

ここで、2 枚の導体板 1 0 は、その受電点に自己補対アンテナの特性インピーダンスである $60 / (\text{プリント配線基板 2 の比誘電率})$ の抵抗が接続された自己補対構造の受信アンテナとして動作する。このとき、2 枚の導体板 1 0 と 2 箇所に接続されたインピーダンス素子 1 2 により、2 つのループアンテナの並列接続が構成されているとみなすことができる。

【 0 0 0 8 】

[製 法]

次に、図 8 A、B を参照して本発明の半導体装置の製造方法の一例を説明する。プリント配線基板のコア層の製造工程についてのみ説明し、ビルドアップ層の製造工程の説明は省略する〔図 8 B (i) の工程の後、基板の表裏面にビルドアップ法により、1 ないし複数層の絶縁層と配線層とが形成され、最後に表面実装部品が実装される〕。

まず、支持体 2 1 を準備し〔図 8 A (a)〕、その上に絶縁樹脂膜 2 2 を形成する〔図 8 A (b)〕。次に、その上に予め所望の形状に成形した導体板 1 0 を 2 枚配置する〔図 8 A (c)〕。次に、導体板 1 0 の上に絶縁樹脂膜 2 2 をさらに形成する〔図 8 A (d)〕。次に、絶縁樹脂膜 2 2 の上に L S I チップ 1 を配置する〔図 8 A (e)〕。L S I チップ 1 が位置ずれをおこさないよう、非常に薄い接着層を介して配置することもできる。

次に、L S I チップ 1 の端子を覆うまで絶縁樹脂膜 2 2 をさらに形成し、端子が露出するまで研削する〔図 8 B (f)〕。次に、絶縁樹脂膜 2 2 の上に L S I チップ 1 と接続される配線層 3 を形成する〔図 8 B (g)〕。次に、レーザービームを用いて支持体 2 1 の裏に穴を開け対称点付近の 2 箇所で導体板 1 0 を露出させるピアホールを形成し、ピアホール内に導電性接着剤を埋め込んでピアプラグ 2 3 を形成する〔図 8 B (h)〕。次に、支持体 2 1 に配線層（図示なし）を形成する。次に、支持体 2 1 に形成した配線層に抵抗 1 1 を接続し、2 枚の導体板 1 0 同士を対称点付近で抵抗 1 1 により接続する〔図 8 B (i)〕。なお、図示を省略しているが、インピーダンス素子 1 2 も抵抗 1 1 と同様の工程で 2 枚の導体板 1 0 同士を接続するように支持体 2 1 上に配置される。

【 実 施 例 】

【 0 0 0 9 】

次に、具体的な実施例を用いて、本発明の半導体装置について説明する。図 9 は、本発明の一実施例を示す上面図であり、図 1 0 はその A - A 線での断面図である。図 9、図 1 0 に示すように、ステンレス製の自己補対形状の導体板 1 0 が、3 0 m m 角、厚み 0 . 7 m m の比誘電率 4 のプリント配線基板 2 内に配置されている。同じくプリント配線基板 2 内に 9 m m 角の L S I チップ 1 が内蔵されている。L S I チップ 1 の厚みは 5 0 μ m で、導体板 1 0 より 1 5 μ m 下側にある。L S I チップは上記サイズのシリコンで模擬している。本実施例では、L S I チップ 1 が動作することで発生するノイズ源を、微小ダイポールアンテナ 1 3 で模擬する。そして、図 1 0 に示す断面図の 3 m 上方における放射電磁界強度を求める。

10

20

30

40

50

【0010】

まず、リファレンスとして、図11のように、一辺が30mm、幅2.5mmの棒状導体板5が配置され、実施例と同様のLSIチップ11、微小ダイポールアンテナ13が内蔵された場合についての放射電界強度をシミュレートした。その計算結果を図12に示す。300MHzと、その3倍高調波に当たる900MHzの結果を示している。この場合、微小ダイポールの典型的な放射指向性である8の字型の特性が示される。

次に、本発明による自己補対形状の導体板が配置された場合である。2枚の導体間を、基板の中心に30の抵抗11が1個、基板の右上と左下端部に280の抵抗12が2個、合計3個の抵抗が配置され、それぞれ導体板10に接続されている。リファレンスと同様に300MHzと900MHzでの計算結果を図13に示す。最大放射電界強度で
10

【0011】

以上、好ましい実施の形態、実施例について説明したが、本発明は、これら実施の形態、実施例に限定されるものではなく、本発明の要旨を変更しない範囲内において適宜の変更が可能である。たとえば、上記実施の形態においては、LSIチップ1の接続方法は半田ボール7を用いた接続であったが、これに代えて例えば図14に示すように銅ポスト8を用いて接続するようにしてもよい。また、プリント配線基板2とメインボードへの接続方法についても、図2や図14に示す半導体装置では半田ボールによるBGA(Ball Grid Array)接続としているが、これに限定されない。さらに、本発明の導体板10の形成に影響を与えない範囲であれば、実装する部品の種類や形状など
20

のような形態であって構わない。導体板10の形状は、自己補対構造であれば図6に示す形状でなくてもよい。例えば、最も単純な自己補対構造である蝶ネクタイ型でも構わない。また、2枚の導体板10の対称点(中心)が、プリント配線基板2の中心でなくてもよい。あるいは、導体板の枚数は2枚でなくてもよく、例えば図15に示すように、4枚で2組の受信アンテナを構成することもできる。図15において、図6の実施の形態の半導体装置と同等の部材には同一の参照番号が付されているので、重複する説明は省略するが、図15の場合には受電点が2組となるので、ここに接続する抵抗、インピーダンス素子も2組必要となる。

さらに、別の実施の形態として、図16に示すように、導体板10を複数並べて配置して、電波吸収体として用いることも可能である。小型の導体板10を縦横に配置することで、小型化のために各要素の吸収体としての利用可能周波数を上げることと、縦横に配置することで吸収する範囲や入射角度を広げることができる。このように複数並べた導体板10は、プリント配線基板2の内層または表層に配置することができる。
30

【0012】

また、受電点に接続する素子や導体板の端部に接続されるインピーダンス素子は、チップ部品や作り込まれた内蔵素子や、あるいは導電率の低い材料で抵抗を構成するなど、その形態は自由である。

さらに、上記のプリント配線基板2は形状を可変できるフレキシブル配線基板であってもよい。この場合、導体板10も可撓性材料により形成されるが、曲面形状になっても電波吸収体としての動作は可能である。またこのとき、抵抗は印刷技術によって形成すればよい。
40

【図面の簡単な説明】

【0013】

【図1】本発明の作用を説明するための基板に埋め込まれた蝶ネクタイアンテナの上面図(インピーダンス素子12無し)。

【図2】本発明の作用を説明するための基板に埋め込まれた蝶ネクタイアンテナの断面図。

【図3】図1に示された基板に埋め込まれた蝶ネクタイアンテナの入力インピーダンスの周波数特性。
50

【図 4】本発明の作用を説明するための基板に埋め込まれた蝶ネクタイアンテナの上面図（インピーダンス素子 1 2 有り）。

【図 5】図 4 に示された基板に埋め込まれた蝶ネクタイアンテナの入力インピーダンスの周波数特性。

【図 6】本発明の半導体装置の実施の形態を示す上面図。

【図 7】本発明の半導体装置の実施の形態を示す断面図。

【図 8 A】本発明の半導体装置の実施の形態の製造方法を示す工程順の断面図（その 1）

。

【図 8 B】本発明の半導体装置の実施の形態の製造方法を示す工程順の断面図（その 2）

。

【図 9】本発明の一実施例を示す上面図。

【図 10】本発明の一実施例を示す断面図。

【図 11】本発明のリファレンスとなる棒状導体を支持体とした上面図。

【図 12】棒状導体を支持体とした場合における 3 m 放射電界指向性。

【図 13】本発明の実施例における 3 m 放射電界指向性。

【図 14】本発明の実施の形態の変更例を示す断面図。

【図 15】本発明の実施の形態の他の変更例を示す上面図。

【図 16】本発明の実施の形態のもう一つの変更例を示す上面図。

【符号の説明】

【 0 0 1 4 】

1 L S I チップ

2 プリント配線基板

2 a 基板

3 配線層

4 絶縁層

5 棒状導体板

6 L S I チップ

7 半田ボール

8 銅ポスト

1 0 導体板

1 1 抵抗

1 2 インピーダンス素子

1 3 微小ダイポール送信アンテナ

2 1 支持体

2 2 絶縁樹脂膜

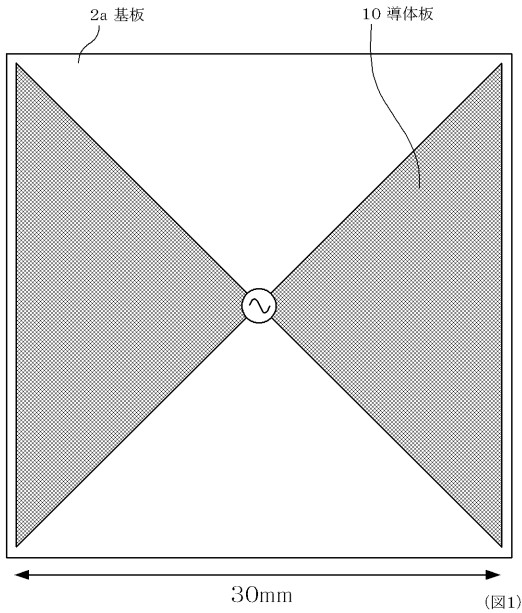
2 3 ビアプラグ

10

20

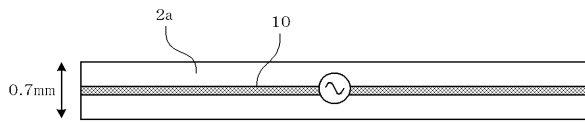
30

【図1】



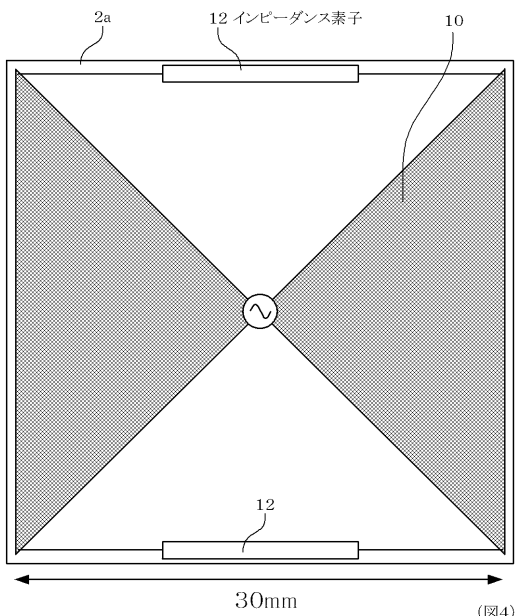
(図1)

【図2】



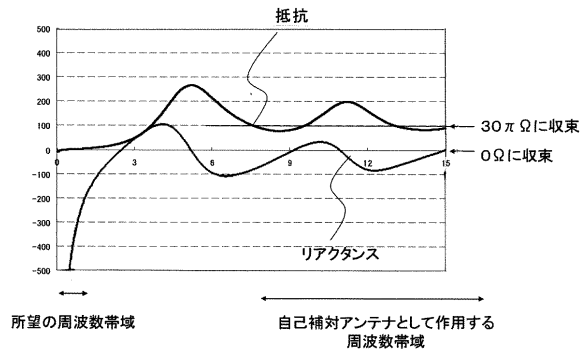
(図2)

【図4】

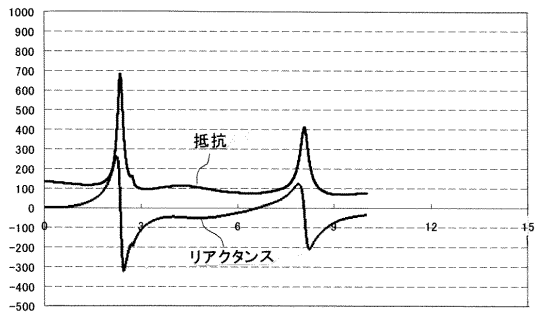


(図4)

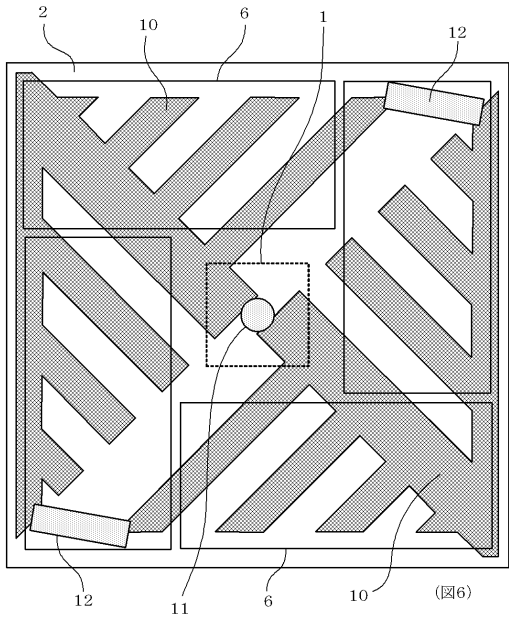
【図3】



【図5】

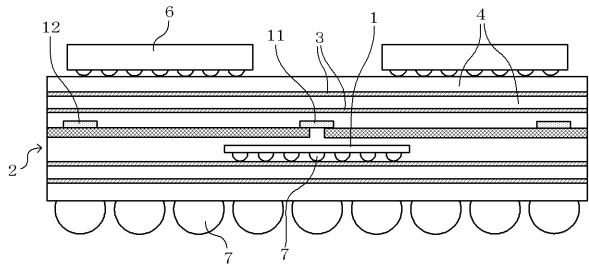


【図6】



(図6)

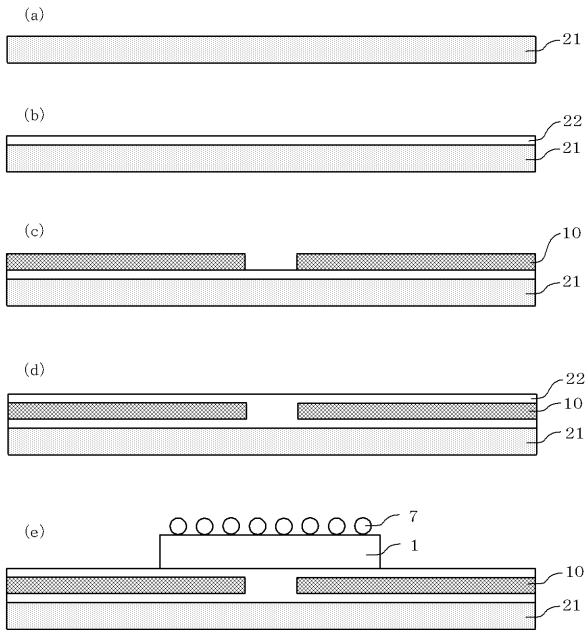
【図7】



(図7)

- 2 プリント配線基板
- 3 配線層
- 4 絶縁層
- 6 LSIチップ
- 11 抵抗

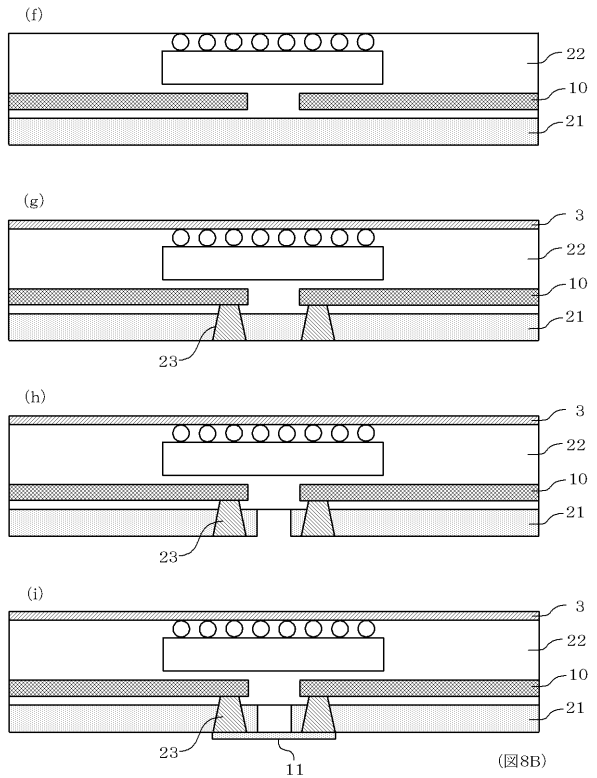
【図8A】



(図8A)

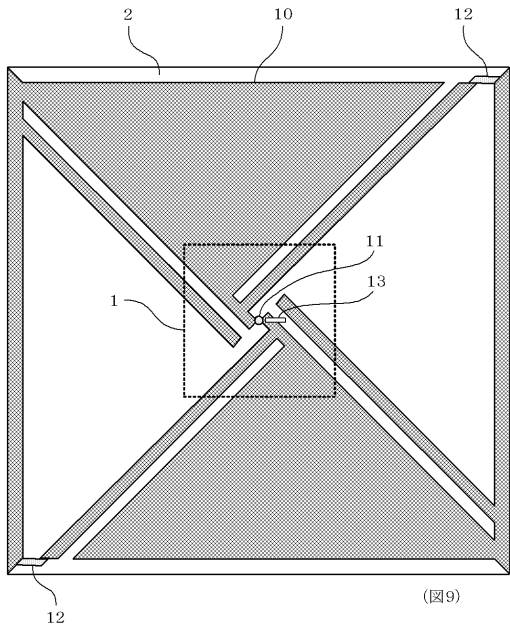
- 7 半田ボール
- 21 支持体
- 22 絶縁樹脂膜
- 23 ピアプラグ

【図8B】

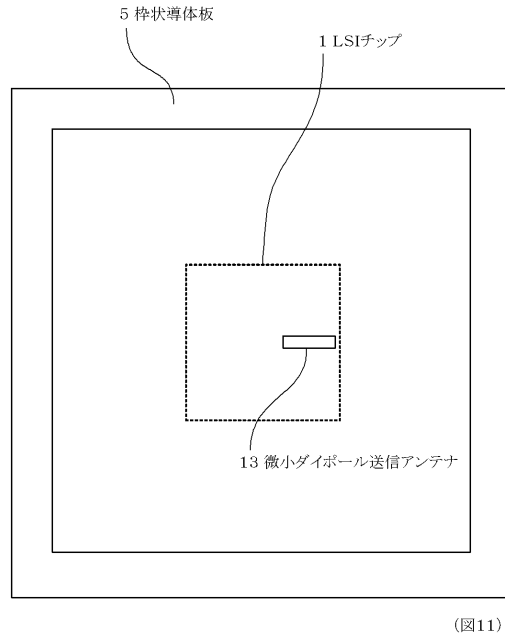


(図8B)

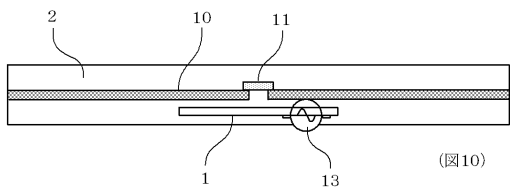
【図9】



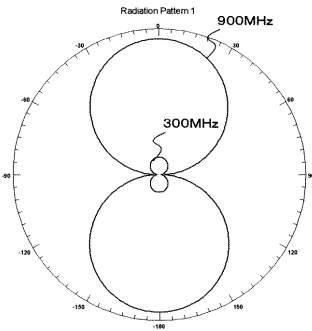
【図11】



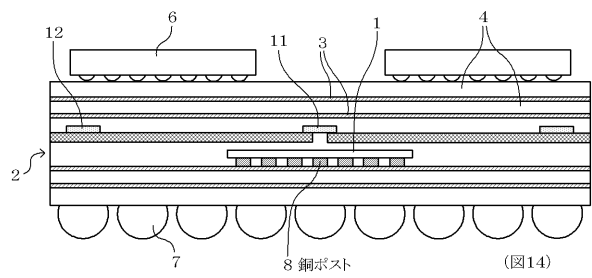
【図10】



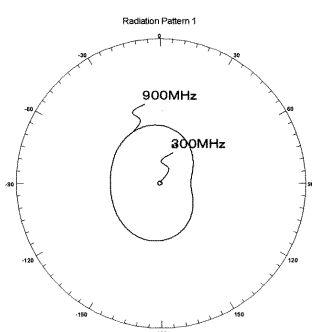
【図12】



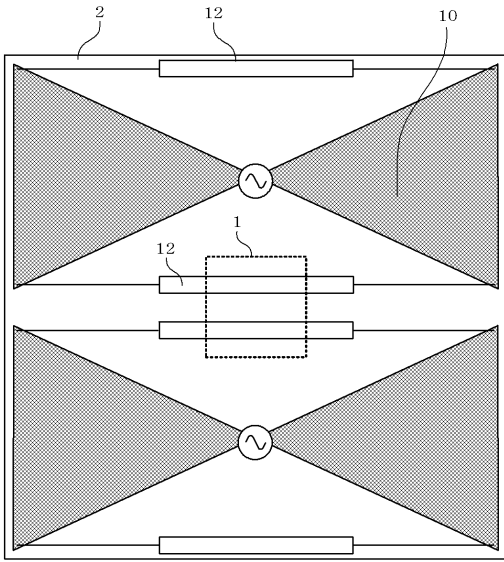
【図14】



【図13】

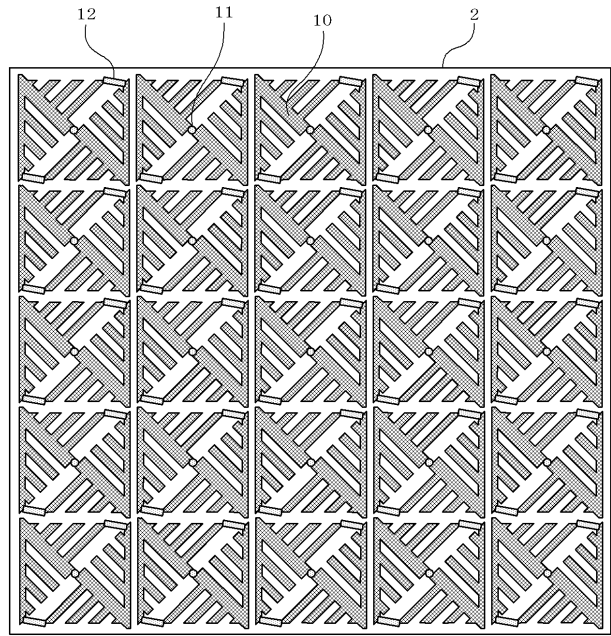


【図15】



(図15)

【図16】



(図16)

フロントページの続き

- (72)発明者 森 健太郎
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 山道 新太郎
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 坂本 薫昭

- (56)参考文献 特開2003-198147(JP,A)
特開2002-170906(JP,A)
特開2006-245714(JP,A)
特開2006-339421(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H01L | 23/12 |
| H01L | 25/04 |
| H01L | 25/18 |
| H05K | 3/46 |