

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3553639号

(P3553639)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int. Cl.<sup>7</sup>

F I

H03K 5/13

H03K 5/13

G01R 31/00

G01R 31/00

請求項の数 3 (全 15 頁)

(21) 出願番号	特願平6-124173	(73) 特許権者	399117121
(22) 出願日	平成6年5月12日(1994.5.12)		アジレント・テクノロジーズ・インク
(65) 公開番号	特開平7-307650		AGILENT TECHNOLOGIE
(43) 公開日	平成7年11月21日(1995.11.21)		S, INC.
審査請求日	平成13年5月11日(2001.5.11)		アメリカ合衆国カリフォルニア州パロアルト
			ト ページ・ミル・ロード 395
			395 Page Mill Road
			Palo Alto, Californi
			a U. S. A.
		(74) 代理人	100105913
			弁理士 加藤 公久
		(72) 発明者	後藤 正治
			東京都八王子市高倉町9番1号 横河・ヒューレット・パッカード株式会社内
			最終頁に続く

(54) 【発明の名称】 タイミング調整回路

(57) 【特許請求の範囲】

【請求項1】

直列に接続した  $n$  個 ( $n$  は 2 以上の整数) のディレイ要素を有し、入力信号  $p_0$  を各ディレイ要素により順次遅延させて、遅延信号  $p_1, \dots, p_n$  をそれぞれ生成するディレイ手段と、

$n + 1$  個の選択信号  $s_0, \dots, s_n$  により、前記入力信号  $p_0$  および前記各遅延信号  $p_1, \dots, p_n$  の何れか 1 つを選択する選択手段と、を備えたタイミング調整回路であって、

前記選択手段は、選択信号生成回路と、選択ゲート回路と、選択信号保持回路と、遅延信号保持回路とを有して構成され、

前記選択信号生成回路は、前記入力信号  $p_0$  が入力される前に前記選択信号  $s_0, \dots, s_n$  を生成し、

前記選択ゲート回路は、 $p_0$  と  $s_0$ 、 $p_1$  と  $s_1$ 、 $\dots$ 、 $p_n$  と  $s_n$  をそれぞれ入力とする  $n$  個の選択ゲートを有し、これらの選択ゲートの何れかから  $p_0, \dots$ 、または  $p_n$  を出力し、

前記選択信号保持回路は、前記選択信号生成回路からの前記選択信号  $s_0, \dots, s_n$  を、 $p_0, \dots, p_n$  のアクティブエッジが各選択ゲートに達する時まで保持し、

前記遅延信号保持回路は、 $n$  個の遅延信号保持要素を有し、前記各選択ゲートに前記アクティブエッジが与えられたときは、前記選択信号が変化しても、該選択ゲートへの入力がインアクティブ状態となるまで、前記各選択ゲートの出力状態を保持する、ことを特徴と

10

20

するタイミング調整回路。

【請求項 2】

前記選択信号生成回路は、入力データ列を復号化するデコーダを備え、  
前記各選択ゲートは、両入力信号の論理積を出力する論理ゲートを備え、  
前記選択信号保持回路は、少なくとも第 1 段目以降の所定段のディレイ要素からの遅延信号を選択するための選択信号を入力とし、前記入力信号または前記所定段より前段のディレイ要素の出力により駆動するフリップフロップを備え、  
前記遅延信号保持回路は、前記入力信号または各遅延信号がインアクティブ状態となったときに記憶保持を解除するラッチを備えた、  
ことを特徴とする請求項 1 に記載のタイミング調整回路。

10

【請求項 3】

少なくとも前記ディレイ要素の一段あたりの遅れ時間幅の範囲内での遅延時間を持つ密な遅延を生じさせるディレイ手段が、入力段または出力段に設けられてなることを特徴とする請求項 1 または 2 に記載のタイミング調整回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、たとえば IC テスタ等のタイミングエッジ生成回路のタイムバーニアとして使用されるタイミング調整回路に関し、詳しくは、自由なタイミング（すなわち、基本とするクロックの周期に拘束されないことのないタイミング）のエッジを作ることができるタイ

20

【0002】

【技術背景】

たとえば、IC テスタによる各種デバイス等の試験、波形生成装置による電気回路の試験等においては、システムの基礎となるクロック（マスタクロック（MCLK））の周期に拘束されないタイミングでエッジを生成する必要がある。

【0003】

図 5 は、IC テスタにおいて用いられている従来のタイミングエッジ生成回路を示す図である。同図におけるタイミングエッジ生成回路には、一定の高い周波数（たとえば、100MHz ~ 500MHz）の MCLK が継続的に供給され、また、テストサイクルを決定するピリオッドクロック（PCLK）がたとえばマスタクロックの倍の周期で与えられている。

30

【0004】

同図の回路は、メモリ（図 5 では、タイムデータ RAM 1 で示す）と、カウンタ 2 と、微細タイミング指示回路（同図では、FIFO 3 で示す）と、タイミング調整回路（図 5 では、タイムバーニア 4 で示す）と、フリップフロップ 5, 6 および 7 とからなる。

【0005】

ここで、タイムデータ RAM 1 には、カウンタデータ（counter\_data）およびバーニアデータ（vernier\_data\_in）からなるタイミングデータ（timing\_data）が格納されている。そして、PCLK のアクティブエッジがストロ

40

【0006】

カウンタ 2 は、上記 counter\_data をタイムデータ RAM 1 から取り込むもので、スタートセクタ 21、カウント回路 221 ~ 224 および OR ゲート 23 を有している。ここで、スタートセクタ 21 は、FF 6 からの信号 start（FF 5 の出力より 1 MCLK 遅れた信号）に応じて、カウント回路 221 ~ 224 を順次セレクトする。また、カウント回路 221 ~ 224 は、スタートセクタ 21 からカウント開始の信号を受けると、MCLK のエッジを前記 counter\_data が指示する回数カウントし、該カウント値に応じたタイミングで OR ゲート 23 を介して、デジタル・ディレイ信

50

号  $DD\_m1$  を出力する。ここで、 $DD\_m1$  は、信号  $start$  を、カウンタ 2 は  $counter\_data$  の値に応じて、デジタル的に遅延された信号である。

【0007】

FIFO3 の入力指示端子 ( $in$ ) には、前述の FF5 からの、MCLK に同期する信号  $fifo\_in$  が入力される。FIFO3 は、 $fifo\_in$  の立ち上りエッジのタイミングで、前記  $vernier\_data\_in$  を取り込んでいる。そして、FIFO3 に記憶された  $vernier\_data$  は、前記カウンタ 2 からの  $DD\_m1$  の出力エッジ (各カウント回路 221 ~ 224 からの出力エッジ) のタイミングでタイムバーニア 4 に順次入力される。

【0008】

また、FF7 は  $DD\_m1$  を、MCLK に同期したデジタル・ディレイ信号  $DD$  としてタイムバーニア 4 に出力する。タイムバーニア 4 は、 $DD$  を、 $vernier\_data$  の内容に応じた時間遅延させ、これをファインエッジ信号  $FE$  として出力する。

【0009】

図 6 ~ 図 8 はタイムバーニア 4 の具体的な回路の説明図である。

図 6 におけるタイムバーニア 4 は、デジタル・アナログ・コンバータ (DAC) 401 とランプ信号生成回路 402 とコンパレータ 403 とから構成されている。

DAC 401 は、 $vernier\_data$  を取り込み、これをアナログの基準電圧 ( $V_{dac}$ ) として出力する。

ランプ信号生成器回路 402 は、一方の端子が接地されデジタル・ディレイ信号  $DD$  の立ち上りエッジによりオフするスイッチ ( $SW_r$ ) と、ランプ電圧生成用のコンデンサ ( $C_r$ ) と、スイッチ ( $SW_r$ ) のオフにより  $C_r$  を充電する電流源 ( $I_r$ ) とから構成されている。

また、コンパレータ 403 は、 $C_r$  の充電電圧 (ランプ電圧  $V_{ramp}$ ) と前記  $V_{dac}$  とを比較してその比較結果をファインエッジ信号  $FE$  として出力する。

【0010】

この回路では、デジタル・ディレイ信号  $DD$  のエッジ入力により、 $SW_r$  が閉じられると  $C_r$  の充電が開始される。 $C_r$  の充電電圧  $V_{ramp}$  が、 $V_{dac}$  より低いときは  $FE$  の出力は "0" であるが、 $V_{dac}$  を越えると  $FE$  は "1" となる。すなわち、 $V_{dac}$  の値に応じた時間が経過した時にコンパレータ 403 から  $FE$  が出力される。

【0011】

また、図 7 に示すタイムバーニア 4 は、2 段接続した CMOS 回路 411, 412 と、デジタル的に容量の調節が可能なコンデンサ群 (同図では可変コンデンサ  $C_v$  で示す) とから構成されている。

両 CMOS 回路の P-MOST<sub>1</sub>, P-MOST<sub>2</sub> のゲート端子には PCNTROL が入力され、入力側 CMOS 回路 411 の  $in$  端子 (N-MOST<sub>1</sub> のゲート端子) にデジタル・ディレイ信号  $DD$  が入力される。 $C_v$  の一端は低圧電源に接続され、他端は両 CMOS 回路 411, 412 の各 P-MOST, N-MOST 間端子に接続されている。

上記の回路では、N-MOST<sub>1</sub> のゲートにエッジが入力されると、 $C_v$  の設定容量に応じた時間経過後に CMOS 回路 412 の  $out$  端子からファインエッジ信号  $FE$  が出力される。

【0012】

しかし図 6 ~ 図 7 に示すタイミング調整回路 (タイムバーニア 4) は、何れも、単体では十分なタイミング調整範囲と分解能を同時に得ることができないと言った問題があった。

【0013】

図 8 に示すタイムバーニア 4 は、ファインディレイ手段 420 と、コースディレイ要素 421 ~ 427 と、コースディレイ要素を校正するための校正レジスタ (それぞれ、428 で示す) と、ファインディレイ手段 420 からの信号  $p0$  およびコースディレイ要素 421 ~ 427 により粗に遅延された信号  $p1$  ~  $p7$  を選択出力するマルチプレクサ (MUX) 429 とから構成されている。

10

20

30

40

50

## 【0014】

vernier\_dataの全ビット(同図では8ビット)のうち一部(同図では下位5ビット)からなるデータ(vernier\_data\_5)はファインディレイ要素420に、残りのビット(同図では上位3ビット)からなるデータ(vernier\_data\_3)はマルチプレクサ429に入力される。

デジタル・ディレイ信号DDは、ファインディレイ手段420により、上記vernier\_data\_5の値に応じて密に遅延された後、コースディレイ要素421~427により順次、粗に遅延される。

そして、マルチプレクサ429は、vernier\_data\_3の値に応じ、p0~p7のうちから1つの信号を選択し、これをファインエッジ信号FEとして出力する。

なお、ファインディレイ手段420による遅延時間のレンジを $\Delta$ とすると、各コースディレイ要素421~427による遅延時間幅が $\Delta$ より小さい場合には、遅延時間の設定が不可能な時間範囲が生じてしまう。このため、通常、ファインディレイ手段420には、遅延時間のレンジが $\Delta$ と等しいか $\Delta$ より大きいものが使用される。

## 【0015】

以下、タイムバーニア4として図8の構成の回路を採用した図5のタイミングエッジ生成回路の動作を説明する。この例では、PCLKは、MCLKの周期Tの倍の周期でタイミングエッジ生成回路に入力されているものとする。

## 【0016】

前述したように、図5においては、PCLKの立ち上りエッジがタイムデータRAM1のstrobe端子に入力されると、タイムデータRAM1はtiming\_dataを出力する。そして、timing\_dataのうち、vernier\_data\_in(図5の例では8ビット)をFIFO3に、counter\_data(図5の例では8ビット)をカウンタ2にそれぞれ出力する。

## 【0017】

いま、PCLKが連続して3クロック分上記タイミングエッジ生成回路に入力され、タイムデータRAM1からは、順次以下に示すようなデータ(括弧内数字は、タイムデータRAM1からの出力順を示している)が出力されたものとする。

## 【0018】

```
timing_data(1)
counter_data(1): 00000001
vernier_data(1): 01111110
```

## 【0019】

```
timing_data(2)
counter_data(2): 00000010
vernier_data(2): 10111110
```

## 【0020】

```
timing_data(3)
counter_data(3): 00000011
vernier_data(3): 11011100
```

## 【0021】

この場合、図5に示したカウント回路221~224は、図9のタイミングチャートに示すように、startが入力されると、各counter\_dataの値に応じたMCLKの計数を行った後にデジタル・ディレイ信号DD\_m1を出力する。図9では、startの立ち上りから、DD\_m1が入力されるまでのMCLKのカウント回数を丸付数字で示してある。

## 【0022】

また、デジタル・ディレイ信号DDは、図8において説明したように、ファインディレイ回路420により(vernier\_data\_5に応じて)密に遅延された後、コースディレイ回路421~427により粗に遅延される。そして、マルチプレクサ429は

10

20

30

40

50

、vernier\_data\_3に応じ、前述したp0～p7の何れかの信号を選択し、この選択した信号がフラインエッジ信号FEとして出力される。

図9に示した例では、vernier\_data\_3は、011, 101, 110であるので、p3, p5, p6の信号が順次選択されFEとして出力されている。

#### 【0023】

図9の例では、DDの間隔が3MCLK周期以上離れているため良好なFEが得られている。しかし、DDの間隔が2MCLK周期と短い場合には、以下に述べるような問題が生じる。

#### 【0024】

すなわち、DDがディレイ要素421～427により順次遅延されながら伝搬しているときに、新たに次のDD\_m1がFIFO3のout端子に入力されたとすると、本来はvernier\_data(n) (nは整数)に応じた動作しなければならないタイムバーニア4は、新たなvernier\_data(n+1)に応じて動作してしまう。このため、(i)vernier\_dataの変更に伴いグリッチが生じ、また(ii)エッジがディレイ要素から出力されたときには、既にvernier\_data(n)がvernier\_data(n+1)に更新されているため、本来選択されるべきディレイ要素からの出力ができなくなる。

#### 【0025】

ここでは、PCLKが連続して4クロック分上記タイミングエッジ生成回路に入力され、タイムデータRAM1からは、以下に示すようなcounter\_dataが000000000000のvernier\_dataが出力された場合のタイミングチャートを図10に示す。

#### 【0026】

```
timing_data(1)
counter_data(1): 000000000
vernier_data(1): 001111110
```

#### 【0027】

```
timing_data(2)
counter_data(2): 000000000
vernier_data(2): 101111110
```

#### 【0028】

```
timing_data(3)
counter_data(3): 000000000
vernier_data(3): 110111100
```

#### 【0029】

```
timing_data(4)
counter_data(4): 000000000
vernier_data(4): 000000000
```

#### 【0030】

図10において、フラインエッジ信号FEにグリッチが生じた場合(A<sub>1</sub>, A<sub>2</sub>)、出力が全くなされない場合(A<sub>3</sub>)をそれぞれ示す。

#### 【0031】

このような問題を解消するために、従来、図11に示すように複数のバーニア回路(同図では4a～4d)を用い、連続して入力されるデジタル・ディレイ信号DDを、バーニア回路4a～4dにより順次遅延させ、これをORゲート430を介して出力する方法も知られている。

#### 【0032】

しかし、この方法では、ディレイ素子が高価であるため、タイミングエッジ生成回路あるいは該生成回路が組み込まれた装置自体の価格が高価となるうえ、以下のような問題も生じる。

10

20

30

40

50

すなわち、図 1 1 において、4 つの異なるバーニア回路 4 a ~ 4 d から発生されるタイミングは、精密にアジャストしたとしても、10 ~ 50 p s 程度相互にずれてしまう（バーニア回路 4 a ~ 4 d のエッジの位置は、たとえば 10 ~ 50 p s 程度のバラツキを持つ）。したがって、ファインエッジ信号 F E のエッジのタイミングは、D D の 4 周期を 1 周期として周期変動する誤差成分を持つことになる。なお、たとえば上記ファインエッジ信号 F E をスペクトラムアナライザで観測れば、基本波長（上記 D D の 4 周期を 1 周期とする波形の基本波）の他に、 $1/2$ 、 $1/4$  の周波数の成分が検出することができる。

#### 【0033】

このようなファインエッジ信号 F E を、デジタル・アナログ・コンバータやアナログ・デジタル・コンバータの変換クロックとして用いた場合、タイミングのバラツキが振幅の誤差に変換され、測定結果には周期的な誤差（D D の 4 周期を 1 周期とする周期での誤差）が含まれてしまう。

10

たとえば、図 1 1 に示すようなタイミングエッジ生成回路を用いたスペクトラム・アナライザでは、周期的な誤差が余分なスペクトラムとなって表れるため、測定精度の劣化を招く等の問題が生じる。

#### 【0034】

##### 【発明の目的】

本発明は、上記した種々の問題を解決するために提案されたものであって、入力信号を近接した周期で連続して取り込んでも、グリッチを発生させず、しかも正確なタイミングエッジを得ることができ、さらに同程度の性能を持つ従来の回路に比較して製造コストを大幅に低減できるタイミング調整回路を提供することを目的とする。また、上記タイミング調整回路をタイミングバーニアとして用いたタイミングエッジ生成回路を提供することを目的とする。

20

#### 【0035】

##### 【発明の概要】

本発明のタイミング調整回路は、直列に接続した  $n$  個（ $n$  は 2 以上の整数）のディレイ要素からなり、入力信号  $p_0$  を各ディレイ要素により順次遅延させて、遅延信号  $p_1$ 、 $\dots$ 、 $p_n$  をそれぞれ生成するディレイ手段と、 $n+1$  個の選択信号  $s_0$ 、 $\dots$ 、 $s_n$  により、前記入力信号  $p_0$  および前記各遅延信号  $p_1$ 、 $\dots$ 、 $p_n$  の何れか 1 つを選択する選択手段とからなり、

30

前記選択手段は、選択信号生成回路と、選択ゲート回路と、選択信号保持回路と、遅延信号保持回路とを有して構成され、

前記選択信号生成回路は、前記入力信号  $p_0$  が入力される前に前記選択信号  $s_0$ 、 $\dots$ 、 $s_n$  を生成し、

前記選択ゲート回路は、 $p_0$  と  $s_0$ 、 $p_1$  と  $s_1$ 、 $\dots$ 、 $p_n$  と  $s_n$  をそれぞれ入力とする  $n$  個の選択ゲートを有し、これらの選択ゲートの何れかから  $p_0$ 、 $\dots$ 、または  $p_n$  を出力し、

前記選択信号保持回路は、前記選択信号生成回路からの前記選択信号  $s_0$ 、 $\dots$ 、 $s_n$  を、 $p_0$ 、 $\dots$ 、 $p_n$  のアクティブエッジが各選択ゲートに達する時まで保持し、

前記遅延信号保持回路は、 $n$  個の遅延信号保持要素からなり、前記各選択ゲートに前記アクティブエッジが与えられたときは、前記選択信号が変化しても、該選択ゲートへの入力がインアクティブ状態となるまで、前記各選択ゲートの出力状態を保持する、ことを特徴とする。

40

#### 【0036】

さらに、本発明では、少なくとも前記ディレイ要素の一段あたりの遅れ時間幅の範囲内の遅延時間を持つ密な遅延を生じさせるディレイ手段を、入力段または出力段に設けることもできる。

#### 【0037】

以下、本発明の作用を具体例に基づいて説明する。ここで述べる例では、ある周期のクロック（ここでは、便宜上、これをマスタクロックと言う）の周期  $T$  の  $(1+m)$  倍（ $m$  は

50

入力信号ごとに異なり得る正の整数)の時間間隔を持つ信号(たとえば、タイミングバーニアとして用いた場合にはデジタル・ディレイ信号)がタイミング調整回路に順次入力されるものとする。

また、タイミング調整回路は、直列に接続した複数のディレイ要素(コースディレイ要素)からなるディレイ手段(コースディレイ手段)と、密な遅延を生じさせるディレイ手段(ファインディレイ手段)とを備えているものとする。

【0038】

本発明では、ファインディレイ手段は、入力信号が入力される前に遅延データを取り込んでいる(この遅延データを、「密な遅延データ」と言う)。すなわち、 $(1+m)T$ の周期の信号がファインディレイ手段に入力されたときに、該ディレイ手段には密な遅延データによる遅延時間の設定が既になされている。また、選択信号生成回路は、他の遅延データを、同じく入力信号が入力される前に取り込んでいる(この遅延データを、「粗な遅延データ」と言う)。

10

【0039】

入力信号は、密な遅延データに基づき密に遅延される。この遅延時間の大きさは、たとえば $0 \sim T/2^B$ の範囲( $B$ は粗な遅延データのビット数、 $T/2^B$ は、コースディレイ要素の1つあたりの遅延時間)で設定される。

【0040】

このようにして、ファインディレイ手段により密に遅延された入力信号は、その後段に設けられたコースディレイ手段に入力される。

20

そして、該入力信号はさらに直列に接続された複数のコースディレイ要素により、順次粗に遅延される。

この遅延時間は、上述したように、1つのコースディレイ要素あたり $T/2^B$ である。したがって、入力信号はコースディレイ要素を伝搬するごとに、 $T/2^B$ づつの遅れを生じることになる。

【0041】

一方、選択手段は、粗な遅延データ(本例では、前述したように $B$ ビットである)を入力信号が入力される前に順次取り込み、該データに基づき、前記各コースディレイ要素からの遅延信号の何れか1つを選択する。

【0042】

この選択手段は、選択信号保持回路と、遅延信号保持回路とを有している。

選択信号保持回路は、前記選択信号生成回路からの各選択信号を、前記各コースディレイ要素を順次通過しながら伝搬する入力信号のアクティブエッジが各選択ゲートに達する時まで保持する。

30

【0043】

粗な遅延データの更新は、入力信号がファインディレイ手段またはコースディレイ手段に入力される前に行われるが、入力信号のサイクルが短いと、ある入力信号のエッジがあるコースディレイ要素を通過したときには、既に次の入力信号についての粗な遅延データの更新がなされてしまう場合もあり得る。

図8に示した従来のタイミング調整回路では、このような場合には、図10で示したように、更新された遅延データに基づき遅延信号の選択がなされ、本来選択されるべきでない遅延信号が選択されることになり、正確なタイミングエッジを得ることができない場合が生じたり、本来出力されるべき遅延信号が全く出力されない(すなわち、間引かれる)場合が生じる。

40

一方、本発明においても、入力信号の周期や選択信号の出力タイミングによっては、このような不都合が生じる場合もあり得る。しかし、本発明のタイミング調整回路では、上述したように粗な遅延データの更新がなされても、更新前のデータ列に基づく選択状態は選択信号保持回路により保持されているので、実質上遅延信号が間引かれると言った確率は低い。

【0044】

50

また、遅延信号保持回路は、各選択ゲートにアクティブエッジが与えられたときは、前記選択信号が変化しても、選択ゲートへの入力がインアクティブ状態となるまで、各選択ゲートの出力状態を保持する。

【0045】

図8に示した従来のタイミング調整回路では、図10に示したように、遅延信号がアクティブエッジを出力した後、インアクティブとなる前に粗な遅延データの更新がなされた場合、該遅延信号の出力は停止され、その直後に変更後の粗な遅延データによる選択に基づく出力がなされるために、グリッチが生じる可能性がある。

一方、本発明のタイミング調整回路では、上述したように前記選択信号が変化しても選択ゲートへの入力がインアクティブとなるまで、各選択ゲートの出力状態を保持するので、グリッチの発生の可能性は生じない。

10

【0046】

なお、たとえば、次の段のコースディレイ要素の出力がインアクティブ状態となる時まで、出力状態を維持させることで、該遅延信号がインアクティブとなる時点より更に後まで出力状態を保持させることもできる。この場合には、コースディレイ要素の最終段にさらに前記のコースディレイ要素と同様のディレイ要素を付加することで、該最終段についても上記出力状態の保持を保證することができる。

【0047】

より具体的には、本発明では、前記選択信号生成回路を、入力データ列を復号化するデコーダにより、前記各選択ゲートを、両入力信号の論理積を出力する論理ゲートにより、前記選択信号保持回路を、少なくとも第1段目以降の所定段のコースディレイ要素からの遅延信号を選択するための選択信号を入力とし、前記入力信号または前記所定段より前段のコースディレイ要素の出力により駆動するフリップフロップにより、前記遅延信号保持回路を、前記入力信号または各遅延信号のインアクティブ状態となったときに記憶保持を解除するラッチにより、それぞれ構成することができる。

20

【0048】

【実施例】

図1は、本発明のタイミング調整回路の一実施例を示す図である。

同図において、タイミング調整回路8は、ファインディレイ手段81、コースディレイ手段82、および選択手段9により構成されている。

30

ファインディレイ手段81は、タイミング調整回路8の入力段に設けられており、8ビットのvernier\_dataの下位の5ビット(vernier\_data\_5)に応じて、入力信号を密に遅延させる。コースディレイ手段82は、ファインディレイ手段81の後段に設けられている。

【0049】

ファインディレイ手段81の出力p0および各コースディレイ要素821~827の各出力p1~p7は、選択手段9に入力されている。この選択手段9は、選択信号生成回路(同図では、デコーダ91で示す)と、選択ゲート(同図では、ANDゲート940~947およびORゲート95で示す)と、選択信号保持回路(同図ではFF92で示す)と、遅延信号保持回路(同図では、ラッチ930~937で示す)とにより構成されている。

40

【0050】

デコーダ91は、vernier\_dataのうち上位の3ビット(vernier\_data\_3)分の選択信号s0~s7を出力できる。

FF92は、コースディレイ要素824~827からの遅延信号を選択するための選択信号(デコーダの後半分の4つの選択信号s4~s7)を一時記憶し、ファインディレイ手段81の出力p0の立ち上りエッジにより上記の記憶したs4~s7をラッチ934~937に出力する。

【0051】

ラッチ930~937は立ち上りエッジで動作を行う。すなわち、デコーダ91の1~4

50

番目までの出力  $s_0 \sim s_3$  および  $FF92$  の4つの出力  $s_4 \sim s_7$  を入力としており、ファインディレイ手段 81 の出力  $p_0$  , コースディレイ要素 821 ~ 827 の出力  $p_1 \sim p_7$  がインアクティブとなることにより (この場合には、Lレベルとなることにより) その時の  $s_0 \sim s_7$  のレベルを出力する。

ANDゲート 940 ~ 947 の一方の入力端子には、ファインディレイ手段 81 の出力  $p_0$  , コースディレイ要素 821 ~ 827 の出力  $p_1 \sim p_7$  が入力され、他方の入力端子には、上記ラッチ 930 ~ 937 の出力が入力されている。

#### 【0052】

図2は図1に示したタイミング調整回路と等価な負論理動作回路を示している。図2では、入力信号  $DD$  のLレベル状態がアクティブ状態であり、ファインディレイ手段 81 の出力  $p_0$  の立ち下がりエッジが  $FF92$  を駆動するアクティブエッジとなる。

10

#### 【0053】

なお、ファインディレイ手段 81 , コースディレイ手段 82 , デコーダ 91 および  $FF92$  は図1に示すものと同様であるが、図2の回路は、負論理で動作するため、同図におけるラッチ 960 ~ 967 は、立ち下りエッジで動作を行い、ファインディレイ手段 81 の出力  $p_0$  , コースディレイ要素 821 ~ 827 の出力  $p_1 \sim p_7$  がインアクティブとなることにより (この場合には、Hレベルとなることにより) その時の  $s_0 \sim s_7$  のレベルを出力する。

図2の選択ゲートは、NORゲート 970 ~ 977 と、これらの出力を入力とする NORゲート 98 により構成されているが、実質上の動作は図1の選択ゲートと同じである。

20

#### 【0054】

図3は上記図2のタイミング調整回路8をタイミングバーニアとして有するタイミングエッジ生成回路を示している。この回路は、図5に示した回路のタイミングバーニアとして図1に示すタイミング調整回路を適用したものである。

タイミングバーニアを除く部分で図1と異なるのは、 $FF7$  が負論理の出力となっていることのみである。

#### 【0055】

たとえば、タイミングエッジ生成回路が、連続する4つの  $CLK$  により動作し、タイムデータ  $RAM1$  からは、順次、図10で述べたと同様なデータが出力されるものとする。

#### 【0056】

$CLK$  が連続して4クロック分上記タイミングエッジ生成回路に入力され、タイムデータ  $RAM1$  からは、順次以下に示すようなデータ (括弧内数字は、タイムデータ  $RAM1$  からの出力順を示している) が出力された場合について、図4のタイミングチャートを参照しつつ詳述する。

30

#### 【0057】

```
timing_data(1)
counter_data(1): 00000000
vernier_data(1): 00111110
```

#### 【0058】

```
timing_data(2)
counter_data(2): 00000000
vernier_data(2): 10111110
```

40

#### 【0059】

```
timing_data(3)
counter_data(3): 00000000
vernier_data(3): 11011100
```

#### 【0060】

```
timing_data(4)
counter_data(4): 00000000
vernier_data(4): 00000000
```

50

## 【0061】

図3において、タイムデータRAM1およびFF5にはCLKが入力され、タイムデータRAM1は上記のtiming\_data(1)~timing\_data(4)を順次出力する。

また、FF5はCLKに同期する信号をFIFO3およびFF6に出力したい。FF6は信号start(FF5の出力より1CLK遅れた信号)をカウンタ2に設けられたスタートセクタ21に出力する(図4のCLKおよびstart参照)。

## 【0062】

スタートセクタ21は順次カウンタ回路221~224を選択し、counter\_data(1)~counter\_data(4)の値に応じたCLKの計数を行った後にORゲート23を介してデジタル・ディレイ信号DD\_m1を出力する。ここでは、counter\_data(1)~counter\_data(4)は全て00000000である。

10

## 【0063】

タイムデータRAM1からのvernier\_data(図1では、vernier\_data\_inで示す)は、前述のFF5の出力(fifo\_in)に応じてFIFO3に取り込まれる。そして、FIFO3は前述のDD\_m1の立ち上りエッジにより、8ビットのvernier\_data(1)~vernier\_data(4)をタイミング調整回路(すなわち、タイムバーニア4)に出力する。

## 【0064】

DD\_m1がFIFO3に入力されると、FIFO3はvernier\_dataをデコーダ91に出力する。これにより、デコーダ91のvernier\_data\_3が000から011に変化すると(図4(a)参照)、s0がインアクティブ(Hレベル)となり(同図(b)参照)、s3がアクティブとなる(同図(c)参照)。ファインディレイ手段81により密に遅延されたp0は、コースディレイ要素821~823でさらに粗に遅延され、p3となる。

20

p3のアクティブエッジがラッチ963のコントロール端子に入力されたときに、s3はラッチ963によりラッチされる。また、s3はアクティブレベル(Lレベル)なので、NORゲート973はLレベルからHレベルに変化する(同図(d)参照)。なお、vernier\_data(1)~vernier\_data(4)の10進数表記は190, 220, 255である。

30

## 【0065】

つぎに、p3がインアクティブ(Hレベル)となる前に、vernier\_data\_3が011から101に変化するが、s3はラッチ962によりラッチされているので、vernier\_data\_3の変化によりs3がインアクティブ(Hレベル)になることはない。p3がインアクティブとなると、ラッチ962のラッチは解除されるので、s3はインアクティブとなり(すなわち、立ち上り)、Hレベルに変化する(同図(e)参照)。

## 【0066】

上述したように、この時点で既に、vernier\_data\_3は011から101に変化しているが、vernier\_data\_3が101であるとき(すなわち、p5が選択されるとき)には、選択信号s5はFF91に一時記憶されている。ここで、2番目のDDのアクティブエッジが入力され、p0が立ち下がると、FF91はその出力を更新し(同図(f)参照)し、s5をアクティブ(Lレベル)にする(同図(g)参照)。そして、p5のアクティブエッジ(立ち下りエッジ)で、s5はラッチ965によりラッチされるとともに、NORゲート975の出力が立ち上り(同図(h)参照)、p5がインアクティブとなることでs5のラッチが解除されると同時にNORゲート975の出力が立ち下がる(同図(i)参照)。

40

## 【0067】

3番目のDDのアクティブエッジの入力により、NORゲート976の出力が立ち上り、

50

立ち下りが行われる（同図（j）,（k）参照）。また、4番目のDDのアクティブエッジの入力により、NORゲート970の出力が立ち上り、立ち下りが行われる（同図（l）,（m）参照）。

【0068】

このようにして、DDの1～4番目のアクティブエッジから、 $(T_i + T_{res} \times 190)$ 、 $(T_i + T_{res} \times 220)$ 、 $(T_i + T_{res} \times 255)$ 、 $T_i$ 経過した後に、ファインエッジFEが出力される。ここで $T_i$ は内部遅延時間であり、 $T_{res}$ はタイムバーニアの解像度である。

【0069】

【発明の効果】

以上述べたように、本発明によれば以下のような効果を奏することができる。

（1）入力信号を近接した周期で連続して取り込んでも、グリッチを発生させず、しかも正確なタイミングエッジを得ることができる。

（2）デジタル・アナログ・コンバータやアナログ・デジタル・コンバータの変換クロック源として用いた場合であっても、タイミングのバラツキを生じないので、測定結果に周期的な誤差を含まない。

（3）同程度の性能を持つ従来の回路に比較して製造コストを大幅に低減できる。

【図面の簡単な説明】

【図1】本発明のタイミング調整回路の一実施例を示す図である。

【図2】図1に示したタイミング調整回路と等価な負論理動作回路を示す図である。

【図3】図2のタイミング調整回路をタイミングバーニアとして有するタイミングエッジ生成回路を示す図である。

【図4】図3に示すタイミングエッジ生成回路の各部の動作を示すタイミングチャートである。

【図5】従来のタイミングエッジ生成回路を示す図である。

【図6】従来のタイムバーニアの具体的な回路を示す図である。

【図7】従来のタイムバーニアの他の具体的な回路を示す図である。

【図8】従来のタイムバーニアのさらに他の具体的な回路を示す図である。

【図9】タイムバーニアとして図8の回路を採用した場合の図5のタイミングエッジ生成回路の各部の動作を示すタイミングチャートである。

【図10】タイムバーニアとして図8の回路を採用した場合の図5のタイミングエッジ生成回路の各部の動作を示すタイミングチャートである。

【図11】複数のバーニア回路を用いた従来のタイムバーニアを示す図である。

【符号の説明】

8 タイムバーニア（タイミング調整回路）

81 ファインディレイ手段

82 コースディレイ手段

821～827 コースディレイ要素

9, 9 選択手段

91 デコーダ

92 フリップフロップ

930～937 ラッチ

940～947 ANDゲート

95 ORゲート

960～967 ラッチ

970～977 NORゲート

98 NORゲート

10

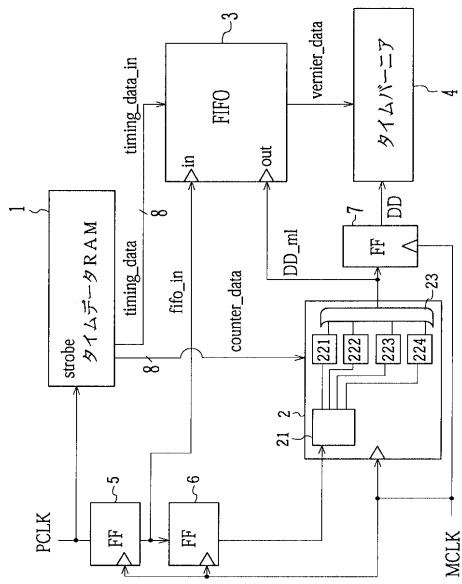
20

30

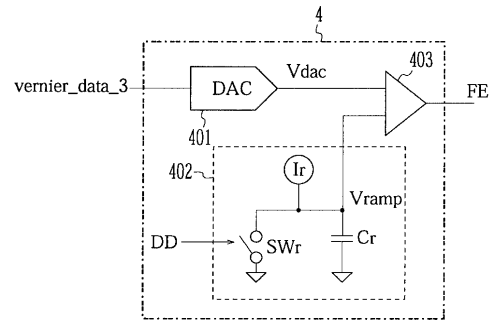
40



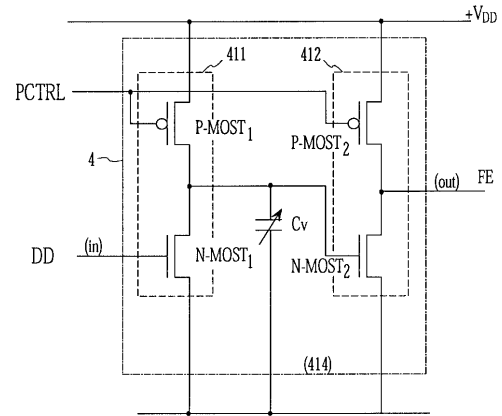
【 図 5 】



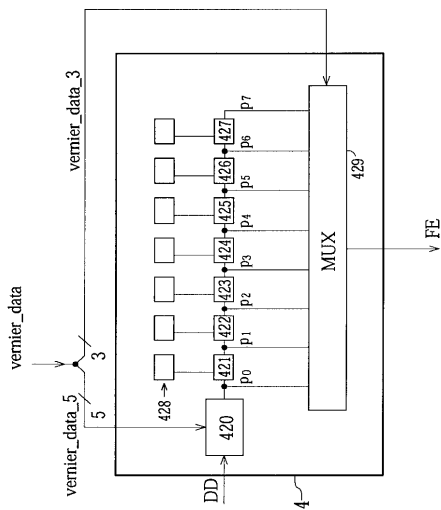
【 図 6 】



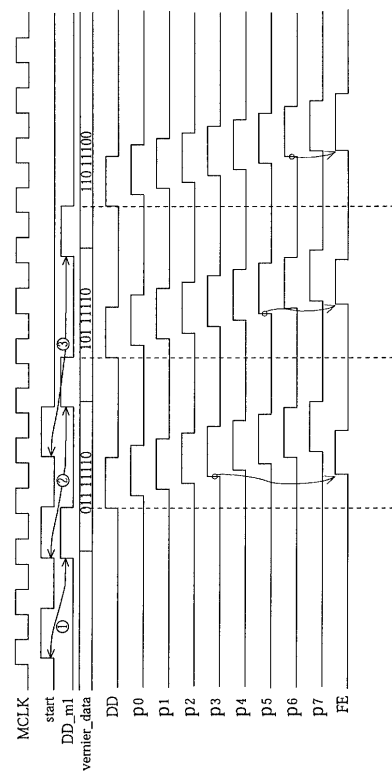
【 図 7 】



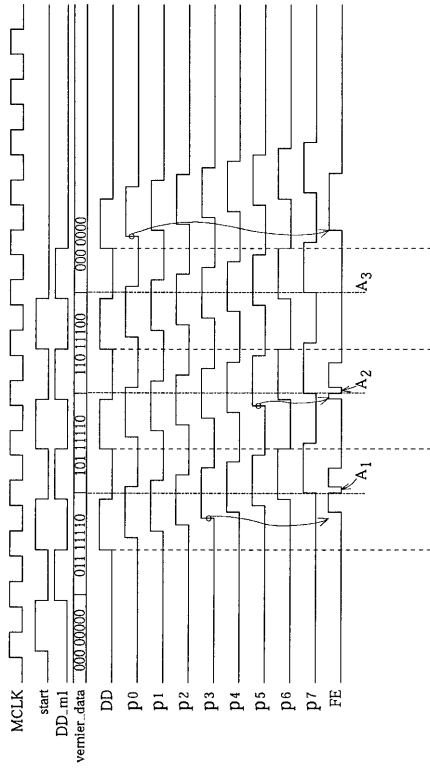
【 図 8 】



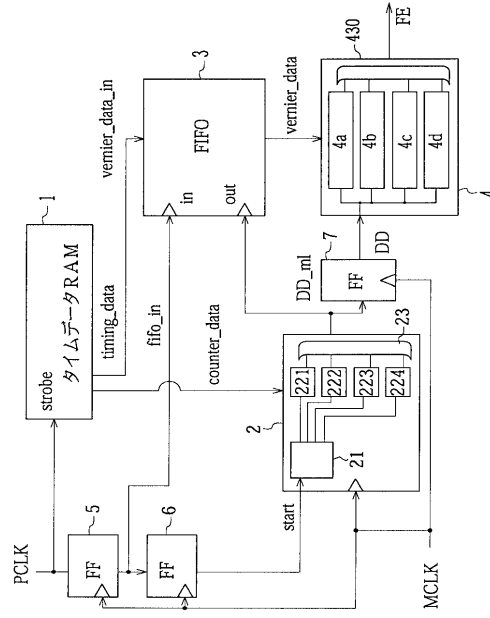
【 図 9 】



【 図 1 0 】



【 図 1 1 】



---

フロントページの続き

審査官 石井 研一

- (56)参考文献 特開平05 - 259844 (JP, A)  
特開平04 - 196813 (JP, A)  
特開平03 - 130678 (JP, A)  
特開平03 - 035613 (JP, A)  
特開昭61 - 047573 (JP, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H03K 5/13