

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-135403

(P2009-135403A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501B

テーマコード (参考)

審査請求 未請求 請求項の数 11 O L (全 9 頁)

(21) 出願番号	特願2008-113180 (P2008-113180)	(71) 出願人	591024111
(22) 出願日	平成20年4月23日 (2008. 4. 23)		株式会社ハイニックスセミコンダクター
(31) 優先権主張番号	10-2007-0123766		HYNIX SEMICONDUCTOR
(32) 優先日	平成19年11月30日 (2007. 11. 30)		INC.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道利川市夫鉢邑牙美里山136-1
			San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
		(74) 代理人	100075557
			弁理士 西教 圭一郎
		(74) 代理人	100072235
			弁理士 杉山 毅至
		(72) 発明者	朴 明 根
			大韓民国 ソウル市 江東区 高德洞 162-4, ダー202

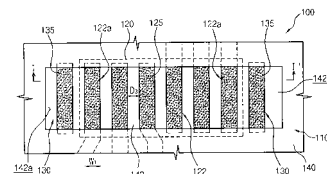
(54) 【発明の名称】 半導体パッケージ用基板およびこれを有する半導体パッケージ

(57) 【要約】

【課題】 半導体チップの bumps と電氣的に接続する複数の接続パッドのうちの、最外郭に配置された接続パッドに配置される溶ダパターンの形成不良を防止できる半導体パッケージ用基板を提供する。

【解決手段】 半導体パッケージ用基板は、基板本体、前記基板本体の表面に指定された間隔で並列配置された複数の接続パッドを含む接続パッドグループ、前記接続パッドグループの両側にそれぞれ配置されたダミー接続パッド、および、前記基板本体を覆って、前記ダミー接続パッドと前記接続パッドグループとを露出させる開口を有する溶ダレジストパターンを含む。 bumps を有する半導体チップを基板に形成された接続パッドに配置された溶ダに bumps する時に、各溶ダの体積が互いに相違することによって発生する bumps 不良を、防止することが可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板本体、

前記基板本体の表面に指定された間隔で並列配置された複数の接続パッドを含む接続パッドグループ、

前記接続パッドグループの両側にそれぞれ配置されたダミー接続パッド、および

前記基板本体を覆って、前記ダミー接続パッドと前記接続パッドグループとを露出させる開口を有するソルダレジストパターンを含む半導体パッケージ用基板。

【請求項 2】

前記接続パッドにはソルダパターンが配置され、前記ダミー接続パッド上にはダミーソルダパターンが配置されることを特徴とする請求項 1 に記載の半導体パッケージ用基板。

10

【請求項 3】

前記ソルダパターンは均一な第 1 の体積を有し、前記ダミーソルダパターンは第 1 の体積とは異なる第 2 の体積を有することを特徴とする請求項 2 に記載の半導体パッケージ用基板。

【請求項 4】

隣接した前記接続パッドおよび前記接続パッドと隣接するように配置されたダミー接続パッドは、同一の間隔で離隔されることを特徴とする請求項 1 に記載の半導体パッケージ用基板。

【請求項 5】

20

前記ダミー接続パッドおよび前記接続パッドは、実質的に同一のサイズを有することを特徴とする請求項 1 に記載の半導体パッケージ用基板。

【請求項 6】

基板本体、前記基板本体の表面に指定された間隔で複数の接続パッドを含む接続パッドグループ、前記接続パッドと隣接するように配置されたダミー接続パッド、および前記ダミー接続パッドと前記接続パッドグループとを露出させる開口を有するソルダレジストパターンを含む基板、

前記各接続パッドに配置されたソルダパターン、

前記各ダミー接続パッドに配置されたダミーソルダパターン、ならびに

前記ソルダパターンと電氣的に接続する bumps を有する半導体チップを含む半導体パッケージ。

30

【請求項 7】

隣接した前記接続パッドおよび前記接続パッドと隣接した前記ダミー接続パッドは、同一の間隔で配置されることを特徴とする請求項 6 に記載の半導体パッケージ。

【請求項 8】

前記隣接した前記接続パッドおよび前記接続パッドと隣接した前記ダミー接続パッドは、互いに異なる間隔で配置されることを特徴とする請求項 6 に記載の半導体パッケージ。

【請求項 9】

前記各ソルダパターンは第 1 の体積を有し、前記各ダミーソルダパターンは第 2 の体積を有することを特徴とする請求項 6 に記載の半導体パッケージ。

40

【請求項 10】

前記各ソルダパターンおよび前記各ダミーソルダパターンは、同一の体積を有することを特徴とする請求項 6 に記載の半導体パッケージ。

【請求項 11】

前記接続パッドおよび前記ダミー接続パッドは、実質的に同一のサイズを有することを特徴とする請求項 6 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ用基板およびこれを有する半導体パッケージに関するもの

50

である。

【背景技術】

【0002】

近年、半導体製造技術の開発により、短時間内により多いデータを処理することに適した半導体素子を有する半導体パッケージが開発されている。

【0003】

半導体パッケージは、純度高いシリコンから成るウエハー上に半導体チップを製造する半導体チップ製造工程、半導体チップを電氣的に検査するダイソーティング工程、および良品半導体チップをパッケージングするパッケージング工程等を通して、製造される。

【0004】

最近では、半導体パッケージのサイズが半導体チップサイズの約100%乃至105%に過ぎないチップスケールパッケージ (chip-scale-package) が開発されている。

【0005】

チップスケールパッケージの1つのフリップチップパッケージ (flip chip package) は、リードフレームを使わないで、半導体チップの bumps を基板の接続パッドに電氣的に直接連結して、半導体パッケージの体積を著しく減少させる。

【0006】

最近、半導体チップの集積度が向上することに伴って bumps の個数は順次に増加されて、これによって bumps の間の間隔も著しく減少されている。

【0007】

たとえば、基板に微細ピッチを有する複数の接続パッドを並列方式で配置し、接続パッドを覆うソルダレジスト膜を形成した後、ソルダレジスト膜をパターンニングして、複数の接続パッドを共に露出させる1つの開口を形成した後、開口に接続パッドを覆うソルダペースト膜を形成する。ソルダペースト膜を形成した後、ソルダペースト膜を溶融させて、ソルダペーストに含まれているソルダが接続パッドに集まる現象を利用して、微細ピッチを有する接続パッド上にソルダパターンを形成する。

【0008】

しかし、上述した方法によってソルダパターンを形成するとき、基板上に配置された接続パッドのうちの最外郭に配置された接続パッド上に配置されたソルダパターンの体積と、最外郭接続パッドを除いた接続パッド上に配置されたソルダパターンの体積とが、互いに違うという問題がある。

【0009】

このような問題点は、ソルダレジスト膜に形成された開口の形成位置の誤差によって発生する。

【0010】

もちろん、ソルダレジスト膜の開口の位置を精密に制御することによって、最外郭に配置された接続パッド上に配置されるソルダの体積は精密に制御することができる。

【0011】

しかし、ソルダレジスト膜の開口を形成する際に発生が避けられない開口形成位置誤差を考慮した時、単にソルダレジスト膜の開口の位置だけでは、最外郭に配置された接続パッド上に配置されるソルダパターンの体積を精密に制御するのは困難であり、このため、半導体チップの bumps を接続パッドに bumping する時に、頻繁に不良が発生してしまう。

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の1つの目的は、半導体チップの bumps と電氣的に接続する接続パッドのうちの、最外郭に配置された接続パッドに配置されるソルダパターンの形成不良を防止できる半導体パッケージ用基板を提供することである。

【0013】

本発明の他の目的は、前記半導体パッケージ用基板を有する半導体パッケージを提供することである。

【0014】

本発明による半導体パッケージ用基板は、基板本体、前記基板本体の表面に指定された間隔で並列配置された複数の接続パッドを含む接続パッドグループ、前記接続パッドグループの両側にそれぞれ配置されたダミー接続パッド、および、前記基板本体を覆って、前記ダミー接続パッドと前記接続パッドグループとを露出させる開口を有するソルダレジストパターンを含む。

【0015】

前記接続パッドにはソルダパターンが配置され、前記ダミー接続パッド上にはダミーソルダパターンが配置される。

【0016】

前記ソルダパターンは均一な第1の体積を有し、前記ダミーソルダパターンは第1の体積とは異なる第2の体積を有する。

【0017】

隣接した前記接続パッドおよび前記接続パッドと隣接するように配置されたダミー接続パッドは、同一の間隔で離隔される。

【0018】

前記ダミー接続パッドおよび前記接続パッドは、実質的に同一のサイズを有する。

本発明による半導体パッケージは、基板本体、前記基板本体の表面に指定された間隔で複数の接続パッドを含む接続パッドグループ、前記接続パッドと隣接するように配置されたダミー接続パッド、および前記ダミー接続パッドと前記接続パッドグループとを露出させる開口を有するソルダレジストパターンを含む基板、前記各接続パッドに配置されたソルダパターン、前記各ダミー接続パッドに配置されたダミーソルダパターン、ならびに、前記ソルダパターンと電氣的に接続する bumps を有する半導体チップを含む。

【0019】

隣接した前記接続パッドおよび前記接続パッドと隣接した前記ダミー接続パッドは、同一の間隔で配置される。

【0020】

前記隣接した前記接続パッドおよび前記接続パッドと隣接した前記ダミー接続パッドは、互いに異なる間隔で配置される。

【0021】

前記各ソルダパターンは第1の体積を有し、前記各ダミーソルダパターンは第2の体積を有する。

【0022】

前記各ソルダパターンおよび前記各ダミーソルダパターンは、同一の体積を有する。

前記接続パッドおよび前記ダミー接続パッドは、実質的に同一のサイズを有する。

【発明の効果】

【0023】

本発明によれば、bumps を有する半導体チップを基板に形成された接続パッドに配置されたソルダにバンピングする時に、各ソルダの体積が互いに違うことによって発生するバンピング不良を、防止することができる。

【発明を実施するための最良の形態】

【0024】

図1は、本発明の一実施形態による半導体パッケージ用基板を示した平面図である。図2は、図1のI-I'線に沿って切断した断面図である。

【0025】

図1および図2を参照すれば、半導体パッケージ用基板100は、基板本体110、接

10

20

30

40

50

続パッドグループ 120、ダミー接続パッド 130 およびソルダレジストパターン 140 を含む。

【0026】

基板本体 110 は、例えば、プレート形状を有する印刷回路基板（PCB）であり得る。

【0027】

プレート形状を有する基板本体 110 は、第 1 面 112 および第 1 面 112 と対向する第 2 面 114 を含む。

【0028】

接続パッドグループ 120 は基板本体 110 の第 1 面 112 上に配置され、接続パッドグループ 120 は複数個の接続パッド 122 を含む。複数個の接続パッド 122 は第 1 面 112 上に相互平行に配置されて、各接続パッド 122 は、平面上で見た時、バー（bar）形状を有する。

【0029】

接続パッドグループ 120 に含まれている各接続パッド 122 は、基板本体 110 の第 1 面 112 と対向する第 2 面 114 上に形成されたボールランド（図示せず）と電氣的に連結される。ボールランド上にはソルダボール（図示せず）を電氣的に接続することができる。

【0030】

接続パッドグループ 120 に含まれている各接続パッド 122 は、同一の間隔 D3 で離隔され、同一の間隔 D3 で離隔された各接続パッド 122 は全て同一のサイズを有する。例えば、同一の間隔 D3 で離隔された各接続パッド 122 は同一の幅 W1 を有する。

【0031】

ダミー接続パッド 130 は、基板本体 110 の第 1 面 112 上に配置される。ダミー接続パッド 130 は、接続パッドグループ 120 の両側にそれぞれ配置される。ダミー接続パッド 130 は、例えば、接続パッドグループ 120 の両側に 1 つずつ形成される。これと異なって、ダミー接続パッド 130 は、接続パッドグループ 120 に含まれている接続パッド 122 の間に配置されてもよい。

【0032】

ダミー接続パッド 130 は、基板本体 110 の第 1 面 112 上に島（island）形状に配置される。つまり、ダミー接続パッド 130 は、例えば、ボールランドまたは接続パッド 122 と電氣的に連結しない。これと異なって、ダミー接続パッド 130 はボールランドまたは接続パッド 122 と電氣的に連結することもできる。

【0033】

接続パッドグループ 120 の両側に配置された各ダミー接続パッド 130 は、接続パッドグループ 120 に含まれている接続パッド 122 中の最外郭に配置された接続パッド 122a に対して、接続パッド 122 間の間隔として定義された前記 D3 の間隔で離隔される。ダミー接続パッド 130 は、各接続パッド 122 と同一の形状を有し得る。例えば、各ダミー接続パッド 130 は、接続パッド 122 と同一の幅 W1 を有する。これと異なって、ダミー接続パッド 130 は各接続パッド 122 とは異なる形状を有してもよい。

【0034】

接続パッド 122 を有する接続パッドグループ 120 およびダミー接続パッド 130 が形成された基板本体 110 の第 1 面 112 上には、接続パッド 122 およびダミー接続パッド 130 を露出させる開口 142 を有するソルダレジストパターン 140 が形成される。

【0035】

ソルダレジストパターン 140 の開口 142 は、ソルダレジストパターン 140 に開口 142 を形成する装置の工程偏差によって、開口 142 の形成位置が変動して、これによって接続パッドグループ 120 の両側に配置された各ダミー接続パッド 122 の外側に配置される開口 142a、142b の開口面積は、互いに相違し得る。

10

20

30

40

50

【0036】

例えば、図1の接続パッドグループ120の左側に配置された開口142aの開口面積は、図1の接続パッドグループ120の右側に配置された開口142bの開口面積よりも小さく形成され得る。

【0037】

図1および図2を再び参照すれば、接続パッド122上には溶ダパターン125が配置され、ダミー接続パッド130上にはダミー溶ダパターン135がそれぞれ配置される。

【0038】

各接続パッド122上に配置された溶ダパターン125は、全て実質的に同一の第1の体積を有する。

10

【0039】

本実施形態において、各接続パッド122上に第1の体積を有する溶ダパターン125が形成されるのは、接続パッドグループ120の両側にダミー接続パッド130が配置されるからである。

【0040】

一方、接続パッドグループ120の両側に配置された各ダミー接続パッド130の外側の開口142a、142bの開口面積が互いに違うので、ダミー接続パッド130上に配置されたダミー溶ダパターン135は、第1の体積とは違った第2の体積を有する。また、接続パッドグループ120の両側にそれぞれ配置されたダミー溶ダパターン135は、互いに異なる体積を有し得る。これと異なって、ダミー溶ダパターン135は全て同一の第1の体積を有してもよい。

20

【0041】

本実施形態において、半導体チップの bumps と電氣的に接続される部分は接続パッド122であり、ダミー接続パッド130は半導体チップの bumps と電氣的に連結されていないため、ダミー接続パッド130上に配置されたダミー溶ダパターン135の体積が互いに違ってても、半導体チップの bumps 接続不良は発生しない。

【0042】

図3は、本発明の一実施形態による半導体パッケージを示した断面図である。

図3を参照すれば、半導体パッケージ300は基板100および半導体チップ200を含む。

30

【0043】

基板100は基板本体110を含む。例えば、基板本体110はプレート形状を有する印刷回路基板（PCB）であり得る。プレート形状を有する基板本体110は、第1面112および第1面112と対向する第2面114を含む。

【0044】

基板本体110の第1面112上には、接続パッドグループ120が配置される。接続パッドグループ120は複数個の接続パッド122を含む。接続パッド122は、第1面112上に、複数個が相互平行に配置される。

【0045】

接続パッドグループ120に含まれている各接続パッド122は、基板本体110の第1面112と対向する第2面114上に形成されたボールランド（図示せず）と電氣的に連結される。ボールランド上には溶ダボール（図示せず）を電氣的に接続することができる。

40

【0046】

例えば、接続パッドグループ120に含まれている各接続パッド122は、同一の間隔D3で離隔され、同一の間隔D3で離隔された各接続パッド122は全て同一のサイズを有する。例えば、同一の間隔D3で離隔された各接続パッド122は同一の幅W1を有する。

【0047】

50

ダミー接続パッド 130 は基板本体 110 の第 1 面 112 上に配置される。ダミー接続パッド 130 は、例えば、接続パッドグループ 120 の両側にそれぞれ配置される。ダミー接続パッド 130 は接続パッドグループ 120 の両側に、例えば、それぞれ一つが配置される。

【0048】

ダミー接続パッド 130 は、基板本体 110 の第 1 面 112 上に島形状に配置される。つまり、ダミー接続パッド 130 は、例えば、ボールランドまたは接続パッドと電氣的に連結されていない。これと異なって、ダミー接続パッド 130 は、ボールランドまたは接続パッド 122 と電氣的に連結することもできる。

【0049】

接続パッドグループ 120 の両側に配置された各ダミー接続パッド 130 は、接続パッドグループ 120 に含まれている接続パッド 122 中の最外郭に配置された接続パッド 122a に対して、接続パッド 122 間の間隔である前記 D3 の間隔で離隔され、また、ダミー接続パッド 130 は各接続パッド 122 と同一の形状を有する。例えば、各ダミー接続パッド 130 は接続パッド 122 と同一の幅 W1 を有する。

【0050】

接続パッド 122 を有する接続パッドグループ 120 およびダミー接続パッド 130 が形成された基板本体 110 の第 1 面 112 上には、接続パッド 122 およびダミー接続パッド 130 を露出させる開口 142 を有するソルダレジストパターン 140 が形成される。

【0051】

ソルダレジストパターン 140 の開口 142 は、ソルダレジストパターン 140 に開口 142 を形成する装置の工程偏差によって、開口 142 の形成位置が変動して、これによって接続パッドグループ 120 の両側に配置された各ダミー接続パッド 122 の外側の開口 142a、142b の開口面積は、互いに相違し得る。例えば、図 1 の接続パッドグループ 120 の左側に配置された開口 142a の開口面積は、図 1 の接続パッドグループ 120 の右側に配置された開口 142b の開口面積よりも小さく形成され得る。

【0052】

接続パッド 122 上にはソルダパターン 125 が配置され、ダミー接続パッド 130 上にはダミーソルダパターン 135 が配置される。

【0053】

各接続パッド 122 上に配置されたソルダパターン 125 は、全て実質的に同一の第 1 の体積を有する。各接続パッド 122 上に配置されたソルダパターン 125 が皆同一の第 1 の体積を有する。本実施形態で、各接続パッド 122 上に第 1 の体積を有するソルダパターン 125 が形成されるのは、接続パッドグループ 120 の両側にダミー接続パッド 130 が配置されるからである。

【0054】

一方、接続パッドグループ 120 の両側に配置された各ダミー接続パッド 130 の外側の開口 142a、142b の開口面積が互いに違うので、ダミー接続パッド 130 上に配置されたダミーソルダパターン 135 は、第 1 の体積とは違った第 2 の体積を有する。また、接続パッドグループ 120 の両側にそれぞれ配置されたダミーソルダパターン 135 は、互いに異なる体積を有する。

【0055】

半導体チップ 200 は半導体チップ本体 210 を有する。半導体チップ本体 210 は直六面体形状を有して、半導体チップ本体 210 は上面 212 および上面 212 と対向する下面 214 を含む。

【0056】

半導体チップ 200 の下面 214 にはボンディングパッド 220 が配置される。本実施形態において、ボンディングパッド 220 の位置は、例えば、基板 100 の接続パッドグループ 120 の各接続パッド 122 と対応する。

10

20

30

40

50

【0057】

ボンディングパッド220上にはバンプ230が配置される。バンプ230は、例えば、ソルダまたは金（gold）を含む。本実施形態において、バンプ230は、選択的に、基板100の接続パッドグループ120に含まれている接続パッド122と電氣的に連結される。この時、接続パッドグループ120に含まれている各接続パッド122上に配置されたソルダパターン125は、全て均一な体積および形状を有するから、バンプ230およびソルダパターン125が接続される時、ソルダパターン125の形状および体積差により発生するバンピング（bumping）不良を防止することができる。

【0058】

以上、ここでは本発明を特定の実施形態に関連して示し説明したが、本発明はそれに限定されるものではなく、特許請求の範囲に記載した本発明の精神と分野を逸脱しない範囲内で本発明が多様に改造および変更され得るということを、当業界で通常の知識を有する者は容易に理解することができる。

【図面の簡単な説明】

【0059】

【図1】本発明の一実施形態による半導体パッケージ用基板を示した平面図である。

【図2】図1のI-I'線に沿って切断した断面図である。

【図3】本発明の一実施形態による半導体パッケージを示した断面図である。

【符号の説明】

【0060】

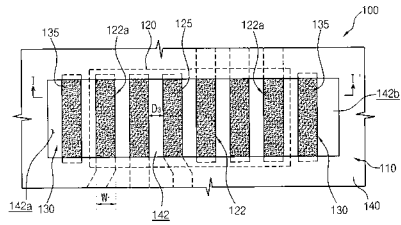
- 100 半導体パッケージ用基板
- 110 基板本体
- 112 基板本体第1面
- 114 基板本体第2面
- 120 接続パッドグループ
- 122 接続パッド
- 122a 最外郭接続パッド
- 125 ソルダパターン
- 130 ダミー接続パッド
- 135 ダミーソルダパターン
- 140 ソルダレジストパターン
- 142, 142a, 142b 開口
- 200 半導体チップ
- 210 半導体チップ本体
- 212 半導体チップ本体上面
- 214 半導体チップ本体下面
- 220 ボンディングパッド
- 230 バンプ
- 300 半導体パッケージ

10

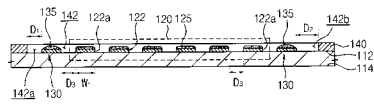
20

30

【図 1】



【図 2】



【図 3】

