

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4902601号
(P4902601)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int.Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 H
G09G 3/288 (2006.01)	G09G 3/28 E
G09G 3/20 (2006.01)	G09G 3/28 B
	G09G 3/20 641E
	G09G 3/20 642E
請求項の数 2 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2008-177554 (P2008-177554)	(73) 特許権者	599132708
(22) 出願日	平成20年7月8日(2008.7.8)		日立プラズマディスプレイ株式会社
(62) 分割の表示	特願2001-240662 (P2001-240662) の分割		宮崎県東諸県郡国富町大字田尻1815番地1
原出願日	平成13年8月8日(2001.8.8)	(74) 代理人	100100310
(65) 公開番号	特開2008-282039 (P2008-282039A)		弁理士 井上 学
(43) 公開日	平成20年11月20日(2008.11.20)	(72) 発明者	金澤 義一
審査請求日	平成20年7月8日(2008.7.8)		神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社 社内
前置審査		(72) 発明者	浅生 重晴
			神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会社 社内
最終頁に続く			

(54) 【発明の名称】 プラズマディスプレイ装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1方向に伸びる第1電極と第2電極を隣接して配置し、1表示フィールドはリセット期間、アドレス期間及び維持放電期間を有する複数のサブフィールドを有するプラズマディスプレイ装置の駆動方法であって、

前記アドレス期間は、前記第2電極に負極性の走査パルスを印加する期間であり、

前記維持放電期間は、前記第1電極と前記第2電極の少なくとも何れか一方に、維持放電を行うための維持パルスを印加する期間であり、

前記リセット期間は、少なくとも書き込み放電工程と消去放電工程とを備え、

前記書き込み放電工程の際に、電圧値が時間の経過に伴って増大方向に徐々に変化する傾きの緩やかな第1のスロー波の電圧を前記第2電極に印加し、

前記消去放電工程の際に、電圧値が時間の経過に伴って減少方向に徐々に変化する傾きの緩やかな第2のスロー波の電圧を前記第2電極に印加し、

前記維持パルスの印加数が第1のサブフィールドより多い第2のサブフィールドの直後のサブフィールドでの、前記第1のスロー波の最大到達電圧時での前記第1及び第2電極間の電圧差が、前記第1のサブフィールドの直後のサブフィールドでの、前記第1のスロー波の最大到達電圧時での前記第1及び第2電極間の電圧差よりも大きくなるように、前記第1のスロー波の電圧の到達電圧値を異ならせることを特徴とするプラズマディスプレイ装置の駆動方法。

【請求項2】

請求項 1 に記載のプラズマディスプレイ装置の駆動方法において、

前記書き込み放電工程の前記第 1 のスロー波の電圧は、単位時間当たりの電圧変化量が一定な所定の傾きを有するスロー波の電圧であることを特徴とするプラズマディスプレイ装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマディスプレイ (PDP) 装置及びその駆動方法に関し、特に各維持放電電極の両側に表示ラインを形成し、インタレース表示を行う ALIS (Alternate Lighting of Surfaces) 方式の PDP 装置及びその駆動方法に関する。

10

【背景技術】

【0002】

特許第 2001893 号 (特許文献 1) は、高精細の表示を低コストで実現する ALIS 方式の PDP 装置を開示している。図 1 は、この文献に開示された ALIS 方式の PDP 装置の概略構成を示すブロック図である。図示のように、ALIS 方式の PDP 装置は、維持放電電極を構成する第 1 電極 (X 電極) X-1, X-2, ... 及び第 2 電極 (Y 電極) Y-1, Y-2, ... と、アドレス電極 A-1, A-2 ... とが設けられたパネル 1 と、制御回路 11 と、アドレスドライバ 13 と、走査ドライバ 12 と、奇数 Y 維持放電 (サステイン) 回路 16 と、偶数 Y 維持放電 (サステイン) 回路 17 と、奇数 X 維持放電 (サステイン) 回路 14 と、偶数 X 維持放電 (サステイン) 回路 15 と、電源回路 18 とを備える。

20

【0003】

ALIS 方式の特徴は、各 Y 電極の上側に隣接する X 電極との間で第 1 表示ラインを形成し、下側に隣接する X 電極との間で第 2 表示ラインを形成し、奇数フィールドで第 1 表示ラインを表示し、偶数フィールドで第 2 表示ラインを表示するインタレース表示を行う点で、この特徴により同じ X 電極及び Y 電極の本数で、従来の 2 倍の表示ラインが得られ、高精細化できる点である。

【0004】

また、PDP 装置では、表示品質や信頼性の向上、消費電力の低減、低コスト化などのために各種の技術が提案されている。本発明はリセット動作に関係するが、これに関係する技術としては、例えば、特開 2000-75835 号公報 (特許文献 2) は、ALIS 方式のパネルにおいて傾きの緩やかな電圧波形を有するリセットパルスを利用してコントラストを改善する技術を開示している。また、特表 2000-501199 号公報 (特許文献 3) は、ランプ波を利用したリセット方式を開示している。更に、特開 2000-242224 号公報 (特許文献 4) は全表示セルの点灯を伴うリセットパルスを第 1 サブフィールドのみに適用してコントラストを向上する技術を開示している。更に、特開 2000-29431 号公報 (特許文献 5) はサブフィールドの発光画素比率に従ってリセット電圧を変化させることにより動作を安定させる技術を開示しており、特開 2000-172224 号公報 (特許文献 6) は直前のサブフィールドの維持放電回数に応じてリセット

30

40

【0005】

近年、PDP 装置の表示性能は著しく向上し、輝度、精細度及びコントラストなどにおいてもブラウン管に近い性能が得られるようになってきた。しかしながら、放送や映像ソフトの進化に伴い、表示装置側にも更なる性能向上が望まれており、暗室コントラストに関しても更なる向上が望まれている。この暗室コントラストを低下させる原因である黒表示の輝度は、放電の安定化のためのリセット放電による発光であり、多くの表示ラインを高速でアドレスするためには、十分なリセット放電が必要であり、そのためにある程度の輝度を伴う放電が必要であった。このように安定動作と暗室コントラストは相反する関係にある。上記特許文献 4 によれば、全表示セルの点灯を伴うリセットパルスを 1 フィールド

50

ドに1回、すなわち1個のサブフィールドのみで印加し、他のサブフィールドでは前のサブフィールドで点灯していた表示セルでのみ消去放電のみを実行することにより、大幅に背景発光（黒輝度）が低減し、暗室コントラストが向上する。

【0006】

一方、特許文献1に開示されたALIS方式のPDP装置においては、特許文献2に開示されたスロー波形状のリセットパルスを利用することにより、500：1程度の暗室コントラストが得られている。しかしながら、この方法はすべてのサブフィールドで全表示セルを対象としたリセット放電を実施しているため、特許文献4に開示された技術を適用した場合の背景発光の輝度より輝度が10倍程度高くなっている。ALIS方式のような全ての電極の隙間を表示ラインとして利用するパネルや高精細パネルにおいては、上下に隣接する表示セル間の結合が強く、点灯セルから消灯セルへの電荷の拡散が起きやすい。従って、リセット後にアドレス放電や維持放電を実施しない場合でも表示セルの状態が変化する。そのために、次のサブフィールドのアドレス放電を安定に実施するためには、あらかじめ消灯セルを含めて全表示セルを対象としたリセット放電を実施する必要があった。

10

【特許文献1】特許第2001893号

【特許文献2】特開2000-75835号公報

【特許文献3】特表2000-501199号公報

【特許文献4】特開2000-242224号公報

【特許文献5】特開2000-29431号公報

20

【特許文献6】特開2000-172224号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

図2は、ALIS方式のパネルで維持放電により電荷が隣接する表示セルに拡散する様子を示している。ALIS方式のパネルでは、維持電極（X電極、Y電極）は等間隔に配置されており、全ての電極の隙間で放電が可能な構造となっている。この図では、奇数フィールドにおいてX2電極とY2電極間に点灯セルが形成される場合の動作を示している。図2の（A）は維持放電期間の初期の様子を示している。放電によって生成された電子や正イオンなどの荷電粒子は放電空間内を電界によって移動する。ALIS方式のパネルや高精細パネルでは、隣接セルの電極が点灯セルの近傍にあり、そこには強電界がかかっているため電荷が移動して蓄積しやすい。この場合、隣接セルに拡散する電荷は、ほとんどが移動度の大きい電子である。

30

【0008】

図2の（B）は、維持放電を繰返し実施した場合、つまり維持放電パルス数が多い（維持放電期間が長い）サブフィールドの維持放電期間の後半の状態を示す。次のサブフィールドに移行する段階で、仮に特許文献4に開示されたように点灯セルのみを対象としたリセット（消去）を実施した場合、点灯セルに隣接する消灯セルの電荷はそのまま残留することになる。そのような状態でアドレス期間に入り、図2の（C）に示すように、Y1電極に走査パルスが印加されると、走査パルスの-170VにY1電極に蓄積された負電荷による電圧が重畳される。そのため、消灯セルでアドレスパルスが印加されず、アドレス電極AとY電極間に放電が無い表示セルでもX電極とY電極間に放電が発生してしまう。この表示セルは次の維持放電期間で発光することになり、誤表示になる。また、図2の（D）に示すように、X3電極に負電荷が蓄積されている場合には、Y3電極に走査パルスが印加され、アドレス電極Aにアドレスパルスが印加されてY3電極とアドレス電極の間で放電が実行されても、X電極側の負電荷が実効電圧を低下させるためX電極とY電極間の放電が不発となり、維持放電に必要な壁電荷が形成されず、維持放電が行われなくなる。すなわち不点灯になる。

40

【0009】

このように、ALIS方式のパネルのような隣接セルの電極が近くに存在するパネルで

50

は、すべてのサブフィールドごとの全表示セルを対象としたリセット放電が不可欠であった。また、蓄積電荷がもっとも多い場合を想定してリセット電圧を設定し、全サブフィールドにおいてその電圧でリセットを行っていた。そのため、リセット電圧は高くなり、背景発光をある程度以下に低減することが難しく、暗室コントラスト向上が不十分であった。

【0010】

本発明は、このような問題を解決するもので、ALIS方式のパネルのような隣接セルの電極が近くに存在するパネルでも、背景発光を十分に低減し、暗室コントラストを更に向上できるPDP装置の駆動方法及びPDP装置を実現することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、上記目的を実現するため、第1方向に伸びる第1電極と第2電極を隣接して配置し、1表示フィールドはリセット期間、アドレス期間及び維持放電期間を有する複数のサブフィールドを有するプラズマディスプレイ装置の駆動方法であって、前記リセット期間は、少なくとも書き込み放電工程と消去放電工程とを備え、前記書き込み放電工程の際に、電圧値が時間の経過に伴って増大方向に徐々に変化する傾きの緩やかな第1のスロー波形の電圧を前記第2電極に印加し、前記消去放電工程の際に、電圧値が時間の経過に伴って減少方向に徐々に変化する傾きの緩やかな第2のスロー波形の電圧を前記第2電極に印加し、前記複数のサブフィールドのうち少なくとも2個のサブフィールドにおける前記第1のスロー波形の電圧の到達電圧値を異ならせる。

【発明の効果】

【0012】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。本発明によれば、各サブフィールドのリセット放電において、必要以上に大きな電圧を印加することがないため、背景輝度を低減でき、暗室コントラストを向上させることができる。

【発明を実施するための最良の形態】

【0013】

以下本発明の実施例を説明するが、ここでは特許文献1に開示された図1に示したような構成を有するALIS方式のPDP装置に本発明を適用した場合を例として説明する。

【0014】

図3は、本発明の実施例のPDP装置の駆動波形を示す図であり、奇数フィールドにおける駆動波形を示している。本発明は、リセット期間の駆動波形に特徴があり、アドレス期間及び維持放電期間は従来例と同じであるので、ここでは説明は省略し、リセット期間の電圧波形について説明する。

【0015】

図4は、本発明の実施例において、リセット期間にX電極とY電極に印加される電圧波形を示す図である。リセット期間では、X電極に徐々に $-V_{wx}$ ($-120V$)に到達する傾きの緩やかなスロー波形のパルス印加する。このような波形を使用することにより、前のサブフィールドで点灯していた表示セルの壁電荷を消去する。これが第1消去期間である。次にX電極の電圧を維持した状態でY電極にスロー波形のパルス印加して、全表示セルを対象として放電させて壁電荷を形成する。これが書き込み期間である。その後、更にX電極に電圧 V_x ($90V$)を印加した状態で、Y電極に $-V_{ey}$ ($-160V$)に到達するスロー波形のパルス印加する。これが第2消去期間である。

【0016】

本発明では、第1消去期間及び書き込み期間にX電極とY電極間に印加する電圧を調整するのが特徴である。なお、図4に示すように印加電圧はスロー波形であり徐々に変化するので、ここで電圧を調整するとは最終的に印加される電圧レベルを調整することを意味する。電圧の調整方法としては、Y電極側の電圧を調整する方法、X電極側の電圧を調整する方法、更に両者を調整する方法がある。図4では、X電極に印加するスロー波形

10

20

30

40

50

の到達する最終電圧が $-V_w \times 1$ から $-V_w \times 2$ までの範囲で変化し、Y電極に印加するスロープ波形の到達する最終電圧が $V_w 1$ から $V_w 2$ までの範囲で変化する。 $-V_w \times 2$ は従来と同じ $-120V$ であり、 $-V_w \times 1$ は $-50V$ であり、この範囲内で各サブフィールド毎に所定の値に設定している。また、 $V_w 2$ は従来と同じ $200V$ であり、 $V_w 1$ は $100V$ であり、サブフィールドの条件や表示状態に応じてこの範囲内で所定の値に設定している。

【0017】

図5は、上記のようなリセット波形を発生する駆動回路の構成を示す図であり、図1の奇数Xサスティン回路14、偶数Xサスティン回路15、奇数Yサスティン回路16、及び偶数Yサスティン回路17の部分に相当する。参照番号31はX電極に印加する維持放電パルス生成回路であり、41はY電極に印加する維持放電パルス生成回路である。この駆動回路では、X電極側及びY電極側共に、あらかじめリセット用の電圧値が4種類それぞれ用意されている。パネル1の表示セル21のY電極に印加する電圧はスイッチ42～45のいずれかを選択的にオンすることで対応する電圧値が出力される。また、X電極側については、もっとも低い（絶対値のもっとも大きな）電圧 $-V_w \times$ の電源が設けられており、この電圧を出力する時にはスイッチ37をオンした上でスイッチ35をオンにする。また、それより高い（絶対値の小さな）電圧を出力する場合にはスイッチ37をオフした状態でスイッチ38又は39をオンにするか又は両方をオフにしてスイッチ35をオンする。スイッチ37をオンした場合には、電圧 $-V_w \times$ がパネル1の表示セル21のX電極に出力され、それ以外の時には1個から3個のツエナーダイオードで規定される電圧を差し引いた電圧が出力される。なお、本実施例では、Y電極側は複数の電源から、X電極側は単一電源からツエナーダイオードを利用して出力電圧を生成しているが、X電極側とY電極側の両者共いづれか一方の方式で実現することも可能である。なお、本実施例では出力電圧が取りうる電圧値は4種類であるが、この程度であっても背景発光を十分に低減することが可能である。

【0018】

図6は、本発明の第1実施例における各サブフィールドのリセット波形を示す図である。PDP装置は、発光するか発光しないかの制御しか行えないので、階調レベルの表示は1フィールドを複数のサブフィールドで構成し、点灯するサブフィールドを組み合わせることにより行う。第1実施例では、1フィールド（奇数フィールド又は偶数フィールド）は10個のサブフィールドで構成されており、第1サブフィールドと第10サブフィールドの維持放電期間がもっとも長く、維持放電パルスがもっとも多いのもっとも明るい。そして、中央のサブフィールドほど維持放電期間が短くなっている。これはPDP装置特有の画質劣化現象である色偽輪郭を低減するための表示シーケンスである。

【0019】

第1実施例では、リセット期間の書き込み期間にY電極に印加する電圧 V_w のみを可変にし、これをリセット電圧と呼ぶことにする。第1実施例では、次に説明する理由で、第1サブフィールドのリセット電圧をもっとも大きく設定している。第1の理由は、ALS方式の場合、第1サブフィールドで奇数行の表示と偶数行の表示が切り替わるため、前のフィールドで点灯していなかった電極対側も活性化しておく必要があるためである。第2の理由は、フィールドの周期は表示装置の外部から入力される垂直同期信号に同期する。そのため、垂直同期信号の周期が長い映像信号の場合、最終サブフィールドが終了してから第1サブフィールドが開始されるまでの時間が長くなり、放電の安定度を左右するブライミング効果が低下するため、あらためて全表示セルに対して比較的強い放電を実施し、空間電荷を生成する必要があるためである。第3の理由は、第10サブフィールドの維持放電回数が多いため、図2の(B)に示したように、多量の電子が隣接セルに蓄積している場合があるからであり、例えば、Y電極側に蓄積した電子はリセット電圧 (V_w) の実効値を下げるため高い電圧が必要になる。以上の理由により、第1サブフィールドのリセット電圧は約 $200V$ に設定する必要がある。従来は、ここで必要な $200V$ の電圧を全サブフィールドで印加していたために第1サブフィールド以外では過剰な印加電圧になっ

10

20

30

40

50

ていた。

【0020】

第2サブフィールドのリセット電圧は、直前の第1サブフィールドの維持放電回数は多いが、上記の第1および第2の理由がないので第1サブフィールドより下げることが可能である。

【0021】

第5サブフィールドの維持放電回数は数回ともっとも少なく、図2で説明した隣接する表示セルでの電荷の蓄積はほとんどないので、点灯セルに隣接する消灯セルであっても前のリセット期間で形成された状態が維持されている。従って、その後の第6サブフィールドのリセット電圧はもっとも低く約100Vに設定している。X電極とY電極の間の放電閾値電圧は220V程度であるため、消灯セルはほとんど放電を行わない。

10

【0022】

第3サブフィールドから第5サブフィールドのリセット電圧は、第2サブフィールドと第6サブフィールドのリセット電圧の間の値であり、第7サブフィールドから第10サブフィールドのリセット電圧は、維持放電期間が徐々に長くなるのでそれに応じて第6サブフィールドのリセット電圧より若干高く設定する。なお、第1実施例では、リセット期間の長さは固定である。

【0023】

図7は、本発明の第2実施例における各サブフィールドのリセット波形を示す図である。図6の第1実施例との違いは、Y電極に印加する電圧Vwを変化させると共に、電極に印加する電圧を諸条件に応じて変化させている点である。第1サブフィールドのリセット期間の第1消去期間におけるX電極への印加電圧と書き込み期間におけるY電極への印加電圧は、上記と同じ理由で両者とも絶対値を大きくしている。第1実施例では第サブフィールドのリセット電圧を低くしているが、この第2実施例ではY電極への印加電圧は高い状態に維持した上で、X電極側の電圧の絶対値を小さくしている(負電圧なので高くしている)。その理由は次の通りである。維持放電期間ではアドレス電極は平均的には陰極となるため、アドレス放電でアドレス電極側に形成された負電荷は、維持放電にさらされて徐々に消去される。しかし、維持放電回数が少ない場合は消去されにくい。そして、その電荷がそのまま残留するとアドレスパルス電圧の実行値を下げる方向に作用するため好ましくない。従って、リセット期間でのアドレス電極側の負電荷を消去するために、X電極とY電極間の電圧は小さく設定しても、Y電極とアドレス電極間の電圧が大きくなるように設定し、アドレス電極とY電極間の放電によりアドレス電極側の負電荷を消去する働きを強めている。

20

30

【0024】

図8は、本発明の第3実施例の維持電極駆動回路の構成を示す図である。図5の第1及び第2実施例の駆動回路では、電圧の異なる複数の電源を設けるか、単一電源からツエナーダイオードを利用して出力電圧を生成しているが、第3実施例の駆動回路では、電極に印加する電圧を徐々に変化させ、電極の電圧を監視して所定値に到達した時に電圧の印加を停止する点が異なる。なお、第3実施例のX電極側駆動回路30は、図8のX電極側駆動回路と同様の構成を有するものとする。リセット電圧Vwは、スイッチ54をオンすることで、電流制限器55を介して表示セル21のY電極へ印加される。電流制限器55が設けられているので、パネル1に流れ込む電流が制限され、Y電極の電圧は傾きの緩やかなスロー波形で変化する。更に、Y電極に印加されるリセットパルス電圧は電圧検出器56で監視され、所定の電圧に達した時にリセット電圧制御回路53によりスイッチ54がオフされる。リセット電圧制御回路53は、表示シーケンス制御回路51からの実行中のサブフィールドの情報、維持放電の回数情報などを受け、それらの情報からリセット印加電圧を決定する。

40

【0025】

第3実施例では、リセット電圧が所定の値に達してスイッチ54をオフすると同時に、次の消去工程に移行する。図9は、第3実施例における各サブフィールドのリセット波形

50

を示す図である。図6及び図7ではY電極の電圧がそれぞれ所定値に達した後しばらくの間保持されているのに対して、第3実施例ではY電極の電圧がそれぞれ所定値に達した直後に印加が停止され、次の消去期間の動作に移行している。これにより、動作時間を短縮でき、短縮した時間を、例えば維持放電期間の延長に使用できる。

【0026】

以上第1から第3実施例を説明したが、各設定電圧やいずれの電圧を出力するかについては、パネルの設計や駆動条件によって最適値を設定することはいうまでもない。

【0027】

図10は、本発明の効果を説明する図であり、第1から第3実施例で示したように各サブフィールドのリセット電圧を最適になるように制御した場合のリセット発光の強度を従来技術による場合と対比して示している。図示のように、中央でのリセットパルスによる発光強度が小さくなり、背景輝度は従来の約1/2から1/3になり、暗室コントラストは2倍から3倍に改善された。

10

【0028】

なお、上記のように、維持放電回数が多い場合に放電で発生する電荷が拡散して隣接する表示セルの電極に蓄積されるのが大きな原因である。従って、前のフィールドの維持放電回数が少ない場合には、次のフィールドのリセット電圧を低くすることが可能である。例えば、PDP装置では、表示率が高い時には維持放電期間の長さを短くして電力増加を制限することが行われるが、そのような場合には、書き込み放電工程のリセット電圧を小さくすることが可能である。

20

【0029】

(付記1) 第1方向に伸びる第1電極と第2電極を隣接して交互に配置し、前記第2電極の一方に隣接する第1電極との間で第1表示ラインを形成し、前記第2電極の他方に隣接する第1電極との間で第2表示ラインを形成し、前記第1表示ラインと前記第2表示ラインを交互に別々のフィールドで表示するインタレース表示を行うプラズマディスプレイ装置の駆動方法であって、1表示フィールドは複数のサブフィールドで構成され、各サブフィールドは、少なくともリセット期間、アドレス期間及び維持放電期間より構成され、更に、前記リセット期間は、少なくとも書き込み放電工程と消去放電工程とを備えるプラズマディスプレイ装置の駆動方法において、前記書き込み放電工程の電圧を、少なくとも一部のサブフィールドで異ならせることを特徴とするプラズマディスプレイ装置の駆動方法(1)。

30

【0030】

(付記2) 付記1に記載のプラズマディスプレイ装置の駆動方法であって、前記維持放電期間における維持放電回数の少ないサブフィールドの後のサブフィールドの前記リセット期間の前記書き込み放電工程の電圧を小さくするプラズマディスプレイ装置の駆動方法。

【0031】

(付記3) 付記1に記載のプラズマディスプレイ装置の駆動方法であって、前記プラズマディスプレイ装置は、前記第1と第2電極に対して垂直な方向に伸びる第3電極を更に備え、前記書き込み放電工程では、前記第3電極に所定の電圧を印加した状態で、前記第1電極に印加する電圧又は第2電極に印加する電圧又はその両方の電圧を変化させるプラズマディスプレイ装置の駆動方法(2)。

40

【0032】

(付記4) 付記1に記載のプラズマディスプレイ装置の駆動方法であって、前記第1又は第2表示ラインを表示するフィールドが終了した後、次のフィールドの最初のサブフィールドのリセット期間における前記書き込み放電工程の電圧を他のサブフィールドより大きくするプラズマディスプレイ装置の駆動方法。

【0033】

(付記5) 付記1に記載のプラズマディスプレイ装置の駆動方法であって、1フィールドの時間が短くなり、フィールド内の最後のサブフィールドが終了した後次のフィール

50

ドの最初のサブフィールドを開始するまでの間に休止期間が発生した時には、前記休止期間の長さに応じて最初のサブフィールドのリセット期間における前記書き込み放電工程の電圧を大きくするプラズマディスプレイ装置の駆動方法。

【0034】

(付記6) 付記1に記載のプラズマディスプレイ装置の駆動方法であって、前記書き込み放電工程の電圧波形は、電圧が緩やかに変化するスロー波波形であるプラズマディスプレイ装置の駆動方法(3)。

【0035】

(付記7) 付記6に記載のプラズマディスプレイ装置の駆動方法であって、前記書き込み放電工程の時間は一定であり、各サブフィールド毎に所定の電圧に到達した後、その電圧を書き込み放電工程終了まで維持するプラズマディスプレイ装置の駆動方法。

10

【0036】

(付記8) 付記6に記載のプラズマディスプレイ装置の駆動方法であって、前記書き込み放電工程の電圧波形の電圧変化率は全サブフィールドで同じであり、電圧が所定の値に到達した後直ちに次の消去工程に移行するプラズマディスプレイ装置の駆動方法。

【0037】

(付記9) 第1方向に伸び、隣接して交互に配置された第1電極及び第2電極と、前記第1および第2電極に駆動電圧を印加する駆動回路とを備え、前記第2電極の一方に隣接する第1電極との間で第1表示ラインを形成し、前記第2電極の他方に隣接する第1電極との間で第2表示ラインを形成し、前記第1表示ラインと前記第2表示ラインを交互に別々のフィールドで表示するインタレース表示を行い、1表示フィールドは複数のサブフィールドで構成され、各サブフィールドは、少なくともリセット期間、アドレス期間及び維持放電期間より構成され、更に、前記リセット期間は、少なくとも書き込み放電工程と消去放電工程とを備えるプラズマディスプレイ装置において、前記駆動回路は、少なくとも一部のサブフィールドの前記書き込み放電工程で、異なる電圧を出力することを特徴とするプラズマディスプレイ装置(4)。

20

【0038】

(付記10) 付記9に記載のプラズマディスプレイ装置であって、前記駆動回路は、書き込み放電用の複数の電圧源を備え、該複数の電圧源を選択して電圧を異ならせるプラズマディスプレイ装置。

30

【0039】

(付記11) 付記9に記載のプラズマディスプレイ装置であって、前記駆動回路は、時間経過に従って、電圧が所定の値まで徐々に増加する電圧源回路と、電極に印加される電圧を監視する電圧監視回路とを備え、電極の電圧が所定の値に達した時点で電圧印加を中断するプラズマディスプレイ装置。

【0040】

(付記12) 第1方向に伸びる第1電極と第2電極を隣接して交互に配置し、前記第2電極の一方に隣接する第1電極との間で第1表示ラインを形成し、前記第2電極の他方に隣接する第1電極との間で第2表示ラインを形成し、前記第1表示ラインと前記第2表示ラインを交互に別々のフィールドで表示するインタレース表示を行うプラズマディスプレイ装置の駆動方法であって、1表示フィールドは複数のサブフィールドで構成され、

40

各サブフィールドは、少なくともリセット期間、アドレス期間及び維持放電期間より構成され、更に、前記リセット期間は、少なくとも書き込み放電工程と消去放電工程とを備えるプラズマディスプレイ装置の駆動方法において、表示率が高い時には前記維持放電期間の長さを短くして電力増加を制限するように、表示率に応じて前記維持放電期間の長さを制御し、前記維持放電期間が短い時には、前記書き込み放電工程の最終電圧を小さくすることを特徴とするプラズマディスプレイ装置の駆動方法(5)。

【産業上の利用可能性】

【0041】

本発明は、プラズマディスプレイ装置に利用可能である。

50

【図面の簡単な説明】

【0042】

【図1】 ALIS方式のプラズマディスプレイ装置（PDP装置）の概略構成を示すブロック図である。

【図2】 従来技術の問題点を説明する図である。

【図3】 本発明の実施例における駆動波形を示す図である。

【図4】 実施例のリセット波形を示す図である。

【図5】 実施例の維持電極駆動回路の構成を示す図である。

【図6】 本発明の第1実施例における各サブフィールドのリセット波形を示す図である。

【図7】 本発明の第2実施例における各サブフィールドのリセット波形を示す図である。

【図8】 本発明の第3実施例の維持電極駆動回路の構成を示す図である。

【図9】 第3実施例における各サブフィールドのリセット波形を示す図である。

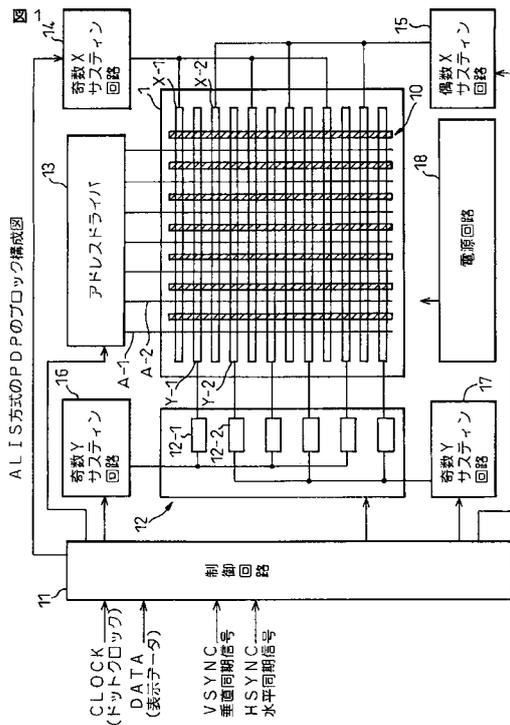
【図10】 本発明の効果を説明する図である。

【符号の説明】

【0043】

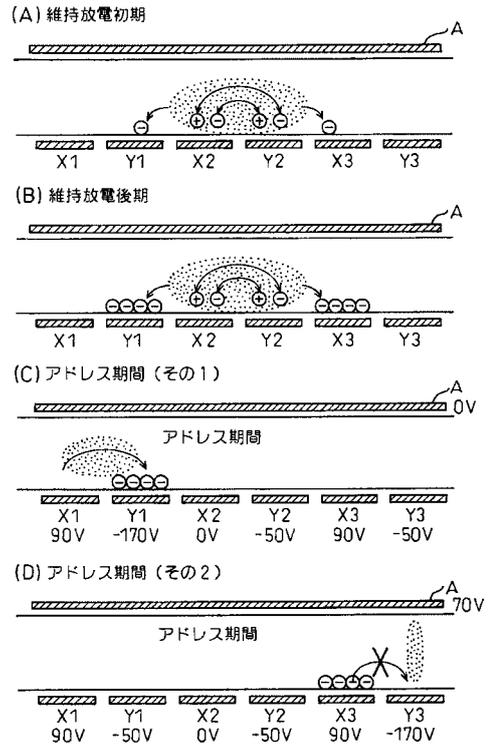
1...プラズマディスプレイパネル、11...制御回路、12...走査回路、13...アドレスドライバ、14...奇数X維持放電（サスティン）回路、15...偶数X維持放電（サスティン）回路、16...奇数Y維持放電（サスティン）回路、17...偶数Y維持放電（サスティン）回路、18...電源回路。

【図1】

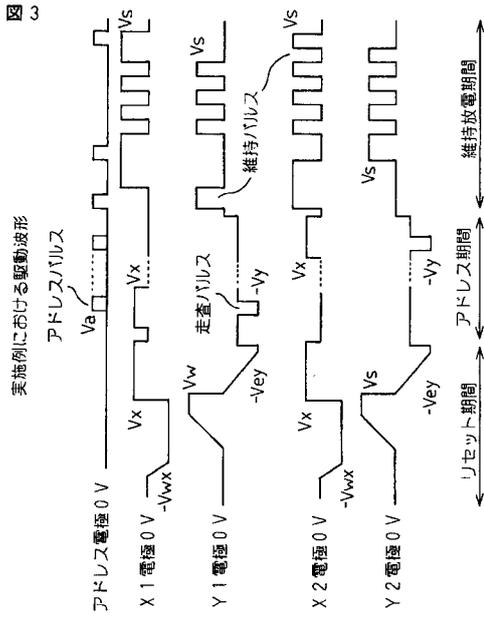


【図2】

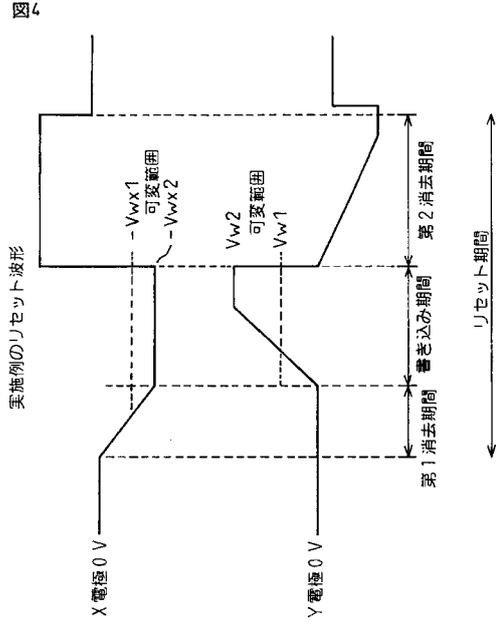
図2 従来技術の問題点説明図



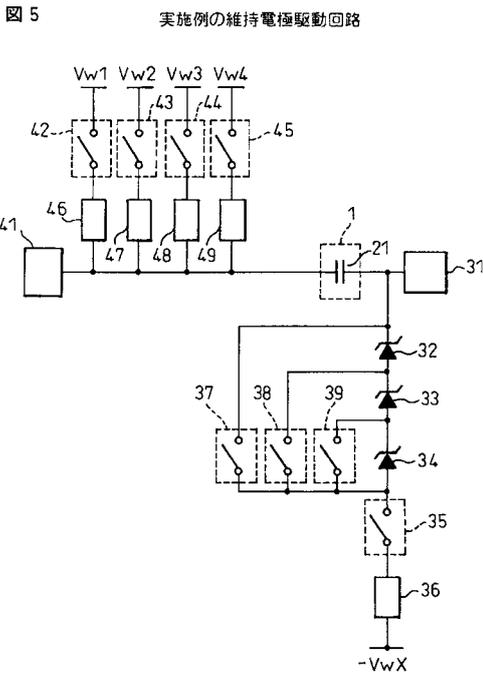
【 図 3 】



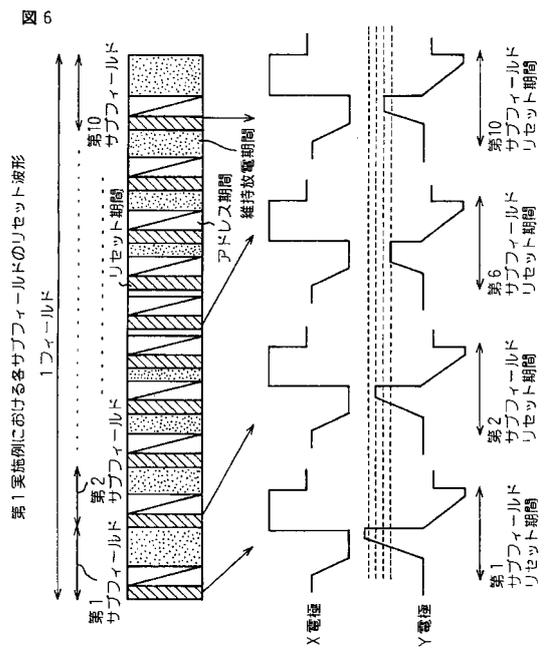
【 図 4 】



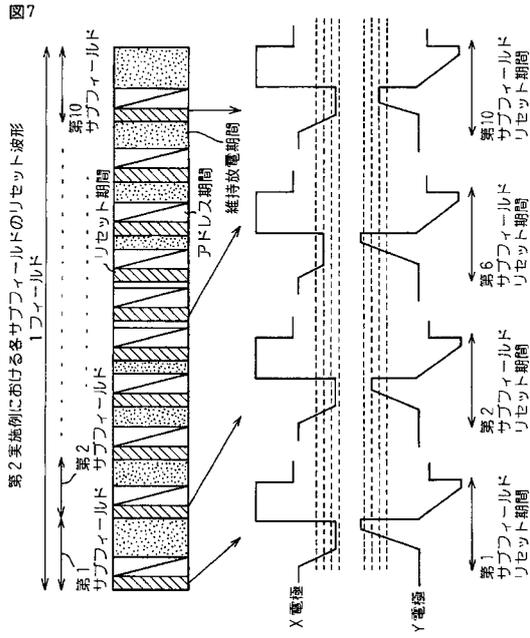
【 図 5 】



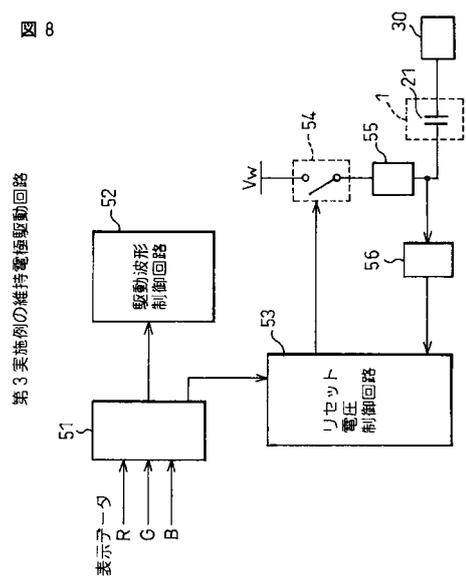
【 図 6 】



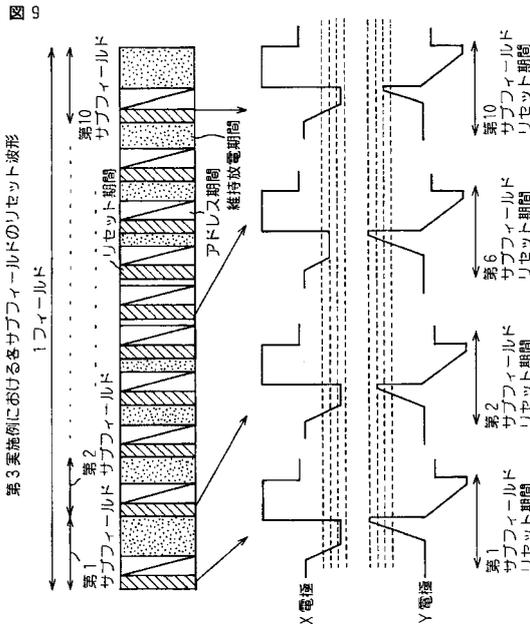
【図7】



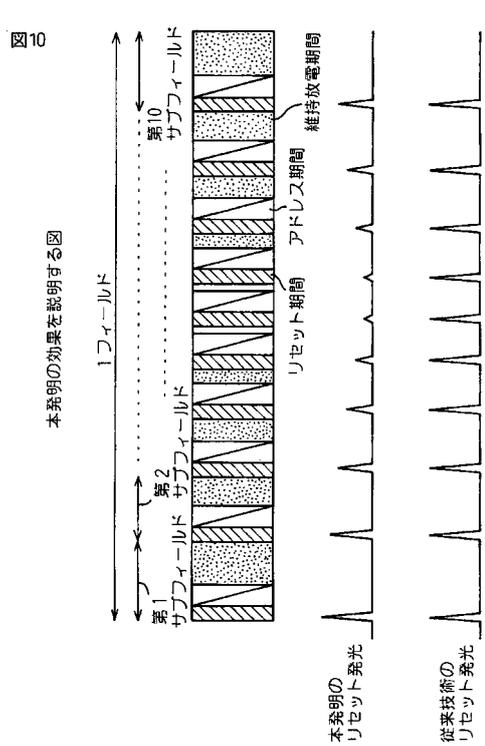
【図8】



【図9】



【図10】



本発明の効果を説明する図

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 2 C

審査官 佐野 潤一

(56)参考文献 特開2000-221940(JP,A)
特開2003-050562(JP,A)
特開平11-272232(JP,A)
特開2000-305519(JP,A)
特開2000-172224(JP,A)
特開2001-154633(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 2 8 8