

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5144170号
(P5144170)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int.Cl.

F I

H O 1 L 21/60 (2006.01)

H O 1 L 21/92 6 O 2 P

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88 T

H O 1 L 21/768 (2006.01)

H O 1 L 21/92 6 O 2 Q

H O 1 L 23/522 (2006.01)

H O 1 L 21/92 6 O 4 T

請求項の数 5 (全 15 頁)

(21) 出願番号 特願2007-213554 (P2007-213554)
 (22) 出願日 平成19年8月20日(2007.8.20)
 (65) 公開番号 特開2009-49170 (P2009-49170A)
 (43) 公開日 平成21年3月5日(2009.3.5)
 審査請求日 平成22年8月16日(2010.8.16)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 秋葉 俊彦
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 佐藤 齊尚
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 内藤 孝洋
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置の実装方法

(57) 【特許請求の範囲】

【請求項1】

以下の工程を含むことを特徴とする半導体装置の実装方法：

(a) 第1の面と、前記第1の面に形成され、且つ第1ピッチで配置された複数の第1ランドと、前記第1の面に形成され、且つ前記複数の第1ランドよりも小さく形成され、且つ前記複数の第1ランドよりも前記第1の面の中央部寄りに前記第1ピッチよりも小さな第2ピッチで配置された複数の第2ランドと、前記複数の第1ランドにそれぞれ接続され、且つ第1の高さを有し、且つ第1の径を有する複数の第1パンプと、前記複数の第2ランドにそれぞれ接続され、且つ前記第1の高さよりも小さな第2の高さを有し、且つ前記第1の径よりも小さな第2の径を有する複数の第2パンプと、を備えた半導体装置を準備する工程；

(b) 前記複数の第1パンプを介して前記半導体装置を実装基板に実装し、前記複数の第1パンプおよび前記複数の第2パンプをアンダーフィル樹脂で覆う工程、

ここで、

前記半導体装置は、さらに、回路が形成された半導体集積回路チップを備えており、

前記回路として、第1回路と前記第1回路に信号線によって接続される第2回路とを有し、

前記第2回路に接続される外部端子の一部又は全部は、前記第2パンプであり、

前記第1回路に接続される外部端子の全部は、前記第1パンプである。

【請求項2】

10

20

請求項 1 記載の半導体装置の実装方法において、

前記複数の第 1 バンプは、前記実装基板への接続に用いられる端子、前記実装基板への接続並びにスクリーニングテストとの接続に用いられる端子、及び前記実装基板への接続に用いられず、且つスクリーニングテストとの接続に用いられる端子に割り当てられ、

前記複数の第 2 バンプは、前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられない端子に割り当てられる。

【請求項 3】

請求項 2 記載の半導体装置の実装方法において、

前記複数の第 2 バンプのうちスクリーニングテストとの接続に用いられない端子は出力端子又は入出力端子である。

10

【請求項 4】

請求項 3 記載の半導体装置の実装方法において、

前記複数の第 1 バンプのうちスクリーニングテストとの接続に用いられる端子は入力端子である。

【請求項 5】

請求項 1 記載の半導体装置の実装方法において、

前記第 1 回路は、命令を実行する中央処理装置を含み、

前記第 2 回路は、前記中央処理装置によって制御される周辺回路を含む。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、SiP（システムインパッケージ）、BGA（ボールグリッドアレイ）、LGA（ランドグリッドアレイ）、WPP（ウェーハパッケージプロセス）等に代表される面実装のパッケージ形態を有する半導体装置における外部端子の配置構造に関する。

【背景技術】

【0002】

半導体装置の高集積化、高機能化が進むにつれ、多くの機能を 1 つの半導体装置内に内蔵する傾向にある。これにより端子数の増加が進み、単に端子ピッチを確保しながら端子配置を行おうとすればパッケージが大型化する。これによるコスト低減若しくはパッケージの小型化が従来より要請されている。

30

【0003】

本発明完成後の先行技術調査において見出された特許文献 1 には、顧客が使用しない端子（通常は基板と接続する必要がない試験用端子）と顧客が使用する端子をエリア分けし、後者に比べて前者の端子配列を狭ピッチとする技術について記載される。特許文献 2 には、格子状に配置した BGA 動作用外部端子間に LGA（バンプ形成しない）にて検査用端子（検査時にのみ使用する検査端子）を配列する技術について記載されている。

【0004】

【特許文献 1】特開 2004 - 342947 号公報

【特許文献 2】特開 2004 - 22664 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0005】

本発明者は半導体装置の限られたスペースに多くの外部端子を配置することについて検討した。例えば、中央処理装置と共に多くの周辺回路を搭載した汎用マイクロコンピュータにおいて、顧客毎に使用する機能が異なる場合、顧客によっては使用されない外部端子が発生する。このとき、使用されない端子を外部端子として設けなければその分だけ外部端子の配列に余裕ができる。しかしながら、半導体製造メーカは出荷前にデバイステストを行わなければならないから、顧客毎に外部端子の機能が相違されることになれば、回路的に同一の構成を備える半導体装置であっても、テスト項目の制限が相違し、新規テストプログラム開発およびテスト時間増加など、開発量産のコストアップを招く要因となる。

50

そこで、顧客が使用する外部端子と使用しない外部端子の双方を配置し、後者の端子配列ピッチを前者よりも小さくすることについて検討した。しかしながら、単にそのような切り分けで端子配列ピッチの大小を決定するだけでは不都合のあることが本発明者によって見出された。第1は、顧客の使用しない端子配列ピッチの小さい端子の高さが顧客の使用する端子配列ピッチの大きな端子と同じ場合、実装基板上において不所望なリークを生じないようにするために、顧客の使用しない端子の直下には配線パターンを形成しない方がよいという制約を生ずる。この点について特許文献1では考慮されていない。第2は、高さを低くするために顧客が使用しない端子をランドだけで形成し、バンプを設けないとすると、不良のために半導体製造メーカーに戻ってきた半導体装置の不良解析を行うためにアンダーフィル樹脂から顧客が使用しない端子を構成するランドを露出させるのに手間がかかる。この点について特許文献2は考慮していない。第3は、顧客が使用しない外部端子であってもスクリーニングに使用する場合があります、そのような外部端子の配置ピッチが小さい場合にはスクリーニングテストのテスト端子をそれに対応させなければならず、テストのコストアップを招く。この点について特許文献1, 2では考慮されていない。スクリーニングテストは通常動作よりも過大な動作電圧及び動作タイミングを与えて動作させるテストであり、デバイスの機能テストのように回路の機能を全て検証することを要しないから、全ての外部端子を用いなくてもよい。出力端子又は入出力端子に接続される回路に対してはその出力機能を利用することにより、内部の回路動作を介して加速試験に適するタイミングや電圧の信号を外部インタフェースバッファまで伝達することが可能である。よって、スクリーニングに利用する外部端子は選別可能である。この意味で、スクリーニングテストに用いる外部端子については端子数を制限できる可能性があることから、他のテスト端子同様にそのピッチを小さくしなくても済む余地が残されていることが本発明者によって明らかにされ。

10

20

【0006】

本発明の目的は、外部端子との不所望なリークを抑制するための実装基板側の制約を緩和することができる半導体装置を提供することにある。

【0007】

本発明の別の目的は、不良解析等のためにアンダーフィル樹脂から外部端子を露出させることが容易な半導体装置を提供することにある。

【0008】

本発明の更に別の目的はスクリーニングテストのコストアップを抑制することができる半導体装置を提供することにある。

30

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】**【0010】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

40

すなわち、半導体装置の外部端子を相対的に径とピッチが大きなバンプと小さなバンプに分け、前者よりも後者を半導体装置の中央寄りに配置する。大きなバンプの一部は半導体装置を実装する実装基板との接続に用いられ、大きなバンプの残りは実装基板への接続には用いないがスクリーニングテストへの接続に用いられる。小さなバンプは半導体装置を実装する実装基板との接続にもスクリーニングテストとの接続に用いられない。これにより、実装基板側では小さなバンプの領域直下に配線パターンがあっても不所望なリークの虞は無い。小さなバンプがアンダーフィル樹脂で覆われていても、表面を削ることによって容易に露出させることができ、小さなバンプの代わりにランドだけを設けた場合に比べ、不良解析のための端子露出作業が容易になる。スクリーニングテストと接続される外部端子はピッチと径が共に大きくされているのでスクリーニングテストに特別なピンピッ

50

チ変換アダプタ等を必要とせず、プローブに対するDUTとしての半導体装置の位置決めについても特に高精度を要しない。

【発明の効果】

【0012】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0013】

すなわち、外部端子との不所望なリークを抑制するための実装基板側の制約を緩和することができる。

【0014】

また、不良解析等のためにアンダーフィル樹脂から外部端子を露出させることが容易である。

【0015】

また、テストのコストアップを抑制することができる。

【発明を実施するための最良の形態】

【0016】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0017】

〔1〕本発明の代表的な実施の形態に係る半導体装置(1)は、回路が形成された半導体集積回路チップ(2)を有する。この半導体装置は、所定ピッチで配置された複数の第1外部端子(Pus, Pu, Ps)と、前記第1外部端子よりも半導体装置の中央部寄りに最小ピッチが前記所定ピッチよりも小さなピッチで配置された複数の第2外部端子(P)とを有する。前記第1外部端子は第1ランド(LND1)に接続された第1バンプ(BMP1)によって形成される。前記第2外部端子は前記第1ランドよりも小さな第2ランド(LND2)に接続され前記第1バンプよりも高さや径が小さな第2バンプ(BMP2)によって形成される。これにより、実装基板側では第2バンプの領域直下に配線パターンがあっても不所望なリークの虞は無い。第2バンプがアンダーフィル樹脂で覆われていても、表面を削ることによって容易に露出させることができ、第2バンプの代わりにランドだけを設けた場合に比べ、不良解析のための端子露出作業が容易になる。

【0018】

一つの具体的な形態として、前記複数の第1外部端子は、半導体装置を実装する実装基板への接続に用いられる端子(Pu)、前記実装基板への接続並びにスクリーニングテストとの接続に用いられる端子(Pus)、及び前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられる端子(Ps)に割り当てられる。前記複数の第2外部端子は、前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられない端子(P)に割り当てられる。このような端子割り当てにより、実装基板側では第2バンプの領域直下に配線パターンがあっても不所望なリークの虞は無い。第2バンプがアンダーフィル樹脂で覆われていても、表面を削ることによって容易に露出させることができ、第2バンプの代わりにランドだけを設けた場合に比べ、不良解析のための端子露出作業が容易になる。実装基板との接続の可否に拘わらずスクリーニングテストと接続される外部端子はピッチと径が共に大きな第1バンプで形成されているのでテストに特別なピンピッチ変換アダプタ等を必要とせず、また、プローブに対するDUTとしての半導体装置の位置決めについても特に高精度を要しない。

【0019】

〔2〕別の実施の形態に係る半導体装置は、上記半導体装置に比べて、第2外部端子が前記第1ランドよりも小さな第2ランドによって形成されている点が相違され、第1外部端子と第2外部端子に対する端子機能の割り当ては同一とされる(図1の(D), (E))

10

20

30

40

50

）。これによれば、第2外部端子を形成するのにバンプを形成する手間がない半面、不良解析のために第2外部端子をアンダーフィル樹脂から露出させる作業に手間がかかる。その他の作用効果は上記同様である。

【0020】

〔3〕更に別の実施の形態に係る半導体装置は、上記半導体装置に比べて、第1外部端子が第1ランドにより、第2外部端子が第2ランドにより形成されている点が相違され、第1外部端子と第2外部端子に対する端子機能の割り当ては同一とされる（図1の（F）、（G））。これによれば、バンプを形成する手間はないが、スクリーニングテスト等においてプローブを直接ランドに接触させるため、接触圧力が高すぎたり、DUTに対するプローブの位置決め精度が低すぎる場合には、半導体チップに機械的なダメージを与える虞がある。

10

【0021】

〔4〕上記それぞれの半導体装置における更に具体的な形態として、前記複数の第1外部端子のうちスクリーニングテストとの接続に用いられない端子は出力端子又は入出力端子である。出力端子又は入出力端子に接続される回路に対してはその出力機能を利用することにより、内部の回路動作を介して加速試験に適するタイミングや電圧の信号を外部インタフェースバッファまで伝達することが可能である。したがって、スクリーニングのみに利用される端子数の削減に資することができる。

【0022】

また、前記複数の第1外部端子のうちスクリーニングテストとの接続に用いられる端子は入力端子である。上記より明らかなように少なくとも入力端子についてはスクリーニング用端子とするのがよい。

20

【0023】

更に具体的な形態として前記回路は、第1回と前記第1回路に信号線によって接続される第2回路とを有する。前記第2回路に接続される外部端子の一部又は全部は前記第2外部端子であり、前記第1回路に接続される外部端子の全部は前記第1外部端子である。第2回路の一部に使用しない回路が含まれていても、その回路はテスト対象になる。第2回路は第1回路に信号線で接続されているので当該使用されない回路の故障はその他の回路の誤動作の原因になるからである。使用しない回路に第2外部端子を接続する意義はここにある。第2回路が第1回路に信号線で接続されていなくても、外部電源端子が共通化されている場合、クロストークや誘導によるノイズ伝播等による悪影響等を考慮すれば、第2外部端子を設ける意義のあることは言うまでもない。

30

【0024】

更に具体的な形態として、前記第1回路は命令を実行する中央処理装置を含み、前記第2回路は前記中央処理装置によって制御される周辺回路を含む。マイクロコンピュータ等の半導体装置において使用される周辺回路は顧客毎に相違する場合があるからである。

【0025】

また、別の具体的な形態として、前記半導体集積回路チップを単数又は複数有し、半導体集積回路チップを一面に搭載し、他面に前記第1外部端子及び第2外部端子が形成された配線基板を有する、グリッド・アレイ・パッケージ形態を半導体装置に採用することができる。グリッド・アレイ・パッケージ形態とはBGA又はLGA等のパッケージ形態である。

40

【0026】

また、別の具体的な形態として、前記半導体集積回路チップのボンディングパッド形成面の上にボンディングパッドに接続して延在する引き出し配線が形成され、前記第1外部端子及び第2外部端子は対応する引き出し配線の先端部に形成された、ウェーハ・プロセス・パッケージ形態を半導体装置に採用してもよい。

【0027】

〔5〕更に別の実施の形態に係る半導体装置は、上記各実施の形態の半導体装置における第1外部端子のうち前記実装基板への接続に用いられず且つスクリーニングテストとの

50

接続に用いられる端子を大きさと径の小さな端子 (P P s) に変更し、第 2 外部端子よりも大きなピッチだけを維持するようにしたものである。

【 0 0 2 8 】

更に詳しくは、前記第 1 外部端子を、第 1 ランドに接続された第 1 パンプ (B M P _ F) と、前記第 1 ランドよりも小さな第 2 ランドに接続され前記第 1 パンプよりも高さや径が小さな第 2 パンプ (B M P _ S) とによって形成する。前記第 2 外部端子を、前記第 1 ランドよりも小さな第 3 ランドに接続され前記第 1 パンプ電極よりも高さや径が小さい第 3 パンプ (B M P _ T) によって形成する。前記複数の第 1 パンプは、半導体装置を実装する実装基板への接続に用いられる端子、及び前記実装基板への接続並びにスクリーニングテストとの接続に用いられる端子に割り当てられる。前記第 2 パンプは、前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられる端子に割り当てられる。前記複数の第 3 パンプは、前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられない端子に割り当てられる。

10

【 0 0 2 9 】

これによれば、先に説明した実施の形態に比べて、スクリーニングテストにおいてプローブに対する D U T としての半導体装置の位置決め高精度を高くすることが必要になる点を除いて上記同様の作用及び効果を得る。

【 0 0 3 0 】

この実施の形態に対し、前記第 2 外部端子を前記第 1 ランド (L N F _ F) よりも小さな第 3 ランド (L N D _ T) で形成する変更、また、前記第 1 外部端子及び第 2 外部端子の全てをランドで形成する変更を採用することも可能である。

20

【 0 0 3 1 】

2 . 実施の形態の詳細

実施の形態について更に詳述する。

【 0 0 3 2 】

図 2 には本発明に係る半導体装置のブロック図が例示される。同図に示される半導体装置 1 は例えば C M O S 集積回路製造技術等により単結晶シリコンのような 1 個の半導体チップに形成された半導体集積回路チップ 2 を有する。半導体集積回路チップ 2 は第 1 回路 (F C C T) 3 , 5 及び第 2 回路 (S C C T) 4 を備え、それらはバス 6 で接続される。第 1 回路 3 , 5 は例えば命令をフェッチして実行する中央処理装置 (C P U) 及び C P U のワーク領域等に用いられるランダムアクセスメモリ (R A M) を有する。第 2 回路 4 は C P U の周辺回路とされ、例えばタイマ (T M R) 、シリアル・コミュニケーション・インタフェース (S C I) 、 A D C (アナログ・デジタル・コンバータ) 、 D A C (デジタル・アナログ・コンバータ) 、ウオッチ・ドッグ・タイマ (W D T) 、デジタル・シグナル・プロセッサ (D S P) 等の回路を有する。

30

【 0 0 3 3 】

半導体集積回路チップ 2 は B G A 、 L G A 又は W P P 等の面実装型のパッケージ形態で封止され、そのパッケージには外部端子として代表的に示された外部端子 P u s , P u , P s , P が配置される。ここでは第 2 回路 4 を使用しない場合を一例とするもので、第 1 回路 3 , 5 は、半導体装置 1 を搭載して用いる実装基板 (図示せず) に接続され、他方の第 2 回路 4 は実装基板との接続は必要とされない。前記外部端子 P u は半導体装置 1 を実装する実装基板への接続に用いられスクリーニングテストとの接続に用いられない端子、前記端子 P u s は前記実装基板への接続並びにスクリーニングテストとの接続に用いられる端子である。前記端子 P s は前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられる端子であり、前記端子 P は前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられない端子である。要するに、端子 P u s , P u は実装基板に接続される端子、P , P s は実装基板に接続されない端子である。スクリーニングテストに接続される端子 P u s , P s は実装基板に接続される端子と接続されない端子の双方に跨っている。外部端子 P u s , P u , P s のサフィックス “ u ” は実装基板に接続されることを意味し、サフィックス “ s ” はスクリーニングテストに接続され

40

50

ることを意味する。

【 0 0 3 4 】

図 3 には半導体装置 1 を実装基板に搭載した状態が例示される。7 は実装基板であり、8 は半導体装置 1 が接続される配線パターンを総称し、前記端子 P u s , P u に接続される。

【 0 0 3 5 】

図 4 には複数の半導体装置 1 がスクリーニングテスト (T E S T) 9 に接続された状態を例示する。スクリーニングテスト 9 に接続された端子 P u s , P s は、例えば入力ポート端子 I _ P O R T、クロック入力端子 E X T A L、リセット信号入力端子 R E S、スタンバイ信号入力端子 S T B Y、モード信号入力端子 M O D、データ入力端子 D 0 ~ D 1、電源端子 V C C、グランド端子 V S S とされる。実装基板 7 に接続される端子のうちスクリーニングテストに非接続の端子 P u は、例えば入出力ポート端子 I O _ P O R T、出力ポート端子 O _ P O R T、アドレス出力端子 A 0 ~ A 2 とされる。尚、図 3、図 4 における外部端子 P, P u s, P s, P u は作図上半導体装置 1 の縁辺に沿って図示してあるが、実際には B G A, L G A, W P P のパッケージ形態の配列になっている。また、端子の数も作図上相違されるが実際には整合されている。

【 0 0 3 6 】

図 1 には本発明に係る半導体装置の外部端子の配列が例示される。図 1 の (A) は平面図、(B) ~ (G) は正面図である。図 1 の (A) に例示されるように半導体装置 1 において、前記端子 P u s, P u, P s は所定ピッチ例えば x y 方向に 1 mm ピッチで配置された第 1 外部端子を構成する。前記端子 P は前記第 1 外部端子 P u s, P u, P s よりも半導体装置 1 の中央部寄りに最小ピッチが前記 1 mm ピッチよりも小さなピッチで配置された第 2 外部端子を構成する。前記第 1 外部端子 P u s, P u, P s は図 5 に例示されるように第 1 ランド L N D 1 に接続された第 1 バンプ B M P 1 によって形成される。前記第 2 外部端子 P は前記第 1 ランド L N D 1 よりも小さな第 2 ランド L N D 2 に接続され前記第 1 バンプ B M P 1 よりも高さや径が小さな第 2 バンプ B M P 2 によって形成される。図 1 の (B) にはランド L N D 1, L N D 2 の図示を省略してある。図 1 の (B) は第 1 外部端子 P u s, P u, P s 及び第 2 外部端子 P とともにバンプで形成した B G A パッケージ形態の側面断面を概略的に示している。(C) のようにランドを厚く形成した構造 (B G A _ P パッケージ形態)、(D) のように第 2 外部端子 P をランドで形成した構造 (B G A / L G A パッケージ形態) を採用する事も可能である。また、図 1 の (E) のように (D) の形態においてランドを厚く形成した構造 (B G A _ P / L G A _ P パッケージ形態)、(F) のように第 1 外部端子 P u s, P u, P s 及び第 2 外部端子 P とともにランドで形成した構造 (L G A パッケージ形態)、又は (G) のように (F) の形態においてランドを厚く形成した構造 (L G A _ P パッケージ形態) を採用することも可能である。

【 0 0 3 7 】

図 6 には図 1 の外部端子構造に対して第 1 外部端子 P u s, P u, P s 及び第 2 外部端子 P の全てを等しいピッチで且つ等しい大きさで形成した場合の比較例が示される。図 6 の (A) は平面図、(B) ~ (G) は正面図である。。図 6 の (A) ~ (G) は図 1 の (A) ~ (G) に対応される。

【 0 0 3 8 】

上記半導体装置 1 によれば以下の作用効果を得る。

【 0 0 3 9 】

〔 1 〕 図 1 (B) の B G A 形態、(C) の B G A _ P 形態、(D) の B G A / L G A 形態、(E) の B G A _ p / L G A _ P 形態においては第 2 外部端子 P は第 1 外部端子 P u s, P s, P u に比べ高さや径が小さいから、実装基板 7 では第 2 外部端子 P の領域直下に配線パターンがあっても不所望なリークの虞は無い。

【 0 0 4 0 】

〔 2 〕 図 1 (B) の B G A 形態、(C) の B G A _ P 形態では、第 2 電極 P がアンダーフィル樹脂で覆われていても、表面を削ることによって容易に露出させることができ、(

10

20

30

40

50

D) の L G A 形態のように第 2 電極 P をバンプの代わりにランドだけで形成した場合に比べ、不良解析のための端子露出作業が容易になる。要するに、第 2 電極を覆っているアンダーフィル樹脂の切削代を多く取ることができ、半導体集積回路チップの回路領域を損傷させる虞を未然に回避することができる。

【 0 0 4 1 】

〔 3 〕実装基板 7 との接続の可否に拘わらずスクリーニングテスト 9 と接続される外部端子 P s , P u s は図 1 の (B) 、 (C) 、 (D) 、 (E) の形態ではのピッチと径が共に大きなバンプで形成されているのでスクリーニングテスト 9 に特別なピンピッチ変換アダプタ等を必要とせず、また、プローブに対する D U T としての半導体装置 1 の位置決めについても特に高精度を要しない。これによって、スクリーニングテストのテストコストを低減することが可能になる。図 1 の (F) 、 (G) の形態では第 2 外部端子 P は上記と同じ大きなピッチで配置されているが、ランド若しくはランドを厚くしたポストによって形成されているので、プローブに対する D U T としての半導体装置 1 の位置決めについては (B) 、 (C) 、 (D) 、 (E) の形態に比べて高精度を要する。プローブによる半導体集積回路チップの回路領域に対する機械的なダメージを小さくしなければならないからである。スクリーニングテストに特別なピンピッチ変換アダプタを必要としないことは上記同様である。

10

【 0 0 4 2 】

〔 4 〕前記複数の第 1 外部端子 P u s , P s , P u のうちスクリーニングテストとの接続に用いられない端子 P u は出力端子又は入出力端子であり、出力端子又は入出力端子に接続される回路に対してはその出力機能を利用することにより、内部の回路動作を介して加速試験に適するタイミングや電圧の信号を外部インタフェースバッファまで伝達することが可能である。したがって、スクリーニングのみに利用される端子数を削減することができ、ひいては、大きなピッチで配置すべき大きな外部端子の数が多くなり過ぎるのを抑制することができる。

20

【 0 0 4 3 】

〔 5 〕汎用マイクロコンピュータのような半導体装置 1 の内部回路の一部に特定顧客が使用しない回路がある場合でも当該回路の削減や内部バスからの切り離しを行わないようにすることにより、半導体装置を製造するためのマスクパターンの変更を要しない。このとき、特定顧客が使用しない回路に対してもデバイステストの対象になる。例えば図 2 のように使用しない回路 4 はバス 6 を介して第 1 の回路 3 , 5 に影響を与える場合もあるからである。したがって、図 2 の外部端子 P のように特定ユーザには使用されない端子は少なくともデバイステストのために配置することが必須であるが、端子ピッチ及び端子サイズを小さくすることによってパッケージの小型化に寄与する。

30

【 0 0 4 4 】

図 7 には半導体装置の別の例が示される。図 7 の (A) は平面図、(B) ~ (D) は正面図である。同図に示される半導体装置 1 A は、図 1 で説明した半導体装置 1 に対し、実装基板への接続に用いられずスクリーニングテストとの接続に用いられる外部端子を P P s のように小さく形成した点が相違される。外部端子 P P s もその他の第 1 外部端子 P u s , P u と同じピッチで配置されている。即ち、前記外部端子 P u s , P u を、第 1 ランドに接続された第 1 バンプ B M P _ F とによって形成し、前記外部端子 P P s を前記第 1 ランドよりも小さな第 2 ランドに接続され前記第 1 バンプよりも高さや径が小さな第 2 バンプ B M P _ S によって形成する。前記外部端子 P を、前記第 1 ランドよりも小さな第 3 ランドに接続され前記第 1 バンプ電極よりも高さや径が小さい第 3 バンプ B M P _ T によって形成する。その他の構成は図 1 と同じであるからその詳細な説明は省略する。図 7 では (A) の平面図の他、(B) の B G A 形態、(C) B G A / L G A 形態、及び (D) の L G A 形態の概略側面断面構造を例示する。これによれば、先に説明した図 1 の構造に比べて、スクリーニングテストにおいてプローブに対する D U T としての半導体装置の位置決め高精度を高くすることが必要になる点を除いて上記同様の作用及び効果を得る。

40

【 0 0 4 5 】

50

図 8 には第 1 外部端子 P u s , P u , P s 及び第 2 外部端子 P の数や配置の異なる別の例が示される。図 8 の (A) は平面図、(B) ~ (D) は正面図である。図 1 に比べて第 1 外部端子 P u s , P u , P s のピッチが大きくされ、第 2 外部端子 P の配列形態が相違される。この配列においての図 1 と同様の作用効果を得る。

【 0 0 4 6 】

図 9 には図 8 の端子配列に対し、スクリーニングテストとの接続のみに用いられる外部端子を P P s のように第 3 バンプ B M P _ T により小さく形成した構成が例示される。図 9 の (A) は平面図、(B) ~ (D) は正面図である。外部端子 P P s もその他の第 1 外部端子 P u s , P s と同じピッチで配置されている。この構成においても図 7 と上記同様の作用及び効果を得る。

【 0 0 4 7 】

図 1 0 には W P P パッケージ形態における端子配列が例示される。W P P パッケージ形態では半導体集積回路チップのボンディングパッド形成領域 P A D の上にボンディングパッド P A D に接続して延在する引き出し配線 L I N が形成され、前記第 1 外部端子 P u s , P u , P s 及び第 2 外部端子 P は対応する引き出し配線 L I N の先端部に例えば半田バンプ電極によって形成される。W P P パッケージ形態においても図 1 の場合と同様の作用効果を得る。

【 0 0 4 8 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 4 9 】

例えば、バンプの形状は球形に限定されず、立方体形状、逆三角錐台形状、逆円錐台形状等であってもよい。外部端子の数、一つのパッケージに納められる半導体集積回路チップの数、第 1 回路及び第 2 回路の具体的な種類や数等については適宜変更可能である。

【 0 0 5 0 】

また、本発明の実施の形態では、配線基板の周囲に配置され（各辺に沿って配置され）、第 1 バンプが接続される第 1 ランドの径が、第 2 バンプが接続される第 2 ランドの径よりも小さく形成されていることについて説明したが、これに限定されるものではなく、例えば図 1 1 に示すように、半導体装置を実装する実装基板の電極とは接続されないが、スクリーニングテストとの接続に使用される第 2 ランドには、第 1 バンプの高さよりも低い第 2 バンプが形成されていればよく、第 2 ランドの径は第 1 ランドの径と同じ寸法であってもよい。これは、スクリーニングテストが、プローブ針をバンプに接触させて行うが、このときランドの径が相対的に大きいほうが確実にプローブ針をバンプに接触させ易いためである。しかしながら、単にランドを大きくしてしまうと、形成されるバンプの高さも高くなってしまう。スクリーニングテストに使用されるバンプは、半導体装置を実装する実装基板の電極には接続しないため、バンプの高さはできるだけ低く形成しておきたい。そこで、図 1 1 (図 1 1 (B) は図 1 1 (A) における A-A' 線の断面図、図 1 1 (C) は図 1 1 (A) における B-B' 線の断面図、図 1 1 (D) は図 1 1 (A) における C-C' 線の断面図) に示すような構成とすれば、実装基板との接触を避けながら、スクリーニングテストをより確実に行うことができる。

【 0 0 5 1 】

また、本発明の実施の形態における W P P パッケージでは、半導体チップ（半導体集積回路チップ）のボンディングパッドから引き出し配線を介して隣接するボンディングパッド同士の間隔を広げ、引き出し配線の先端部に半田バンプを形成することについて説明したが、これに限定されるものではなく、例えば半導体チップに形成される複数のボンディングパッド同士の間隔が予め広く配置されていれば、引き出し配線を各ボンディングパッドから延在させる必要はない。しかしながら、半導体チップに形成されるボンディングパッドの寸法（面積、径）は、配線基板に形成されるランドに比べると相対的に小さいため、これらのボンディングパッドに直接半田バンプを形成した場合、形成される半田バンプ

10

20

30

40

50

も小さく（低く）になってしまう。そこで、図１２に示すように、ボンディングパッド上に第１絶縁膜および第２絶縁膜を介して引き出し配線を形成し、半田バンプが接続される領域を広げることで、形成される半田バンプを相対的に大きく（高く）することができ、ＷＰＰパッケージ（半導体装置、半導体チップ、半導体集積回路チップ）の実装強度を向上することができる。

また、本発明の実施の形態では、ＢＧＡ型またはＬＧＡ型のパッケージについても説明したが、樹脂封止体（封止体）で覆われている半導体チップ（半導体集積回路チップ）と、半導体チップを支持（搭載）する配線基板との電気的な接続は、図１３に示すように、複数のワイヤを用いても良く、さらには図１４に示すように、バンプ電極を介してフリップチップ接続しても良い。

【図面の簡単な説明】

【００５２】

【図１】図１は本発明に係る半導体装置における外部端子の配列を例示する説明図である。

【図２】図２は本発明に係る半導体装置を例示するブロック図である。

【図３】図３は半導体装置を実装基板に搭載した状態を例示する説明図である。

【図４】図４は複数の半導体装置がスクリーニングテストに接続された状態を例示する説明図である。

【図５】図５は第１外部端子が形成される第１バンプと第２の外部端子が形成される第２バンプを例示する縦断面図である。

【図６】図１の外部端子構造に対して第１外部端子及び第２外部端子の全てを等しいピッチで且つ等しい大きさで形成した場合の比較例を示し説明図である。

【図７】図７は図１で説明した半導体装置に対して実装基板への接続に用いられずスクリーニングテストとの接続に用いられる外部端端子を小さく形成した点が相違される半導体装置を例示する説明図である。

【図８】図８は図１に比べて第１外部端子のピッチが大きくされ第２外部端子の配列形態が相違された別の半導体装置の例を示す説明図である。

【図９】図９は図８の端子配列に対してスクリーニングテストとの接続のみに用いられる外部端端子を第３バンプＢＭＰ＿Ｔにより小さく形成した半導体装置を例示する説明図である。

【図１０】図１０はＷＰＰパッケージ形態を採用した半導体装置における端子配列を例示する説明図である。

【図１１】図１１は本発明に係る半導体装置における変形例の外部端子の配列を例示する説明図である。

【図１２】図１２はＷＰＰパッケージ形態を採用した半導体装置における変形例の端子配列を例示する説明図である。

【図１３】図１３は樹脂封止体で覆われている半導体チップと半導体チップを支持する配線基板との電気的な接続に複数のワイヤを用いた例を示す説明図である。

【図１４】図１４は樹脂封止体で覆われている半導体チップと半導体チップを支持する配線基板との電気的な接続にバンプ電極を介してフリップチップ接続した例を示す説明図である。

【符号の説明】

【００５３】

- １ 半導体装置
- ２ 半導体集積回路チップ
- ３，５ 第１回路（ＦＣＣＴ）
- ４ 第２回路（ＳＣＣＴ）
- ６ バス

Ｐｕ 実装基板への接続に用いられスクリーニングテストとの接続に用いられない端子

Ｐｕｓ 前記実装基板への接続並びにスクリーニングテストとの接続に用いられる端子

10

20

30

40

50

P s 前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられる端子

P 前記実装基板への接続に用いられず且つスクリーニングテストとの接続に用いられない端子

7 実装基板

8 配線パターン

9 スクリーニングテスト (T E S T)

L N D 1 第1ランド

B M P 1 第1バンク

L N D 2 第2ランド

B M P 2 第2バンク

B M P _ F 第1バンク

B M P _ S 第2バンク

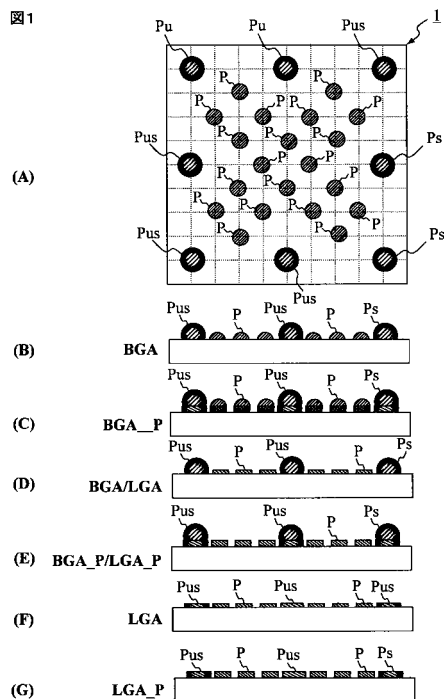
B M P _ T 第3バンク

P A D ボンディングパッド形成領域

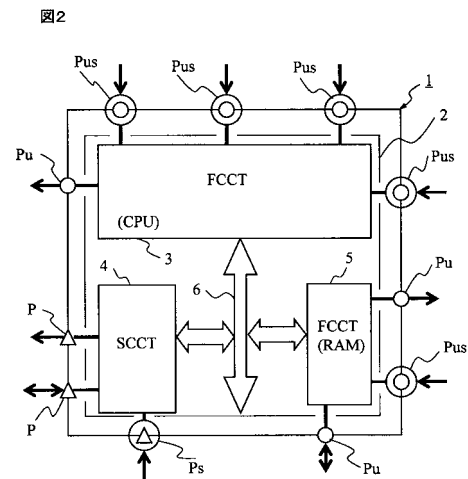
L I N 引き出し配線

10

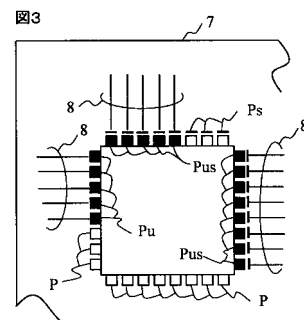
【図1】



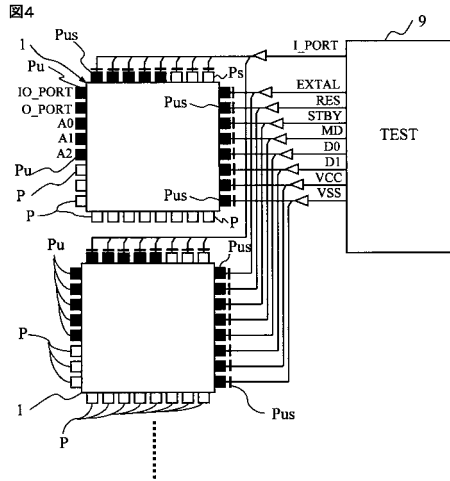
【図2】



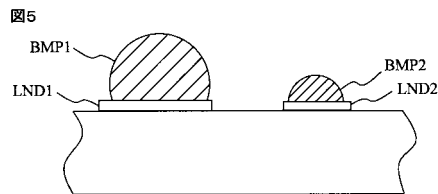
【図3】



【図4】

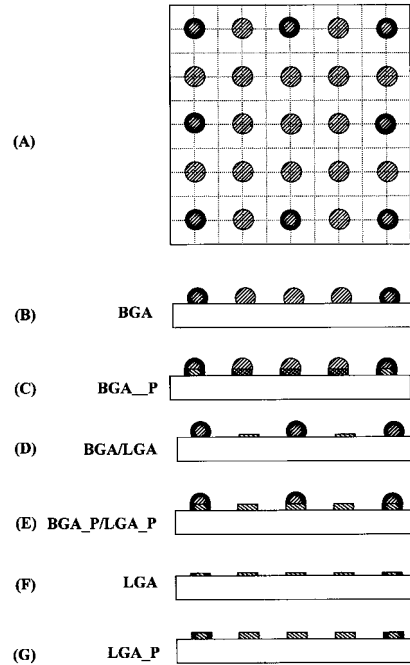


【図5】



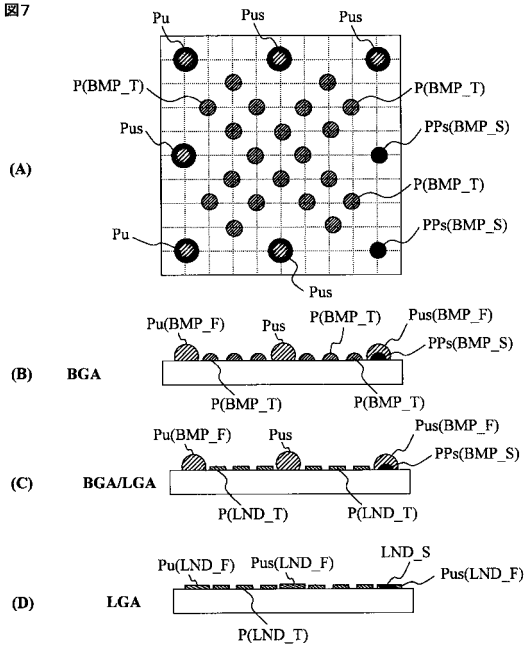
【図6】

図6



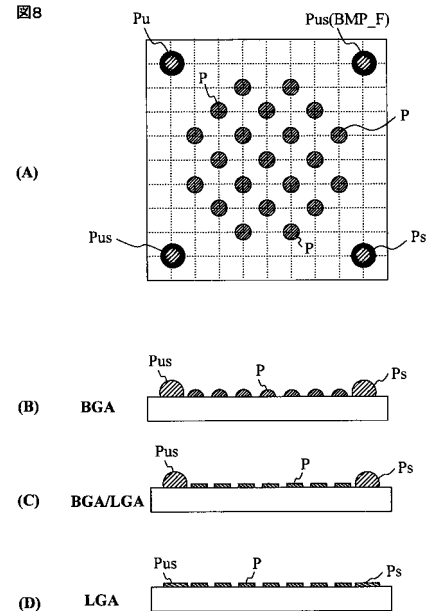
【図7】

図7



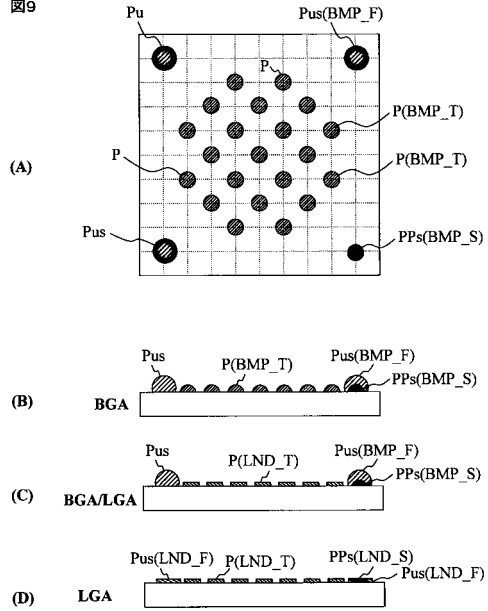
【図8】

図8



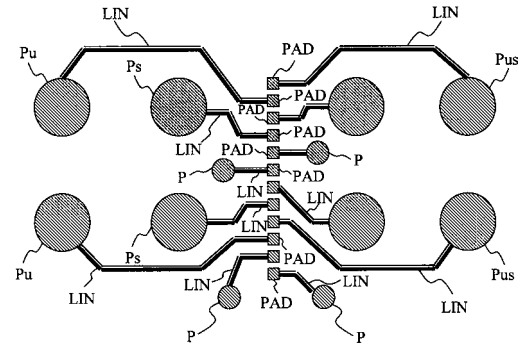
【図9】

図9



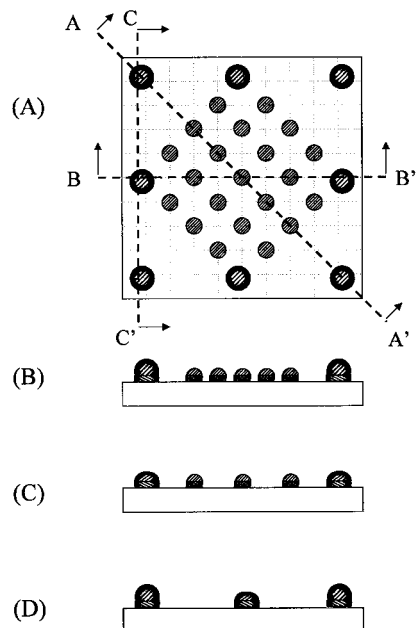
【図10】

図10



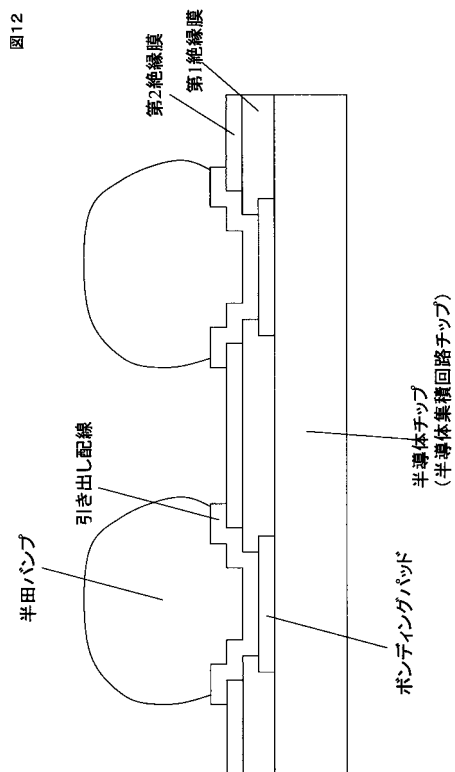
【図11】

図11



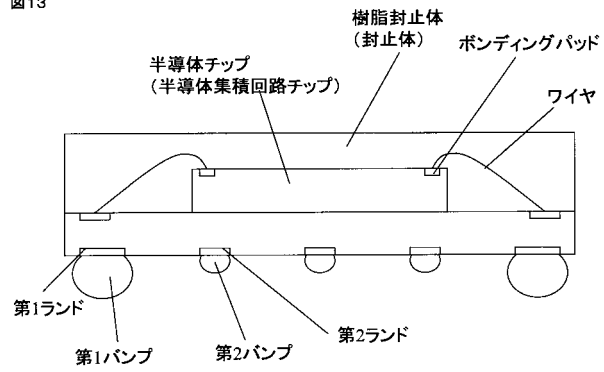
【図12】

図12



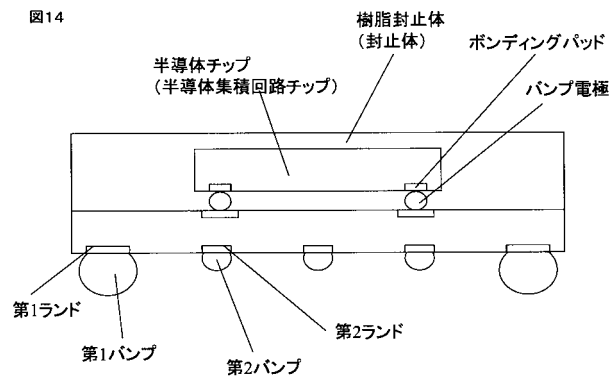
【図 13】

図13



【図 14】

図14



フロントページの続き

- (72)発明者 山岸 一繁
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 安村 文次
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 槇平 尚宏
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 今井 拓也

- (56)参考文献 特開2004-335858(JP,A)
特開2007-115904(JP,A)
特開平03-172782(JP,A)
特開昭63-271966(JP,A)
特開2002-174667(JP,A)
特開2004-078996(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 21/3205
H01L 21/768
H01L 23/522