



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I710124 B

(45)公告日：中華民國 109 (2020) 年 11 月 11 日

(21)申請案號：105101870

(22)申請日：中華民國 105 (2016) 年 01 月 21 日

(51)Int. Cl. : *H01L27/146 (2006.01)**H01L29/786 (2006.01)**H04N5/369 (2011.01)**H04N5/374 (2011.01)*

(30)優先權：2015/01/30 日本

2015-016743

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2012/0086095A1

US 2013/0223135A1

US 2014/0070079A1

審查人員：李維恩

申請專利範圍項數：15 項 圖式數：38 共 131 頁

(54)名稱

成像裝置及電子裝置

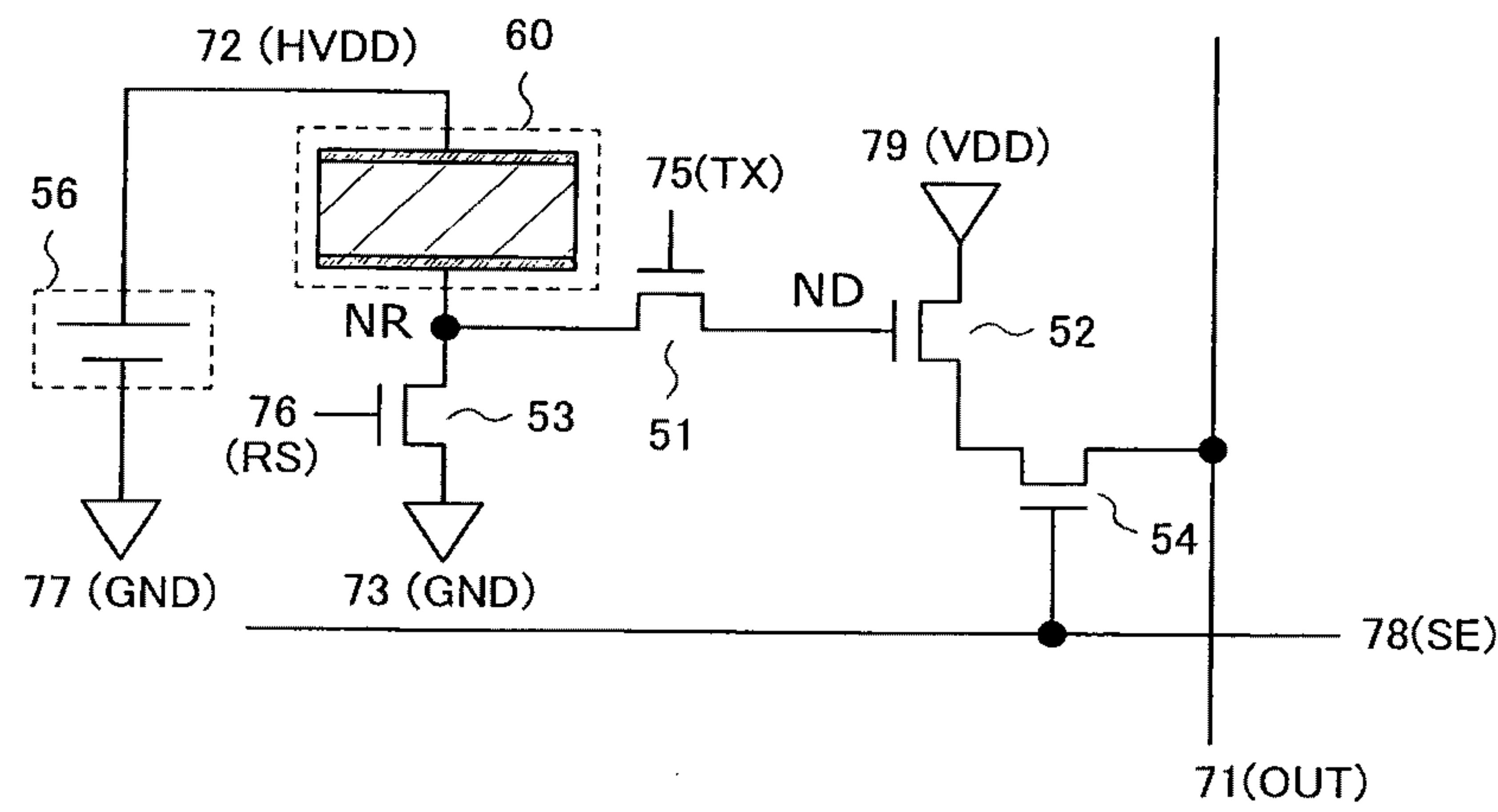
(57)摘要

本發明的一個實施例提供一種在低照度下也能夠進行成像的高靈敏度的成像裝置。光電轉換元件中的一個電極與第一電晶體的源極電極和汲極電極中的一個以及第三電晶體的源極電極和汲極電極中的一個電連接。第一電晶體的源極電極和汲極電極中的另一個與第二電晶體的閘極電極電連接，光電轉換元件中的另一個電極與第一佈線電連接。第一電晶體的閘極電極與第二佈線電連接。在供應到第一佈線的電位為 HVDD 時，供應到第二佈線的電位的最大值小於 HVDD。

A highly sensitive imaging device that can perform imaging even under a low illuminance condition is provided. One electrode of a photoelectric conversion element is electrically connected to one of a source electrode and a drain electrode of a first transistor and one of a source electrode and a drain electrode of a third transistor. The other of the source electrode and the drain electrode of the first transistor is electrically connected to a gate electrode of the second transistor. The other electrode of the photoelectric conversion element is electrically connected to a first wiring. A gate electrode of the first transistor is electrically connected to a second wiring. When a potential supplied to the first wiring is HVDD, the highest value of a potential supplied to the second wiring is lower than HVDD.

指定代表圖：

圖 1



符號簡單說明：

- 51 . . . 電晶體
- 52 . . . 電晶體
- 53 . . . 電晶體
- 54 . . . 電晶體
- 56 . . . 高電壓電源
- 60 . . . 光電轉換元件
- 71 . . . 佈線
- 72 . . . 佈線
- 73 . . . 佈線
- 75 . . . 佈線
- 76 . . . 佈線
- 77 . . . 佈線
- 78 . . . 佈線
- 79 . . . 佈線

發明摘要

※申請案號：105101870

※申請日：105 年 01 月 21 日

※IPC 分類：

【發明名稱】(中文/英文)

成像裝置及電子裝置

Imaging device and electronic device

【中文】

本發明的一個實施例提供一種在低照度下也能夠進行成像的高靈敏度的成像裝置。光電轉換元件中的一個電極與第一電晶體的源極電極和汲極電極中的一個以及第三電晶體的源極電極和汲極電極中的一個電連接。第一電晶體的源極電極和汲極電極中的另一個與第二電晶體的閘極電極電連接，光電轉換元件中的另一個電極與第一佈線電連接。第一電晶體的閘極電極與第二佈線電連接。在供應到第一佈線的電位為 HVDD 時，供應到第二佈線的電位的最大值小於 HVDD。

【 英文 】

A highly sensitive imaging device that can perform imaging even under a low illuminance condition is provided. One electrode of a photoelectric conversion element is electrically connected to one of a source electrode and a drain electrode of a first transistor and one of a source electrode and a drain electrode of a third transistor. The other of the source electrode and the drain electrode of the first transistor is electrically connected to a gate electrode of the second transistor. The other electrode of the photoelectric conversion element is electrically connected to a first wiring. A gate electrode of the first transistor is electrically connected to a second wiring. When a potential supplied to the first wiring is HVDD, the highest value of a potential supplied to the second wiring is lower than HVDD.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

51：電晶體

52：電晶體

53：電晶體

54：電晶體

56：高電壓電源

60：光電轉換元件

71：佈線

72：佈線

73：佈線

75：佈線

76：佈線

77：佈線

78：佈線

79：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

成像裝置及電子裝置

Imaging device and electronic device

【技術領域】

[0001] 本發明的一個實施例係關於一種使用氧化物半導體的成像裝置。

[0002] 注意，本發明的一個實施例不侷限於上述技術領域。本說明書等所公開的發明的一個實施例的技術領域係關於一種物體、方法或製造方法。本發明的一個實施例係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組成物 (composition of matter)。具體地，本說明書所公開的本發明的一個實施例的技術領域的範例包括半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、成像裝置、這些裝置的驅動方法或者這些裝置的製造方法。

[0003] 本說明書等中的半導體裝置通常是指藉由利用半導體特性而能夠工作的所有裝置。電晶體及半導體電路為半導體裝置的實施例。在某些情況下，儲存裝置、顯示裝置、成像裝置或電子裝置包括半導體裝置。

【先前技術】

[0004] 使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及顯示裝置等的電子裝置。作為可以應用於電晶體的半導體材料，矽基半導體被周知。作為其他材料，氧化物半導體受到注目。

[0005] 例如，公開了使用氧化鋅或 In-Ga-Zn 基氧化物半導體作為氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0006] 專利文獻 3 公開了一種成像裝置，其中在像素電路的一部分中使用包含氧化物半導體並具有極低的關態電流（off-state current）的電晶體，且在週邊電路中使用能夠製造互補金屬氧化物半導體（CMOS）電路的包含矽的電晶體。

[0007]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-096055 號公報

[專利文獻 3] 日本專利申請公開第 2011-119711 號公報

[0008] 為了得到高解析度的影像，需要包括高度集成的像素陣列的影像感測器。為了高度集成像素，需要縮小每一個像素的面積。

[0009] 當縮小像素的面積時，必須縮小該像素所包

括的光電轉換元件的受光部面積。當縮小光電轉換元件的受光部面積時，對光的靈敏度降低，因此有時難以在低照度下進行成像。

【發明內容】

[0010] 本發明的一個實施例的目的是：提供一種在低照度下容易進行成像的成像裝置。本發明的一個實施例的另一目的是：提供一種低功耗的成像裝置。本發明的一個實施例的另一目的是：提供一種適合於高速操作的成像裝置。本發明的一個實施例的另一目的是：提供一種高解析度的成像裝置。本發明的一個實施例的另一目的是：提供一種高度集成的成像裝置。本發明的一個實施例的另一目的是：提供一種動態範圍寬的成像裝置。本發明的一個實施例的另一目的是：提供一種能夠在寬的溫度範圍中使用的成像裝置。本發明的一個實施例的另一目的是：提供一種高孔徑比的成像裝置。本發明的一個實施例的另一目的是：提供一種高可靠性的成像裝置。本發明的一個實施例的另一目的是：提供一種新穎的成像裝置等。本發明的一個實施例的另一目的是：提供一種新穎的半導體裝置等。

[0011] 這些目的之記載並不妨礙其他目的之存在。在本發明的一個實施例方式中，並不需要達到所有上述目的。可從說明書、圖式以及申請專利範圍等的記載顯而易見並得到其他的目的。

[0012] 本發明的一個實施例係關於一種在低照度下也能夠進行成像的高靈敏度的成像裝置。

[0013] 本發明的一個實施例是一種成像裝置，包括：第一電晶體、第二電晶體、第三電晶體、第四電晶體以及光電轉換元件。光電轉換元件中的一個電極與第一電晶體的源極電極和汲極電極中的一個電連接。光電轉換元件中的該一個電極與第三電晶體的源極電極和汲極電極中的一個電連接。第一電晶體的源極電極和汲極電極中的另一個與第二電晶體的閘極電極電連接。第二電晶體的源極電極和汲極電極中的一個與第四電晶體的源極電極和汲極電極中的一個電連接。光電轉換元件中的另一個電極與第一佈線電連接。第一電晶體的閘極電極與第二佈線電連接。當供應到第一佈線的電位為 HVDD 時，供應到第二佈線的電位的最大值小於 HVDD。

[0014] 在上述結構中，第二電晶體的源極和汲極中的另一個與第三佈線電連接。當供應到第一佈線的電位為 HVDD，供應到第三佈線的電位為 VDD，且 HVDD 大於 VDD 時，供應到第二佈線的電位的最大值可以為 VDD。

[0015] 第一電晶體和第三電晶體都可以在活性層中包括氧化物半導體。該氧化物半導體較佳為包括 In、Zn 及 M（M 為 Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 或 Hf）。

[0016] 第二電晶體和第四電晶體都可以在活性層或活性區域中包括矽。

[0017] 依據本發明的一個實施例，可以提供一種在低照度下容易進行成像的成像裝置。可以提供一種低功耗的成像裝置。可以提供一種適合於高速操作的成像裝置。可以提供一種高解析度的成像裝置。可以提供一種高度集成的成像裝置。可以提供一種動態範圍寬的成像裝置。可以提供一種能夠在寬的溫度範圍中使用的成像裝置。可以提供一種高孔徑比的成像裝置。可以提供一種高可靠性的成像裝置。可以提供一種新穎的成像裝置等。可以提供一種新穎的半導體裝置等。

[0018] 注意，本發明的一個實施例不侷限於上述效果。例如，本發明的一個實施例根據情況或狀況而可能產生其他的效果。此外，本發明的一個實施例根據情況或狀況而可能不產生上述效果。

【圖式簡單說明】

[0019] 在圖式中：

圖 1 是說明像素電路的圖；

圖 2 是示出 OS 電晶體的 I_d - V_g 特性的圖；

圖 3 是示出 OS 電晶體的耐壓特性的圖；

圖 4 是示出 OS 電晶體的耐壓特性的圖；

圖 5 是示出 OS 電晶體的耐壓特性的圖；

圖 6 是說明成像的操作的時序圖；

圖 7A 至圖 7H 是說明像素電路的電路圖；

圖 8 是說明像素電路的電路圖；

圖 9A 至圖 9C 是說明成像裝置的結構的剖面圖；

圖 10A 和圖 10B 是說明全域快門系統及滾動快門系統的操作的圖；

圖 11A 至圖 11D 是說明光電轉換元件的連接的剖面圖；

圖 12A 和圖 12B 是說明光電轉換元件的連接的剖面圖；

圖 13 是說明成像裝置的結構的剖面圖；

圖 14A 至圖 14F 是說明光電轉換元件的連接的剖面圖；

圖 15 是說明成像裝置的結構的剖面圖；

圖 16A 至圖 16C 是說明成像裝置的結構的剖面圖及電路圖；

圖 17 是說明成像裝置的結構的剖面圖；

圖 18A 至圖 18C 是說明成像裝置的結構的剖面圖；

圖 19 是說明成像裝置的結構的剖面圖；

圖 20 是說明成像裝置的結構的剖面圖；

圖 21 是說明成像裝置的結構的剖面圖；

圖 22 是說明成像裝置的結構的剖面圖；

圖 23A1、圖 23A2、圖 23A3、圖 23B1、圖 23B2 以及圖 23B3 是說明彎曲的成像裝置的圖；

圖 24A 至圖 24F 是說明電晶體的俯視圖及剖面圖；

圖 25A 至圖 25F 是說明電晶體的俯視圖及剖面圖；

圖 26A 至圖 26D 是說明電晶體在通道寬度方向上的

剖面的圖；

圖 27A 至圖 27F 是說明電晶體在通道長度方向上的剖面的圖；

圖 28A 至圖 28E 是說明半導體層的俯視圖及剖面圖；

圖 29A 至圖 29F 是說明電晶體的俯視圖及剖面圖；

圖 30A 至圖 30F 是說明電晶體的俯視圖及剖面圖；

圖 31A 至圖 31D 是說明電晶體在通道寬度方向上的剖面的圖；

圖 32A 至圖 32F 是說明電晶體在通道長度方向上的剖面的圖；

圖 33A 至圖 33C 是說明電晶體的俯視圖；

圖 34A 至圖 34F 是說明電子裝置的圖；

圖 35 是說明像素電路的圖；

圖 36 是說明像素電路的圖；

圖 37A 和圖 37B 是說明像素電路的圖；

圖 38 是說明像素電路的圖。

【實施方式】

[0020] 參照圖式對實施例進行詳細說明。注意，本發明不侷限於以下的說明。所屬技術領域的通常知識者可以很容易地理解一個事實就是，本發明的方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以

下所示的實施例的記載內容中。在下面所說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。在某些情況下，在不同的圖式以不同的影線圖案標示相同的元件，或者省略影線圖案。

[0021] 例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係（例如，圖式或文中所示的連接關係等），圖式或文中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。

[0022] 這裡，X 和 Y 各為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0023] 作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻器、二極體、顯示元件、發光元件及負載等），並且 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件連接的情況。

[0024] 作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻器、二極體、顯示元件、發光元件及負載等）。注意，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使

電流流過。或者，開關具有選擇並切換電流路徑的功能。注意，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0025] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（如反相器、NAND 電路或 NOR 電路等）、信號轉換電路（如 D/A 轉換電路、A/D 轉換電路、伽瑪校正電路等）、電位位準轉換電路（如電源電路（例如，升壓電路或降壓電路）或用於改變信號的電位位準的位準轉移電路）、電壓源、電流源、切換電路、放大電路（如能夠增大信號振幅或電流量等的電路、運算放大器、差動放大器電路、源極隨耦電路或緩衝電路等）、信號產生電路、記憶體電路或控制電路）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0026] 注意，當明確地記載為“X 與 Y 電連接”時，在本說明書等中意味著如下情況：X 與 Y 電連接（亦即，以中間夾有其他元件或其他電路的方式連接 X 與 Y）；X 與 Y 在功能上連接（亦即，以中間夾有其他電路的方式在功能上連接 X 與 Y）；X 與 Y 直接連接（亦即，以中間不夾有其他元件或其他電路的方式連接 X 與 Y）。亦即，在本說明書等中，當明確地記載為“X 與 Y 電連接”時與只明

確地記載為“X 與 Y 連接”時的情況相同。

[0027] 例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下或在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，同時電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表示為如下。

[0028] 例如，可以表示為「X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，以及 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依此順序互相電連接」、「電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，以及 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依此順序互相電連接」、以及「X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，以及 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依此順序連接」。藉由使用與上述範例相同的表示方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0029] 作為其他表示方法，例如可以表示為「電晶體的源極（或第一端子等）至少經過第一連接路徑與 X 電

連接，該第一連接路徑不具有第二連接路徑，該第二連接路徑是電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，Z1 在該第一連接路徑上，電晶體的汲極（或第二端子等）至少經過第三連接路徑與 Y 電連接，該第三連接路徑不具有該第二連接路徑，及 Z2 在該第三連接路徑上」。也可以表示為「電晶體的源極（或第一端子等）至少經過第一連接路徑上的 Z1 與 X 電連接，該第一連接路徑不具有第二連接路徑，該第二連接路徑具有經由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑上的 Z2 與 Y 電連接，該第三連接路徑不具有該第二連接路徑」。也可以表示為「電晶體的源極（或第一端子等）至少經過第一電路徑上的 Z1 與 X 電連接，該第一電路徑不具有第二電路徑，該第二電路徑是從電晶體的源極（或第一端子等）到電晶體的汲極（或第二端子等）的電路徑，電晶體的汲極（或第二端子等）至少經過第三電路徑上的 Z2 與 Y 電連接，該第三電路徑不具有第四電路徑，該第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑」。藉由使用與上述範例同樣的表示方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0030] 注意，這些表示方法只是範例而已，不侷限於上述表示方法。在此，X、Y、Z1 及 Z2 各表示物件

（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0031] 即使圖式示出在電路圖上獨立的組件彼此電連接，也有一個組件兼有多個組件的機能的情況。例如，當佈線的一部分被用作電極時，一個導電膜用作為佈線和電極。因此，本說明書中的“電連接”一詞亦指這種一個導電膜兼有多個組件的機能的情況。

[0032] 注意，根據情況或狀態，可以互相調換“膜”和“層”這兩個詞。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

[0033] 注意，一般而言，電位（電壓）是相對的，且是根據相對於特定電位之量決定。因此，在記載為“接地”、“GND”等的情況下，電位也不必須侷限於 0V。例如，也有以電路中的最低電位為基準而定義“接地”或“GND”的情況。或者，也有以電路中的中間電位為基準而定義“接地”或“GND”的情況。在該情況下，以該電位為基準規定正電位及負電位。

[0034]

實施例 1

在本實施例中，參照圖式說明本發明的一個實施例的成像裝置。

[0035] 圖 1 是說明可以用於本發明的一個實施例的成像裝置的像素電路的圖。該像素電路包括電晶體 51、

電晶體 52、電晶體 53、電晶體 54 以及光電轉換元件 60。

[0036] 光電轉換元件 60 中的一個電極與電晶體 51 的源極電極和汲極電極中的一個電連接。光電轉換元件 60 中的一個電極與電晶體 53 的源極電極和汲極電極中的一個電連接。電晶體 51 的源極電極和汲極電極中的另一個與電晶體 52 的閘極電極電連接。電晶體 52 的源極電極和汲極電極中的一個與電晶體 54 的源極電極和汲極電極中的一個電連接。

[0037] 光電轉換元件 60 中的另一個電極與佈線 72 (HVDD) 電連接。電晶體 51 的閘極電極與佈線 75 (TX) 電連接。電晶體 52 的源極電極和汲極電極中的另一個與佈線 79 (VDD) 電連接。電晶體 53 的閘極電極與佈線 76 (RS) 電連接。電晶體 53 的源極電極和汲極電極中的另一個與佈線 73 (GND) 電連接。電晶體 54 的源極電極和汲極電極中的另一個與佈線 71 (OUT) 電連接。電晶體 54 的閘極電極與佈線 78 (SE) 電連接。佈線 72 (HVDD) 與高電壓電源 56 中的一個端子電連接。高電壓電源 56 中的另一個端子與佈線 77 (GND) 電連接。

[0038] 佈線 71 (OUT) 可以具有從像素輸出信號的輸出線的功能。可以將佈線 73 (GND)、佈線 77 (GND)、佈線 79 (VDD) 用作電源線。例如，可以將佈線 73 (GND) 及佈線 77 (GND) 用作低電位電源線，而可以將佈線 79 (VDD) 用作高電位電源線。可以將佈

線 75 (TX)、佈線 76 (RS) 及佈線 78 (SE) 用作控制各電晶體的開啟和關閉的信號線。

[0039] 注意，可以設置佈線 73 (GND) 及佈線 77 (GND) 作為一個佈線。另外，該兩個佈線的電位只要是充分地低於供應到佈線 79 (VDD) 的電位，就不侷限於 GND。

[0040] 當施加作為高電壓的電位 HVDD 時，光電轉換元件 60 呈現光電特性。注意在本實施例中，電位 HVDD 大於施加到佈線 79 (VDD) 的電位 VDD。作為光電轉換元件 60，較佳為使用由產生雪崩電荷倍增 (avalanche charge multiplication) 的材料形成的光電轉換元件，以提高低照度下的光檢測靈敏度。為產生雪崩電荷倍增而需要較高的電壓 (HVDD)。因此，高電壓電源 56 能夠供應 HVDD，而 HVDD 藉由佈線 72 (HVDD) 被供應到光電轉換元件 60 中的另一個電極。

[0041] 可以將電晶體 51 用作用來將回應於光電轉換元件 60 的輸出而改變的電荷累積部 (NR) 的電位傳送到電荷累積部 (ND) 的傳送電晶體。可以將電晶體 53 用作使電荷累積部 (NR) 及電荷累積部 (ND) 的電位初始化的重設電晶體。可以將電晶體 52 用作輸出根據電荷累積部 (ND) 的電位的信號的放大電晶體。可以將電晶體 54 用作選擇讀出信號的像素的選擇電晶體。

[0042] 當對光電轉換元件 60 施加高電壓時，與光電轉換元件 60 連接的電晶體需要耐受高電壓。作為該高耐

受電壓的電晶體，例如可以使用將氧化物半導體用於活性層的電晶體（以下稱為 OS 電晶體）等。明確而言，作為電晶體 51 及電晶體 53，較佳為適用 OS 電晶體。

[0043] 在此，圖 2 示出一種 OS 電晶體的靜態特性（汲極電壓（ V_d ）=0.1V 及 3.3V），在該 OS 電晶體中，通道長度 L /通道寬度 $W=0.35\mu\text{m}/0.8\mu\text{m}$ ，且閘極絕緣膜厚度（由轉換而得）為 20nm（物理膜厚度為 31nm）。圖 3 示出該電晶體中的閘極電壓（ V_g ）=0V，源極電壓（ V_s ）=0V 時的汲極擊穿電壓特性。圖 4 示出 $V_s=V_d=0V$ 時的該電晶體的正電壓下的閘極擊穿電壓特性。圖 5 示出 $V_s=V_d=0V$ 時的該電晶體的負電壓下的閘極擊穿電壓特性。由圖 2 至圖 5 可知，OS 電晶體具有高耐受電壓的電特性。

[0044] 因為 OS 電晶體是寬能帶間隙（ $>3.0\text{eV}$ ）半導體，所以汲極耐壓依賴於閘極絕緣膜的膜厚度，而不依賴於接面耐受電壓（junction withstand voltage）。另一方面，因為在 OS 電晶體中不容易產生短通道效果，所以使閘極絕緣膜變厚來提高汲極耐壓且可以容易得到常關閉的電晶體特性。可知 OS 電晶體對光電轉換元件的雪崩電荷倍增所需的超過 20V 的偏壓具有耐性。注意，OS 電晶體的故障模式為絕緣擊穿。

[0045] 注意，本說明書中所示的高耐受電壓的電晶體是指具有不被電損壞地耐受所希望的高電壓的電特性的電晶體。例如，在高耐受電壓的電晶體中：在將 GND 供

應到源極電極及汲極電極時能夠不損壞地對閘極電極施加所希望的高電壓。或者，在將 GND 供應到源極電極及閘極電極時能夠不損壞地對汲極電極施加所希望的高電壓。或者，在將 GND 供應到源極電極且將 VDD 供應到閘極電極時能夠不損壞地對汲極電極施加所希望的高電壓。

[0046] 雖然在電晶體 51 及電晶體 53 中開關特性是優先的，但是在電晶體 52 中放大特性是優先的，因此較佳為使用通態電流高的電晶體。由此，作為電晶體 52 較佳為適用將矽用於活性層或活性區域的電晶體（下面稱為 Si 電晶體）。

[0047] 注意，電荷累積部（NR）的最大電位可能為 HVDD。但是在作為電晶體 51 使用 n 通道型電晶體時，電荷累積部（ND）的電位不大於施加到電晶體 51 的閘極電極的最大電位。更正確地說，該電荷累積部（ND）的電位不大於比施加到電晶體 51 的閘極電極的最大電位小電晶體 51 的臨界電壓（ V_{th} ）的電位。例如，即使電荷累積部（NR）的電位為 HVDD，在施加到佈線 75（TX）的最大電位為 VDD 的情況下，電荷累積部（ND）的最大電位也為 VDD。進一步正確地說，該電荷累積部（ND）的電位為 $VDD - V_{th}$ 。注意，在下面的說明中，將電晶體 51 的 V_{th} 認為低電壓，而在描述電荷累積部（ND）的電位時省略關於該 V_{th} 的記載。

[0048] 也就是說，如果電晶體 51 為常關閉的，則低於電位 HVDD 的電位 VDD 成為讀出用電源電壓。由此，

電晶體 52 的閘極電極不被施加高電壓，因此即使作為電晶體 52 使用包括薄的閘極絕緣膜並耐壓較不大的 Si 電晶體也不發生問題。

[0049] 藉由使電晶體 51 至電晶體 54 具有上述結構，可以製造低照度下的光檢測靈敏度高且能夠輸出噪音少的信號的成像裝置。此外，因為成像裝置具有高光檢測靈敏度，所以可以縮短提取光所需的時間而高速地進行成像。

[0050] 接著，參照圖 6 的時序圖來說明像素的操作。注意，在下面說明的一個操作範例中，對連接到電晶體 53 的閘極電極的佈線 76 (RS) 供應 HVDD 的電位作為“H”電位，而供應 GND 的電位作為“L”電位。此外，對連接到電晶體 51 的閘極電極的佈線 75 (TX) 供應 VDD 的電位作為“H”電位，而供應 GND 的電位作為“L”電位。更進一步地，對連接到電晶體 52 的源極電極的佈線 79 (VDD) 供應 VDD。注意，也可以對各佈線供應上述以外的電位。

[0051] 首先，若將佈線 76 (RS) 設定為“H”並將佈線 75 (TX) 設定為“H”，將電荷累積部 (NR) 及電荷累積部 (ND) 的電位各設定為重設電位 (GND) (即，重設操作)。注意，在重設操作時，也可以對佈線 76 (RS) 供應 VDD 作為“H”電位。

[0052] 接著，若將佈線 76 (RS) 設定為“L”，並使佈線 75 (TX) 設定為“L”，電荷累積部 (NR) 的

電位改變（即，累積操作）。電荷累積部（NR）的電位根據入射到光電轉換元件 60 的光的強度從 GND 改變至最大值的 HVDD。

[0053] 若在累積操作之後，將佈線 75（TX）設定為“H”，電荷累積部（NR）的電荷被傳送到電荷累積部（ND）（即，傳送操作）。

[0054] 雖然在累積操作中，電荷累積部（NR）的電位根據入射到光電轉換元件 60 的光的強度改變，但是電晶體 51 的閘極電極被供應 VDD，所以在電荷累積部（ND）的電位到達 VDD 時，電晶體 51 成為關閉狀態。由此，電荷累積部（ND）的電位從重設電位（GND）改變至最大值的 VDD。也就是說，施加到電晶體 52 的閘極電極的最大電位為 VDD。

[0055] 注意，雖然在圖 6 所示的累積操作中，將佈線 75（TX）設定為“L”，但是也可以將佈線 75（TX）設定為“H”。在此情況下，隨著電荷累積部（NR）的電位改變，電荷累積部（ND）的電位也改變，但是電晶體 51 的閘極電極被供應 VDD。所以在電荷累積部（ND）的電位到達 VDD 時，電晶體 51 成為關閉狀態。由此，電荷累積部（ND）的電位從重設電位（GND）改變至最大值的 VDD。也就是說，在此情況下，施加到電晶體 52 的閘極電極的最大電位也為 VDD。

[0056] 注意，若在累積操作中，將佈線 75（TX）設定為“L”，可以減少起因於電晶體 51 的噪音所帶來的影

響。另一方面，若將佈線 75 (TX) 設定為“H”，可以減少起因於電晶體 51 的開關的噪音所帶來的影響。

[0057] 若在傳送操作之後，將佈線 76 (RS) 設定為“L”，將佈線 75 (TX) 設定為“L”，並將佈線 78 (SE) 設定為“H”，可以對佈線 71 (OUT) 輸出根據電荷累積部 (ND) 的電位的信號。也就是說，可以得到在累積操作中根據入射到光電轉換元件 60 的光的強度的輸出信號。

[0058] 在上述操作中，施加到各電晶體的端子的電壓的最大值為如下所述。在某些情況下，電晶體 51 的源極電極被施加 HVDD，電晶體 51 的閘極電極及汲極電極被施加 VDD。在某些情況下，電晶體 53 的閘極電極及汲極電極被施加 HVDD，電晶體 53 的源極電極被施加 GND。在某些情況下，電晶體 52 的源極電極、汲極電極及閘極電極被施加 VDD。在某些情況下，電晶體 54 的源極電極、汲極電極及閘極電極被施加 VDD。由此，電晶體 51 及電晶體 53 需要耐受高電壓 HVDD。另一方面，電晶體 52 及電晶體 54 只要耐受 VDD，就足夠了。

[0059] 注意，用於本發明的一個實施例中的成像裝置的像素電路也可以具有圖 35 所示的結構。圖 35 所示的像素電路中，將電晶體 55 的源極電極和汲極電極中的一個連接到圖 1 的結構中的電荷累積部 (ND)。電晶體 55 的源極電極和汲極電極中的另一個與佈線 93 (GND) 連接。電晶體 55 的閘極電極與佈線 96 (RS) 連接。佈線 93

(GND) 可以具有與佈線 73 (GND) 相同的電位。佈線 96 (RS) 是用來控制電晶體 55 的信號線，它可以供應與佈線 76 (RS) 相同的電位。可以對佈線 76 (RS) 及佈線 96 (RS) 供應互不相同的電位。而且，佈線 76 (RS) 及佈線 96 可以相互電連接。

[0060] 在圖 1 所示的像素電路的結構中，藉由使電晶體 51 及電晶體 53 成為開啟狀態進行電荷累積部 (ND) 的重設操作。然而，在圖 35 所示的結構中可以不使電晶體 51 進行操作地使電荷累積部 (ND) 重設，從而可以減少成像的噪音。

[0061] 在圖 1 所示的電路結構中，將電晶體 54 設置於電晶體 52 和佈線 71 (OUT) 之間。然而，如圖 36 所示，也可以將電晶體 54 設置於電晶體 52 和佈線 79 (VDD) 之間。

[0062] 在圖 1 所示的電路結構中，將電晶體 52 的源極電極和汲極電極中的另一個連接到高電位電源線 (佈線 79 (VDD))。然而，如圖 37A 所示，也可以將電晶體 52 的源極電極和汲極電極中的另一個連接到低電位電源線 (佈線 99 (GND))。如圖 37B 所示，也可以將電晶體 52 置換為 p 通道型電晶體。

[0063] 作為本發明的一個實施例的像素電路的其他結構，可以採用圖 7A 所示的省略電晶體 54 的結構。如圖 7B 所示，也可以在電荷累積部 (NR) 中設置電容器 57。如圖 7C 所示，也可以在電荷累積部 (ND) 設置電容器

58。如圖 7D 所示，也可以設置電容器 57 及電容器 58。注意，可以將圖 7A 至圖 7D 所示的結構與圖 35、圖 36、以及圖 37A 和圖 37B 所示的結構任意組合。

[0064] 如圖 7E 或圖 7F 所示，像素電路中的電晶體 51 及電晶體 53 各可包括背後閘極。在圖 7E 所示的結構中對背後閘極施加恆電位，可以控制臨界電壓。在圖 7F 的結構中對背後閘極施加與前閘極相同的電位，可以增加通態電流。如圖 7G 及圖 7H 所示，電晶體 51 至電晶體 54 各可包括背後閘極。也可以將在電晶體設置背後閘極的結構適用於圖 1、圖 7A 至圖 7D、圖 35、圖 36、以及圖 37A 和圖 37B 所示的電路。此外，對於一個像素電路所包括的電晶體，也可以採用根據需要任意組合背後閘極被施加與前閘極相同的電位的結構、背後閘極被施加恆電位的結構或不設置背後閘極的結構的電路結構。

[0065] 注意，如圖 8 所示，在像素電路中，多個像素也可以共同使用電晶體 52 及電晶體 54。雖然圖 8 例示垂直方向上的多個像素共同使用電晶體 52 及電晶體 54 的結構，但是水平方向或水平垂直方向上的多個像素也可以共同使用電晶體 52 及電晶體 54。藉由採用這種結構，可以減少每一個像素所包括的電晶體的數量。如圖 38 所示，也可以在電荷累積部（ND）設置重設電晶體 55。

[0066] 雖然在圖 8 和圖 38 中描述四個像素共同使用電晶體 52 及電晶體 54 的結構，但是兩個像素、三個像素或五個以上的像素也可以共同使用電晶體 52 及電晶體

54。注意，可以任意組合圖 8 或圖 38 的結構和圖 7A 至圖 7H、圖 36 及圖 37A 和圖 37B 所示的結構。

[0067] 此種結構可以提供包括高度集成的像素陣列的成像裝置。此外，可以提供容易在低照度下進行成像的成像裝置。

[0068] 接著，參照圖式說明本發明的一個實施例的成像裝置的具體結構例子。圖 9A 是本發明的一個實施例的成像裝置的剖面圖的一個例子，其示出圖 1 所示的像素中的光電轉換元件 60、電晶體 51 及電晶體 53 的具體的連接方式的一個例子。注意，在圖 9A 中未圖示電晶體 52 及電晶體 54。該成像裝置包括設置有電晶體 51 至電晶體 54 的層 1100 及設置有光電轉換元件 60 的層 1200。

[0069] 雖然在本實施例所說明的剖面圖中，各佈線、各電極及各導電體 81 為彼此不同的組件，但是在圖式上彼此電連接的組件有時在實際的電路中被認為同一個組件。此外，電晶體的閘極電極、源極電極或汲極電極藉由導電體 81 與各佈線連接的結構是一個例子，而有時電晶體的閘極電極、源極電極和汲極電極都具有佈線的功能。

[0070] 此外，在各組件上設置有用作保護膜、層間絕緣膜或平坦化膜的絕緣層 82 及絕緣層 83 等。例如，絕緣層 82 及絕緣層 83 等可以使用氧化矽膜或氧氮化矽膜等無機絕緣膜。或者，也可以使用丙烯酸樹脂膜或聚醯亞胺樹脂膜等有機絕緣膜。較佳的是，根據需要藉由 CMP

（ Chemical Mechanical Polishing：化學機械拋光）法等對絕緣層 82 及絕緣層 83 等的頂面進行平坦化處理。

[0071] 在某些情況中，不設置圖式所示的佈線等的一部分，或各層包括在圖式中未圖示的佈線等及電晶體等。此外，可能包括在圖式中未圖示的層。此外，在某些情況中不包括圖式所示的層的一部分。

[0072] 作為電晶體 51 及電晶體 53，特別佳為採用 OS 電晶體。

[0073] OS 電晶體的極低的關態電流可以使成像的動態範圍擴大。在圖 1 所示的像素的電路結構中，入射到光電轉換元件 60 的光的強度的減少會降低電荷累積部（ND）的電位。由於 OS 電晶體的關態電流極低，因此在閘極電位極小時也可以正確地輸出根據該閘極電位的電流。由此，可以擴大能夠檢測出的照度範圍，亦即擴大動態範圍。

[0074] 因電晶體 51 及電晶體 53 關態電流低，而可以在電荷累積部（ND）及電荷累積部（NR）中能夠保持電荷的期間為極長。因此，可以適用在全像素中同時進行累積操作的全域快門（Global shutter）系統，而沒有複雜的電路結構或操作方法。

[0075] 一般而言，如圖 10A 所示，在將像素設置為矩陣狀的成像裝置中採用滾動快門（Rolling shutter）系統，其中在逐行進行成像操作 11、資料保持操作 12 及讀出操作 13。當採用滾動快門系統時，失掉成像的同時

性，因此在拍攝物件移動時產生影像的畸變。

[0076] 由此，本發明的一個實施例較佳為採用圖 10B 所示的全域快門系統，其中可以在所有行中同時進行成像操作 11，然後逐行依次進行讀出操作 13。藉由採用全域快門系統，成像裝置的各像素能夠確保成像的同時性，因此在拍攝物件移動時也可以容易得到畸變小的影像。

[0077] 此外，因為 OS 電晶體的電特性中對變動的溫度依賴性比 Si 電晶體小，所以可以在極寬的溫度範圍中使用 OS 電晶體。因此，包括 OS 電晶體的成像裝置及半導體裝置適合安裝於汽車、飛機、太空船等。

[0078] 此外，OS 電晶體的汲極擊穿電壓比 Si 電晶體高。較佳為對將硒基材料用於光電轉換層的光電轉換元件施加較高的電壓（例如，10V 以上），以容易產生雪崩現象。由此，藉由組合 OS 電晶體和將硒基材料用於光電轉換層的光電轉換元件，可以實現高可靠性的成像裝置。

[0079] 注意，雖然圖 9A 例示各電晶體包括背後閘極，但是如圖 9B 所示，也可以不包括背後閘極。另外，如圖 9C 所示，也可以電晶體的一部分，例如只有電晶體 51 包括背後閘極。該背後閘極可能與電晶體之對應設置的前閘極電連接。或者，對該背後閘極供應與前閘極不同的固定電位。注意，還可以將該背後閘極的有無適用於本實施例所說明的其他成像裝置。

[0080] 作為設置於層 1200 的光電轉換元件 60 可以

採用各種方式的元件。圖 9A 示出光電轉換元件 60 包括硒基材料用於光電轉換層 61。包括硒基材料的光電轉換元件 60 對可見光具有高外部量子效率。在該光電轉換元件中，可以得到因雪崩現象而使電子放大量相對於入射光量大的高靈敏度的感測器。另外，由於硒基材料的光吸收係數高，而具有易於將光電轉換層 61 形成得較薄的優點。

[0081] 作為硒基材料，可以使用非晶硒或結晶硒。作為結晶硒的一個例子，可以藉由形成非晶硒之後進行加熱處理而形成。另外，藉由使結晶硒的結晶粒徑小於像素間距，可以減少各像素的特性偏差。另外，與非晶硒相比，結晶硒具有較高的光譜靈敏度及光吸收係數。

[0082] 另外，光電轉換層 61 可以為含有銅、銦及硒的化合物（CIS）的層。或者，可以使用含有銅、銦、鎳及硒的化合物（CIGS）的層。在 CIS 層及 CIGS 層中，可以與硒的單層同樣地形成能夠利用雪崩現象的光電轉換元件。

[0083] 作為採用硒基材料的光電轉換元件 60，例如可以採用在由金屬材料等形成的電極 66 與透光導電層 62 之間具有光電轉換層 61 的結構。CIS 及 CIGS 是 p 型半導體，而也可以與其接觸地設置 n 型半導體的硫化鎘或硫化鋅等以形成鍵合。

[0084] 為了使雪崩現象發生，較佳為對光電轉換元件施加較高的電壓（例如，10V 以上）。由於 OS 電晶體具有高於 Si 電晶體的汲極擊穿電壓，因此可以更容易地

對光電轉換元件施加較高的電壓。因此，藉由組合高汲極擊穿電壓的 OS 電晶體與將硒基材料用於光電轉換層的光電轉換元件，可以實現高靈敏度且高可靠性的成像裝置。

[0085] 在圖 9A 中雖然採用不使光電轉換層 61 與透光導電層 62 在像素電路間分離的結構，但是也可以如圖 11A 所示採用在電路間分離光電轉換層 61 與透光導電層 62 的結構。此外，在像素間的不具有電極 66 的區域中，較佳為以絕緣體形成分隔壁 67，以不使光電轉換層 61 及透光導電層 62 產生裂縫，然而，也可以如圖 11B 所示採用不設置分隔壁 67 的結構。雖然圖 9A 示出透光導電層 62 和佈線 72 經由佈線 88 及導電體 81 彼此相互連接，但是也可以如圖 11C 和圖 11D 所示透光導電層 62 與佈線 72 相互直接連接。

[0086] 電極 66 及佈線 72 等也可以採用多層結構。例如，如圖 12A 所示，電極 66 也可以採用導電層 66a 和導電層 66b 的兩層結構，而佈線 72 也可以採用導電層 72a 和導電層 72b 的兩層結構。在圖 12A 的結構中，例如，較佳為選擇低電阻的金屬等來形成導電層 66a 及導電層 72a，而選擇與光電轉換層 61 的接觸特性好的金屬等來形成導電層 66b 及導電層 72b。藉由採用這種結構，可以提高光電轉換元件的電特性。此外，一些種類的金屬因與透光導電層 62 接觸而會產生電蝕。即使將這種金屬用於導電層 72a，也藉由設置在導電層 72a 與透光導電層 62 之間的導電層 72b 可以防止電蝕。

[0087] 作為導電層 66b 及導電層 72b，例如可以使用鉬或鎢等。此外，作為導電層 66a 及導電層 72a，例如可以使用鋁、鈦或依序層疊鈦、鋁和鈦的疊層。

[0088] 絕緣層 82 等也可以採用多層結構。例如，如圖 12B 所示，在絕緣層 82 包括絕緣層 82a 和絕緣層 82b，且絕緣層 82a 和絕緣層 82b 的蝕刻速率等不同的情況下，導電體 81 具有步階。在用作層間絕緣膜或平坦化膜的其他絕緣層採用多層結構的情況下，導電體 81 同樣地具有步階。雖然在此示出絕緣層 82 採用兩層結構的例子，但是絕緣層 82 及其他絕緣層也可以採用三層以上的疊層結構。

[0089] 注意，分隔壁 67 可以使用無機絕緣體或絕緣有機樹脂等形成。分隔壁 67 也可以著色成黑色等以遮蔽照射到電晶體等的光及/或確定每一個像素的受光部的面積。

[0090] 另外，光電轉換元件 60 也可以採用使用了如非晶矽膜或微晶矽膜等的 PIN 型二極體元件等。

[0091] 例如，圖 13 是作為光電轉換元件 60 使用 PIN 型薄膜光電二極體的例子。該光電二極體包括依次層疊的 p 型半導體層 65、i 型半導體層 64 及 n 型半導體層 63。i 型半導體層 64 較佳為使用非晶矽。n 型半導體層 63 及 p 型半導體層 65 可以使用包含賦予對應導電型的摻雜物的非晶矽或者微晶矽等。以非晶矽為光電轉換層的光電二極體在可見光波長區域內的靈敏度較高，而易於檢測微弱的

可見光。

[0092] 在圖 13 所示的光電轉換元件 60 中，p 型半導體層 65 與電極 66 電連接，該電極 66 與電晶體 51 及電晶體 53 電連接。此外，n 型半導體層 63 藉由導電體 81 與佈線 72 電連接。

[0093] 此外，具有 pin 型薄膜光電二極體的形態的光電轉換元件 60 的結構以及光電轉換元件 60 與佈線的連接方式可以採用圖 14A 至圖 14F 所示的例子。注意，光電轉換元件 60 的結構以及光電轉換元件 60 與佈線的連接方式不侷限於此，也可以採用其他方式。

[0094] 圖 14A 示出設置有與光電轉換元件 60 的 n 型半導體層 63 接觸的透光導電層 62 的結構。透光導電層 62 用作電極，而可以提高光電轉換元件 60 的輸出電流。

[0095] 透光導電層 62 例如可以使用銦錫氧化物、包含矽的銦錫氧化物、包含鋅的氧化銦、氧化鋅、包含鎵的氧化鋅、包含鋁的氧化鋅、氧化錫、包含氟的氧化錫、包含銻的氧化錫或石墨烯等。此外，透光導電層 62 不侷限於單層，而也可以為不同膜的疊層。

[0096] 圖 14B 示出光電轉換元件 60 的 n 型半導體層 63 與佈線 88 直接連接的結構。

[0097] 圖 14C 示出設置有與光電轉換元件 60 的 n 型半導體層 63 接觸的透光導電層 62 且佈線 88 與透光導電層 62 電連接的結構。

[0098] 圖 14D 示出在覆蓋光電轉換元件 60 的絕緣層

中設置有使 n 型半導體層 63 露出的開口部且覆蓋該開口部的透光導電層 62 與佈線 88 電連接的結構。

[0099] 圖 14E 示出設置有穿過光電轉換元件 60 的導電體 81 的結構。在該結構中，佈線 72 藉由導電體 81 與 n 型半導體層 63 電連接。注意，雖然在圖式中在外觀上佈線 72 藉由 p 型半導體層 65 電連接到電極 66。但是，由於 p 型半導體層 65 的橫向方向上的電阻較高，因此藉由在佈線 72 與電極 66 之間設置適當的間隔，可以大大提高兩者之間的電阻。由此，可以防止陽極與陰極的短路而確保光電轉換元件 60 的二極體特性。注意，也可以設置多個與 n 型半導體層 63 電連接的導電體 81。

[0100] 圖 14F 示出在圖 14E 的光電轉換元件 60 中設置與 n 型半導體層 63 接觸的透光導電層 62 的結構。

[0101] 注意，在圖 14D 至圖 14F 所示的光電轉換元件 60 中，受光區域不與佈線等重疊，因此可以確保較大的受光面積。

[0102] 此外，如圖 15 所示，光電轉換元件 60 也可以採用將矽基板 30 用作光電轉換層的光電二極體。

[0103] 使用上述矽基材料或非晶矽等形成的光電轉換元件 60 可以利用沉積製程、光微影製程、蝕刻製程等一般的半導體製程製造。另外，由於矽基材料具有高電阻，也可以如圖 9A 所示那樣採用光電轉換層 61 不在電路間分離的結構。因此，本發明的一個實施例的成像裝置可以以高良率及低成本製造。另一方面，在形成將矽基板

30 用作光電轉換層的光電二極體時，需要拋光製程或貼合製程等難度較高的製程。

[0104] 此外，在本發明的一個實施例的成像裝置中也可以層疊有矽基板 30，在該矽基板 30 中形成有電路。例如，如圖 16A 所示，層 1400 可以與像素電路重疊，該層 1400 包括在矽基板 30 中具有活性區域的電晶體 31 及電晶體 32。

[0105] 形成在矽基板 30 的電路能夠讀出像素電路所輸出的信號並轉換該信號，例如，也可以包括如圖 16B 所示的電路圖那樣的 CMOS 反相器。電晶體 31（n 通道型電晶體）及電晶體 32（p 通道型電晶體）的閘極電極彼此電連接。一個電晶體中的源極電極和汲極電極中的一個電連接到另一個電晶體的源極電極和汲極電極中的一個。該一個電晶體中的源極電極和汲極電極中的另一個電連接到一佈線，且該另一個電晶體中的源極電極和汲極電極中的另一個電連接到另一個佈線。

[0106] 此外，矽基板 30 不侷限於塊狀矽基板，也可以使用以鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵或有機半導體為材料的基板。

[0107] 如圖 16C 所示，電晶體 31 及電晶體 32 也可以為包括使用矽薄膜形成的活性層 35 的電晶體。活性層 35 可以使用多晶矽或 SOI（Silicon on Insulator：絕緣層上覆矽）結構的單晶矽。

[0108] 在此，如圖 15 和圖 16A 所示，在包括氧化物

半導體電晶體的區域和包括 Si 電晶體（圖 15 中的 Si 光電二極體）的區域之間設置有絕緣層 80。

[0109] 設置在電晶體 31 及電晶體 32 的活性區域附近的絕緣層中的氫使矽的懸空鍵終結。因此，氫提高電晶體 31 及電晶體 32 的可靠性。另一方面，設置在電晶體 51 等的活性層的氧化物半導體層附近的絕緣層中的氫有可能成為在氧化物半導體層中生成載子的原因之一。因此，氫可能引起電晶體 51 等的可靠性的下降。因此，當層疊包含使用矽基半導體材料的電晶體的一個層與包含 OS 電晶體的另一個層時，較佳為在它們之間設置具有防止氫擴散的功能的絕緣層 80。藉由設置絕緣層 80 將氫封閉在一個層中，可以提高電晶體 31 及電晶體 32 的可靠性。同時，由於能夠抑制氫從一個層擴散到另一個層，所以可以提高電晶體 51 等的可靠性。

[0110] 絕緣層 80 例如可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、氧氮化鉛或鉍安定氧化銻（YSZ）等。

[0111] 注意，在如圖 16A 所示的結構中，可以將形成在矽基板 30 的電路（例如，驅動電路）、電晶體 51 等與光電轉換元件 60 相互重疊地形成，由此可以提高像素的集成度。換言之，可以提高成像裝置的解析度。例如，可以用於像素數為 4K2K、8K4K 或者 16K8K 等的成像裝置。注意，像素電路所包括的電晶體 52 及電晶體 54 等也可以包括與電晶體 51 等及光電轉換元件 60 重疊的區域。

[0112] 在圖 16A 所示的成像裝置中，不在矽基板 30 上設置光電轉換元件。因此，可以在不受到各種電晶體或佈線等的影響的情況下確保照射到光電轉換元件 60 的光的光路徑，因此可以形成高孔徑比的像素。

[0113] 本發明的一個實施例的成像裝置可以採用圖 17 所示的結構。

[0114] 圖 17 所示的成像裝置是圖 16A 所示的成像裝置的變形例子。示出由 OS 電晶體及 Si 電晶體形成 CMOS 反相器的例子。

[0115] 在此，電晶體 32 為設置於層 1400 中的 p 通道型 Si 電晶體，且電晶體 31 為設置於層 1100 中的 n 通道型 OS 電晶體。藉由只將 p 通道型電晶體設置於矽基板 30 上，可以省略井的形成或 n 型雜質層的形成等步驟。

[0116] 雖然圖 17 的成像裝置示出將硒用於光電轉換元件 60 的例子，但是也可以採用與圖 13 同樣的使用 PIN 型薄膜光電二極體的結構。

[0117] 在圖 17 所示的成像裝置中，電晶體 31 可以藉由與形成在層 1100 中的電晶體 51 及電晶體 52 相同的製程製造。因此，可以簡化成像裝置的製程。

[0118] 注意，本實施例中的成像裝置所包括的電晶體及光電轉換元件的結構是一個例子。因此，例如電晶體 51 至電晶體 54 中的一個以上也可以由活性區域或活性層包含矽等的電晶體構成。此外，電晶體 31 和電晶體 32 中的兩個或一個也可以由包括氧化物半導體層作為活性層的

電晶體構成。

[0119] 圖 18A 為對成像裝置追加濾色片等的結構的一個例子的剖面圖。該剖面圖示出包括相當於三個像素的像素電路的區域的一部分。形成有光電轉換元件 60 的層 1200 上形成有絕緣層 2500。絕緣層 2500 例如可以使用可見光透射性高的氧化矽膜等。另外，也可以層疊氮化矽膜作為鈍化膜。此外，也可以層疊氧化鉛等介電膜作為反射防止膜。

[0120] 在絕緣層 2500 上也可以形成有遮光層 2510。遮光層 2510 具有防止透過濾色片的光的色彩混合的功能。遮光層 2510 可以為鋁、鎢等的金屬層或者層疊該金屬層與被用作反射防止膜的介電膜的結構。

[0121] 在絕緣層 2500 及遮光層 2510 上也可以設置被用作平坦化膜的有機樹脂層 2520。在每個像素中分別形成有濾色片 2530。例如，使濾色片 2530a、濾色片 2530b 及濾色片 2530c 具有 R（紅色）、G（綠色）、B（藍色）、Y（黃色）、C（青色）和 M（洋紅）等的顏色，由此可以獲得彩色影像。

[0122] 在濾色片 2530 上也可以設置具有透光性的絕緣層 2560 等。

[0123] 此外，如圖 18B 所示，也可以使用光學轉換層 2550 代替濾色片 2530。藉由採用這種結構，可以形成能夠在各種各樣的波長區域內捕捉影像的成像裝置。

[0124] 例如，藉由作為光學轉換層 2550 使用阻擋可

見光線的波長以下的光的濾光片，可以形成紅外線成像裝置。藉由作為光學轉換層 2550 使用阻擋紅外線的波長以下的光的濾光片，可以形成遠紅外線成像裝置。藉由作為光學轉換層 2550 使用阻擋可見光線的波長以上的光的濾光片，可以形成紫外線成像裝置。

[0125] 另外，藉由將閃爍體用於光學轉換層 2550，可以獲得例如用於 X 射線成像裝置及捕捉使輻射強度視覺化的影像的成像裝置。當透過拍攝物件的 X 射線等輻射入射到閃爍體時，由於被稱為光致發光的現象而轉換為可見光線或紫外光線等的光（螢光）。藉由由光電轉換元件 60 檢測該光來獲得影像資料。此外，也可以將該結構的成像裝置用於輻射探測器等。

[0126] 閃爍體含有如下物質：當閃爍體被照射 X 射線或伽瑪射線等放射線時吸收放射線的能量而發射可見光或紫外線的物質。例如，可以使用將 $\text{Gd}_2\text{O}_2\text{S} : \text{Tb}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Pr}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Eu}$ 、 $\text{BaFCl} : \text{Eu}$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 及 ZnO 分散到樹脂或陶瓷中的材料。

[0127] 在使用硒基材料的光電轉換元件 60 中，由於可以將 X 射線等的放射線直接轉換為電荷，因此可以不使用閃爍體。

[0128] 在濾色片 2530a、濾色片 2530b 及濾色片 2530c 上也可以設置有微透鏡陣列 2540。透過微透鏡陣列 2540 所具有的各透鏡的光經由設置在其下的濾色片而照

射到光電轉換元件 60。注意，圖 18A 至圖 18C 所示的層 1200 之外的區域被稱為層 1600。

[0129] 以圖 9A 所示的成像裝置為例子來將圖 18C 所示的成像裝置的具體結構示出於圖 19。另外，以圖 15 所示的成像裝置為例子來將圖 18C 所示的成像裝置的具體結構示出於圖 20。

[0130] 此外，如圖 21 和圖 22 所示，本發明的一個實施例的成像裝置也可以與繞射光柵 1500 組合。可以將經由繞射光柵 1500 的拍攝物件的影像（繞射影像）掃描到像素中，然後藉由運算處理從像素中的捕捉到的影像構成輸入影像（拍攝物件的影像）。此外，可以藉由使用繞射光柵 1500 代替透鏡來降低成像裝置的成本。

[0131] 繞射光柵 1500 可以由具有透光性的材料形成。例如，可以使用無機絕緣膜諸如氧化矽膜或氮化矽膜等。或者，還可以使用有機絕緣膜諸如丙烯酸樹脂或聚醯亞胺樹脂等。或者，也可以使用無機絕緣膜和有機絕緣膜的疊層。

[0132] 此外，可以藉由使用感光樹脂等的光微影製程形成繞射光柵 1500。或者，也可以藉由光微影製程和蝕刻製程形成繞射光柵 1500。或者，也可以藉由奈米壓印微影法或雷射劃片法等形成繞射光柵 1500。

[0133] 注意，也可以在繞射光柵 1500 和微透鏡陣列 2540 之間設置間隔 X。間隔 X 可以為 1mm 以下，較佳為 100 μ m 以下。該間隔既可以為空間，又可以將具有透光性

的材料用作密封層或黏合層地設置。例如，將氮或稀有氣體等惰性氣體密封到該間隔中。或者，也可以將丙烯酸樹脂、環氧樹脂或聚醯亞胺樹脂等設置在該間隔中。或者，也可以設置矽酮油等液體。另外，在不設置微透鏡陣列 2540 的情況下也可以在濾色片 2530 和繞射光柵 1500 之間具有間隔 X。

[0134] 成像裝置可以如圖 23A1 和圖 23B1 所示地彎曲。圖 23A1 示出使成像裝置沿著同圖中的雙點劃線 X1-X2 的方向彎曲的狀態。圖 23A2 示出圖 23A1 中的雙點劃線 X1-X2 所示的部分的剖面圖。圖 23A3 示出圖 23A1 中的雙點劃線 Y1-Y2 所示的部分的剖面圖。

[0135] 圖 23B1 示出使成像裝置在雙點劃線 X3-X4 的方向及雙點劃線 Y3-Y4 的方向上彎曲的狀態。圖 23B2 是圖 23B1 中的雙點劃線 X3-X4 所示的部分的剖面圖。圖 23B3 是圖 23B1 中的雙點劃線 Y3-Y4 所示的部分的剖面圖。

[0136] 藉由使成像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以容易進行與成像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，所以可以容易地實現使用成像裝置的半導體裝置等的小型化或輕量化。此外，可以提高成像影像的品質。

[0137] 在本實施例中，描述了本發明的一個實施例。在其他實施例中，描述本發明的一個實施例。注意，

本發明的一個實施例不侷限於此。換而言之，在本實施例及其他的實施例中，記載有各種各樣的發明的方式，因此本發明的一個實施例不侷限於特定的方式。例如，雖然作為例子示出將本發明的一個實施例適用於成像裝置的情況，但是本發明的一個實施例不侷限於此。根據情況或狀況，也可以不將本發明的一個實施例適用於成像裝置。例如，也可以將本發明的一個實施例適用於具有其他功能的半導體裝置。例如，作為本發明的一個實施例，示出電晶體的通道形成區域、源極區域、汲極區域等包含氧化物半導體的例子，但是本發明的一個實施例不侷限於此。根據情況或狀況，本發明的一個實施例的各種電晶體、電晶體的通道形成區域、電晶體的源極區域、汲極區域等可以包含各種半導體。根據情況或狀況，本發明的一個實施例的各種電晶體、電晶體的通道形成區域、或者電晶體的源極區域、汲極區域等可以包含矽、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵和有機半導體等中的至少一個。另外，例如，根據情況或狀況，本發明的一個實施例的各種電晶體、電晶體的通道形成區域、電晶體的源極區域、汲極區域等可以不包含氧化物半導體。例如，根據情況或狀況，電晶體 51 和電晶體 53 中的兩個或一個也可以在活性層不包括氧化物半導體層。

[0138] 本實施例可以與其他實施例所記載的結構適當地組合而實施。

[0139]

實施例 2

在本實施例中，參照圖式對能夠用於本發明的一個實施例的具有氧化物半導體的電晶體進行說明。注意，在本實施例的圖式中，為了明確起見，放大、縮小或省略部分組件。

[0140] 圖 24A 和圖 24B 是本發明的一個實施例的電晶體 101 的俯視圖及剖面圖。圖 24A 是俯視圖，圖 24A 所示的點劃線 B1-B2 方向上的剖面相當於圖 24B。另外，圖 24A 所示的點劃線 B3-B4 方向上的剖面相當於圖 26A。另外，將點劃線 B1-B2 方向稱為通道長度方向，將點劃線 B3-B4 方向稱為通道寬度方向。

[0141] 電晶體 101 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 140 及導電層 150、與氧化物半導體層 130、導電層 140 及導電層 150 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與導電層 140、導電層 150、絕緣層 160 及導電層 170 接觸的絕緣層 175 以及與絕緣層 175 接觸的絕緣層 180。根據需要也可以使絕緣層 180 具有平坦化膜的功能。

[0142] 導電層 140、導電層 150、絕緣層 160 及導電層 170 分別可以用作源極電極層、汲極電極層、閘極絕緣膜及閘極電極層。

[0143] 圖 24B 所示的區域 231、區域 232 及區域 233 分別可以用作源極區域、汲極區域及通道形成區域。區域

231 與導電層 140 接觸且區域 232 與導電層 150 接觸。藉由使用容易與氧鍵合的導電材料作為導電層 140 及導電層 150，可以降低區域 231 及區域 232 的電阻。

[0144] 明確而言，由於氧化物半導體層 130 與導電層 140 及導電層 150 接觸，在氧化物半導體層 130 中產生氧缺陷，該氧缺陷與殘留在氧化物半導體層 130 中或從外部擴散進入氧化物半導體層 130 的氫之間的相互作用使區域 231 及區域 232 成為低電阻的 n 型。

[0145] 注意，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。此外，“電極層”也可以稱為“佈線”。

[0146] 導電層 170 包括導電層 171 及導電層 172 的兩層，但也可以是單層或三層以上的疊層。同樣也可以應用於本實施例所說明的其他電晶體。

[0147] 導電層 140 及導電層 150 各為單層，但也可以是兩層以上的疊層。同樣也可以應用於本實施例所說明的其他電晶體。

[0148] 本發明的一個實施例的電晶體也可以採用圖 24C 和圖 24D 所示的結構。圖 24C 是電晶體 102 的俯視圖，圖 24C 所示的點劃線 C1-C2 方向上的剖面相當於圖 24D。另外，圖 24C 所示的點劃線 C3-C4 方向上的剖面相當於圖 26B。另外，將點劃線 C1-C2 方向稱為通道長度方

向，將點劃線 C3-C4 方向稱為通道寬度方向。

[0149] 電晶體 102 除了用作閘極絕緣膜的絕緣層 160 的端部不與用作閘極電極層的導電層 170 的端部對齊之處以外其他結構與電晶體 101 相同。在電晶體 102 中，由於導電層 140 及導電層 150 的較寬的部分由絕緣層 160 覆蓋，所以在導電層 140、導電層 150 與導電層 170 之間的電阻高，因此電晶體 102 具有閘極漏電流少的特徵。

[0150] 電晶體 101 及電晶體 102 是具有導電層 170 與導電層 140 及導電層 150 重疊的區域的頂閘極結構。為了減少寄生電容，較佳為將該區域的通道長度方向上的寬度設定為大於或等於 3nm 且小於 300nm。在該結構中，由於不在氧化物半導體層 130 中形成偏置區域，所以容易形成通態電流高的電晶體。

[0151] 本發明的一個實施例的電晶體也可以採用圖 24E 和圖 24F 所示的結構。圖 24E 是電晶體 103 的俯視圖，圖 24E 所示的點劃線 D1-D2 方向上的剖面相當於圖 24F。另外，圖 24E 所示的點劃線 D3-D4 方向上的剖面相當於圖 26A。另外，將點劃線 D1-D2 方向稱為通道長度方向，將點劃線 D3-D4 方向稱為通道寬度方向。

[0152] 電晶體 103 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、覆蓋氧化物半導體層 130、絕緣層 160 及導電層 170 的絕緣層 175、與絕緣層 175 接觸的絕緣層 180

以及藉由設置在絕緣層 175 及絕緣層 180 中的開口部與氧化物半導體層 130 電連接的導電層 140 及導電層 150。根據需要也可以包括與絕緣層 180、導電層 140 及導電層 150 接觸的絕緣層（平坦化膜）等。

[0153] 導電層 140、導電層 150、絕緣層 160 及導電層 170 分別可以用作源極電極層、汲極電極層、閘極絕緣膜及閘極電極層。

[0154] 圖 24F 所示的區域 231、區域 232 及區域 233 分別可以用作源極區域、汲極區域及通道形成區域。區域 231 及區域 232 與絕緣層 175 接觸。例如當絕緣層 175 使用含氫的絕緣材料時，可以降低區域 231 及區域 232 的電阻。

[0155] 明確而言，透過直到形成絕緣層 175 為止的製程在區域 231 及區域 232 中產生的氧缺陷與從絕緣層 175 擴散到區域 231 及區域 232 的氫之間的相互作用使區域 231 及區域 232 成為低電阻的 n 型。作為含氫的絕緣材料，例如可以使用氮化矽、氮化鋁等。

[0156] 本發明的一個實施例的電晶體也可以採用圖 25A 和圖 25B 所示的結構。圖 25A 是電晶體 104 的俯視圖，圖 25A 所示的點劃線 E1-E2 方向上的剖面相當於圖 25B。另外，圖 25A 所示的點劃線 E3-E4 方向上的剖面相當於圖 26A。另外，將點劃線 E1-E2 方向稱為通道長度方向，將點劃線 E3-E4 方向稱為通道寬度方向。

[0157] 電晶體 104 除了導電層 140 及導電層 150 覆

蓋氧化物半導體層 130 的端部且與氧化物半導體層 130 接觸之處以外其他結構與電晶體 103 相同。

[0158] 圖 25B 所示的區域 331 及區域 334 可以用作源極區域，區域 332 及區域 335 可以用作汲極區域，區域 333 可以用作通道形成區域。

[0159] 可以以與電晶體 101 中的區域 231 及區域 232 相同的方式降低區域 331 及區域 332 的電阻。

[0160] 可以以與電晶體 103 中的區域 231 及區域 232 相同的方式降低區域 334 及區域 335 的電阻。另外，當通道長度方向上的區域 334 及區域 335 的長度為小於或等於 100nm，較佳為小於或等於 50nm 時，由於閘極電場有助於防止通態電流大幅度地下降，所以也可以不降低區域 334 及區域 335 的電阻。

[0161] 電晶體 103 及電晶體 104 的結構是不具有導電層 170 與導電層 140 及導電層 150 重疊的區域的自對準結構。自對準結構的電晶體由於閘極電極層與源極電極層及汲極電極層之間的寄生電容極小，所以適合於需要高速操作的應用。

[0162] 本發明的一個實施例的電晶體也可以採用圖 25C 和圖 25D 所示的結構。圖 25C 是電晶體 105 的俯視圖，圖 25C 所示的點劃線 F1-F2 方向上的剖面相當於圖 25D。另外，圖 25C 所示的點劃線 F3-F4 方向上的剖面相當於圖 26A。另外，將點劃線 F1-F2 方向稱為通道長度方向，將點劃線 F3-F4 方向稱為通道寬度方向。

[0163] 電晶體 105 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 141 及導電層 151、與氧化物半導體層 130、導電層 141 及導電層 151 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與氧化物半導體層 130、導電層 141、導電層 151、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180 以及藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152。根據需要也可以包括與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層等。

[0164] 導電層 141 及導電層 151 與氧化物半導體層 130 的頂面接觸而不與氧化物半導體層 130 的側面接觸。

[0165] 電晶體 105 除了包括導電層 141 及導電層 151、以及包括設置在絕緣層 175 及絕緣層 180 中的開口部、包括藉由該開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152 之處以外，其他結構與電晶體 101 相同。可以將導電層 140（導電層 141 及導電層 142）用作源極電極層，且可以將導電層 150（導電層 151 及導電層 152）用作汲極電極層。

[0166] 本發明的一個實施例的電晶體也可以採用圖 25E 和圖 25F 所示的結構。圖 25E 是電晶體 106 的俯視圖，圖 25E 所示的點劃線 G1-G2 方向上的剖面相當於圖 25F。圖 25E 所示的點劃線 G3-G4 方向上的剖面相當於圖

26A。將點劃線 G1-G2 方向稱為通道長度方向，將點劃線 G3-G4 方向稱為通道寬度方向。

[0167] 電晶體 106 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 141 及導電層 151、與氧化物半導體層 130 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與絕緣層 120、氧化物半導體層 130、導電層 141、導電層 151、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180 以及藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152。根據需要也可以包括與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層（平坦化膜）等。

[0168] 導電層 141 及導電層 151 與氧化物半導體層 130 的頂面接觸而不與氧化物半導體層 130 的側面接觸。

[0169] 電晶體 106 除了包括導電層 141 及導電層 151 之處以外其他結構與電晶體 103 相同。可以將導電層 140（導電層 141 及導電層 142）用作源極電極層，且可以將導電層 150（導電層 151 及導電層 152）用作汲極電極層。

[0170] 在電晶體 105 及電晶體 106 中，由於導電層 140 及導電層 150 不與絕緣層 120 接觸。此使絕緣層 120 中的氧不容易被導電層 140 及導電層 150 奪取，容易將氧從絕緣層 120 供應給氧化物半導體層 130 中。

[0171] 可以對電晶體 103 中的區域 231 及區域 232、電晶體 104 及電晶體 106 中的區域 334 及區域 335 添加用來形成氧缺陷來提高導電率的雜質。作為在氧化物半導體層中形成氧缺陷的雜質，例如可以使用選自磷、砷、銻、硼、鋁、矽、氮、氦、氖、氬、氪、氙、銦、氟、氯、鈦、鋅及碳中的一種以上。作為該雜質的添加方法，可以使用電漿處理法、離子植入法、離子摻雜法、電漿浸沒離子佈植技術（Plasma-immersion ion implantation method）等。

[0172] 藉由將上述元素作為雜質元素添加到氧化物半導體層，氧化物半導體層中的金屬元素與氧之間的鍵合被切斷，形成氧缺陷。藉由包含在氧化物半導體層中的氧缺陷與殘留在氧化物半導體層中或在之後添加到氧化物半導體層的氫之間的相互作用，可以提高氧化物半導體層的導電率。

[0173] 當對添加雜質元素形成有氧缺陷的氧化物半導體添加氫時，氫進入氧缺陷處而在導帶附近形成施體能階。其結果是，可以形成氧化物導電體。這裡氧化物導電體是指導電體化的氧化物半導體。注意，氧化物導電體與氧化物半導體同樣地具有透光性。

[0174] 氧化物導電體是簡併半導體，可以推測其導帶端與費米能階一致或大致一致。因此，氧化物導電體層與用作源極電極層及汲極電極層的導電層之間的接觸是歐姆接觸，可以降低氧化物導電體層與用作源極電極層及汲

極電極層的導電層之間的接觸電阻。

[0175] 如圖 27A 至圖 27F 的通道長度方向的剖面圖以及圖 26C 和圖 26D 的通道寬度方向的剖面圖所示，本發明的一個實施例的電晶體也可以包括氧化物半導體層 130 與基板 115 之間的導電層 173。藉由將導電層 173 用作第二閘極電極層（背後閘極），能夠增加通態電流或控制臨界電壓。在圖 27A 至圖 27F 所示的剖面圖中，也可以使導電層 173 的寬度比氧化物半導體層 130 短。再者，也可以使導電層 173 的寬度比導電層 170 短。

[0176] 當想要增加通態電流時，例如，對導電層 170 及導電層 173 供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓時，對導電層 173 供應與導電層 170 不同的固定電位即可。為了對導電層 170 及導電層 173 設定相同的電位，例如，如圖 26D 所示，藉由接觸孔使導電層 170 與導電層 173 電連接即可。

[0177] 圖 24A 至圖 24F 及圖 25A 至圖 25F 中的電晶體 101 至電晶體 106 是氧化物半導體層 130 為單層的例子，但是氧化物半導體層 130 也可以為疊層。電晶體 101 至電晶體 106 中的氧化物半導體層 130 可以與圖 28B、圖 28C、圖 28D 或圖 28E 所示的氧化物半導體層 130 調換。

[0178] 圖 28A 是氧化物半導體層 130 的俯視圖，圖 28B 和圖 28C 是兩層結構的氧化物半導體層 130 的剖面圖。圖 28D 和圖 28E 是三層結構的氧化物半導體層 130 的剖面圖。

[0179] 具有不同組成的氧化物半導體層可被用作，例如，氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c。

[0180] 本發明的一個實施例的電晶體也可以採用圖 29A 和圖 29B 所示的結構。圖 29A 是電晶體 107 的俯視圖，圖 29A 所示的點劃線 H1-H2 方向上的剖面相當於圖 29B。圖 29A 所示的點劃線 H3-H4 方向上的剖面相當於圖 31A。將點劃線 H1-H2 方向稱為通道長度方向，將點劃線 H3-H4 方向稱為通道寬度方向。

[0181] 電晶體 107 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層電連接的導電層 140 及導電層 150、與該疊層、導電層 140 及導電層 150 接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與導電層 140、導電層 150、氧化物半導體層 130c、絕緣層 160 及導電層 170 接觸的絕緣層 175 以及與絕緣層 175 接觸的絕緣層 180。根據需要也可以使絕緣層 180 具有平坦化膜的功能。

[0182] 電晶體 107 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c）、以及在導電層 140 及導電層 150

與絕緣層 160 之間夾有氧化物半導體層的一部分（氧化物半導體層 130c）之處以外其他結構與電晶體 101 相同。

[0183] 本發明的一個實施例的電晶體也可以採用圖 29C 和圖 29D 所示的結構。圖 29C 是電晶體 108 的俯視圖，圖 29C 所示的點劃線 I1-I2 方向上的剖面相當於圖 29D。另外，圖 29C 所示的點劃線 I3-I4 方向上的剖面相當於圖 31B。另外，將點劃線 I1-I2 方向稱為通道長度方向，將點劃線 I3-I4 方向稱為通道寬度方向。

[0184] 電晶體 108 與電晶體 107 不同之處是如下：絕緣層 160 及氧化物半導體層 130c 的端部與導電層 170 的端部不一致。

[0185] 本發明的一個實施例的電晶體也可以採用圖 29E 和圖 29F 所示的結構。圖 29E 是電晶體 109 的俯視圖，圖 29E 所示的點劃線 J1-J2 方向上的剖面相當於圖 29F。圖 29E 所示的點劃線 J3-J4 方向上的剖面相當於圖 31A。將點劃線 J1-J2 方向稱為通道長度方向，將點劃線 J3-J4 方向稱為通道寬度方向。

[0186] 電晶體 109 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、覆蓋該疊層、氧化物半導體層 130c、絕緣層 160 及導電層 170 的絕緣層 175、與絕緣層 175 接觸的絕緣層 180 以及藉由設置在絕

緣層 175 及絕緣層 180 中的開口部與該疊層電連接的導電層 140 及導電層 150。根據需要電晶體 109 也可以包括與絕緣層 180、導電層 140 及導電層 150 接觸的絕緣層（平坦化膜）等。

[0187] 電晶體 109 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a 至氧化物半導體層 130c）之處以外其他結構與電晶體 103 相同。

[0188] 本發明的一個實施例的電晶體也可以採用圖 30A 和圖 30B 所示的結構。圖 30A 是電晶體 110 的俯視圖，圖 30A 所示的點劃線 K1-K2 方向上的剖面相當於圖 30B。圖 30A 所示的點劃線 K3-K4 方向上的剖面相當於圖 31A。將點劃線 K1-K2 方向稱為通道長度方向，將點劃線 K3-K4 方向稱為通道寬度方向。

[0189] 電晶體 110 除了在區域 331 及區域 332 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 333 中氧化物半導體層 130 為三層（氧化物半導體層 130a 至氧化物半導體層 130c）之處以外其他結構與電晶體 104 相同。

[0190] 本發明的一個實施例的電晶體也可以採用圖 30C 和圖 30D 所示的結構。圖 30C 是電晶體 111 的俯視圖。圖 30C 所示的點劃線 L1-L2 方向上的剖面相當於圖 30D。圖 30C 所示的點劃線 L3-L4 方向上的剖面相當於圖

31A。將點劃線 L1-L2 方向稱為通道長度方向，將點劃線 L3-L4 方向稱為通道寬度方向。

[0191] 電晶體 111 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層電連接的導電層 141 及導電層 151、與該疊層、導電層 141 及導電層 151 接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與該疊層、導電層 141、導電層 151、氧化物半導體層 130c、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180 以及藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152。根據需要電晶體 111 也可以包括與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層（平坦化膜）等。

[0192] 電晶體 111 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a 至氧化物半導體層 130c）、以及在導電層 141 及導電層 151 與絕緣層 160 之間夾有氧化物半導體層的一部分（氧化物半導體層 130c）之處以外其他結構與電晶體 105 相同。

[0193] 本發明的一個實施例的電晶體也可以採用圖 30E 和圖 30F 所示的結構。圖 30E 是電晶體 112 的俯視

圖，圖 30E 所示的點劃線 M1-M2 方向上的剖面相當於圖 30F。圖 30E 所示的點劃線 M3-M4 方向上的剖面相當於圖 31A。將點劃線 M1-M2 方向稱為通道長度方向，將點劃線 M3-M4 方向稱為通道寬度方向。

[0194] 電晶體 112 除了在區域 331、區域 332、區域 334 及區域 335 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 333 中氧化物半導體層 130 為三層（氧化物半導體層 130a 至氧化物半導體層 130c）之處以外其他結構與電晶體 106 相同。

[0195] 如圖 32A 至圖 32F 的通道長度方向的剖面圖以及圖 31C 和圖 31D 的通道寬度方向的剖面圖所示，本發明的一個實施例的電晶體也可以包括氧化物半導體層 130 與基板 115 之間的導電層 173。當將該導電層用作第二閘極電極層（背後閘極）時，能夠增加通態電流或控制臨界電壓。在圖 32A 至圖 32F 所示的剖面圖中，也可以使導電層 173 的寬度比氧化物半導體層 130 短。再者，也可以使導電層 173 的寬度比導電層 170 短。

[0196] 如圖 33A 和圖 33B 所示（僅示出氧化物半導體層 130、導電層 140 及導電層 150），可以使本發明的一個實施例的電晶體中的導電層 140（源極電極層）及導電層 150（汲極電極層）的寬度（ W_{SD} ）比氧化物半導體層 130 的寬度（ W_{OS} ）長或短。當滿足 $W_{OS} \geq W_{SD}$ （ W_{SD} 為小於或等於 W_{OS} ）的關係時，閘極電場容易施加到氧化物

半導體層 130 整體，可以提高電晶體的電特性。如圖 33C 所示，導電層 140 及導電層 150 也可以僅形成於與氧化物半導體層 130 重疊的區域。

[0197] 在本發明的一個實施例的電晶體（電晶體 101 至電晶體 112）中的任何結構中，作為閘極電極層的導電層 170 隔著作為閘極絕緣膜的絕緣層 160 在通道寬度方向上電性上包圍氧化物半導體層 130，由此可以提高通態電流。將這種電晶體結構稱為包圍通道（s-channel）結構。

[0198] 在具有氧化物半導體層 130a 及氧化物半導體層 130b 的電晶體以及具有氧化物半導體層 130a 至氧化物半導體層 130c 的電晶體中，藉由適當地選擇構成氧化物半導體層 130 的兩層或三層的材料，可以將電流流過在氧化物半導體層 130b 中。由於電流流過氧化物半導體層 130b，因此不容易受到介面散射的影響，所以可以獲得很大的通態電流。由此，藉由增加氧化物半導體層 130b 的厚度可能增加通態電流。

[0199] 藉由使用上述結構的電晶體，可以使半導體裝置具有良好的電特性。

[0200] 本實施例所示的結構可以與其他實施例所示的結構適當地組合而實施。

[0201]

實施例 3

在本實施例中對實施例 2 所示的電晶體的組件進行詳細的說明。

[0202] 作為基板 115，可以使用玻璃基板、石英基板、半導體基板、陶瓷基板、對表面進行絕緣處理的金屬基板等。基板 115 可以使用設置有電晶體及/或光電二極體的矽基板，該矽基板上設置有絕緣層、佈線、用作接觸插頭的導電體等。注意，當使用矽基板形成 p 通道型電晶體時，較佳為使用具有 n⁻型導電型的矽基板。或者，也可以使用包括 n⁻型或 i 型矽層的 SOI 基板。當使用矽基板形成 p 通道型電晶體時，較佳為使用如下矽基板：形成電晶體的表面的晶體配向為（110）面。藉由在（110）面形成 p 通道型電晶體，可以提高移動率。

[0203] 絕緣層 120 除了防止雜質從包含在基板 115 中的組件擴散的功能以外，還可以具有對氧化物半導體層 130 供應氧的功能。因此，絕緣層 120 較佳為含氧的絕緣膜，更佳為包含氧含量比化學計量組成多的氧的絕緣膜。絕緣層 120 為在 TDS 分析法中當轉換為氧原子時氧釋放量為大於或等於 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 的膜。在 TDS 分析法中，膜表面溫度為高於或等於 100℃ 且低於或等於 700℃，或者高於或等於 100℃ 且低於或等於 500℃。當基板 115 設置有其他裝置時，絕緣層 120 還用作層間絕緣膜。在此情況下，較佳為利用 CMP 法等進行平坦化處理，以使絕緣層 120 表面平坦。

[0204] 例如，作為絕緣層 120 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化銻、氧化釷、氧化鋇、氧化鋯、氧化釷、氧化鈾和氧化鈾等氧化物絕緣

膜、氮化矽、氮氧化矽、氮化鋁和氮氧化鋁等氮化物絕緣膜或者這些的混合材料。絕緣層 120 也可以是使用上述任何材料的疊層。

[0205] 在本實施例中，以電晶體所具有的氧化物半導體層 130 具有從絕緣層 120 一側依次層疊氧化物半導體層 130a 至氧化物半導體層 130c 的三層結構的情況為主而進行詳細的說明。

[0206] 注意，當氧化物半導體層 130 為單層時，使用相當於本實施例所示的氧化物半導體層 130b 的層即可。

[0207] 當氧化物半導體層 130 為兩層結構時，使用從本實施例所示的絕緣層 120 一側依次層疊相當於氧化物半導體層 130a 的層及相當於氧化物半導體層 130b 的層的疊層即可。在此情形中，也可以調換氧化物半導體層 130a 與氧化物半導體層 130b。

[0208] 當氧化物半導體層 130 為四層以上時，例如可以採用對本實施例所說明的三層結構的氧化物半導體層 130 追加其他氧化物半導體層的結構。

[0209] 例如，氧化物半導體層 130b 使用其電子親和力（真空能階與導帶底之間的能量差）大於氧化物半導體層 130a 及氧化物半導體層 130c 的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差（游離電位）減去導帶底與價帶頂之間的能量差（能隙）的值。

[0210] 氧化物半導體層 130a 及氧化物半導體層 130c

各包含一種以上的構成氧化物半導體層 130b 的金屬元素。例如，氧化物半導體層 130a 及氧化物半導體層 130c 較佳為使用其導帶底的能量比氧化物半導體層 130b 的導帶底的能量更接近真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下的氧化物半導體形成。

[0211] 在上述結構中，當對導電層 170 施加電場時，通道形成在氧化物半導體層 130 中的導帶底的能量最低的氧化物半導體層 130b 中。

[0212] 另外，氧化物半導體層 130a 包含一種以上的構成氧化物半導體層 130b 的金屬元素，因此，與氧化物半導體層 130b 與絕緣層 120 接觸時的兩者的介面相比，在氧化物半導體層 130b 與氧化物半導體層 130a 的介面不容易形成介面能階。上述介面能階有時形成通道，因此有時導致電晶體的臨界電壓的變動。所以，藉由設置氧化物半導體層 130a，能夠抑制電晶體的臨界電壓等電特性的偏差。此外，可以提高該電晶體的可靠性。

[0213] 另外，氧化物半導體層 130c 包含一種以上的構成氧化物半導體層 130b 的金屬元素，因此，與氧化物半導體層 130b 與閘極絕緣膜（絕緣層 160）接觸時的兩者的介面相比，在氧化物半導體層 130b 與氧化物半導體層 130c 的介面不容易發生載子散射。所以，藉由設置氧化物半導體層 130c，能夠提高電晶體的場效移動率。

[0214] 例如，氧化物半導體層 130a 及氧化物半導體

層 130c 可以使用如下材料：包含 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 且該元素的原子數比高於氧化物半導體層 130b 的材料。明確而言，上述元素的原子數比為氧化物半導體層 130b 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。上述任何金屬元素與氧堅固地鍵合，所以具有抑制在氧化物半導體層中產生氧缺陷的功能。由此可說，與氧化物半導體層 130b 相比，在氧化物半導體層 130a 及氧化物半導體層 130c 中不容易產生氧缺陷。

[0215] 能夠用於氧化物半導體層 130a 至氧化物半導體層 130c 的氧化物半導體較佳為至少包含 In 或 Zn。較佳為包含 In 和 Zn 的兩者。為了減少使用該氧化物半導體的電晶體的電特性偏差，除了上述元素以外，較佳為還包含穩定劑 (stabilizer)。

[0216] 作為穩定劑，可以舉出 Ga、Sn、Hf、Al 或 Zr 等。另外，作為其他穩定劑，可以舉出鑰系元素的 La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 等。

[0217] 例如，作為氧化物半導體，可以使用氧化銦、氧化錫、氧化鎵、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化

物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、及 In-Hf-Al-Zn 氧化物。

[0218] 例如 In-Ga-Zn 氧化物是指作為主要成分包含 In、Ga 和 Zn 的氧化物。另外，也可以包含 In、Ga、Zn 以外的金屬元素。此外，在本說明書中，將由 In-Ga-Zn 氧化物構成的膜稱為 IGZO 膜。

[0219] 也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Y、Zr、La、Ce 或 Nd 中的一種金屬元素或多種金屬元素。另外，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數) 表示的材料。

[0220] 注意，在氧化物半導體層 130a 至氧化物半導體層 130c 為至少包含銦、鋅及 M (M 為 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 的 In-M-Zn 氧化物，且氧化物半導體層 130a 的原子數比為 $\text{In:M:Zn}=x_1:y_1:z_1$ ，氧化物半導體層 130b 的原子數比為 $\text{In:M:Zn}=x_2:y_2:z_2$ ，氧化物半導體層 130c 的原子數比為 $\text{In:M:Zn}=x_3:y_3:z_3$ 的情況下， y_1/x_1 及 y_3/x_3 較佳為大於 y_2/x_2 。 y_1/x_1 及 y_3/x_3 為 y_2/x_2 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。此時，在氧化物半導體層 130b

中，在 y_2 為 x_2 以上的情況下，能夠使電晶體的電特性變得穩定。然而，在 y_2 為 x_2 的 3 倍以上的情況下，電晶體的場效移動率降低，因此 y_2 較佳為小於 x_2 的 3 倍。

[0221] 氧化物半導體層 130a 及氧化物半導體層 130c 中的除了 Zn 及 O 之外的 In 與 M 的百分比比較佳為 In 的比率低於 50 atomic% 且 M 的比率為大於或等於 50 atomic%，更佳為 In 的比率低於 25 atomic% 且 M 的比率為大於或等於 75 atomic%。另外，氧化物半導體層 130b 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比比較佳為 In 的比率為大於或等於 25 atomic% 且 M 的比率低於 75 atomic%，更佳為 In 的比率為大於或等於 34 atomic% 且 M 的比率低於 66 atomic%。

[0222] 較佳的是，氧化物半導體層 130b 的銦含量多於氧化物半導體層 130a 及氧化物半導體層 130c 的銦含量。在氧化物半導體中，重金屬的 s 軌域主要有助於載子傳導，並且，藉由增加 In 的比率來增加 s 軌域的重疊。由此 In 的比率多於 M 的氧化物的移動率比 In 的比率等於或少於 M 的氧化物高。因此，藉由將銦含量高的氧化物用於氧化物半導體層 130b，可以實現高場效移動率的電晶體。

[0223] 氧化物半導體層 130a 的厚度為 3nm 以上且 100nm 以下，較佳為 5nm 以上且 50nm 以下，更佳為 5nm 以上且 25nm 以下。另外，氧化物半導體層 130b 的厚度為 3nm 以上且 200nm 以下，較佳為 5nm 以上且 150nm 以

下，更佳為 10nm 以上且 100nm 以下。氧化物半導體層 130c 的厚度為 1nm 以上且 50nm 以下，較佳為 2nm 以上且 30nm 以下，更佳為 3nm 以上且 15nm 以下。另外，氧化物半導體層 130b 較佳為比氧化物半導體層 130c 厚。

[0224] 為了對將氧化物半導體層中形成通道的電晶體賦予穩定的電特性，較有效的是藉由降低氧化物半導體層中的雜質濃度來使氧化物半導體層成為本質或實質上本質。“實質上本質”一詞是指氧化物半導體層的載子密度低於 $1 \times 10^{15}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{13}/\text{cm}^3$ ，更佳為低於 $8 \times 10^{11}/\text{cm}^3$ ，進一步較佳為低於 $1 \times 10^8/\text{cm}^3$ 且高於或等於 $1 \times 10^{-9}/\text{cm}^3$ 。

[0225] 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳為降低氧化物半導體層 130a 至氧化物半導體層 130c 中或各層的介面的雜質濃度。

[0226] 為了使氧化物半導體層成為本質或實質上本質，以使氧化物半導體層具有如下區域的方式進行控制：藉由二次離子質譜（SIMS）分析測定出的氫濃度為 $2 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下，並且為 $1 \times 10^{17} \text{atoms}/\text{cm}^3$ 以上的區域；氮

濃度低於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，並且為 $5 \times 10^{16} \text{ atoms/cm}^3$ 以上的區域。

[0227] 當以高濃度包含矽或碳時，有可能降低氧化物半導體層的結晶性。為了不使氧化物半導體層的結晶性降低，以使氧化物半導體層具有如下區域的方式進行控制：矽濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，並且為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的區域；碳濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ ，並且為 $6 \times 10^{17} \text{ atoms/cm}^3$ 以上的區域。

[0228] 將如上述那樣的被高度純化了的氧化物半導體膜用於通道形成區域的電晶體的關態電流極小。例如，可以使以源極與汲極之間的電壓為 0.1V、5V 或 10V 左右時的電晶體的每通道寬度的關態電流降低到幾 $\text{yA}/\mu\text{m}$ 至幾 $\text{zA}/\mu\text{m}$ 。

[0229] 作為電晶體的閘極絕緣膜，大多使用包含矽的絕緣膜，因此較佳為如本發明的一個實施例的電晶體那樣不使氧化物半導體層的用作通道的區域與閘極絕緣膜接觸。當通道形成在閘極絕緣膜與氧化物半導體層之間的介面時，有時在該介面產生載子散射而使電晶體的場效移動率降低。從上述觀點來看，可以說較佳為使氧化物半導體層的用作通道的區域與閘極絕緣膜分開。

[0230] 因此，藉由使氧化物半導體層 130 具有氧化

物半導體層 130a 至氧化物半導體層 130c 的疊層結構，能夠將通道形成在氧化物半導體層 130b 中，由此能夠形成具有高場效移動率及穩定的電特性的電晶體。

[0231] 在氧化物半導體層 130a 至氧化物半導體層 130c 的能帶結構中，導帶底的能量連續地變化。這從由於氧化物半導體層 130a 至氧化物半導體層 130c 的組成相互相似，氧容易在上述三者中互相擴散的情況上，也可以得到理解。由此可以說，雖然氧化物半導體層 130a 至氧化物半導體層 130c 是組成互不相同的疊層體，但是在物性上是連續的。在圖式中，被層疊的各氧化物半導體層的介面由虛線表示。

[0232] 其中層疊含有相同主要成分之層的氧化物半導體層 130 被形成為不只是具有多層的簡單層疊結構，也具有連續能量帶（在此，尤其是指各層之間的導帶底為連續的 U 型井結構（U 型井））。換言之，以在各層的介面之間不存在會形成俘獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果，雜質混入被層疊的氧化物半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0233] 例如，氧化物半導體層 130a 及氧化物半導體層 130c 可以使用 $\text{In:Ga:Zn}=1:3:2$ 、 $1:3:3$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:4:5$ 、 $1:6:4$ 或 $1:9:6$ （原子數比）的 In-Ga-Zn 氧化物等，氧化物半導體層 130b 可以使用 $\text{In:Ga:Zn}=1:1:1$ 、 $2:1:3$ 、 $5:5:6$ 或 $3:1:2$ （原子數比）等的 In-Ga-Zn 氧化物

等。另外，當以上述氧化物為濺射靶材進行成膜時，濺射靶材的原子數比與所形成的氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的原子數比不一定相同。

[0234] 氧化物半導體層 130 中的氧化物半導體層 130b 用作井 (well)，使得通道形成在氧化物半導體層 130b 中。由於氧化物半導體層 130 的導帶底為連續的，也可以將氧化物半導體層 130 稱為 U 型井。另外，也可以將具有上述結構的通道稱為埋入通道。

[0235] 雖然在氧化物半導體層 130a 與氧化矽膜等絕緣層之間以及氧化物半導體層 130c 與氧化矽膜等絕緣層之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階。由於氧化物半導體層 130a 及氧化物半導體層 130c 的存在，可以使氧化物半導體層 130b 和該陷阱能階相隔。

[0236] 然而，氧化物半導體層 130a 及氧化物半導體層 130c 的導帶底的能量與氧化物半導體層 130b 的導帶底的能量之間的能量差小時，有時氧化物半導體層 130b 的電子越過該能量差到達陷阱能階。當電子被陷阱能階俘獲時，在絕緣層介面產生負電荷，使得電晶體的臨界電壓向正方向漂移。

[0237] 氧化物半導體層 130a 至氧化物半導體層 130c 較佳為包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。另外，c 軸配向的結晶抗彎曲，由此可以提高使用撓性基板的半導體裝置的可靠

性。

[0238] 作為用作源極電極層的導電層 140 及用作汲極電極層的導電層 150，例如可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc 及該金屬材料的合金中的材料的單層或疊層。典型的是，特別佳為使用容易與氧鍵合的 Ti 或在後面能以較高的溫度進行處理的熔點高的 W。也可以使用低電阻的 Cu 或 Cu-Mn 等合金與上述材料的疊層。在電晶體 105、電晶體 106、電晶體 111、電晶體 112 中，例如可以作為導電層 141 及導電層 151 使用 W，作為導電層 142 及導電層 152 使用 Ti 及 Al 的疊層膜等。

[0239] 上述材料能夠從氧化物半導體膜抽出氧。由此，在與上述材料接觸的氧化物半導體層的一部分的區域中，氧化物半導體膜中的氧被脫離，而在氧化物半導體膜中形成氧缺陷。包含於膜中的微量的氫與該氧缺陷鍵合而使該區域明顯地變為 n 型化的區域。因此，可以將該 n 型化的區域用作電晶體的源極或汲極。

[0240] 當導電層 140 及導電層 150 使用 W 時，也可以對導電層 140 及導電層 150 摻雜氮。藉由摻雜氮可以適度地降低抽出氧的性質，由此可以防止 n 型化的區域擴展到通道區域。藉由作為上述導電層 140 及導電層 150 使用 W 與 n 型半導體層的疊層，使 n 型半導體層與氧化物半導體層接觸，可以防止 n 型化的區域擴展到通道區域。作為 n 型半導體層可以使用添加有氮的 In-Ga-Zn 氧化物、氧化

鋅、氧化銦、氧化錫、氧化銦錫等。

[0241] 作為用作閘極絕緣膜的絕緣層 160，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鈳、氧化釷、氧化釷、氧化釷、氧化釷、氧化釷和氧化釷中的一種以上的絕緣膜。絕緣層 160 也可以是上述材料的疊層。絕緣層 160 也可以包含 La、N、Zr 等作為雜質。

[0242] 說明絕緣層 160 的疊層結構的一個例子。絕緣層 160 例如包含氧、氮、矽、鋁等。具體地，較佳為包含氧化鋁及氧化矽或者氧化鋁及氧氮化矽。

[0243] 氧化鋁及氧化鋁的相對介電常數比氧化矽或氧氮化矽高。因此，與使用氧化矽的情況相比可以使絕緣層 160 的厚度更大，由此可以減少穿隧電流引起的洩漏電流。也就是說，可以實現關態電流小的電晶體。再者，與包括非晶結構的氧化鋁相比，包括結晶結構的氧化鋁具有高相對介電常數。因此，為了形成關態電流小的電晶體，較佳為使用具有結晶結構的氧化鋁。作為結晶結構的例子，可以舉出單斜晶結構或立方體晶結構等。注意，本發明的一個實施例不侷限於此。

[0244] 作為與氧化物半導體層 130 接觸的絕緣層 120 及絕緣層 160 較佳為使用氮氧化物的釋放量少的膜。當氮氧化物的釋放量多的絕緣層與氧化物半導體接觸時，有時因氮氧化物導致能階密度變高。作為絕緣層 120 及絕緣層 160，例如可以使用氮氧化物的釋放量少的氧氮化矽膜或

氮化鋁膜等的氧化物絕緣層。

[0245] 氮氧化物的釋放量少的氮化矽膜是在 TDS 分析法中氮釋放量比氮氧化物的釋放量多的膜，典型的是氮釋放量為 1×10^{18} 分子/cm³ 以上且 5×10^{19} 分子/cm³ 以下。此外，上述氮釋放量是藉由膜表面溫度為 50℃ 以上且 650℃ 以下，較佳為 50℃ 以上且 550℃ 以下的加熱處理而得到的釋放量。

[0246] 藉由作為絕緣層 120 及絕緣層 160 使用上述氧化物絕緣層，可以降低電晶體的臨界電壓的漂移，由此可以降低電晶體的電特性變動。

[0247] 作為用作閘極電極層的導電層 170 例如可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta 及 W 等的導電膜。另外，也可以使用上述材料的合金或上述材料的導電氮化物。此外，也可以使用選自上述材料、上述材料的合金及上述材料的導電氮化物中的多種材料的疊層。典型的是，可以使用鎢、鎢與氮化鈦的疊層、鎢與氮化鉭的疊層等。另外，也可以使用低電阻的 Cu 或 Cu-Mn 等合金或者上述材料與 Cu 或 Cu-Mn 等合金的疊層。在本實施例中，作為導電層 171 使用氮化鉭，作為導電層 172 使用鎢，以便形成導電層 170。

[0248] 作為絕緣層 175 可以使用含氫的氮化矽膜或氮化鋁膜等。在實施例 2 所示的電晶體 103、電晶體 104、電晶體 106、電晶體 109、電晶體 110 及電晶體 112 中，藉由作為絕緣層 175 使用含氫的絕緣膜可以使氧化物

半導體層的一部分 n 型化。另外，氮化絕緣膜還用作阻擋水分等的膜，可以提高電晶體的可靠性。

[0249] 作為絕緣層 175 也可以使用氧化鋁膜。尤其是，較佳為在實施例 2 所示的電晶體 101、電晶體 102、電晶體 105、電晶體 107、電晶體 108 及電晶體 111 中作為絕緣層 175 使用氧化鋁膜。氧化鋁膜的不使氫、水分等雜質以及氧透過的阻擋效果高。因此，將氧化鋁膜適合用作具有如下效果的保護膜：在電晶體的製程中及製造電晶體之後，防止氫、水分等雜質向氧化物半導體層 130 混入；防止從氧化物半導體層釋放氧；防止氧的從絕緣層 120 的不需要的釋放。此外，也可以將包含於氧化鋁膜的氧擴散到氧化物半導體層中。

[0250] 另外，在絕緣層 175 上較佳為形成有絕緣層 180。作為該絕緣層可以使用包含氧化鎂、氧化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鈳、氧化釷、氧化鈳及氧化鈳中的一種以上的絕緣膜。該絕緣層也可以是上述材料的疊層。

[0251] 在此，絕緣層 180 較佳為與絕緣層 120 同樣地包含比化學計量組成多的氧。能夠將從絕緣層 180 釋放的氧穿過絕緣層 160 擴散到氧化物半導體層 130 的通道形成區域，因此能夠對形成在通道形成區域中的氧缺陷填補氧。由此，能夠獲得穩定的電晶體電特性。

[0252] 為了實現半導體裝置的高度集成，必須進行電晶體的微型化。然而，已知伴隨著電晶體的微型化，電

晶體的電特性劣化。尤其是通道寬度的縮短導致通態電流的降低。

[0253] 在本發明的一個實施例的電晶體 107 至電晶體 112 中，以覆蓋其中形成通道的氧化物半導體層 130b 的方式形成有氧化物半導體層 130c，通道形成層與閘極絕緣膜沒有接觸。因此，能夠抑制在通道形成層與閘極絕緣膜的介面產生的載子散射，而可以增高電晶體的通態電流。

[0254] 在本發明的一個實施例的電晶體中，如上所述，以在通道寬度方向上電性上包圍氧化物半導體層 130 的方式形成有閘極電極層（導電層 170），因此氧化物半導體層 130 除了垂直於頂面的方向上被施加閘極電場之外，垂直於側面的方向上也被施加閘極電場。換言之，對通道形成層整體施加閘極電場而實效通道寬度擴大，由此可以進一步提高通態電流。

[0255] 另外，在本發明的一個實施例的氧化物半導體層 130 具有兩層或三層結構的電晶體中，藉由將形成有通道的氧化物半導體層 130b 形成於氧化物半導體層 130a 上，可以獲得不容易形成介面能階的效果。在本發明的一個實施例的氧化物半導體層 130 具有三層結構的電晶體中，由於氧化物半導體層 130b 位於三層結構的中間，還可得到消除從上下層混入的雜質的影響的效果等。因此，除了可以增高上述電晶體的通態電流之外，還可以實現臨界電壓的穩定化及 S 值（次臨界值）的下降。因此，可以

降低閘極電壓 V_G 為 $0V$ 時的電流，而可以降低功耗。另外，由於電晶體的臨界電壓穩定，所以可以提高半導體裝置的長期可靠性。此外，本發明的一個實施例的電晶體可以抑制隨著微細化導致的電特性劣化，由此可以說適合於集成度高的半導體裝置。

[0256] 雖然本實施例所說明的金屬膜、半導體膜及無機絕緣膜等各種膜可以典型地利用濺射法或電漿 CVD 法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出有機金屬化學氣相沉積（MOCVD）法或原子層沉積（ALD）法等。

[0257] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生電漿損傷所引起的缺陷的優點。

[0258] 此外，可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到腔室內，將腔室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

[0259] 可以以如下方法進行利用 ALD 法的成膜：將腔室內的壓力設定為大氣壓或減壓，將用於反應的源氣體引入腔室並起反應，並且按該順序反復地引入氣體。也可以將源氣體與惰性氣體（氬或氦等）用作載子氣體一併地進行引入。例如，也可以將兩種以上的源氣體依次供應到腔室內。此時，在第一源氣體起反應之後引入惰性氣體，然後引入第二源氣體，以防止多種源氣體混合。或者，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，

然後引入第二源氣體。第一源氣體附著到基板表面且起反應來形成第一層，之後引入的第二源氣體附著且起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據反復引入氣體的次數來進行調節，因此，ALD法可以準確地調節厚度而適用於製造微型FET。

[0260] 利用MOCVD法或ALD法等熱CVD法可以形成以上所示的實施例所公開的金屬膜、半導體膜、無機絕緣膜等各種膜。例如，當形成In-Ga-Zn-O膜時，可以使用三甲基銦（ $\text{In}(\text{CH}_3)_3$ ）、三甲基鎵（ $\text{Ga}(\text{CH}_3)_3$ ）及二甲基鋅（ $\text{Zn}(\text{CH}_3)_2$ ）。不侷限於上述組合，也可以使用三乙基鎵（ $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（ $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0261] 例如，在使用利用ALD法的沉積裝置形成氧化鈺膜時，使用如下兩種氣體：藉由使包含溶劑和鈺前體的液體（鈺醇鹽、四二甲基醯胺鈺（TDMAH， $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ）或四（乙基甲基醯胺）鈺等鈺醯胺）氣化而得到的源氣體；以及用作氧化劑的臭氧（ O_3 ）。

[0262] 例如，在使用利用ALD法的沉積裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體的液體（三甲基鋁（TMA， $\text{Al}(\text{CH}_3)_3$ ）等）氣化而得到的源氣體；以及用作氧化劑的 H_2O 。作為其他材料有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-

庚二酮酸)等。

[0263] 例如，在使用利用 ALD 法的沉積裝置形成氧化矽膜時，使六氯乙矽烷附著在被成膜面上，供應氧化氣體 (O_2 、一氧化二氮) 的自由基使其與附著物起反應。

[0264] 例如，在使用利用 ALD 法的沉積裝置形成鎢膜時，依次引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後依次引入 WF_6 氣體和 H_2 氣體形成鎢膜。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0265] 例如，在使用利用 ALD 法的沉積裝置形成氧化物半導體膜如 In-Ga-Zn-O 膜時，依次引入 $In(CH_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後依次引入 $Ga(CH_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後依次引入 $Zn(CH_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。也可以使用這些氣體來形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。

[0266] 當形成氧化物半導體層時，也可以使用對向靶材式濺射裝置。也可以將使用該對向靶材式濺射裝置的成膜方法稱為 VDSP (vapor deposition SP)。

[0267] 藉由使用對向靶材式濺射裝置形成氧化物半導體層，可以減少在形成氧化物半導體層時產生的電漿損傷。因此，可以減少膜中的氧缺陷。此外，藉由使用對向靶材式濺射裝置可以在低壓下進行沉積。從而可以減少所

形成的氧化物半導體層中的雜質濃度（例如，氫、稀有氣體（氬等）、水等）。

[0268] 本實施例所示的結構可以與其他實施例所示的結構適當地組合而實施。

[0269]

實施例 4

下面，說明可用於本發明的一個實施例的氧化物半導體膜的結構。

[0270] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態，因此，也包括該角度為 -5° 以上且 5° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態，因此，也包括該角度為 85° 以上且 95° 以下的狀態。

[0271] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0272] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0273] 首先，對 CAAC-OS 膜進行說明。

[0274] CAAC-OS 膜是包含多個 c 軸配向的結晶部的氧化物半導體膜之一。

[0275] 在利用穿透式電子顯微鏡（TEM：

Transmission Electron Microscope) 觀察 CAAC-OS 膜的明視野影像與繞射圖案的複合分析影像 (也稱為高解析度 TEM 影像) 。於是觀察到多個結晶部。然而，即使在高解析度 TEM 影像中，也觀察不到結晶部與結晶部之間的邊界，亦即晶界 (grain boundary) 。因此，可以說在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0276] 當從大致平行於樣本面的方向觀察 CAAC-OS 膜的剖面的高解析度 TEM 影像時，觀察到在結晶部中金屬原子配列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0277] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的平面的高解析度 TEM 影像可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0278] 使用 X 射線繞射 (XRD:X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時會出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0279] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0280] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、或過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因為其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成為因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氫、二氧化碳等因為其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成為打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0281] CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0282] 將雜質濃度低且缺陷態密度低（氧缺陷的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。

因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性電晶體。被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0283] 在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0284] 接下來，說明微晶氧化物半導體膜。

[0285] 在微晶氧化物半導體膜的高解析度 TEM 影像中有觀察到結晶部的區域及觀察不到明確的結晶部的區域。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的高解析度 TEM 影像中，不經常觀察到明確的晶界。

[0286] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不

到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區域電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0287] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。注意，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

[0288] 接著，對非晶氧化物半導體膜進行說明。

[0289] 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

[0290] 在非晶氧化物半導體膜的高解析度 TEM 影像中，觀察不到結晶部。

[0291] 當使用 XRD 裝置以 out-of-plane 法對非晶氧化物半導體膜進行結構分析時，檢測不到表示結晶面的峰值。在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

[0292] 注意，氧化物半導體膜有時具有呈現 nc-OS 膜與非晶氧化物半導體膜之間的物性的結構。將具有這種結構的氧化物半導體膜特別稱為類非晶氧化物半導體（amorphous-like OS）膜。

[0293] 在類非晶 OS 膜的高解析度 TEM 影像中，有時觀察到空洞。此外，在高解析度 TEM 影像中，有明確地確認到結晶部的區域及確認不到結晶部的區域。類非晶 OS 膜有時因 TEM 觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在優質的 nc-OS 膜中，幾乎觀察不到因 TEM 觀察時的微量的電子照射而產生晶化。

[0294] 注意，類非晶 OS 膜及 nc-OS 膜的結晶部的大小的測量可以使用高解析度 TEM 影像進行。例如， InGaZnO_4 的結晶具有層狀結構，在 In-O 層之間具有兩個 Ga-Zn-O 層。 InGaZnO_4 的結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層的一共九個層在 c 軸方向上重疊為層狀的結構。因此，這些彼此相鄰的層之間的間隔與（009）面的晶格表面間隔（也稱為 d 值）大致相等，從結晶結構分析求出其值，即 0.29nm。因此，著眼於高解

析度 TEM 影像的晶格條紋，在晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的區域，每個晶格條紋都被認為是對應於 InGaZnO_4 的結晶的 a-b 面。

[0295] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、類非晶 OS 膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0296] 本實施例所示的結構可以與其他實施例所示的結構適當地組合而使用。

[0297]

實施例 5

本發明的一個實施例的成像裝置及包含該成像裝置的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠播放儲存媒體如數位影音光碟（DVD）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施例的成像裝置及包含該成像裝置的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 34A 至圖 34F 示出這些電子裝置的具體例子。

[0298] 圖 34A 是可攜式遊戲機，該可攜式遊戲機包

括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907、觸控筆 908 以及相機 909 等。雖然圖 34A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。可以將本發明的一個實施例的成像裝置用於相機 909。

[0299] 圖 34B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、顯示部 912、相機 919 等。藉由顯示部 912 所具有的觸摸功能可以進行資訊的輸入或輸出。可以將本發明的一個實施例的成像裝置用於相機 919。

[0300] 圖 34C 是手錶型資訊終端，該手錶型資訊終端包括外殼 931、顯示部 932、腕帶 933 以及相機 939 等。顯示部 932 也可以是觸控面板。可以將本發明的一個實施例的成像裝置用於相機 939。

[0301] 圖 34D 是行動電話，在外殼 951 中設置有顯示部 952、麥克風 957、揚聲器 954、相機 959、輸入輸出端子 956 以及操作用的按鈕 955 等。可以將本發明的一個實施例的成像裝置用於相機 959。

[0302] 圖 34E 是數位相機，該數位相機包括外殼 961、快門按鈕 962、麥克風 963、發光部 967 以及透鏡 965 等。可以將本發明的一個實施例的成像裝置設置在透鏡 965 的焦點的位置上。

[0303] 圖 34F 是視頻攝影機，該視頻攝影機包括第一外殼 971、第二外殼 972、顯示部 973、操作鍵 974、透

鏡 975、連接部 976 等。操作鍵 974 及透鏡 975 設置在第一外殼 971 中，顯示部 973 設置在第二外殼 972 中。並且，第一外殼 971 和第二外殼 972 由連接部 976 連接，由連接部 976 可以改變第一外殼 971 和第二外殼 972 之間的角度。顯示部 973 的影像也可以根據連接部 976 所形成的第一外殼 971 和第二外殼 972 之間的角度切換。可以將本發明的一個實施例的成像裝置設置在透鏡 975 的焦點的位置上。

[0304] 另外，本實施例可以與本說明書所示的其他實施例適當地組合。

【符號說明】

[0305]

11：成像操作

12：資料保持操作

13：讀出操作

30：矽基板

31：電晶體

32：電晶體

35：活性層

41：電晶體

42：電晶體

51：電晶體

52：電晶體

- 53：電 晶 體
- 54：電 晶 體
- 55：電 晶 體
- 56：高 電 壓 電 源
- 57：電 容 器
- 58：電 容 器
- 60：光 電 轉 換 元 件
- 61：光 電 轉 換 層
- 62：透 光 導 電 層
- 63：半 導 體 層
- 64：半 導 體 層
- 65：半 導 體 層
- 66：電 極
- 66a：導 電 層
- 66b：導 電 層
- 67：分 隔 壁
- 71：佈 線
- 72：佈 線
- 72a：導 電 層
- 72b：導 電 層
- 73：佈 線
- 75：佈 線
- 76：佈 線
- 77：佈 線

78：佈線

79：佈線

80：絕緣層

81：導電體

82：絕緣層

82a：絕緣層

82b：絕緣層

83：絕緣層

88：佈線

93：佈線

96：佈線

99：佈線

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：電晶體

106：電晶體

107：電晶體

108：電晶體

109：電晶體

110：電晶體

111：電晶體

112：電晶體

115：基板

120：絕緣層

130：氧化物半導體層

130a：氧化物半導體層

130b：氧化物半導體層

130c：氧化物半導體層

140：導電層

141：導電層

142：導電層

150：導電層

151：導電層

152：導電層

160：絕緣層

170：導電層

171：導電層

172：導電層

173：導電層

175：絕緣層

180：絕緣層

231：區域

232：區域

233：區域

331：區域

332：區域

333：區域

334：區域

335：區域

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

909：相機

911：外殼

912：顯示部

919：相機

931：外殼

932：顯示部

933：腕帶

939：相機

951：外殼

952：顯示部

954：揚聲器

955：按鈕

956：輸入輸出端子

- 957：麥克風
- 959：相機
- 961：外殼
- 962：快門按鈕
- 963：麥克風
- 965：透鏡
- 967：發光部
- 971：外殼
- 972：外殼
- 973：顯示部
- 974：操作鍵
- 975：透鏡
- 976：連接部
- 1100：層
- 1200：層
- 1400：層
- 1500：繞射光柵
- 1600：層
- 2500：絕緣層
- 2510：遮光層
- 2520：有機樹脂層
- 2530：濾色片
- 2530a：濾色片
- 2530b：濾色片

2530c：濾色片

2540：微透鏡陣列

2550：光學轉換層

2560：絕緣層

申請專利範圍

【請求項 1】一種成像裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

光電轉換元件，

其中，該光電轉換元件中的一個電極與該第一電晶體的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的該一個電極與該第三電晶體的源極電極和汲極電極中的一個電連接，

其中，該第一電晶體的該源極電極和該汲極電極中的另一個與該第二電晶體的閘極電極電連接，

其中，該第二電晶體的源極電極和汲極電極中的一個與該第四電晶體的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的另一個電極與第一佈線電連接，

其中，該第一電晶體的閘極電極與第二佈線電連接，

其中，供應到該第一佈線的最高電位為第一電壓，並且

其中供應到該第二佈線的最高電位小於該第一電壓。

【請求項 2】根據請求項 1 之成像裝置，

其中該第二電晶體的該源極電極和該汲極電極中的另一個與第三佈線電連接，並且

其中當供應到該第一佈線的電位為該第一電壓，供應到該第三佈線的電位為第二電壓，且該第一電壓大於該第二電壓時，供應到該第二佈線的該最高電位為該第二電壓。

【請求項 3】根據請求項 1 之成像裝置，

其中該第一電晶體和該第三電晶體各包括在活性層中的氧化物半導體，

其中該氧化物半導體包括 In、Zn 及 M，並且

其中 M 為 Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 或 Hf。

【請求項 4】根據請求項 1 之成像裝置，

其中該第二電晶體和該第四電晶體各包括在活性層或活性區域中的矽。

【請求項 5】一種電子裝置，包括：

請求項 1 之成像裝置；以及

顯示裝置。

【請求項 6】一種成像裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

光電轉換元件，

其中，該光電轉換元件中的一個電極與該第一電晶體的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的該一個電極與該第三電晶體的源極電極和汲極電極中的一個電連接，

其中，該第一電晶體的該源極電極和該汲極電極中的另一個與該第二電晶體的閘極電極電連接，

其中，該第二電晶體的源極電極和汲極電極中的一個與該第四電晶體的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的另一個電極與第一佈線電連接，

其中，該第一電晶體的閘極電極與第二佈線電連接，

其中，當供應到該第一佈線的電位為 HVDD 時，供應到該第二佈線的電位的最大值小於 HVDD，並且

其中，該第一電晶體和該第三電晶體設置在該第二電晶體和該第四電晶體上。

【請求項 7】根據請求項 6 之成像裝置，

其中該第二電晶體的該源極電極和該汲極電極中的另一個與第三佈線電連接，並且

其中當供應到該第一佈線的該電位為 HVDD，供應到該第三佈線的電位為 VDD，且 HVDD 大於 VDD 時，供應到該第二佈線的該電位的最大值為 VDD。

【請求項 8】根據請求項 6 之成像裝置，

其中該第一電晶體和該第三電晶體各包括在活性層中的氧化物半導體，

其中該氧化物半導體包括 In、Zn 及 M，並且

其中 M 為 Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 或

Hf。

【請求項 9】根據請求項 6 之成像裝置，
其中該第二電晶體和該第四電晶體各包括在活性層或
活性區域中的矽。

【請求項 10】一種電子裝置，包括：
請求項 6 之成像裝置；以及
顯示裝置。

【請求項 11】一種成像裝置，包括：
第一電晶體；
第二電晶體；
第三電晶體；
第四電晶體；以及
光電轉換元件，

其中，該光電轉換元件中的一個電極與該第一電晶體
的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的該一個電極與該第三電晶
體的源極電極和汲極電極中的一個電連接，

其中，該第一電晶體的該源極電極和該汲極電極中的
另一個與該第二電晶體的閘極電極電連接，

其中，該第二電晶體的源極電極和汲極電極中的一個
與該第四電晶體的源極電極和汲極電極中的一個電連接，

其中，該光電轉換元件中的另一個電極與第一佈線電
連接，

其中，該第一電晶體的閘極電極與第二佈線電連接，

其中，當供應到該第一佈線的電位為 HVDD 時，供應到該第二佈線的電位的最大值小於 HVDD，

其中，該第一電晶體和該第三電晶體設置在該第二電晶體和該第四電晶體上，並且

其中，該光電轉換元件設置在該第一電晶體和該第三電晶體上。

【請求項 12】根據請求項 11 之成像裝置，

其中該第二電晶體的該源極電極和該汲極電極中的另一個與第三佈線電連接，並且

其中當供應到該第一佈線的該電位為 HVDD，供應到該第三佈線的電位為 VDD，且 HVDD 大於 VDD 時，供應到該第二佈線的該電位的最大值為 VDD。

【請求項 13】根據請求項 11 之成像裝置，

其中該第一電晶體和該第三電晶體各包括在活性層中的氧化物半導體，

其中該氧化物半導體包括 In、Zn 及 M，並且

其中 M 為 Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 或 Hf。

【請求項 14】根據請求項 11 之成像裝置，

其中該第二電晶體和該第四電晶體各包括在活性層或活性區域中的矽。

【請求項 15】一種電子裝置，包括：

請求項 11 之成像裝置；以及

顯示裝置。

圖 1

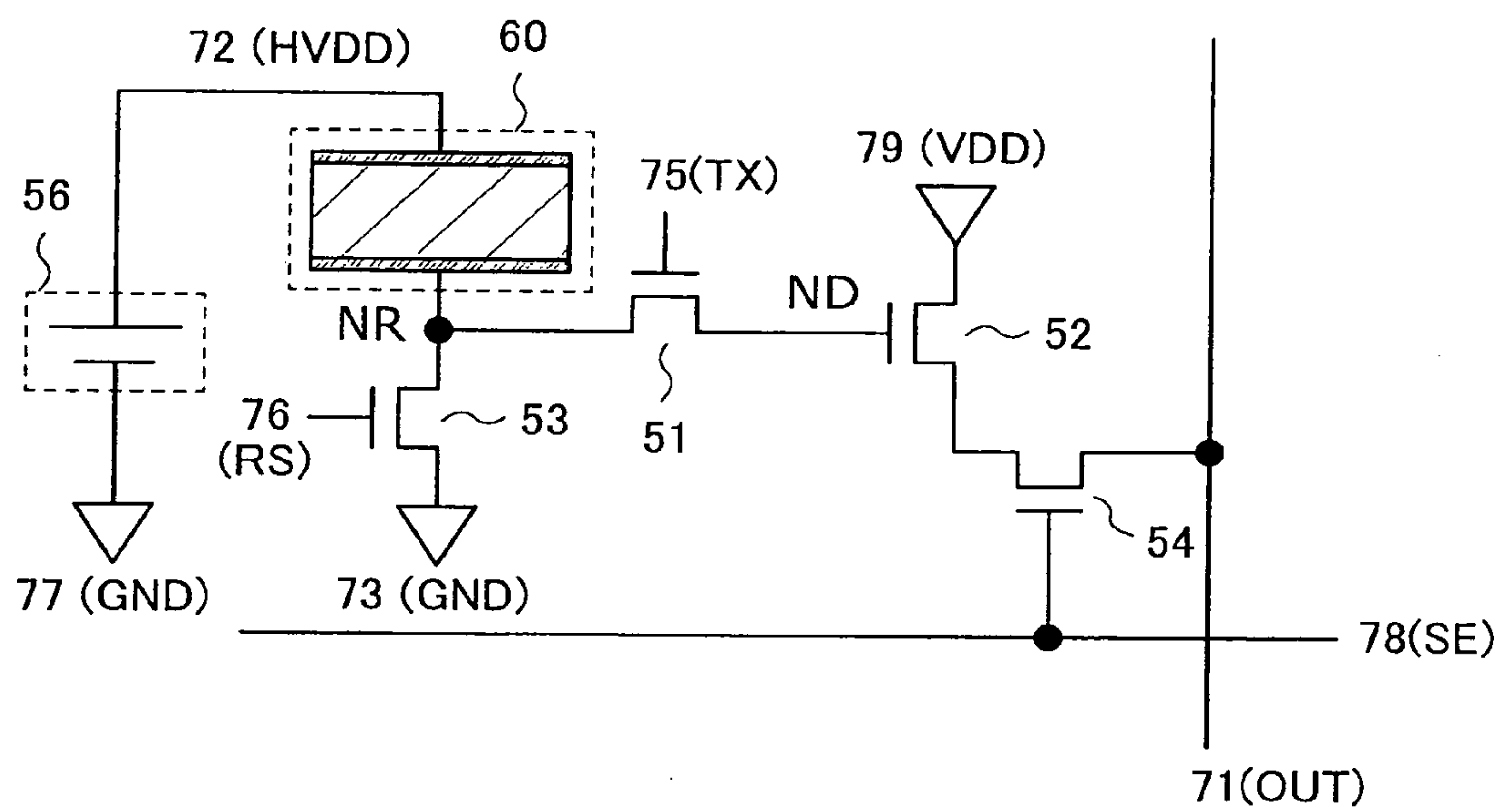


圖 2

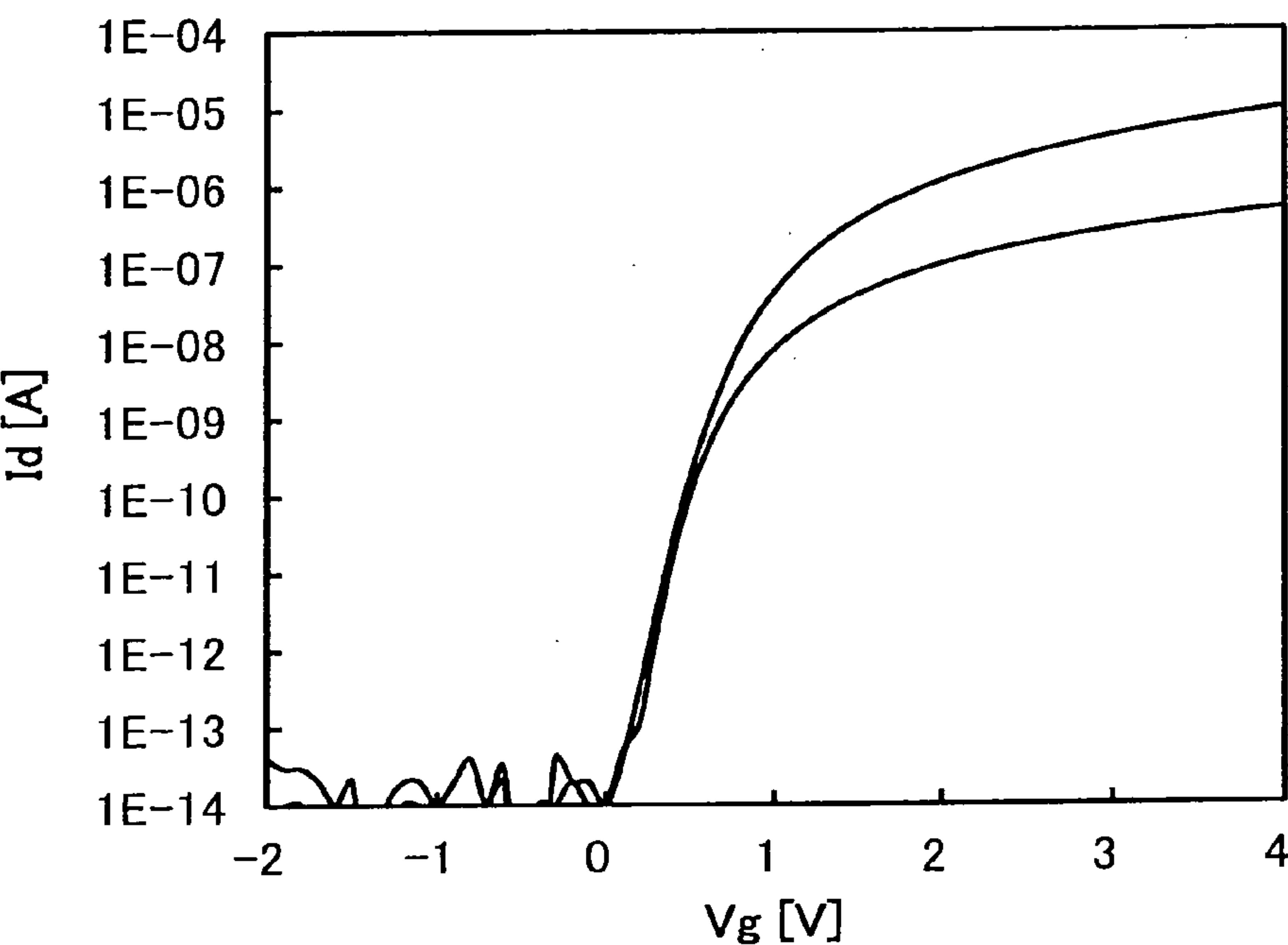


圖 3

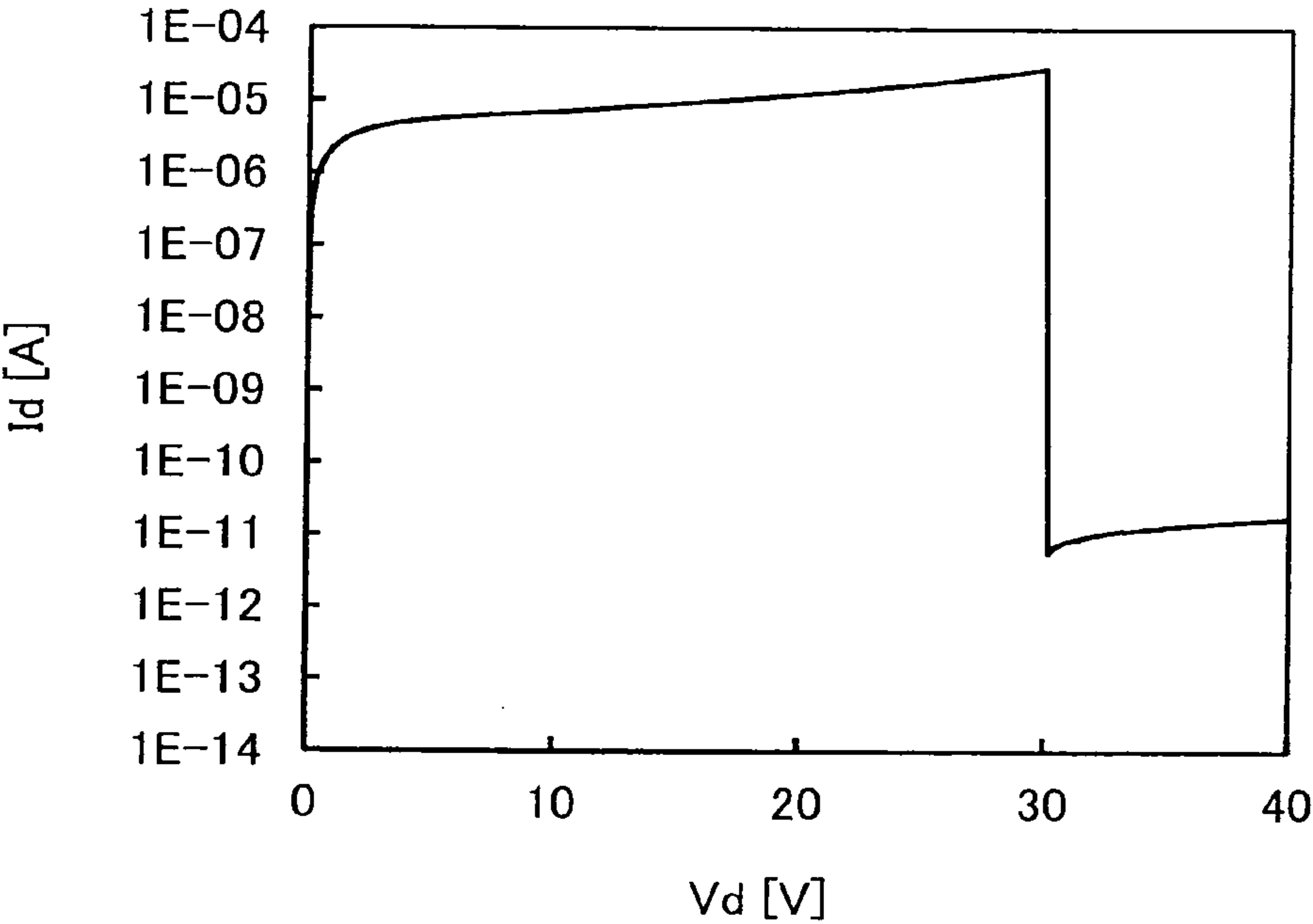


圖 4

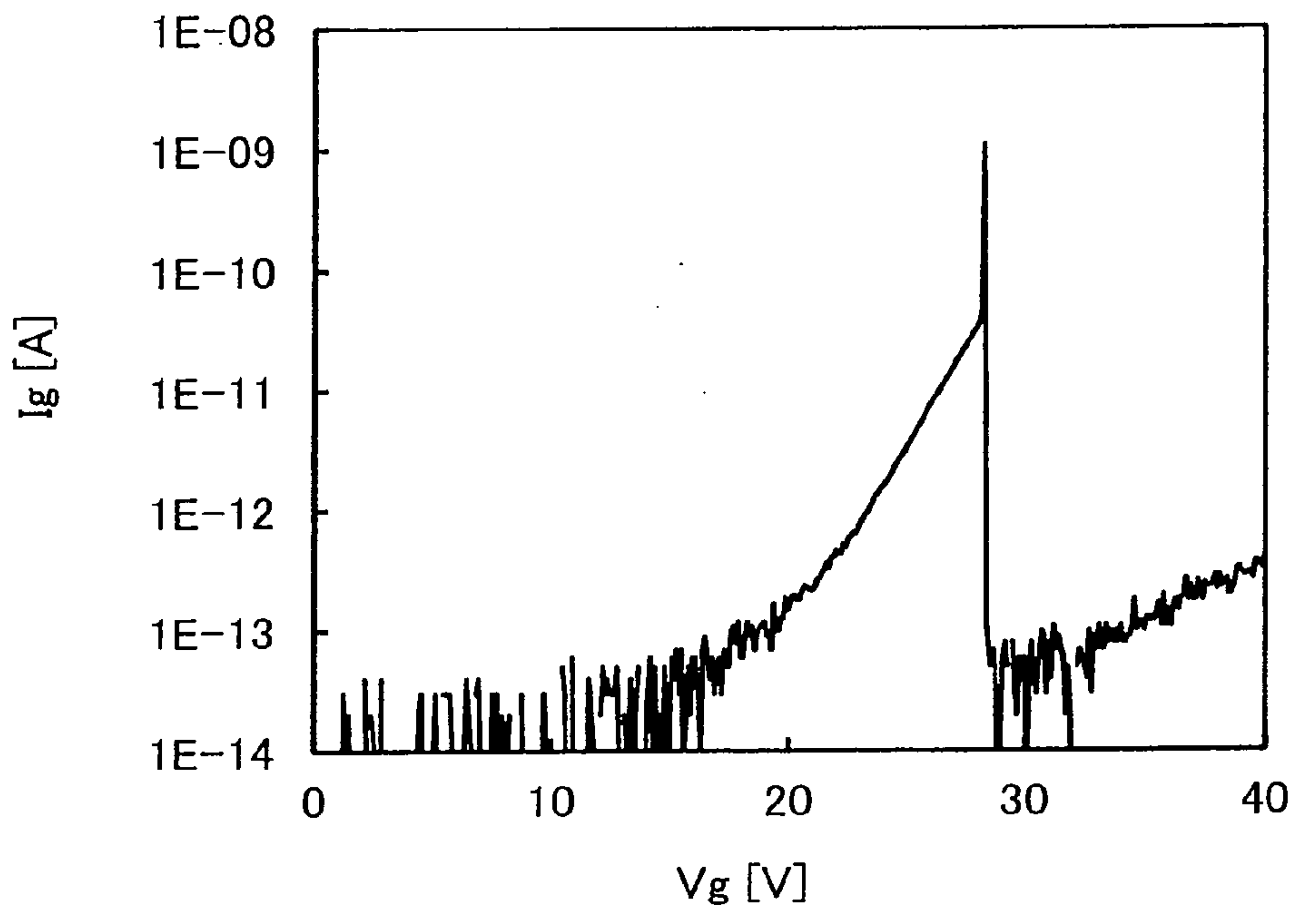


圖 5

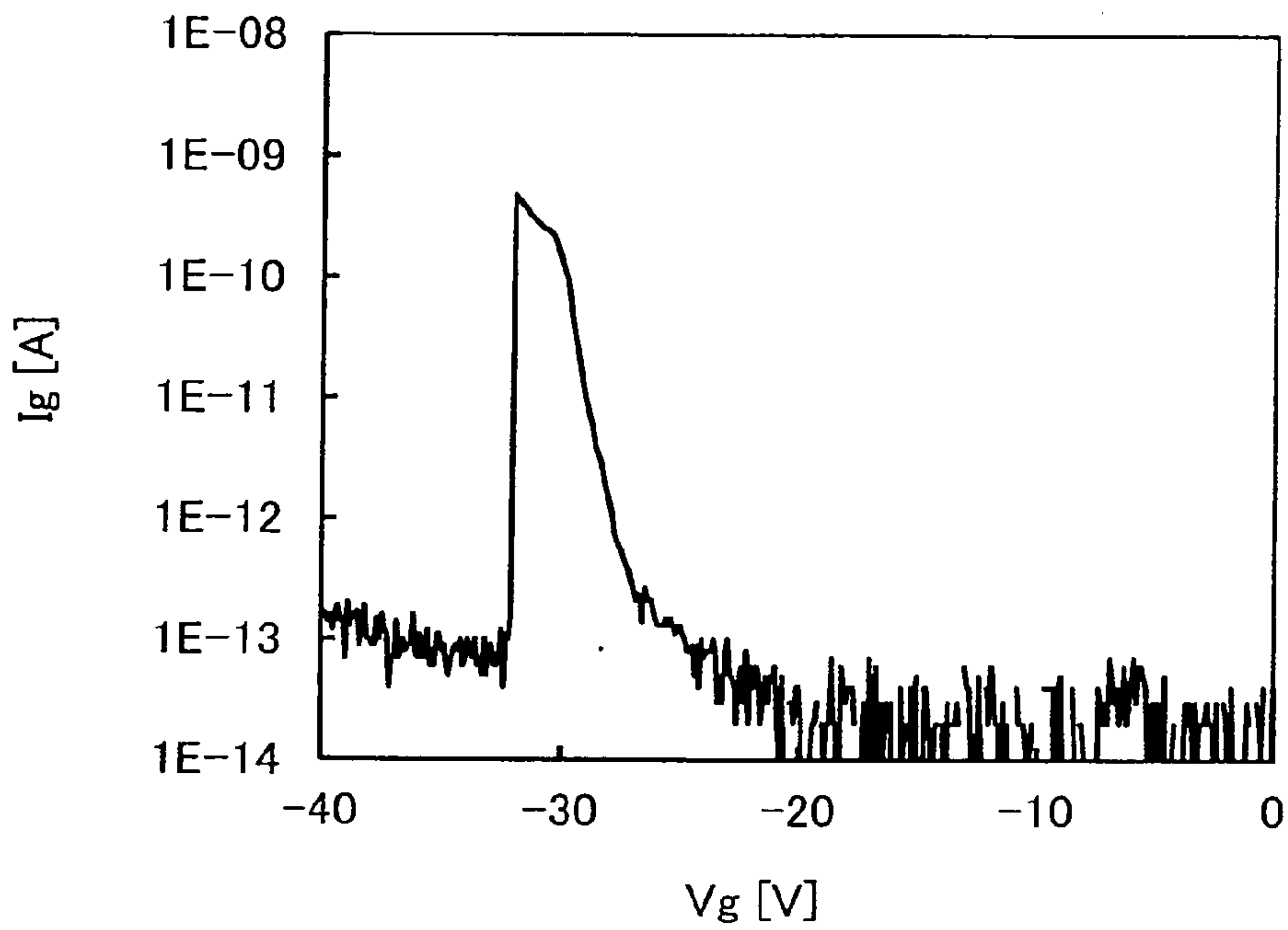


圖 6

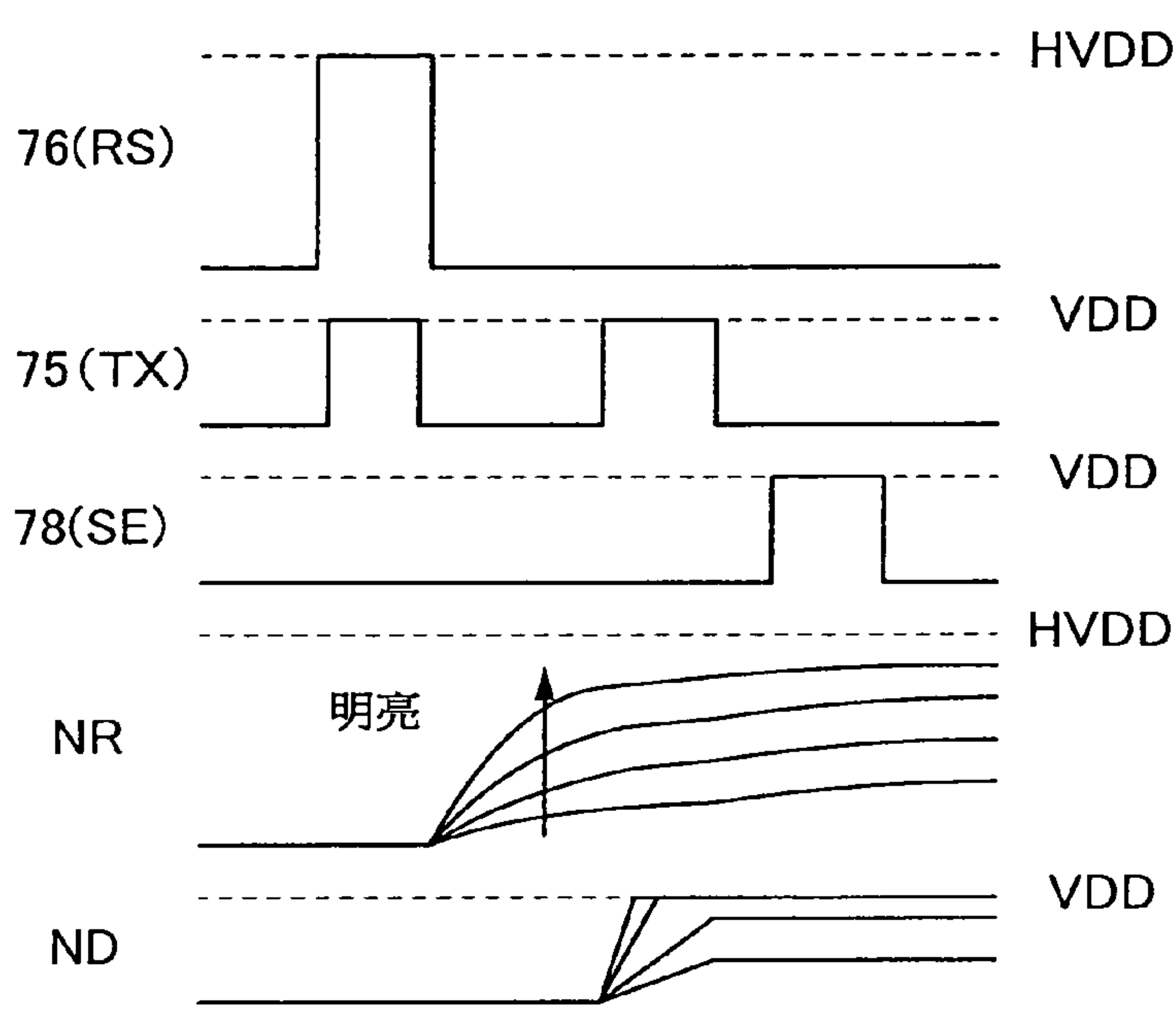


圖 7A

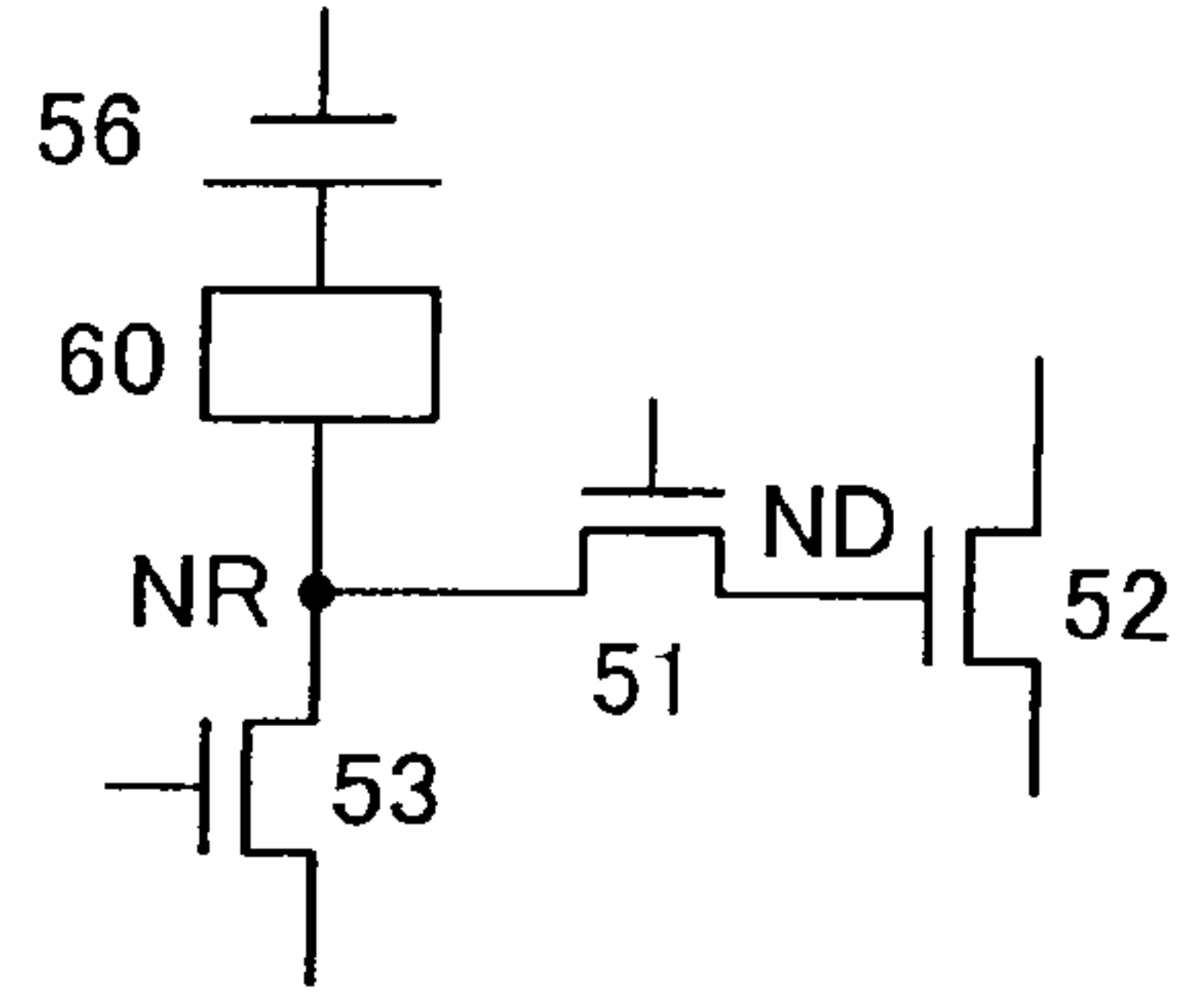


圖 7B

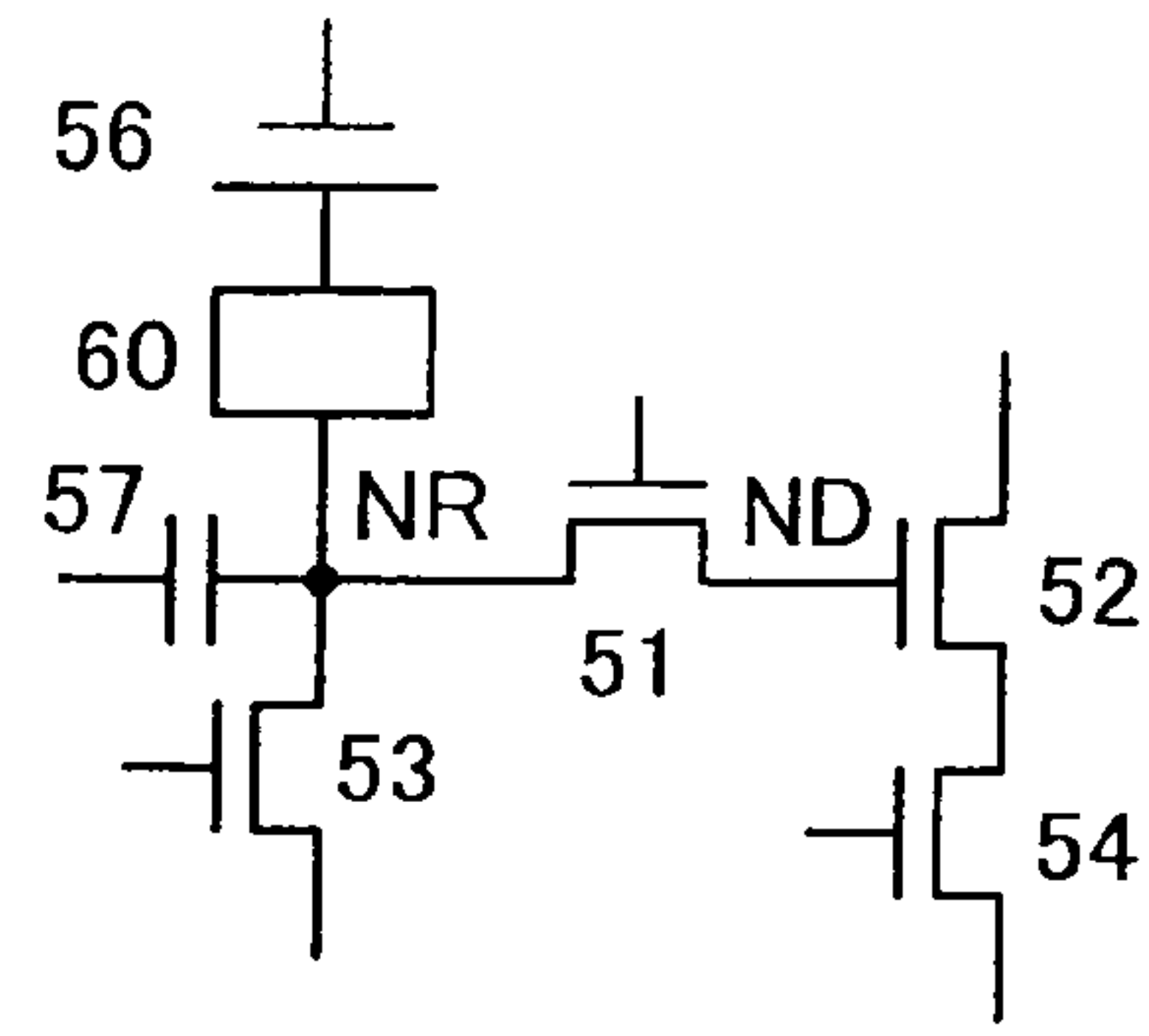


圖 7C

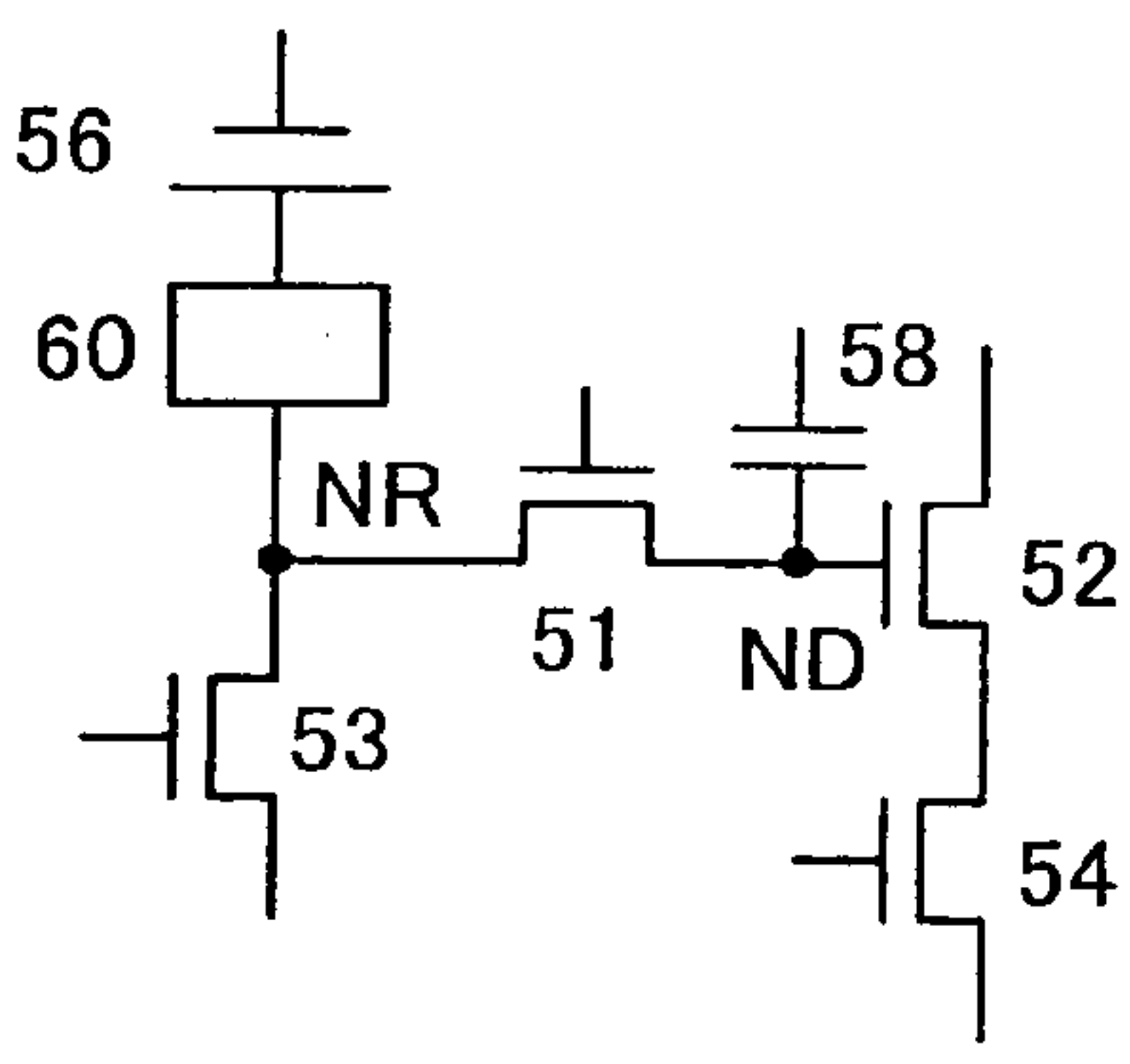


圖 7D

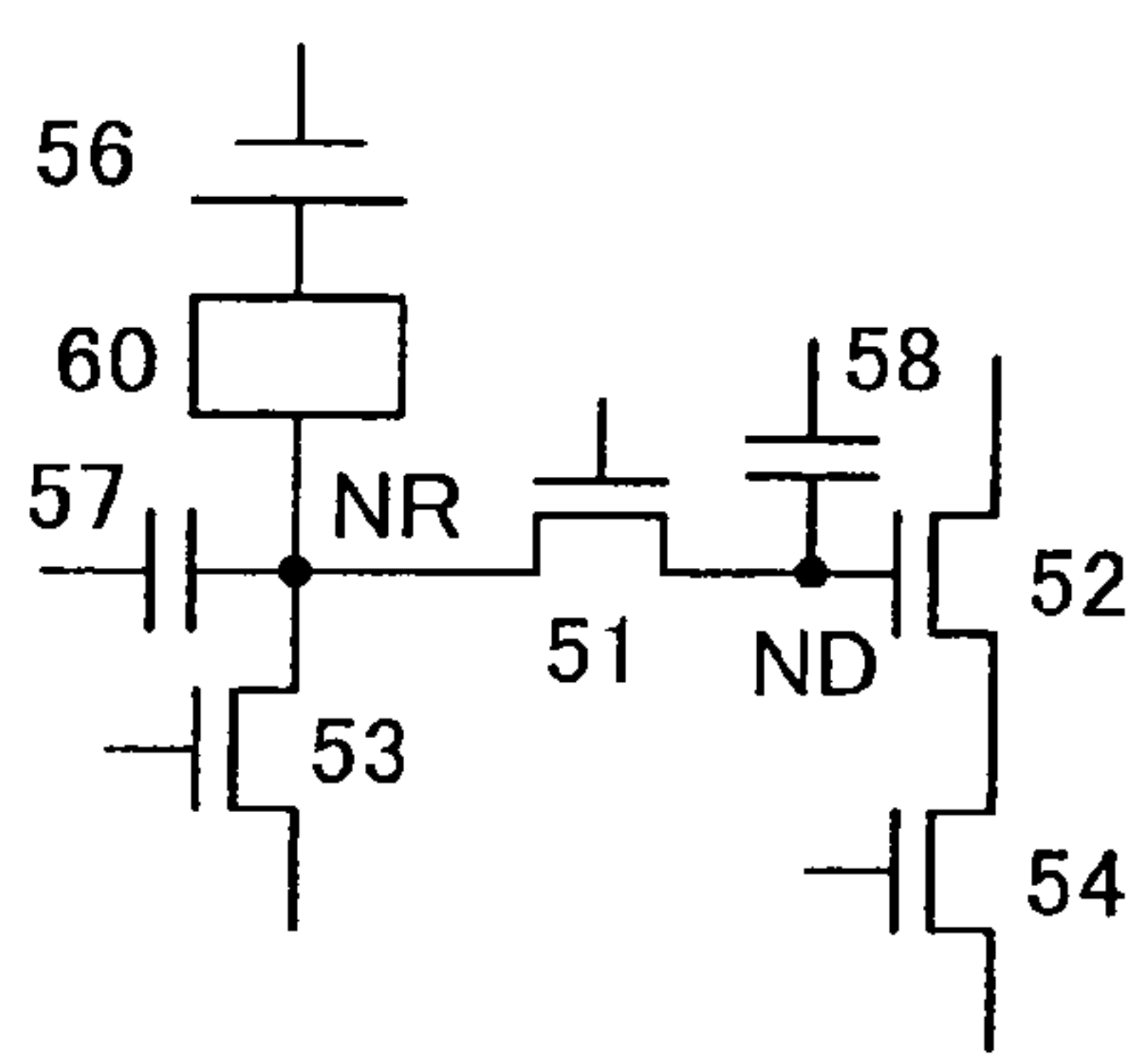


圖 7E

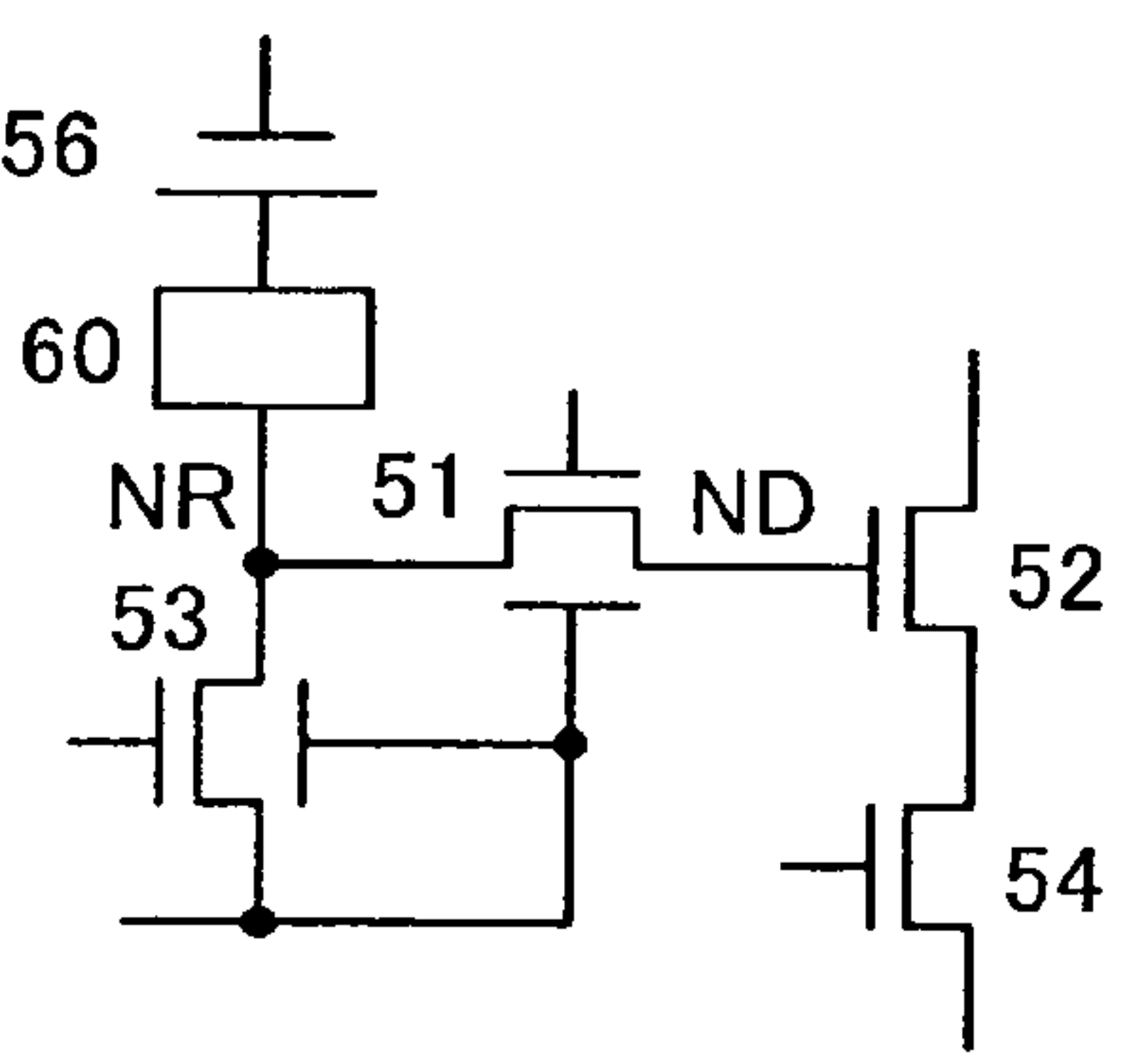


圖 7F

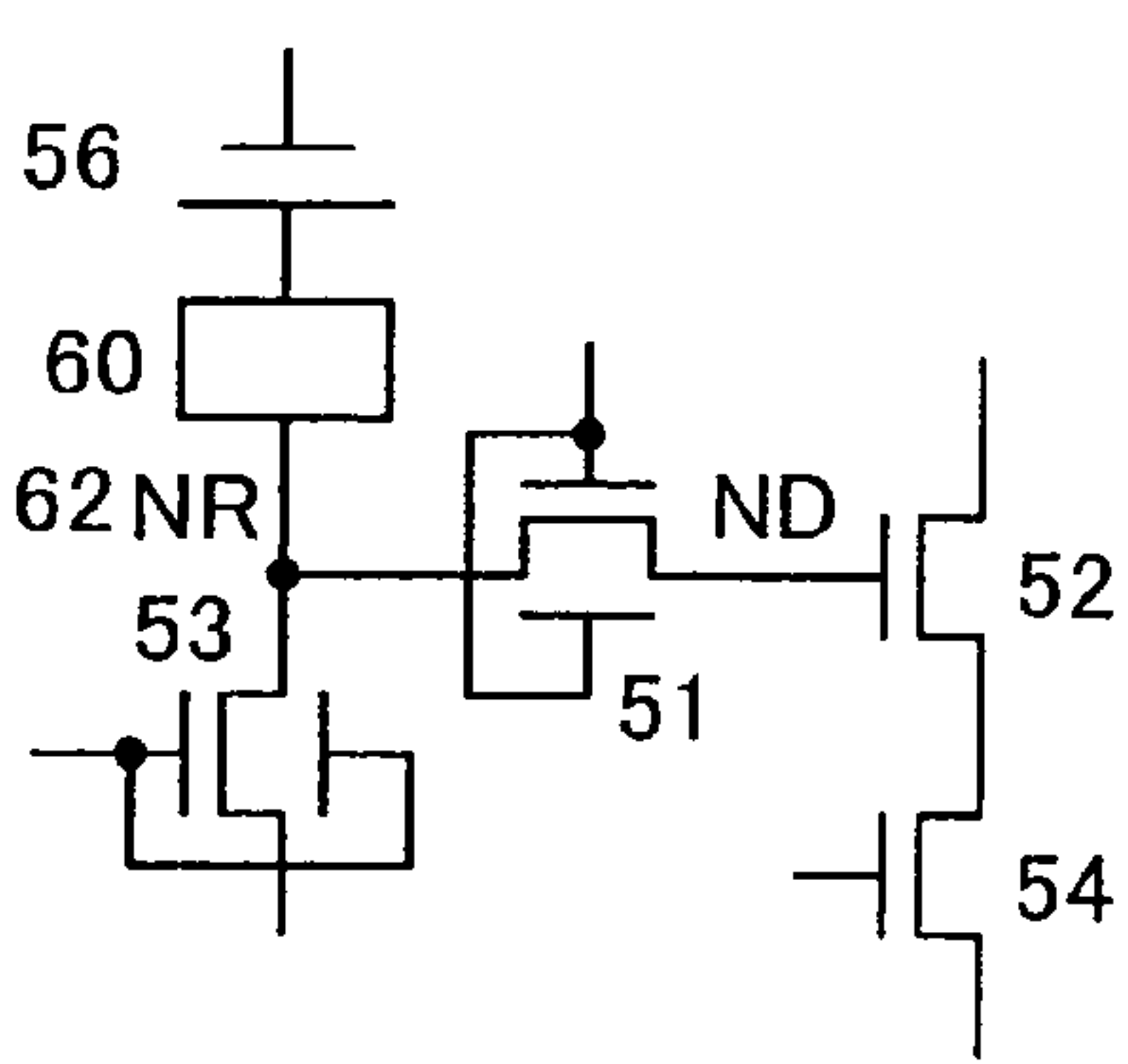


圖 7G

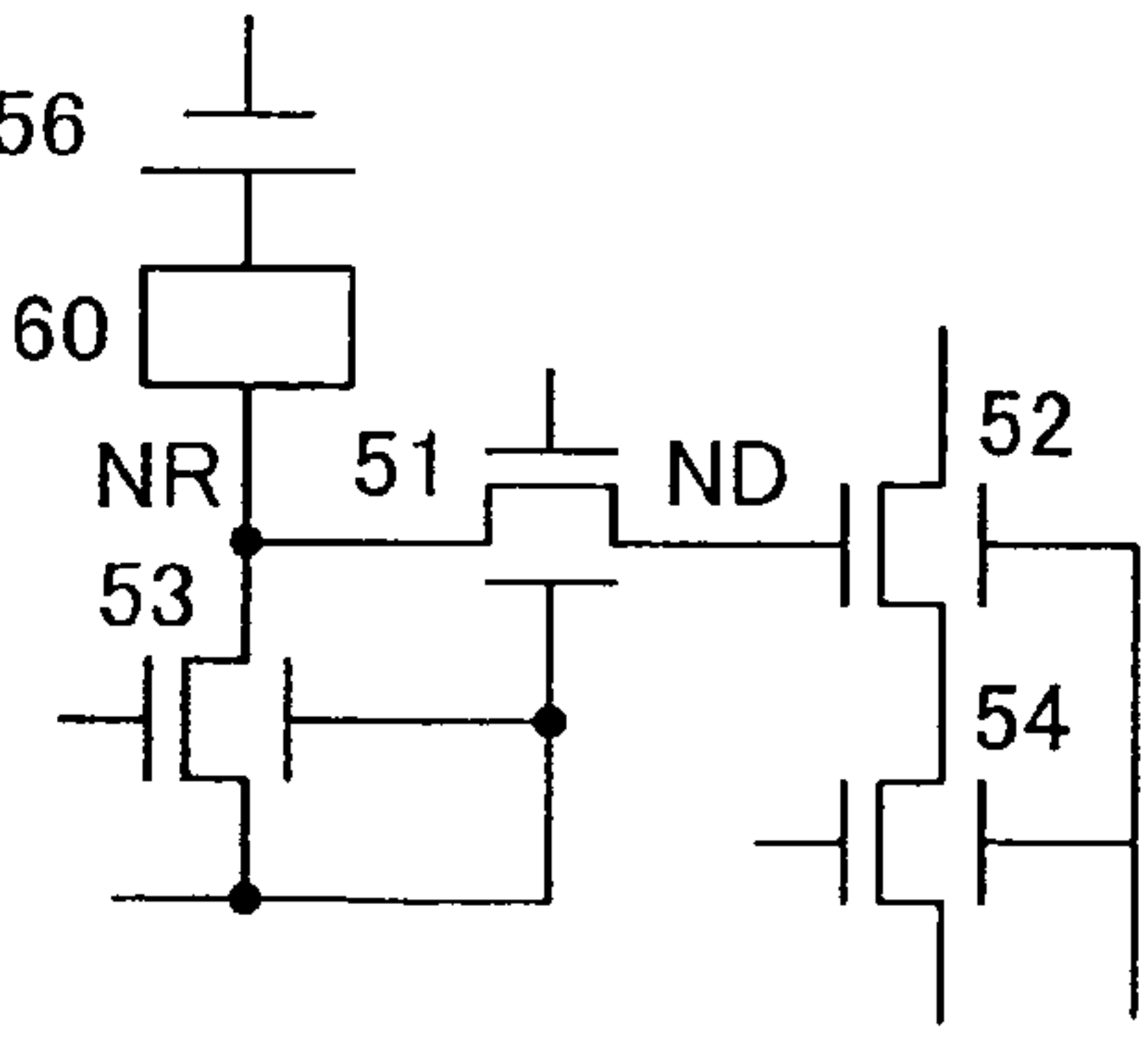


圖 7H

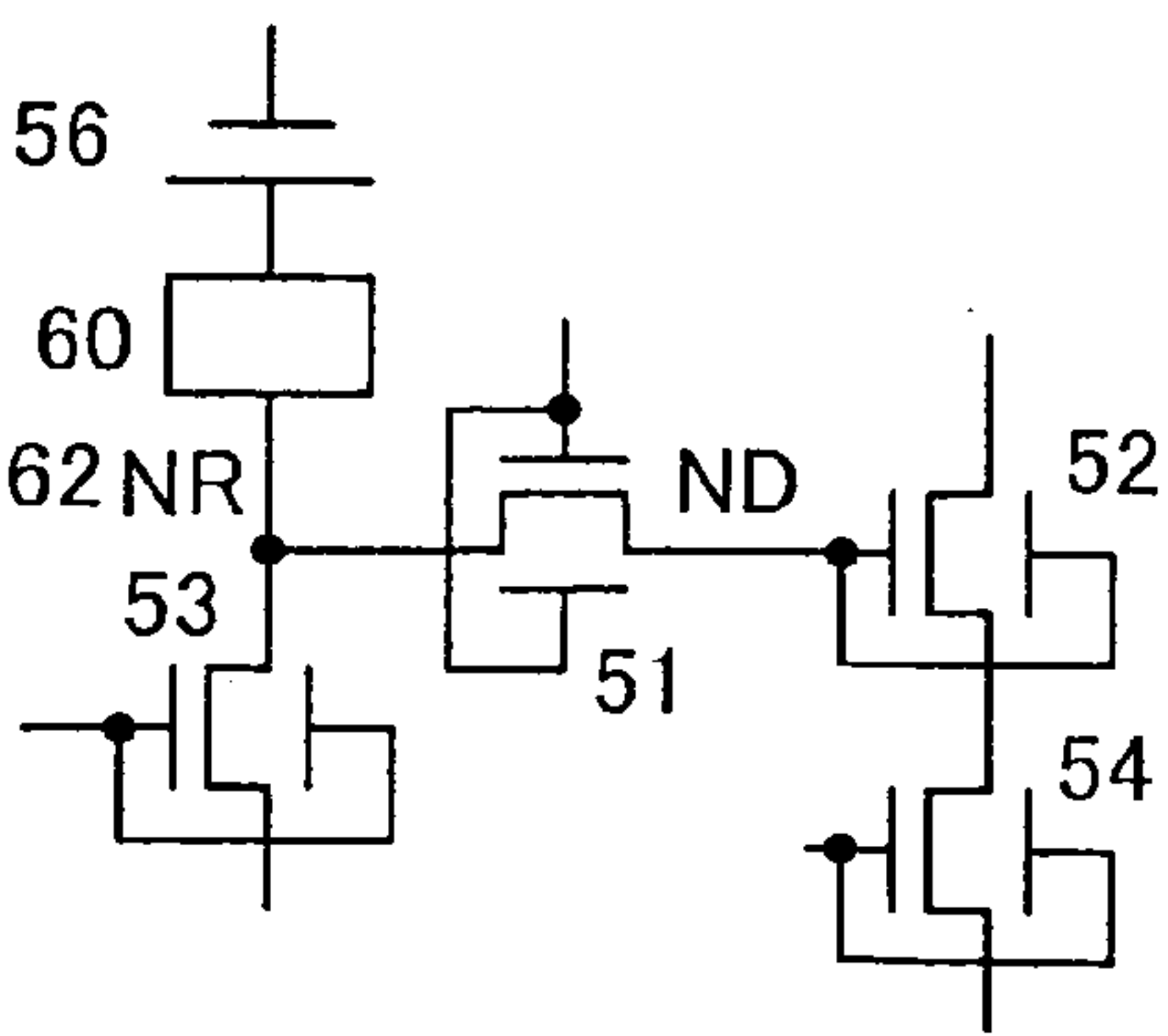


圖 8

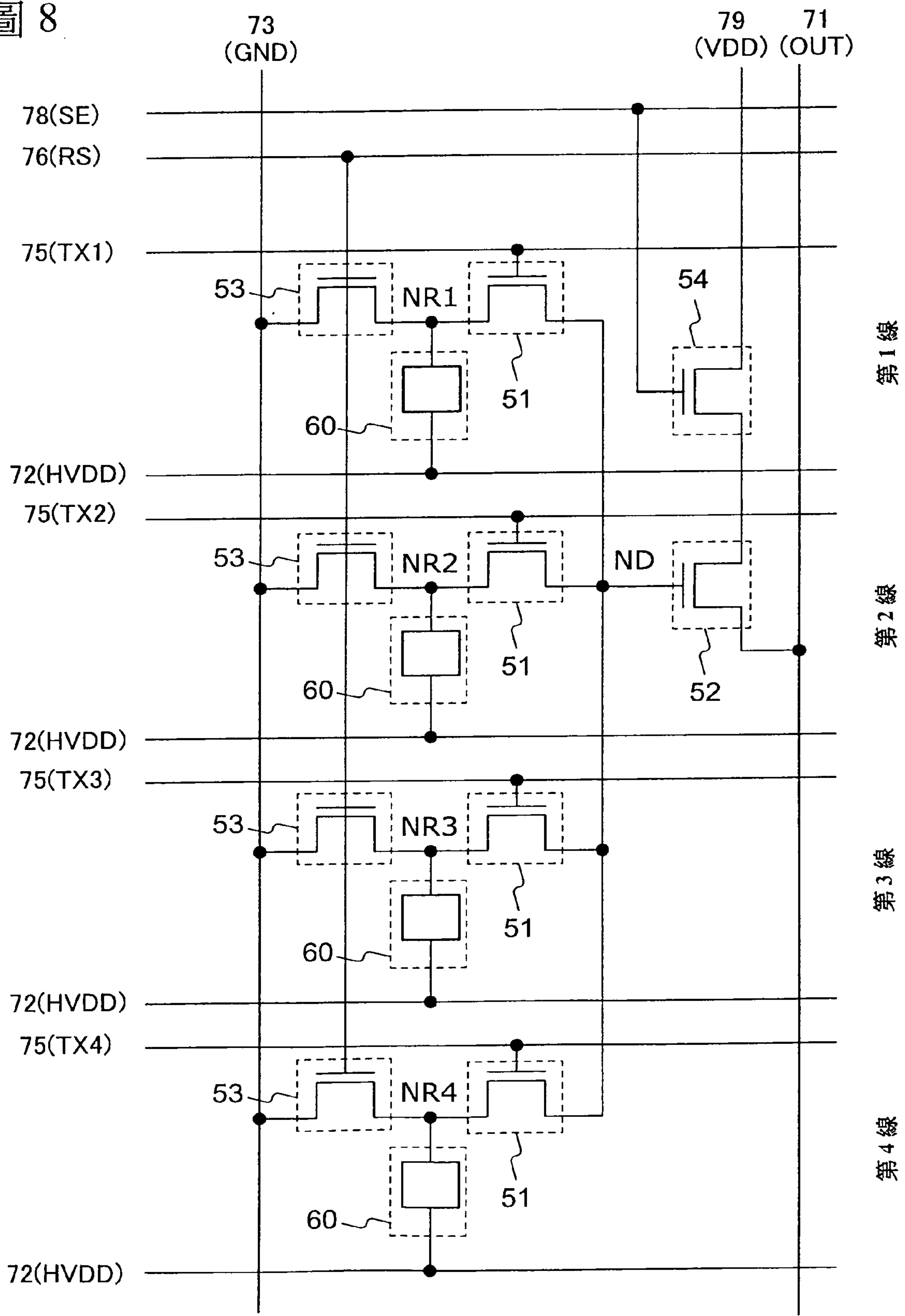


圖 9A

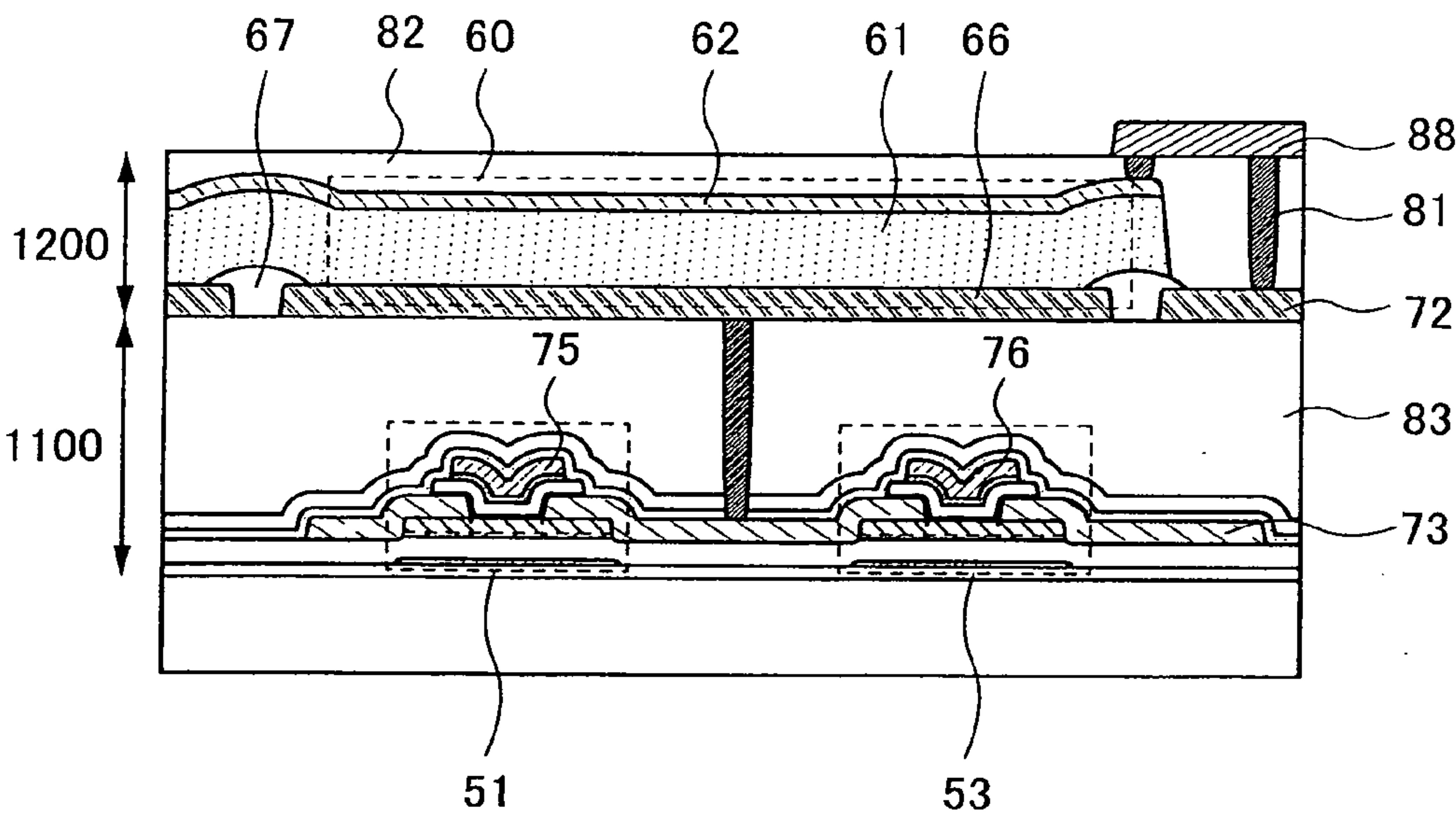


圖 9B

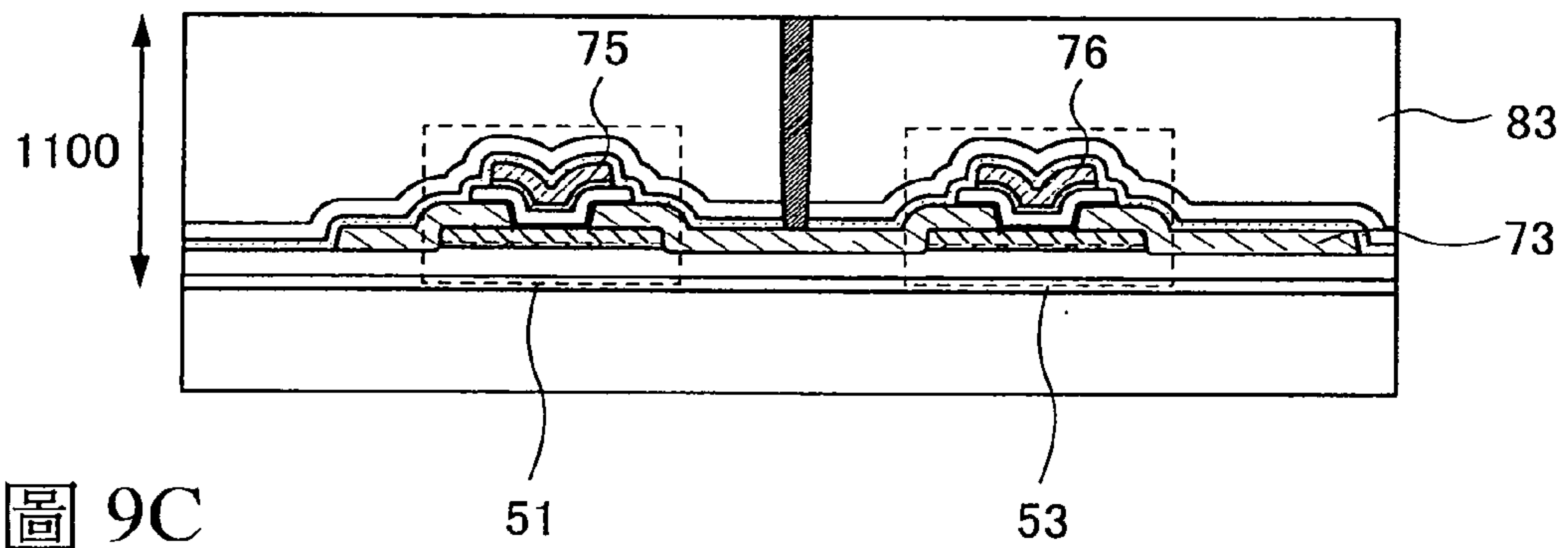


圖 9C

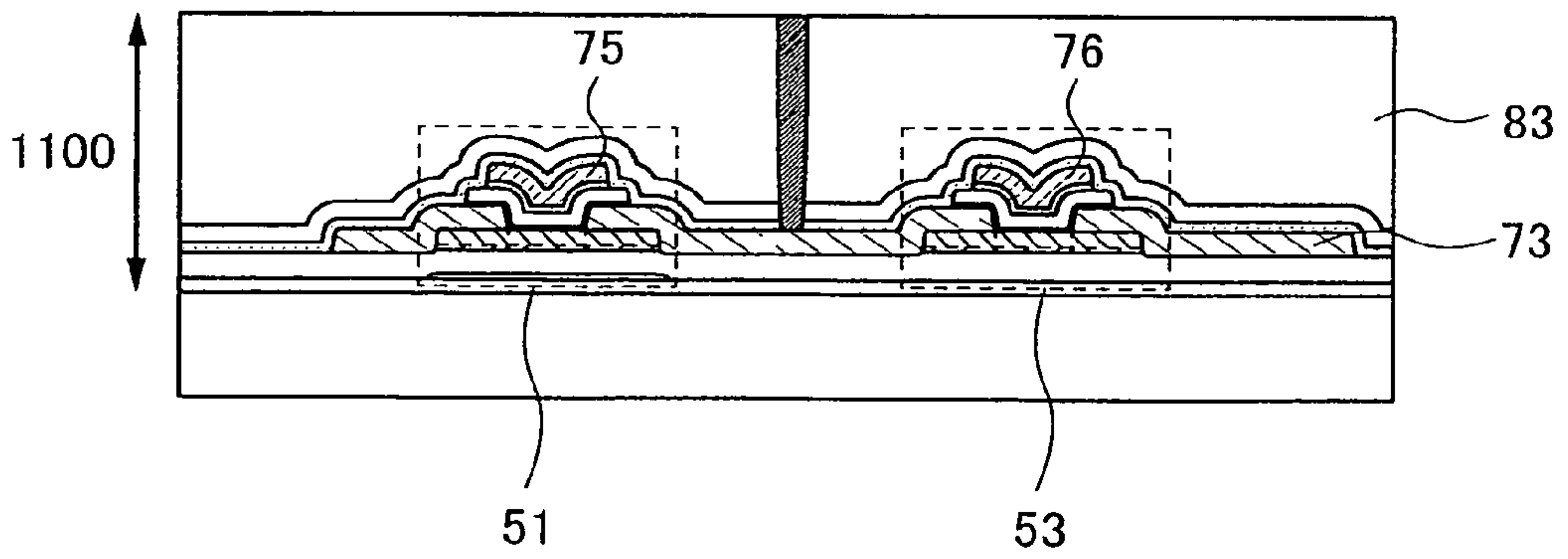


圖 10A

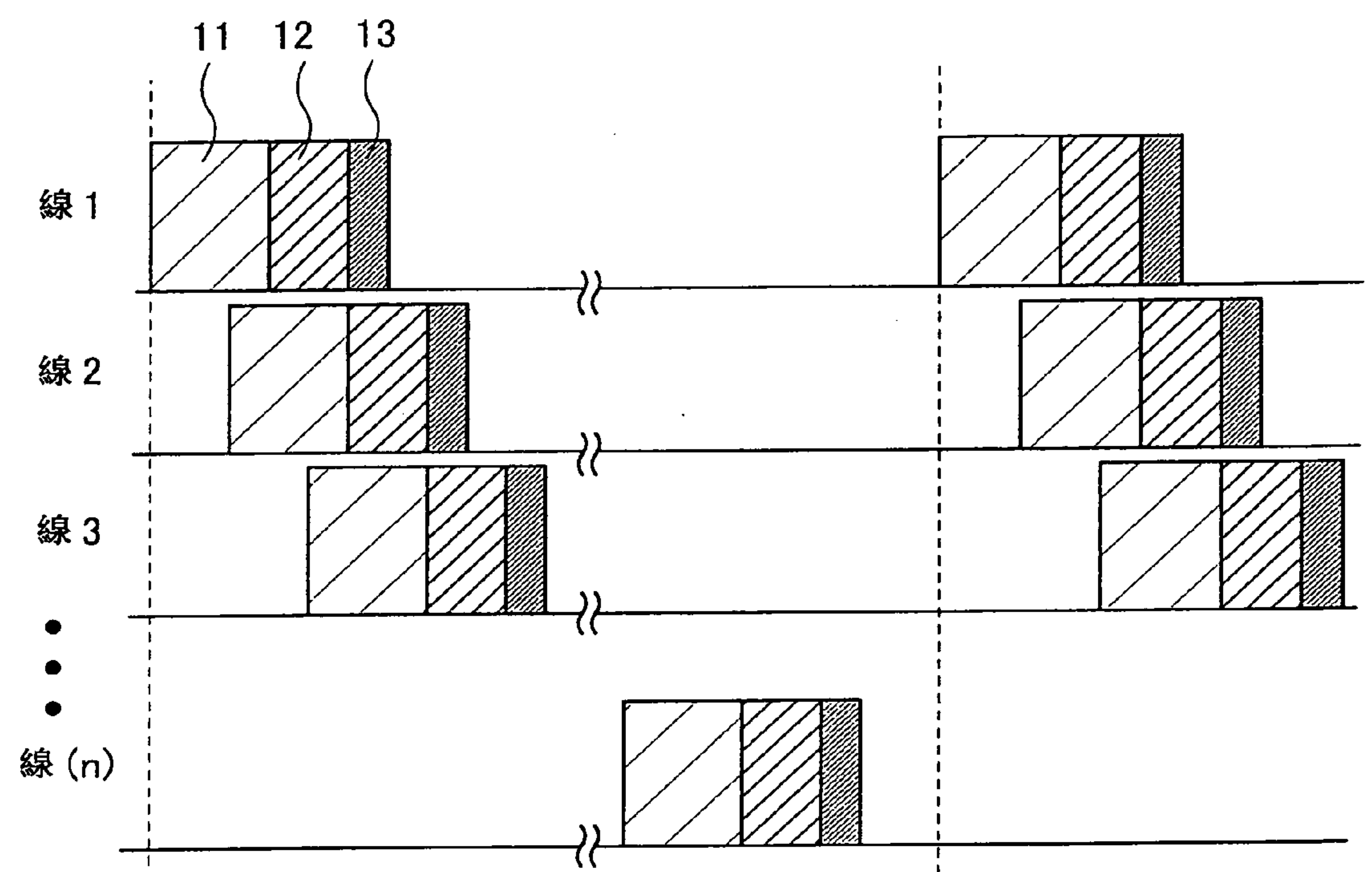


圖 10B

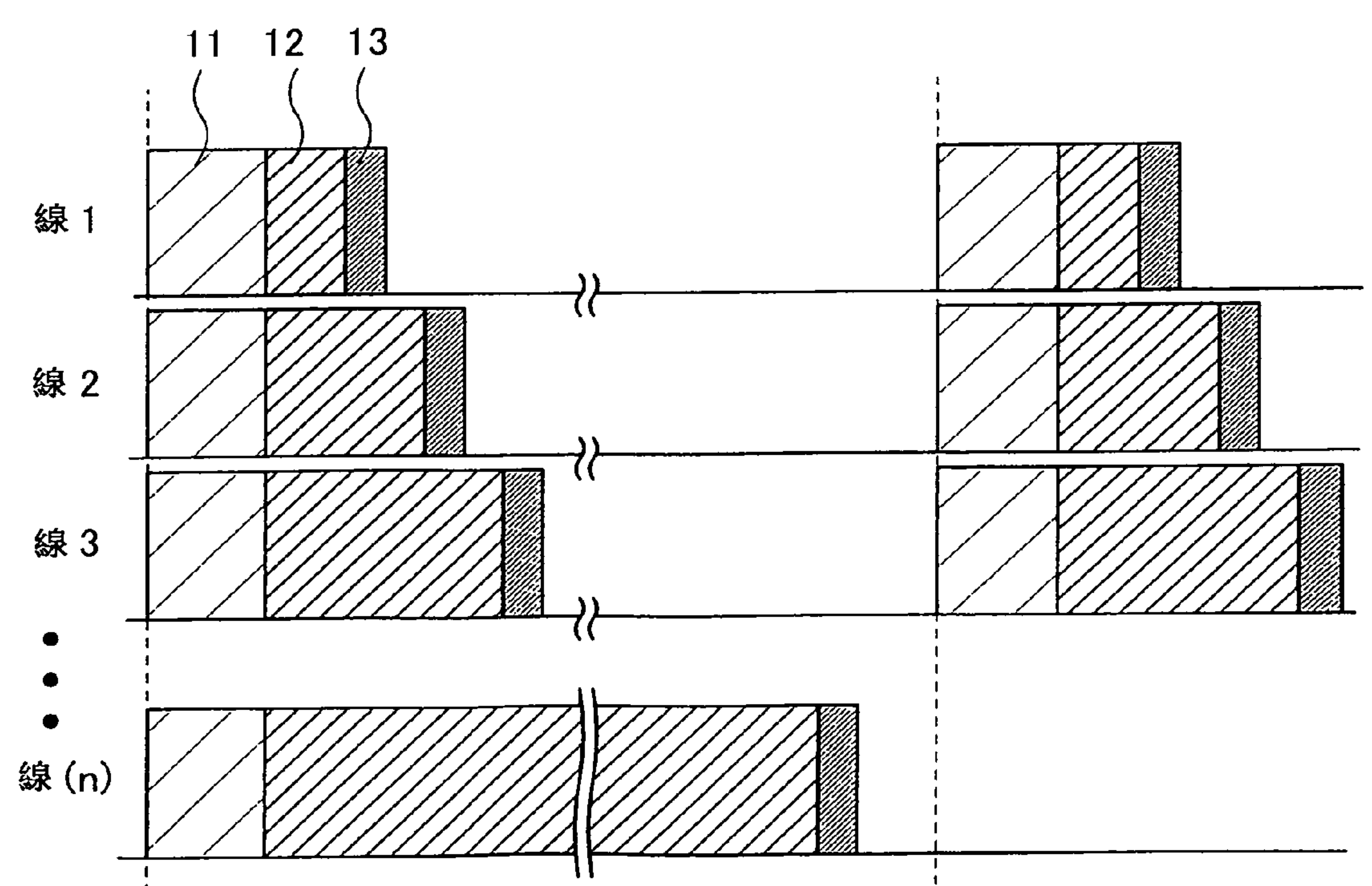


圖 11A

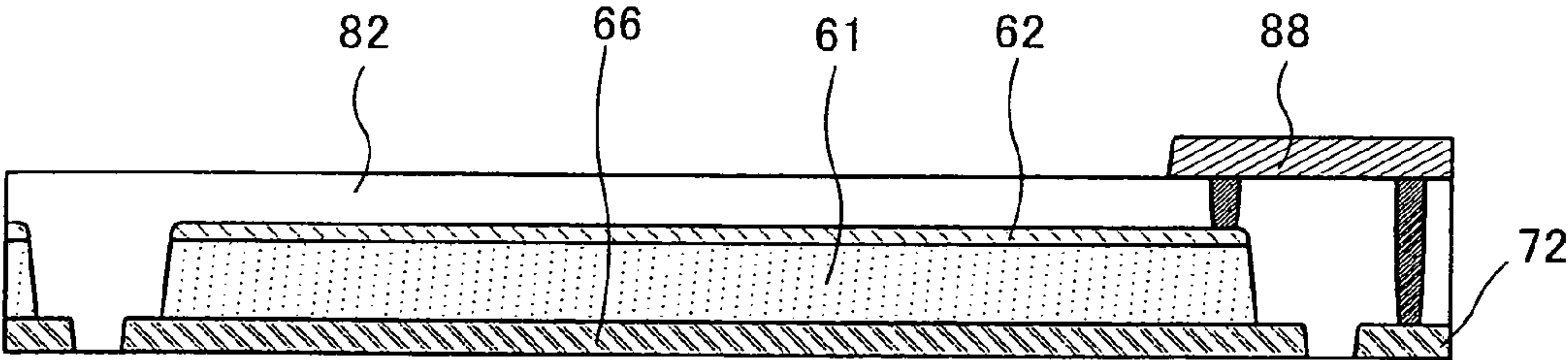


圖 11B

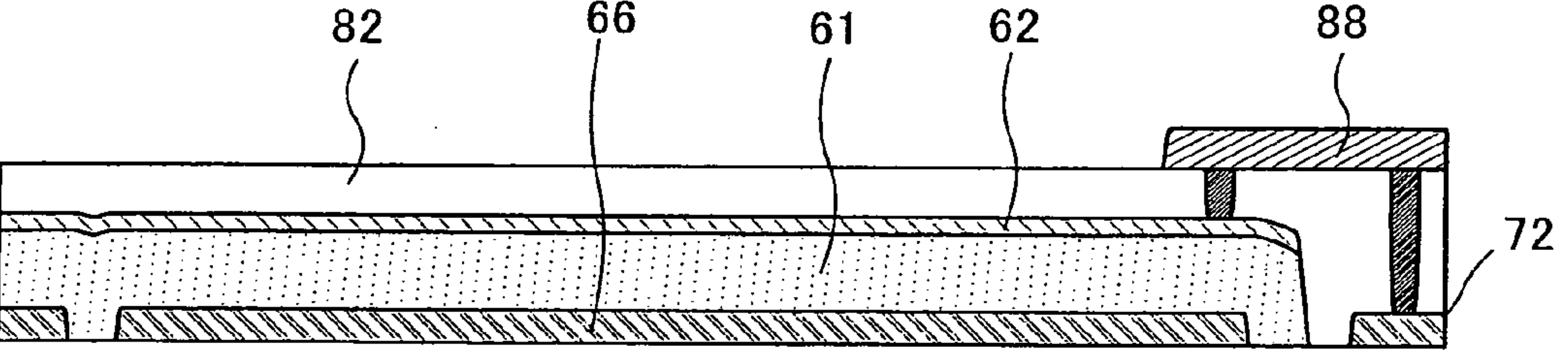


圖 11C

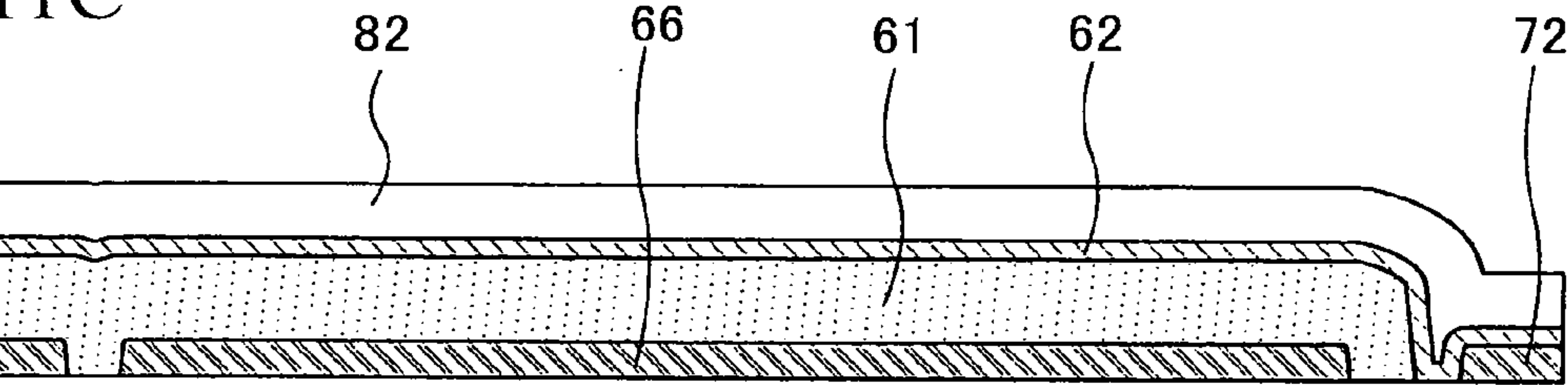


圖 11D

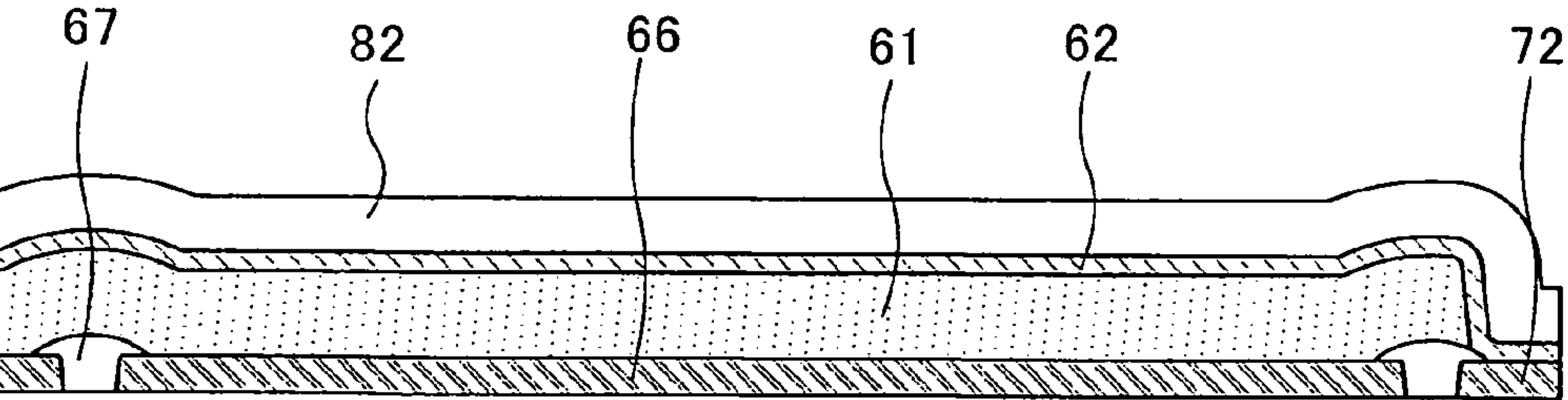


圖 12A

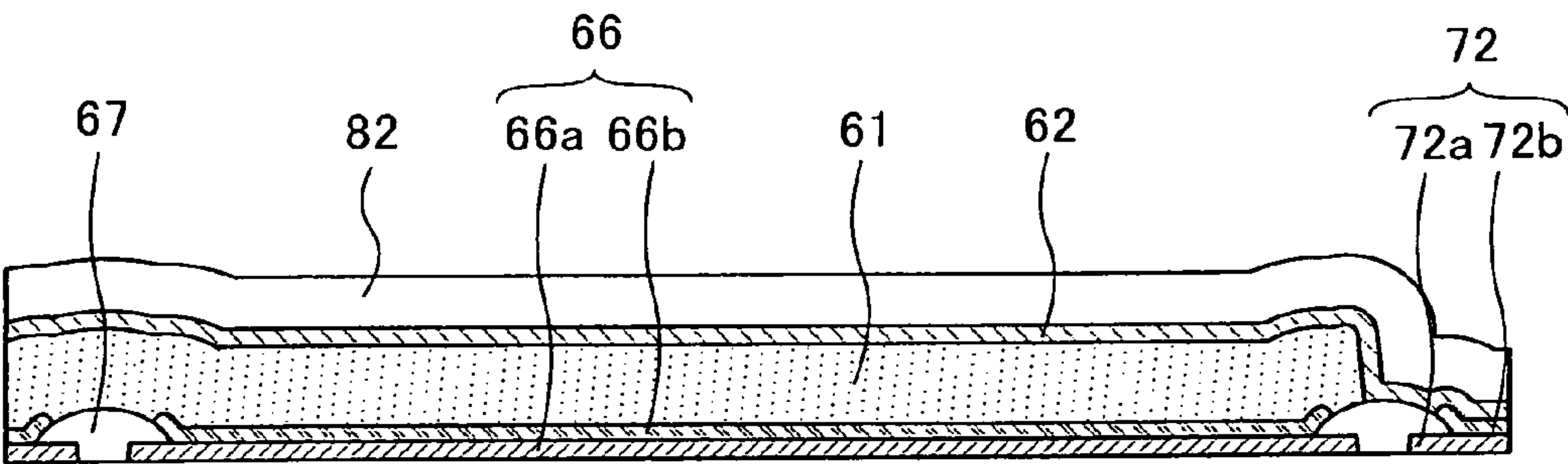


圖 12B

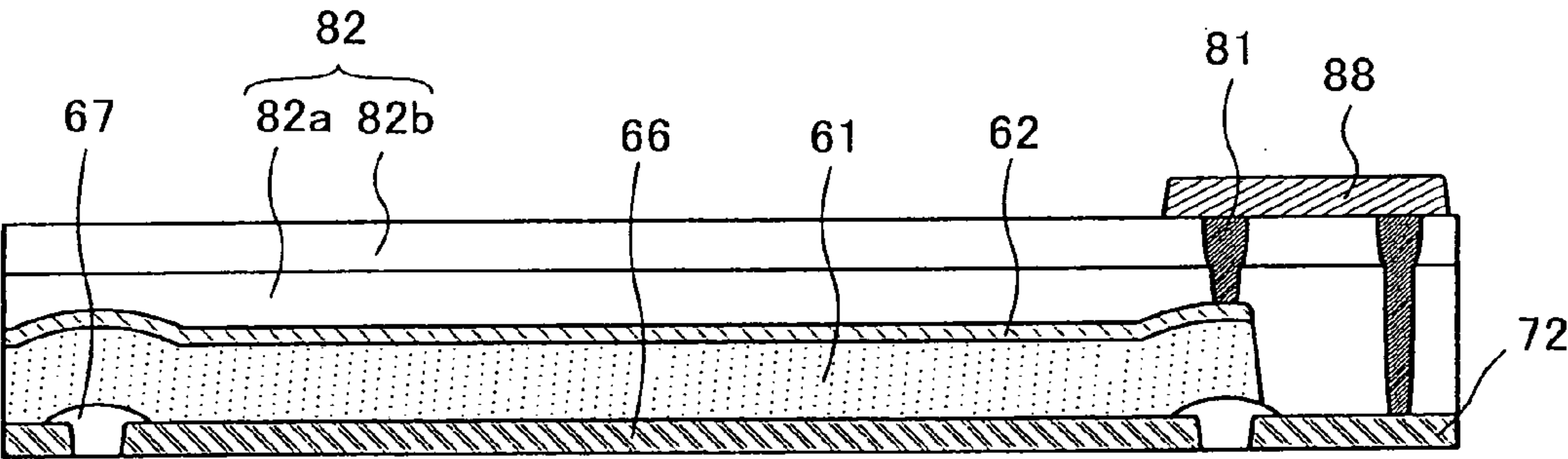


圖 13

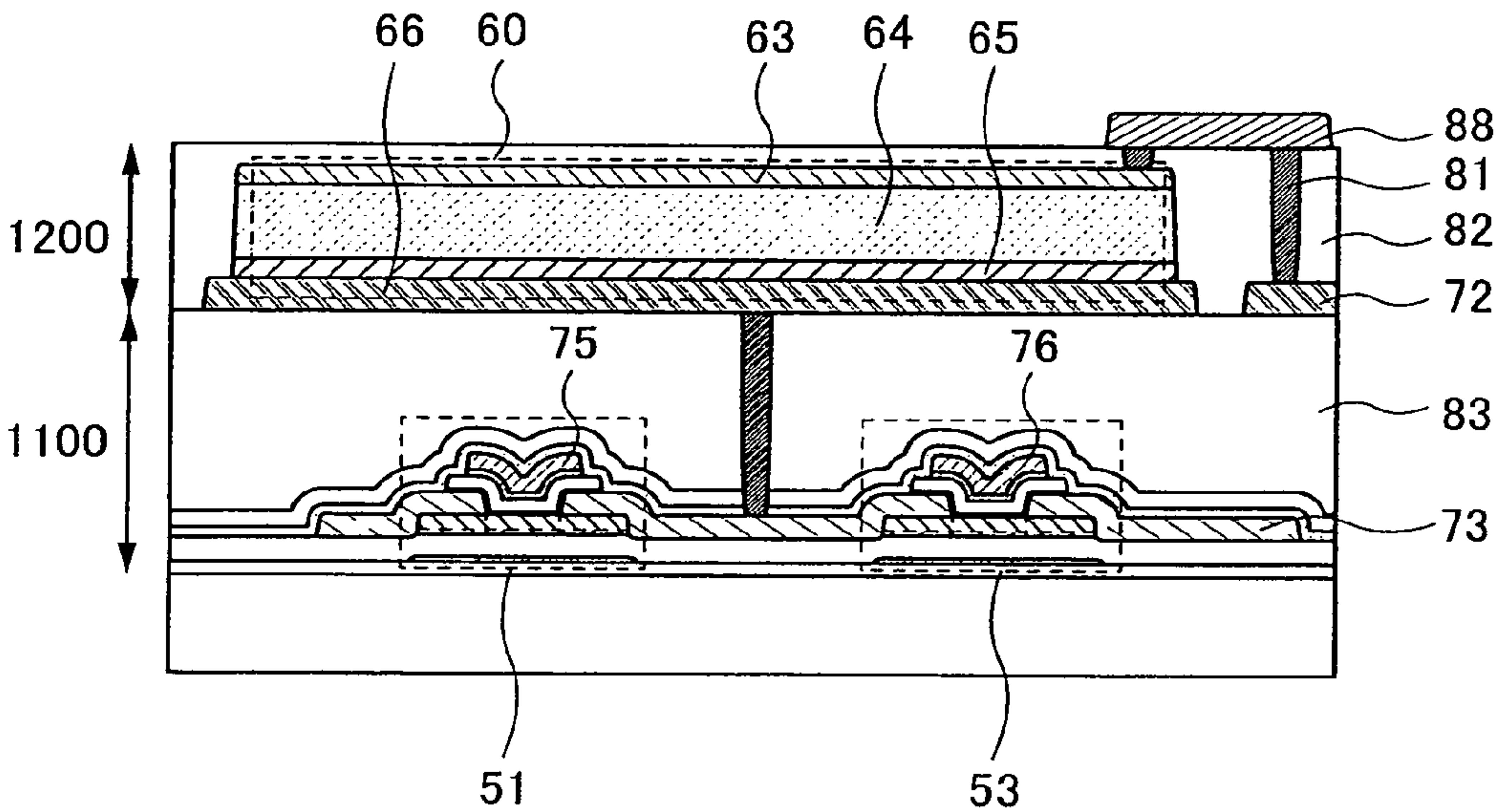


圖 14A

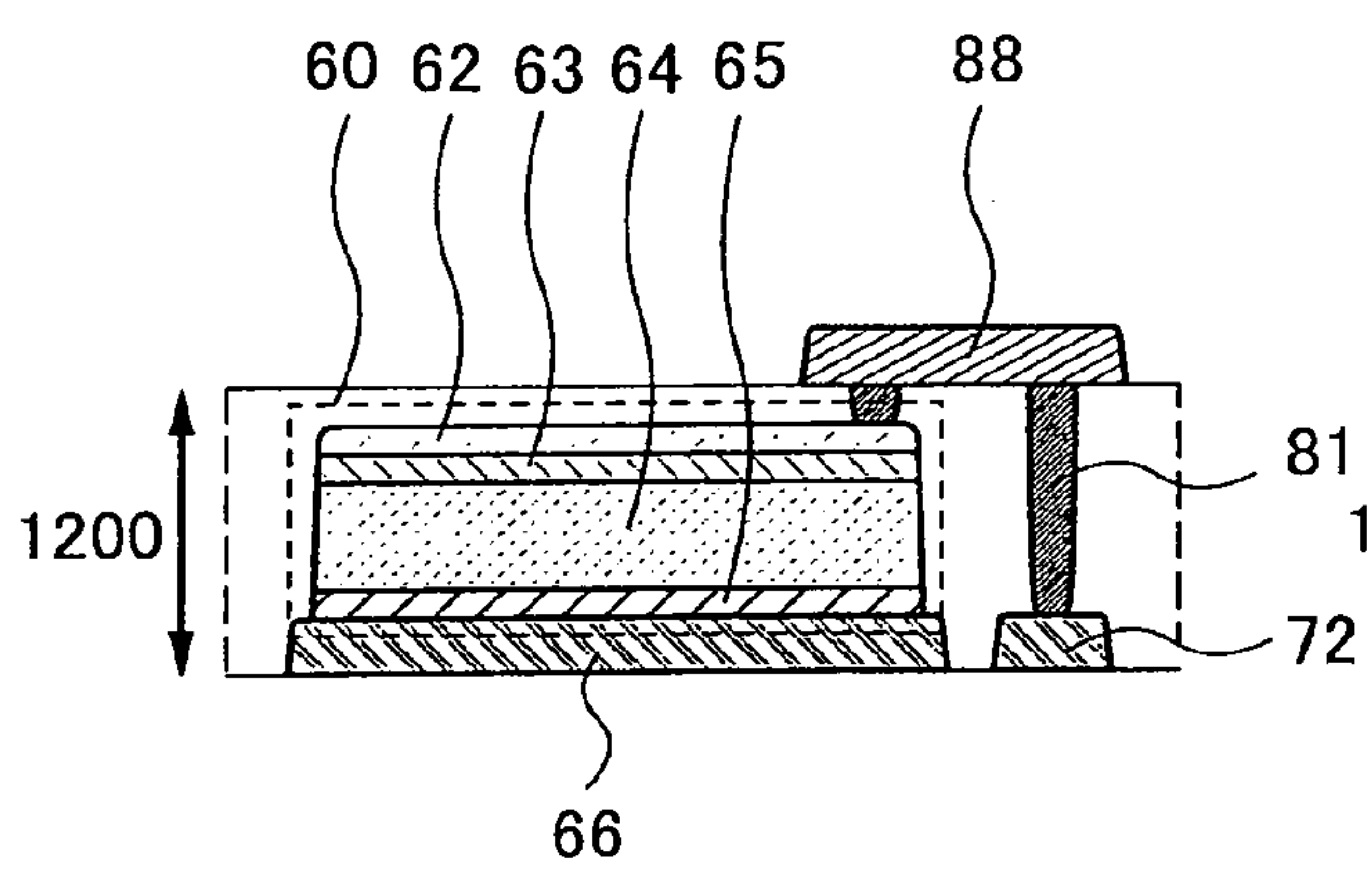


圖 14B

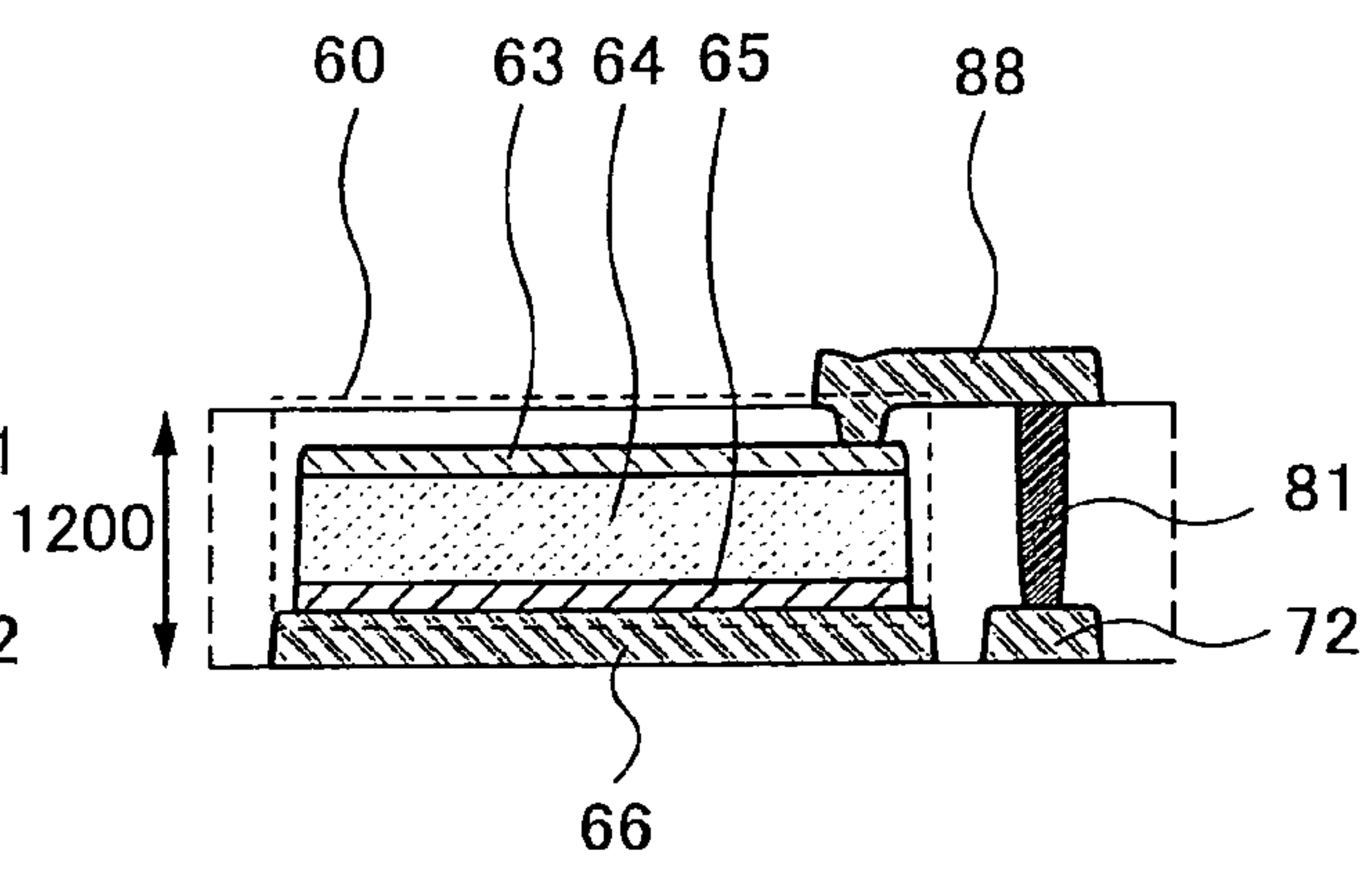


圖 14C

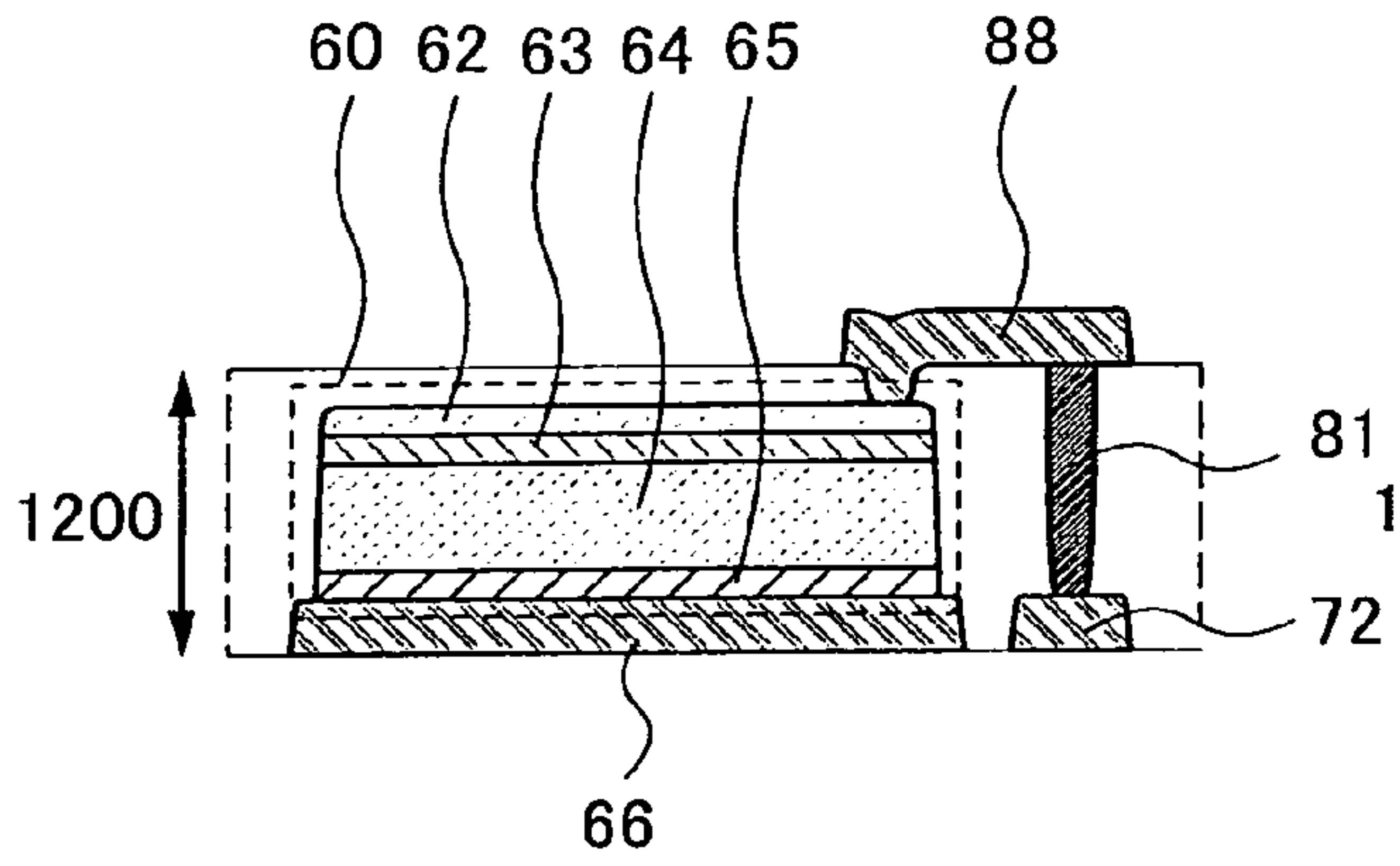


圖 14D

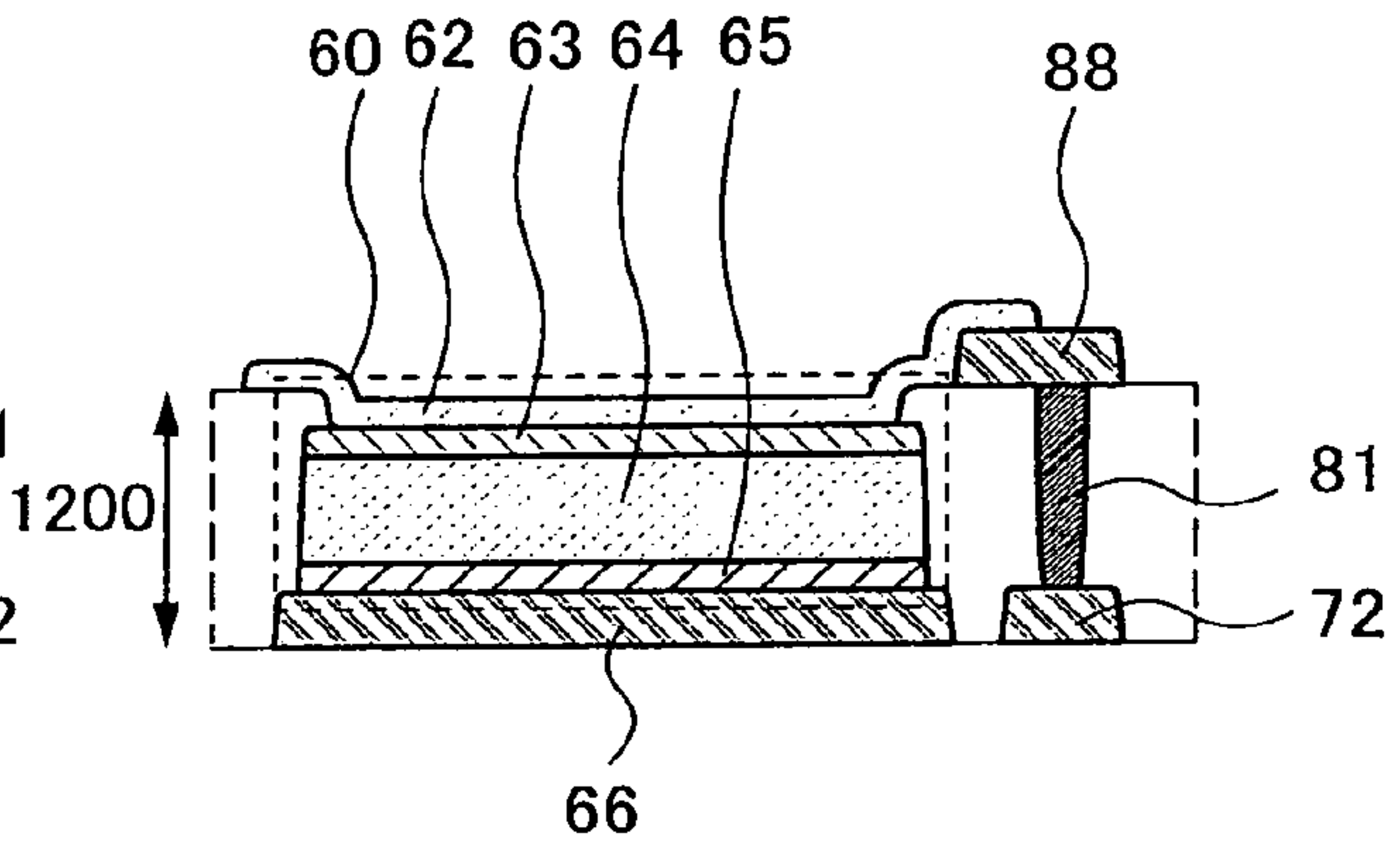


圖 14E

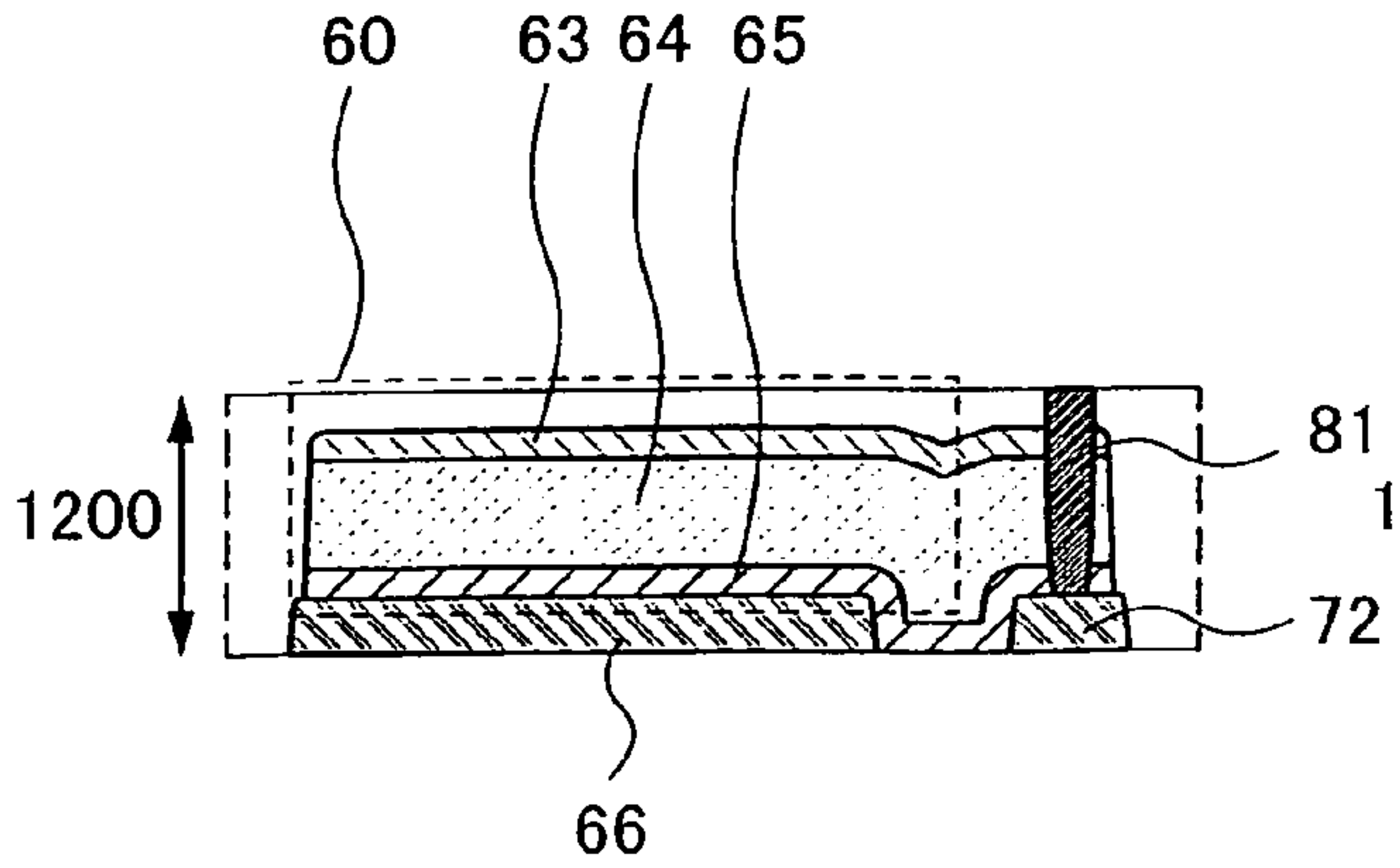


圖 14F

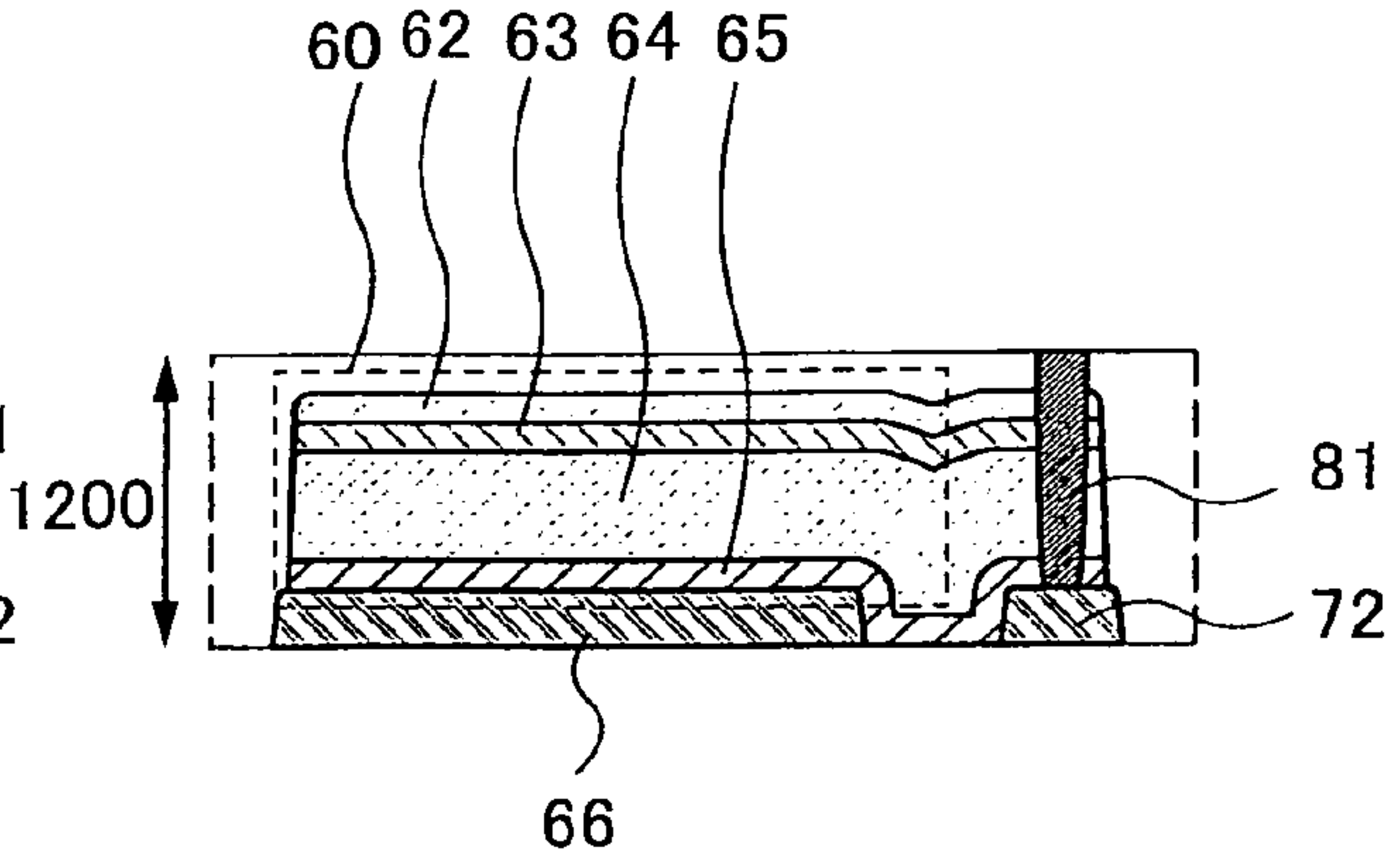


圖 15

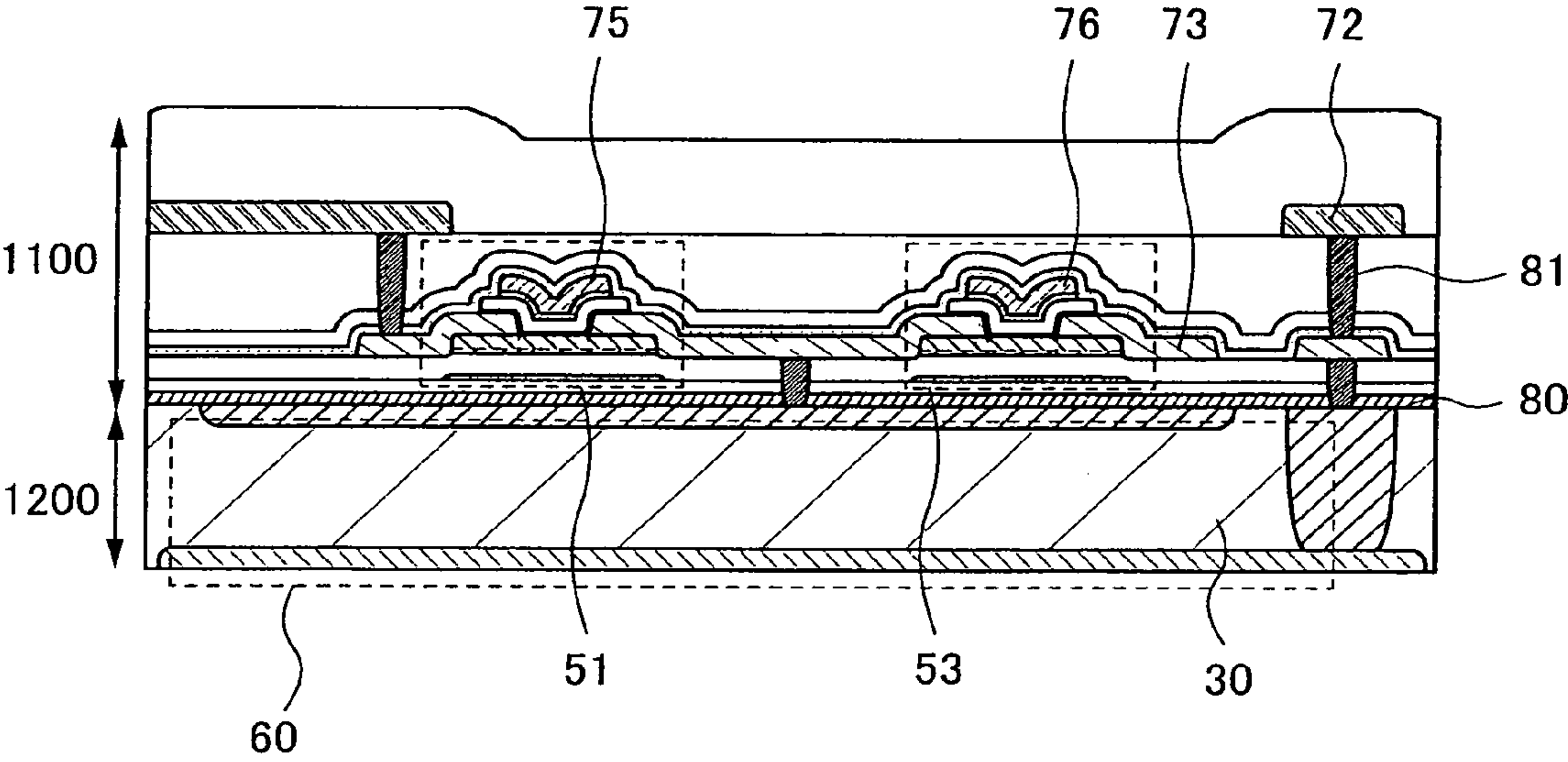


圖 16A

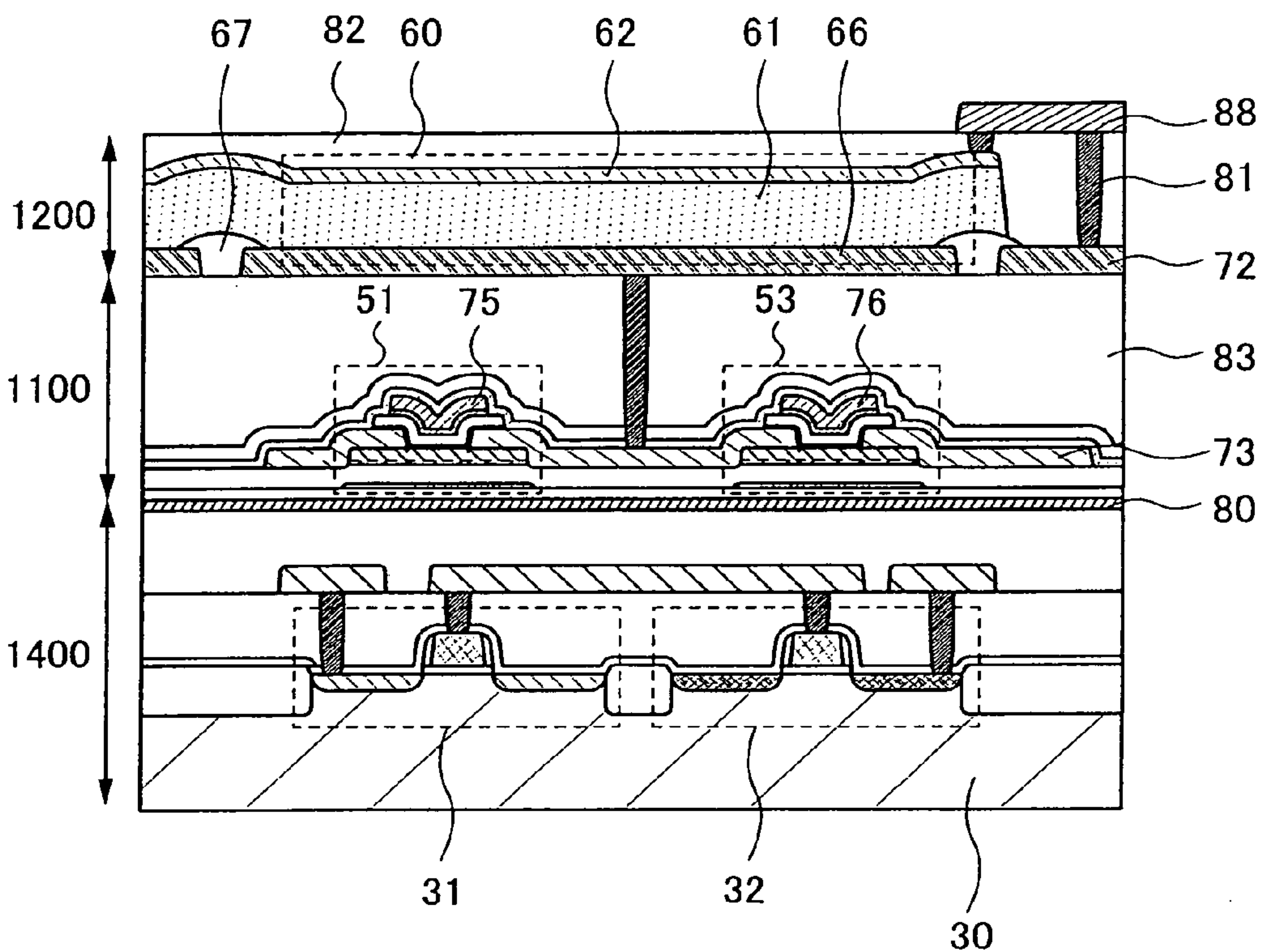


圖 16B

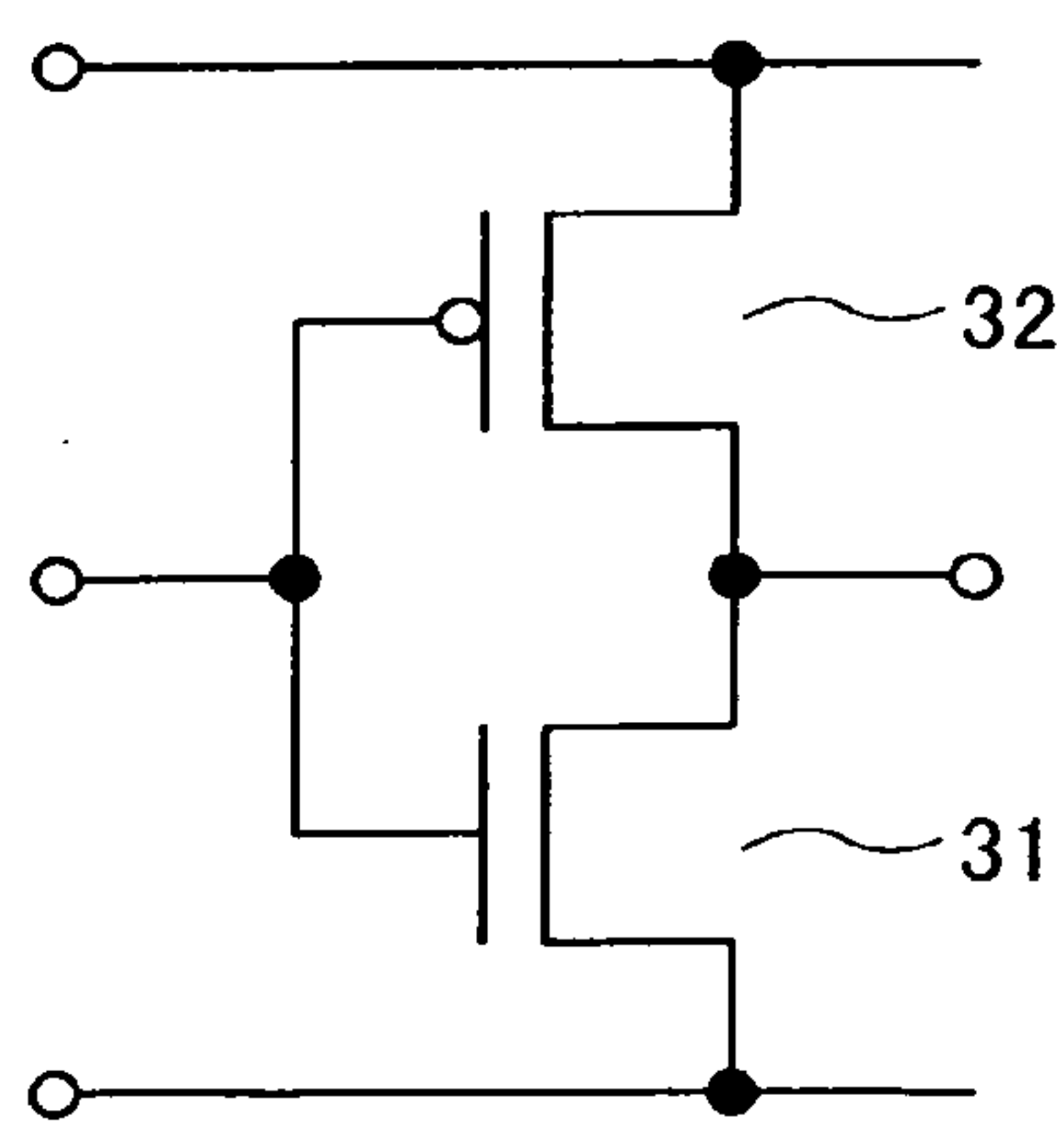


圖 16C

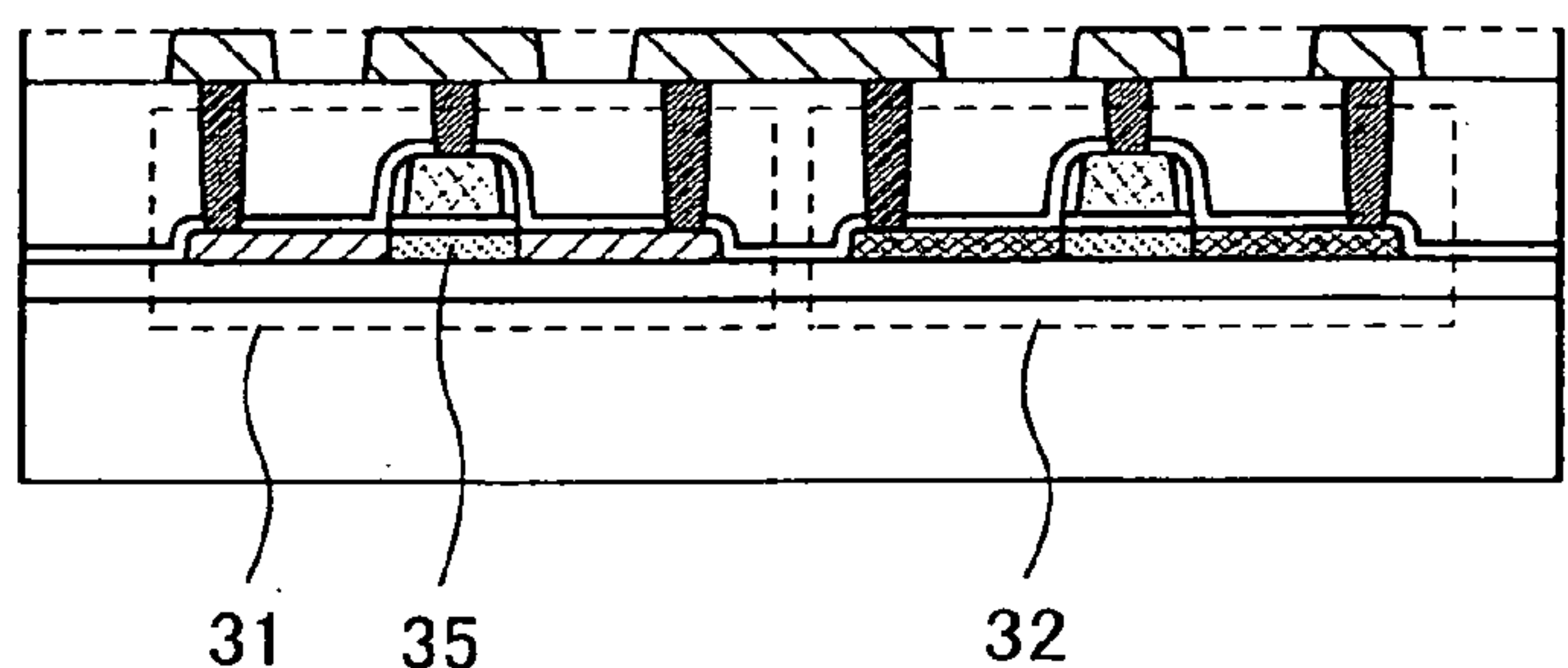


圖 17

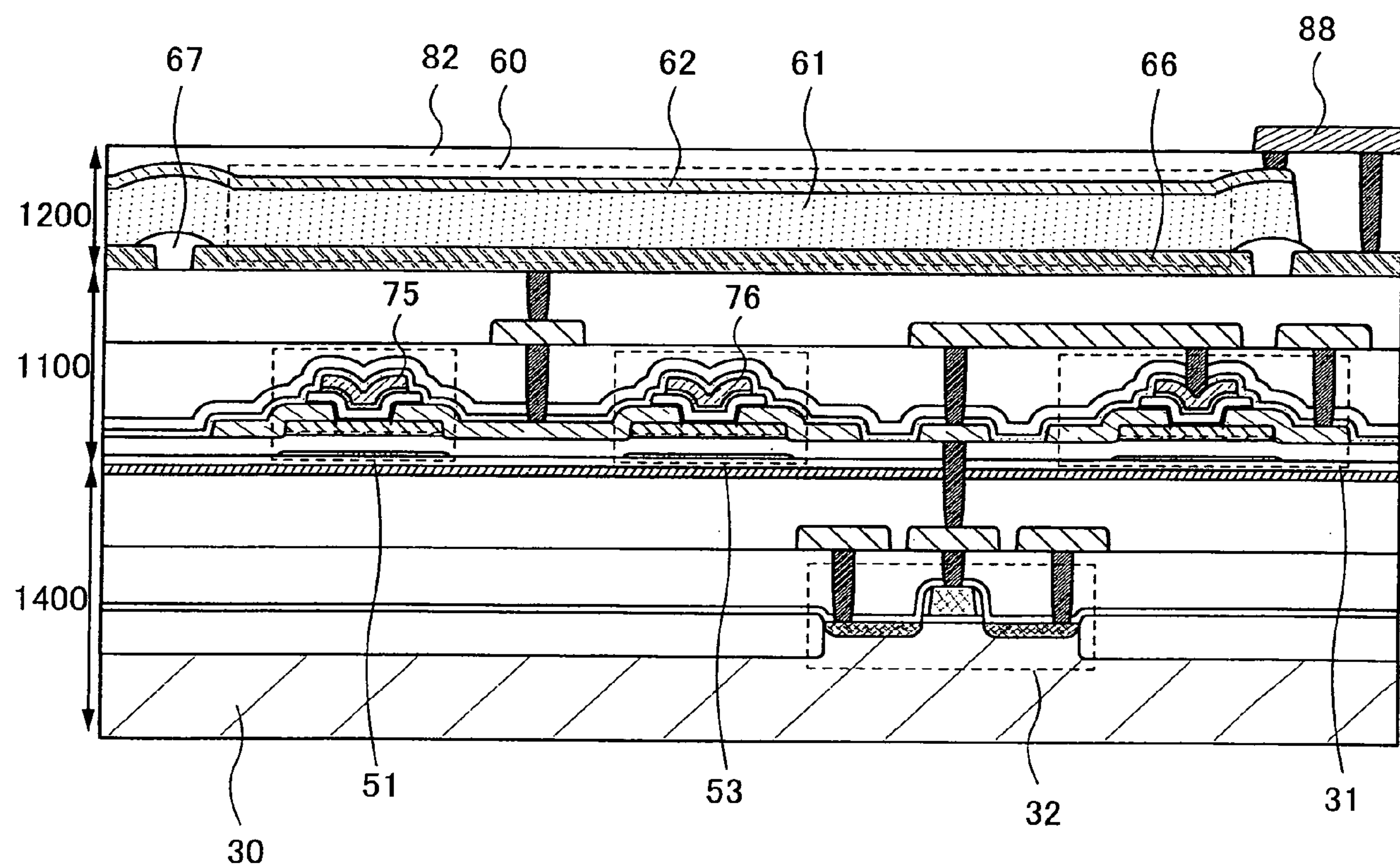


圖 18A

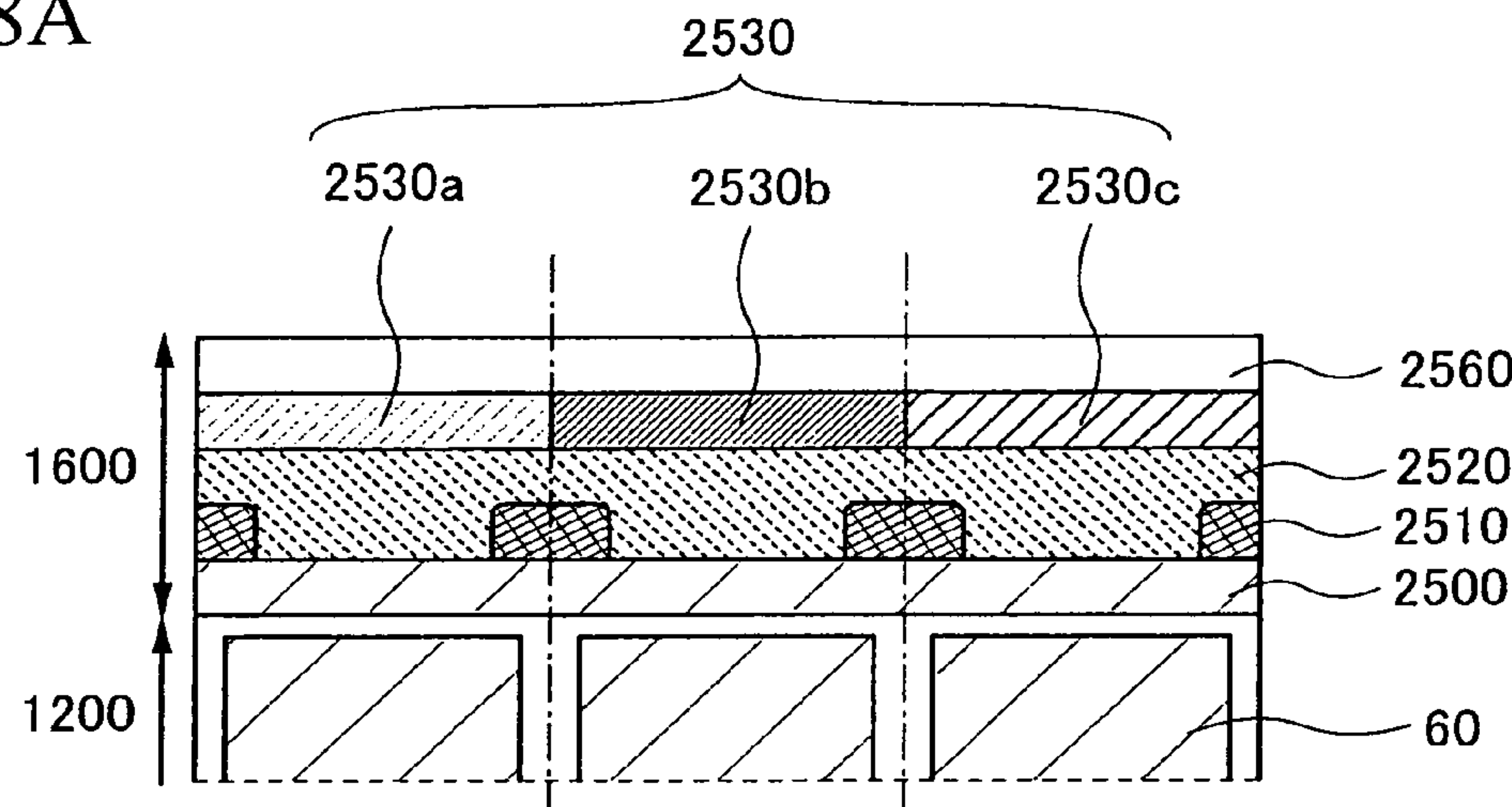


圖 18B

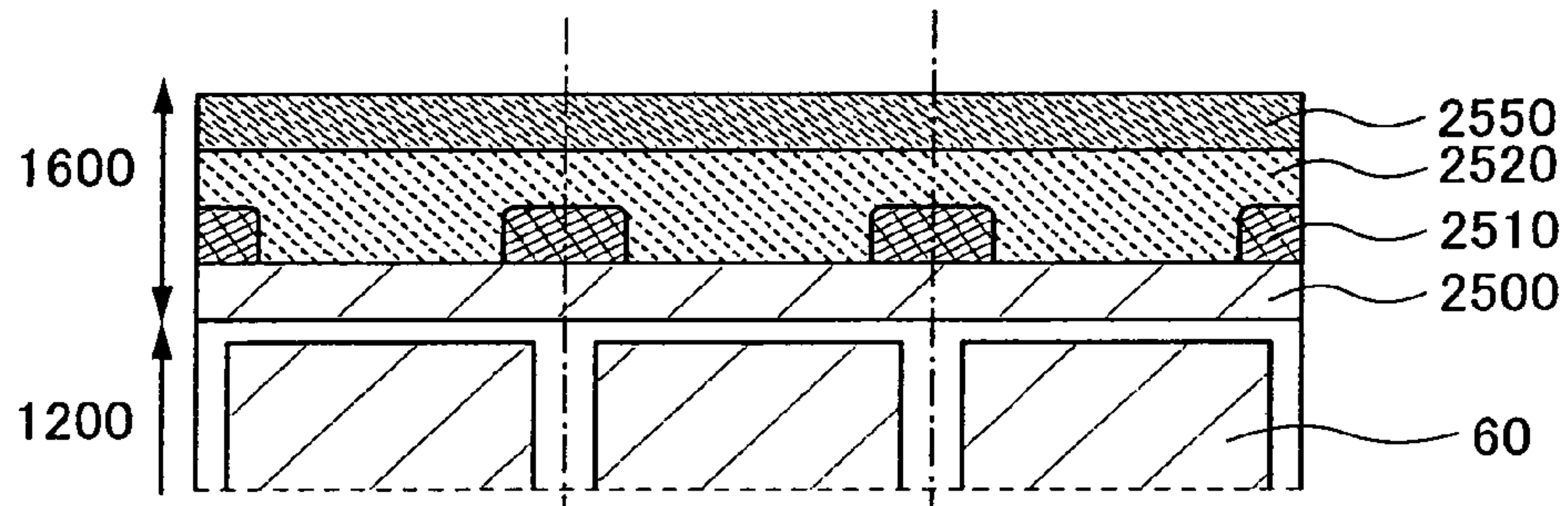


圖 18C

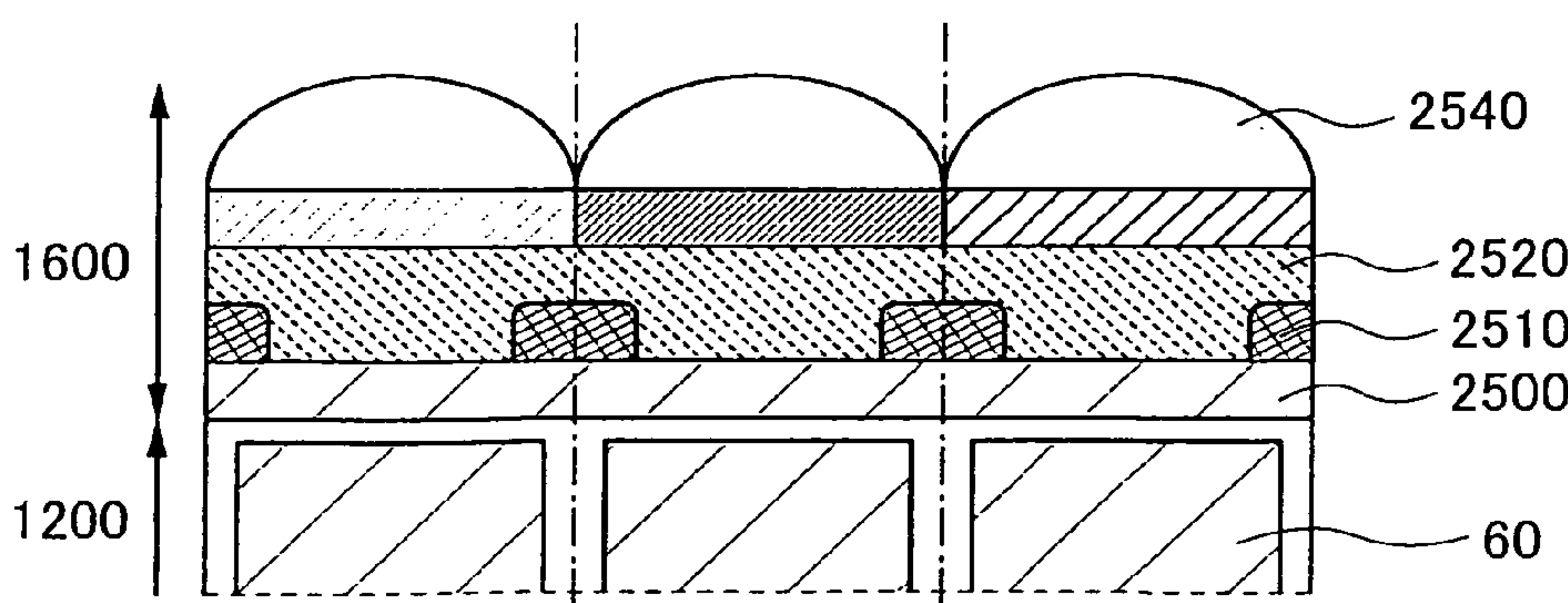


圖 19

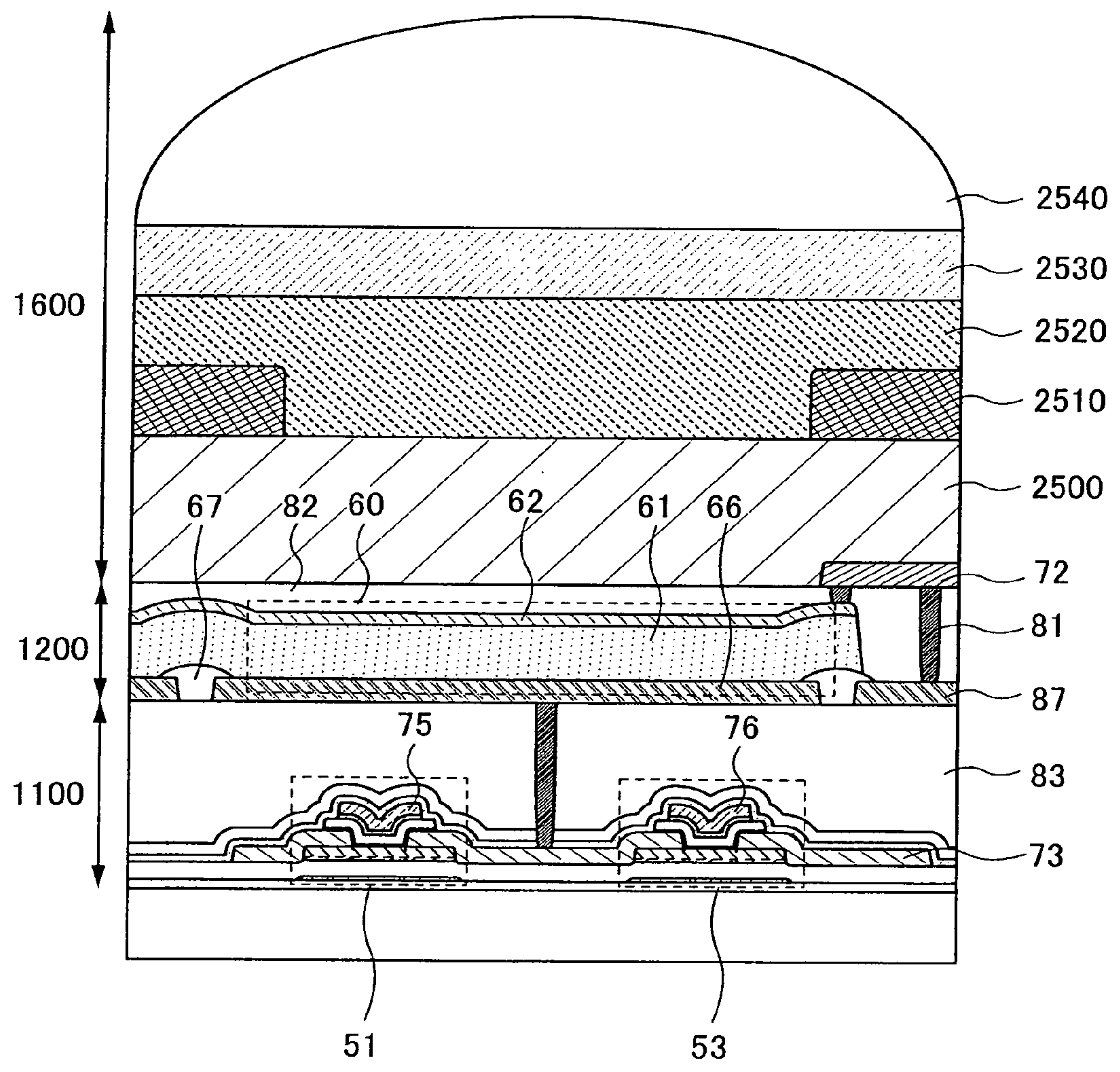


圖 20

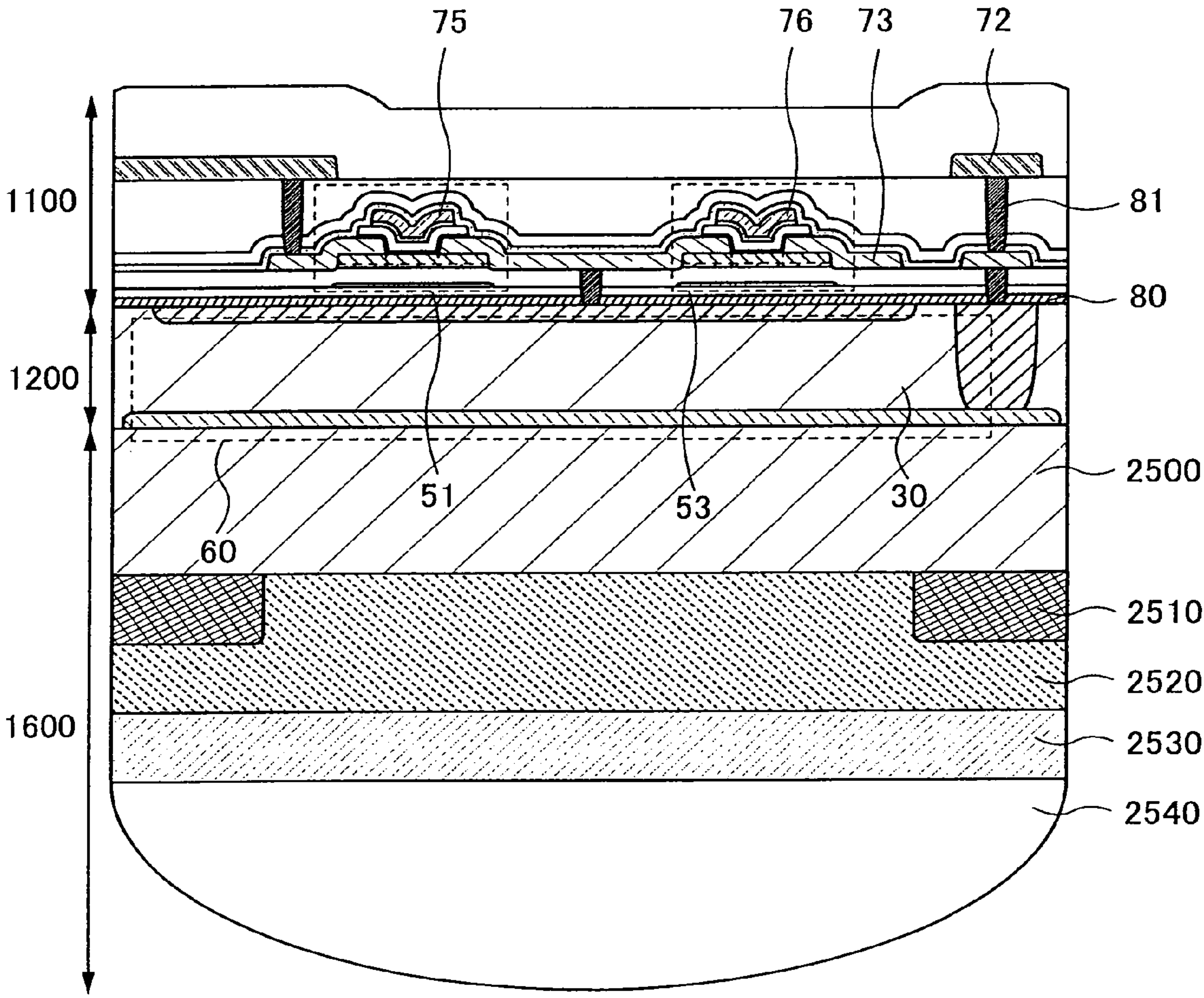


圖 21

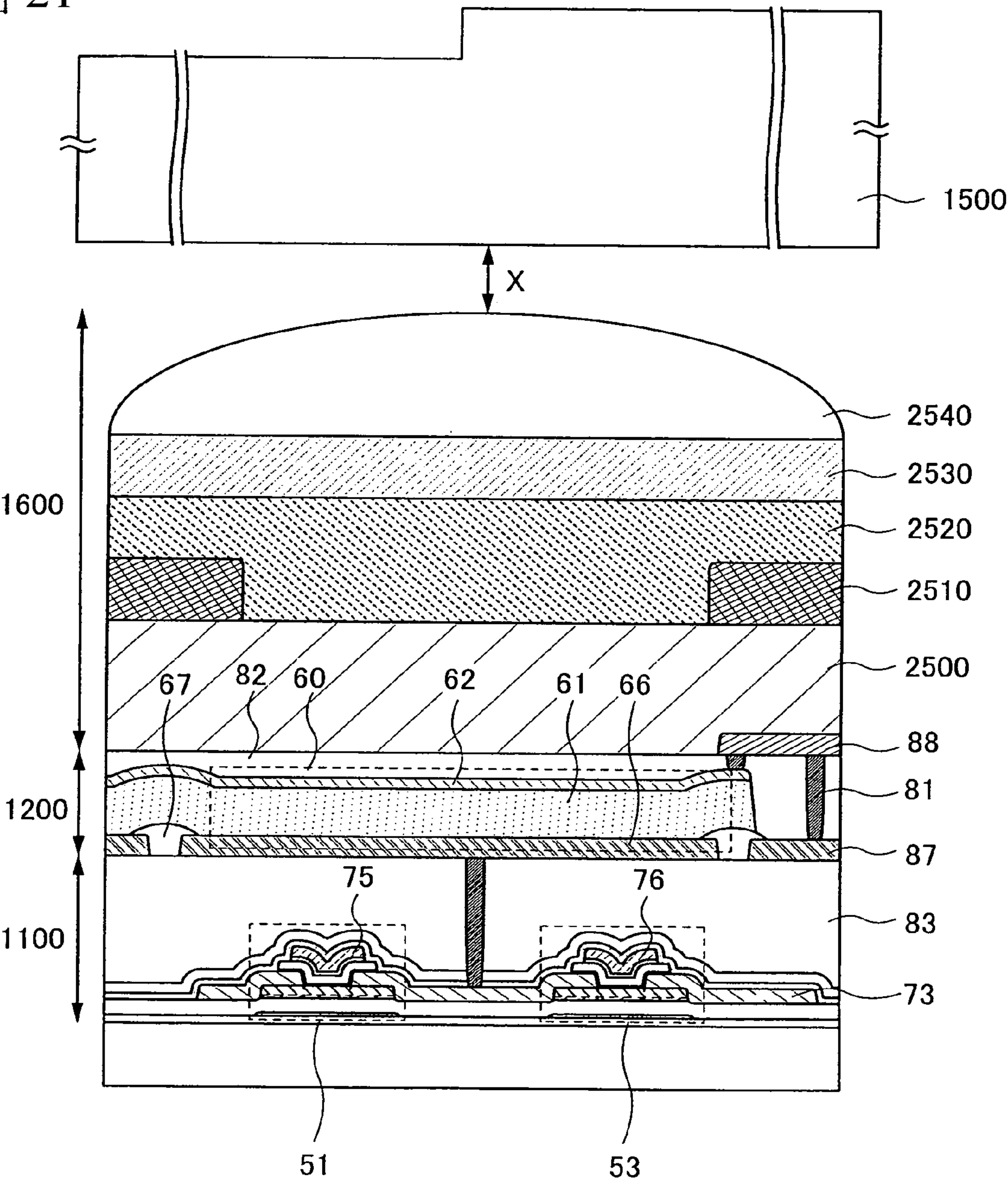


圖 22

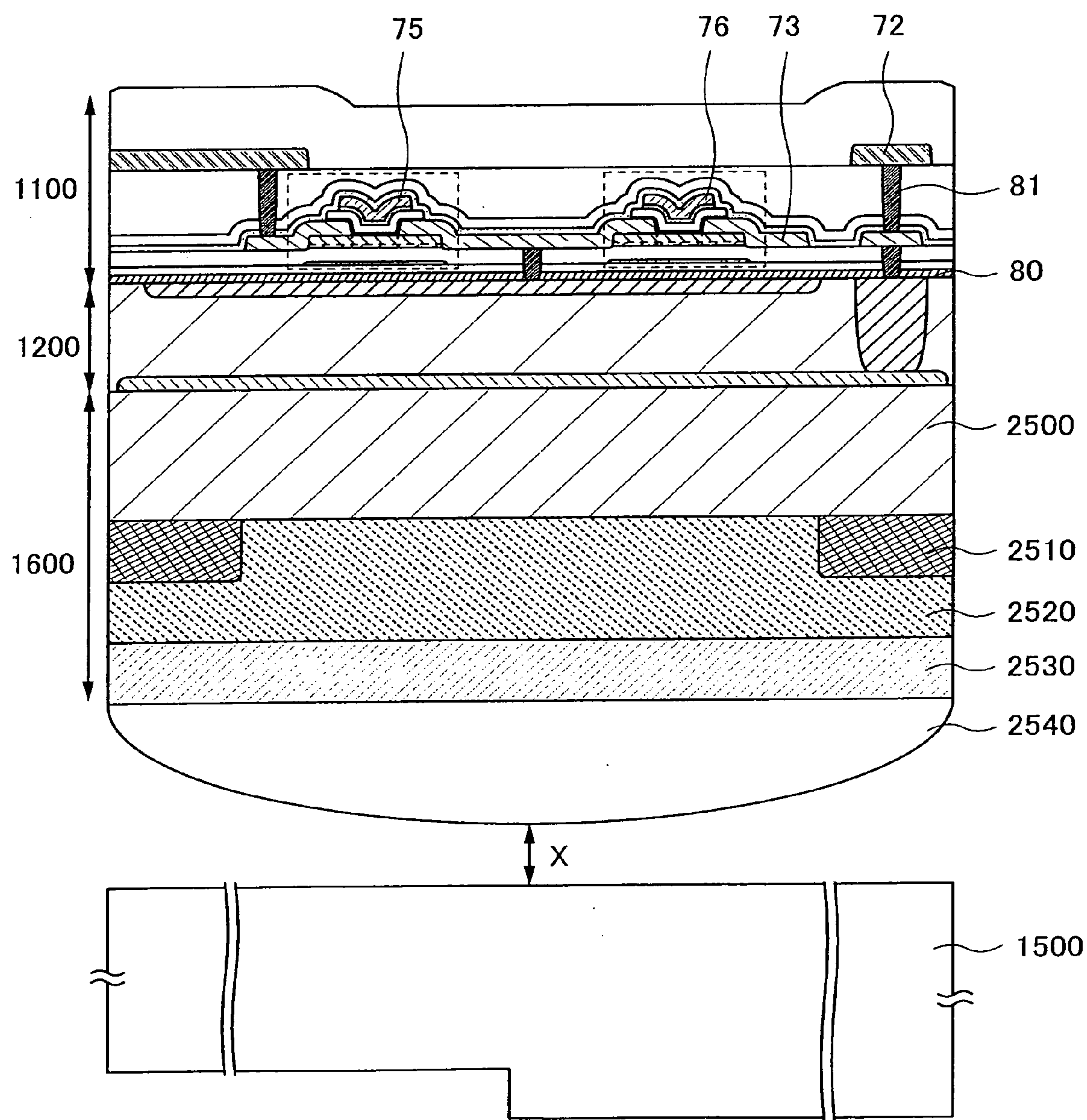


圖 23A1

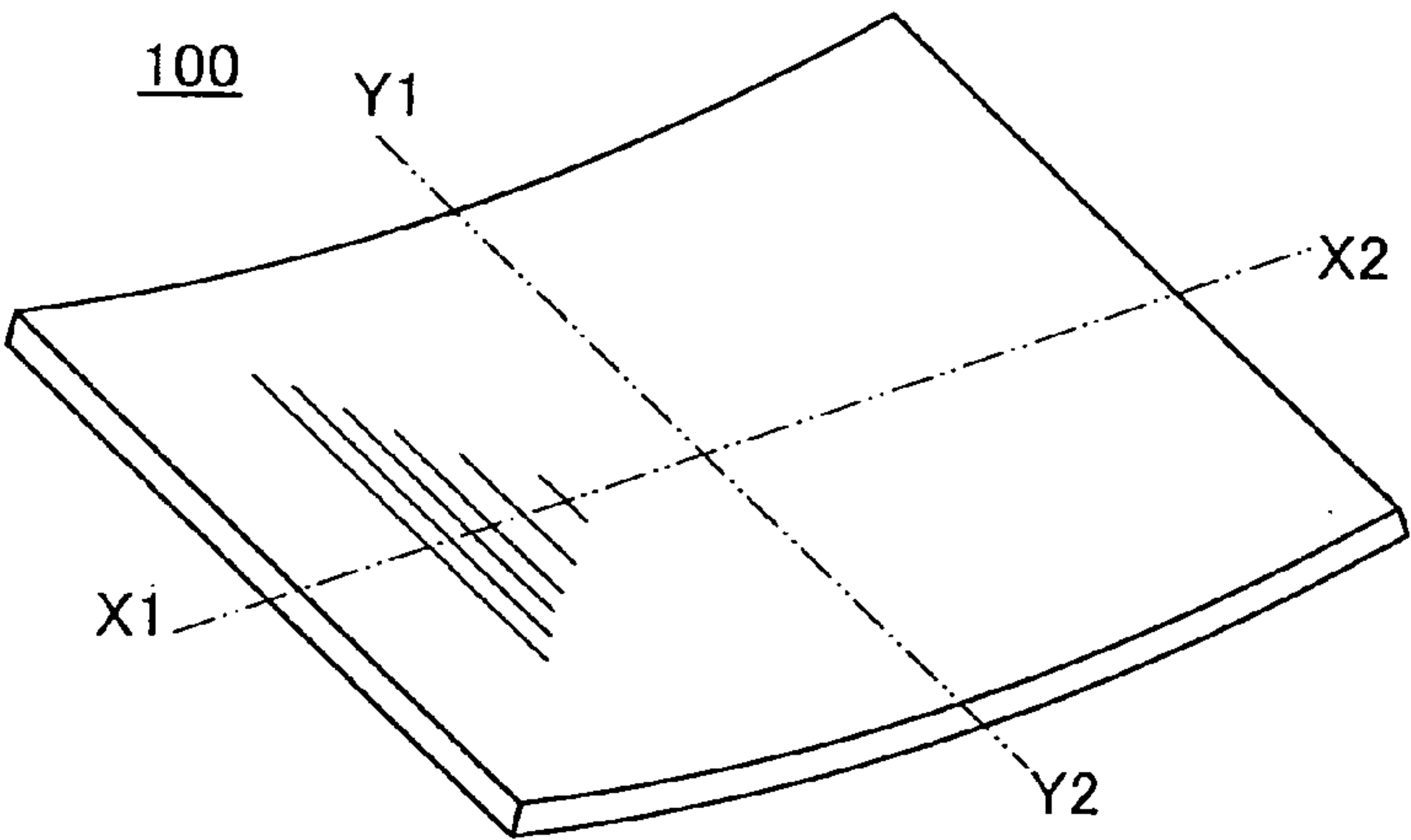


圖 23A2



圖 23A3

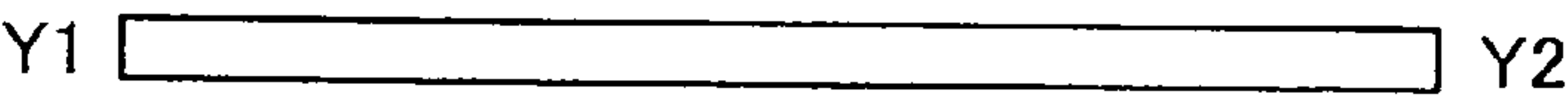


圖 23B1

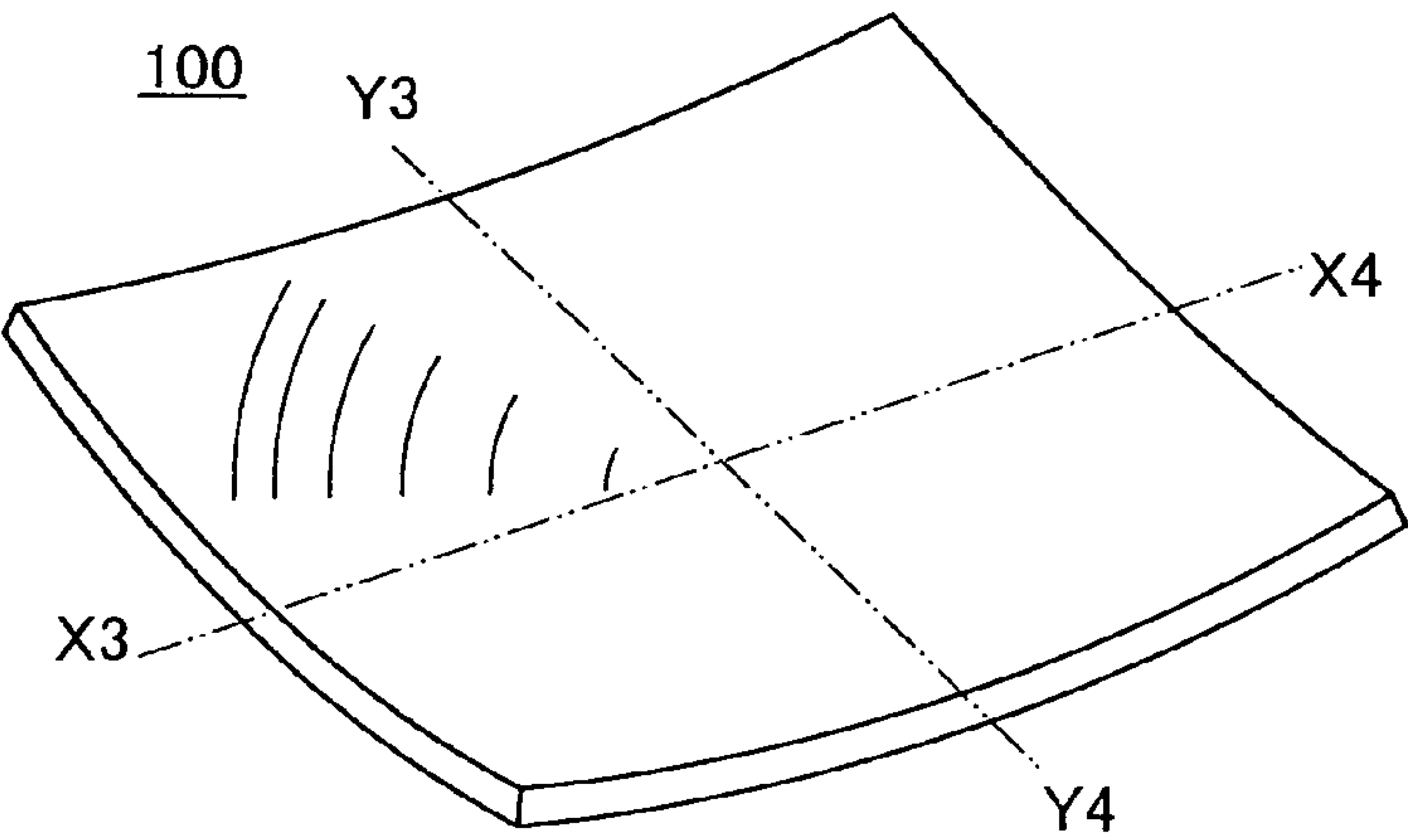


圖 23B2



圖 23B3



圖 24A

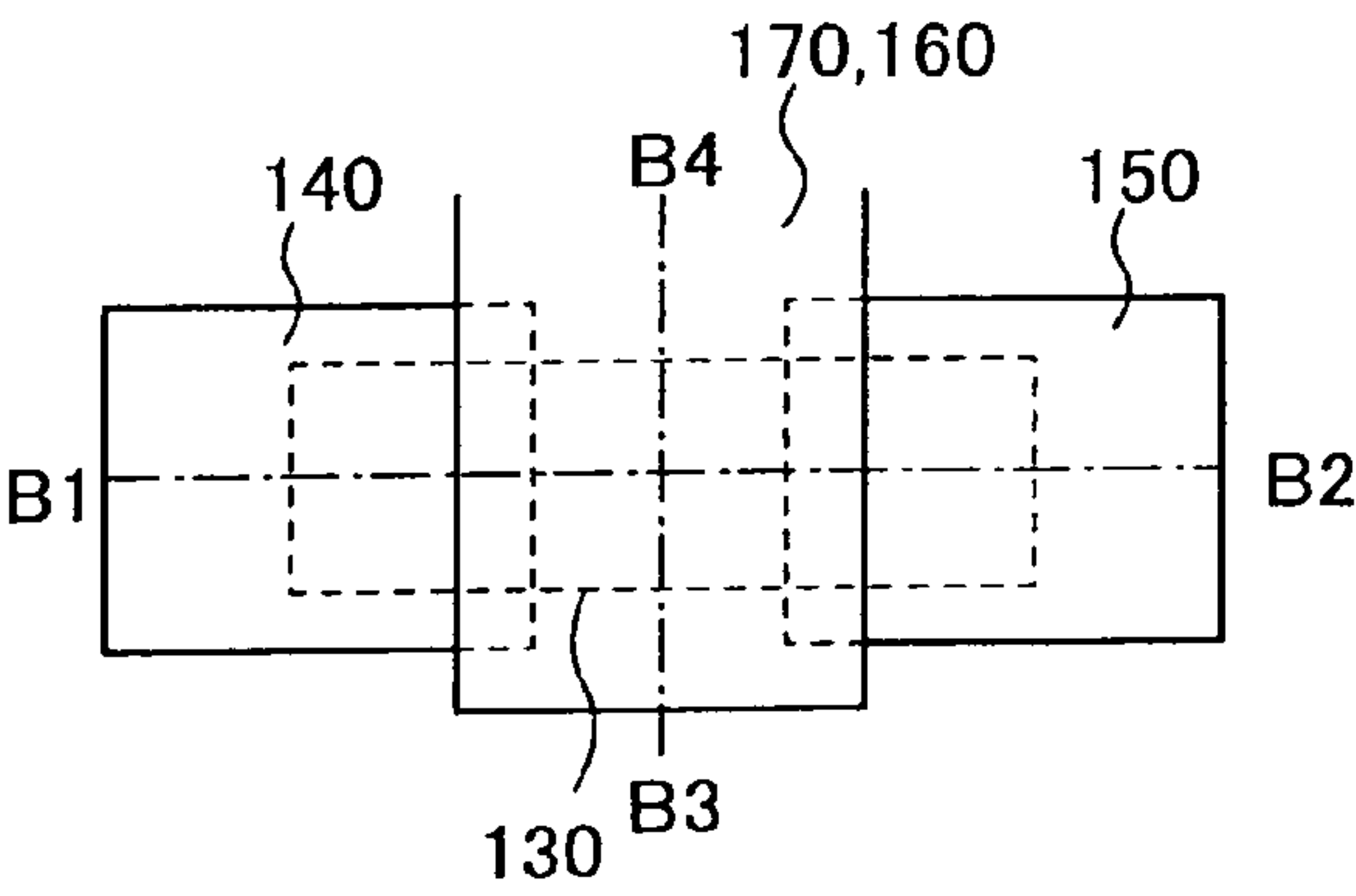


圖 24B

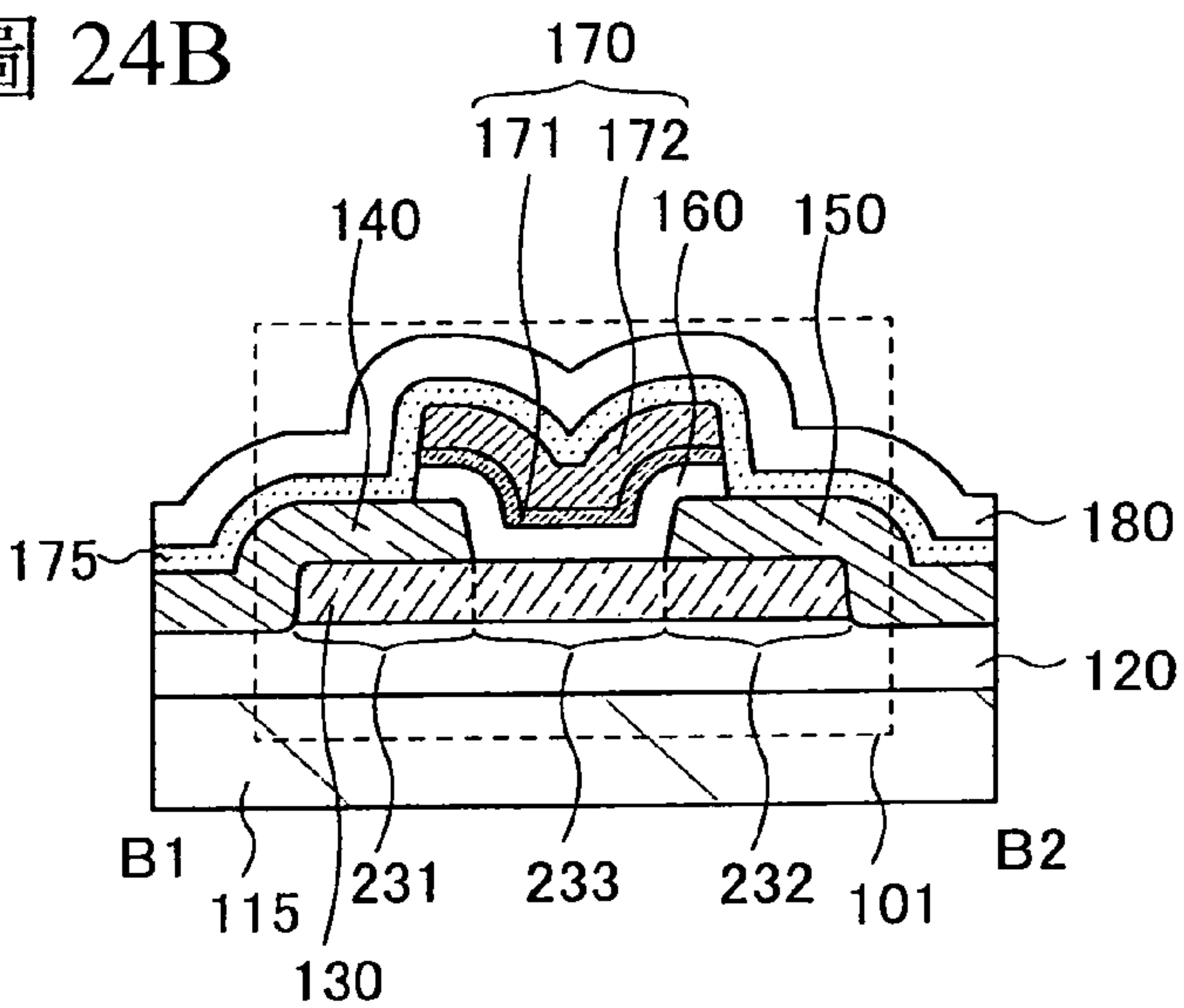


圖 24C

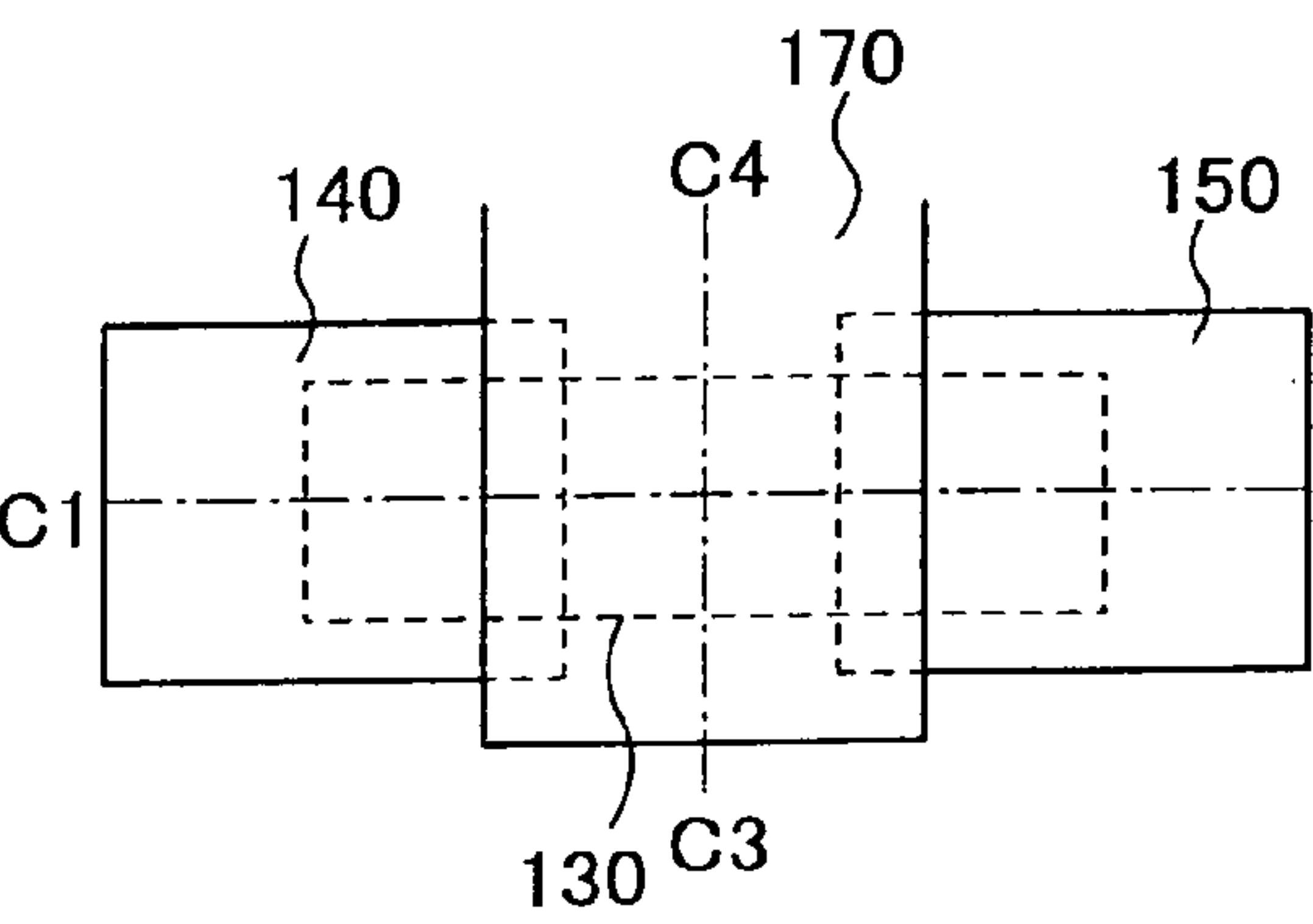


圖 24D

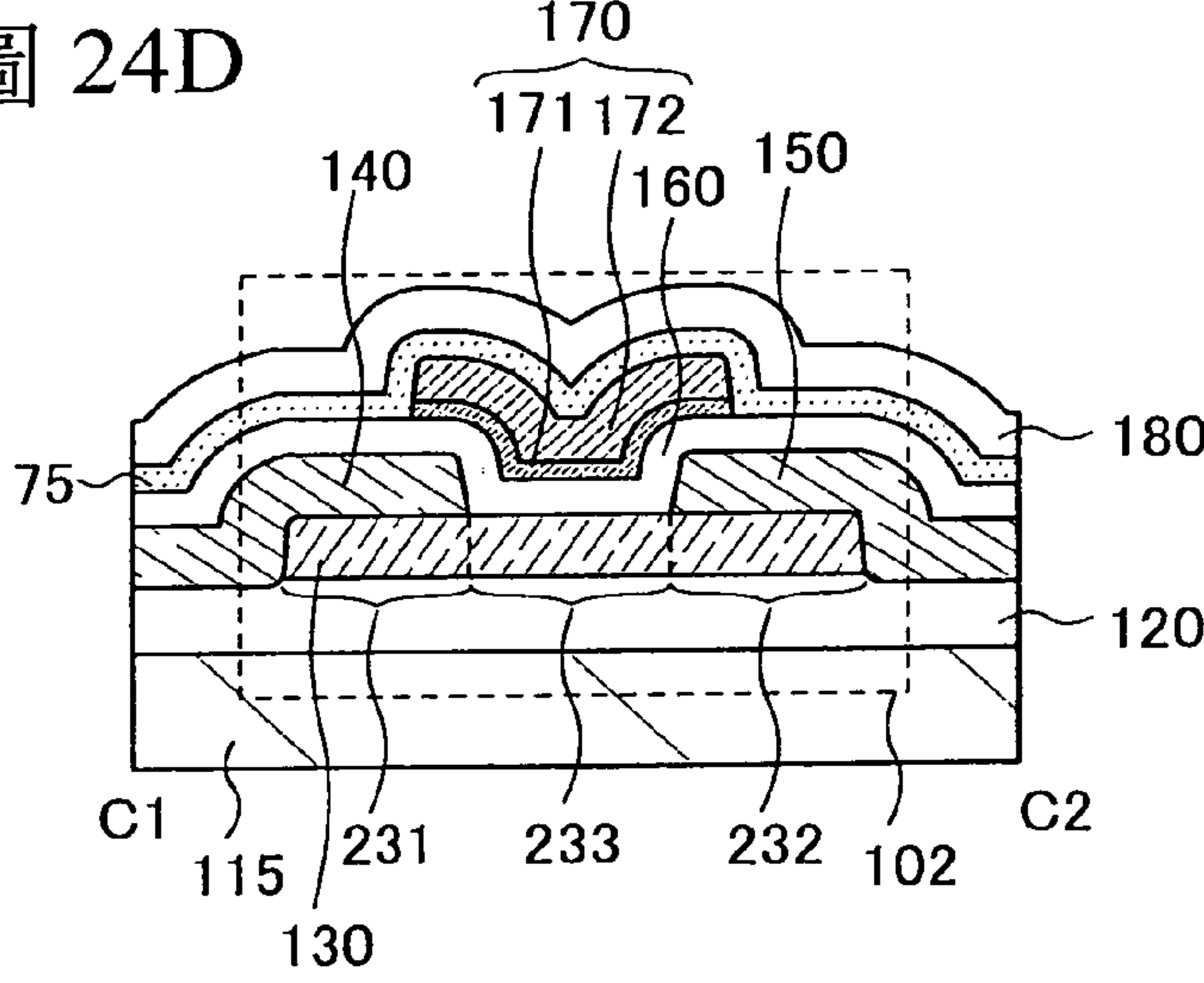


圖 24E

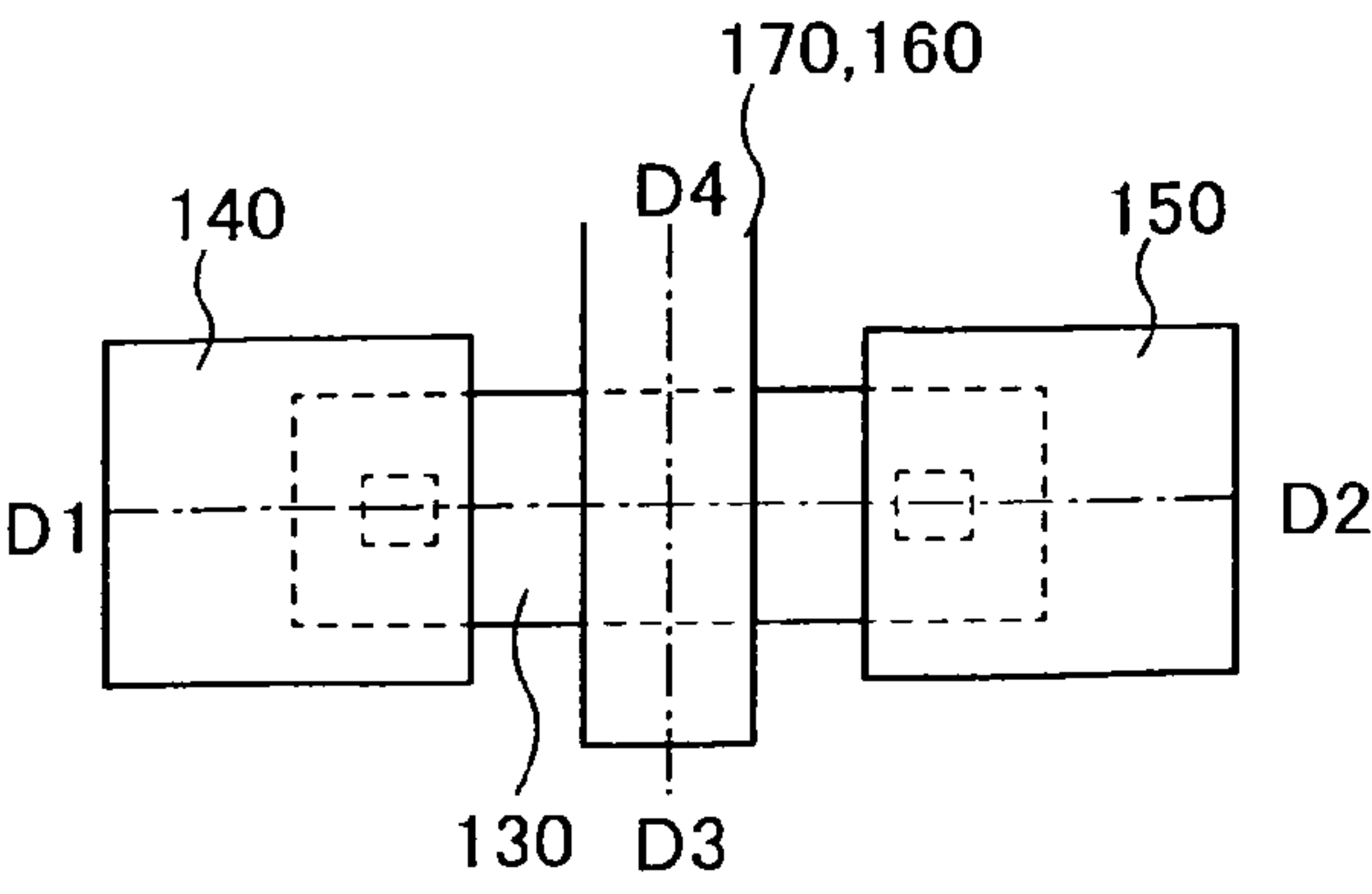


圖 24F

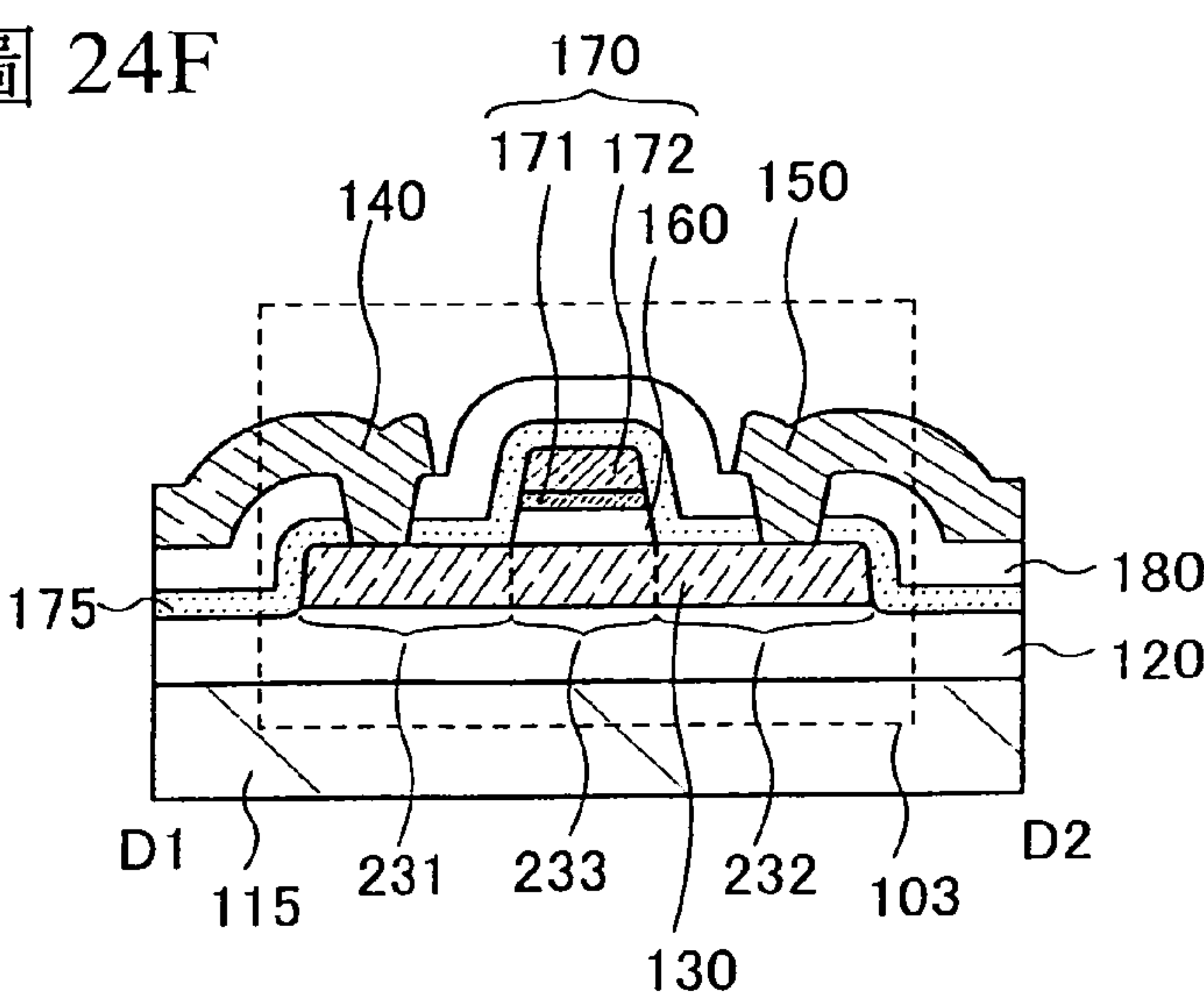


圖 25A

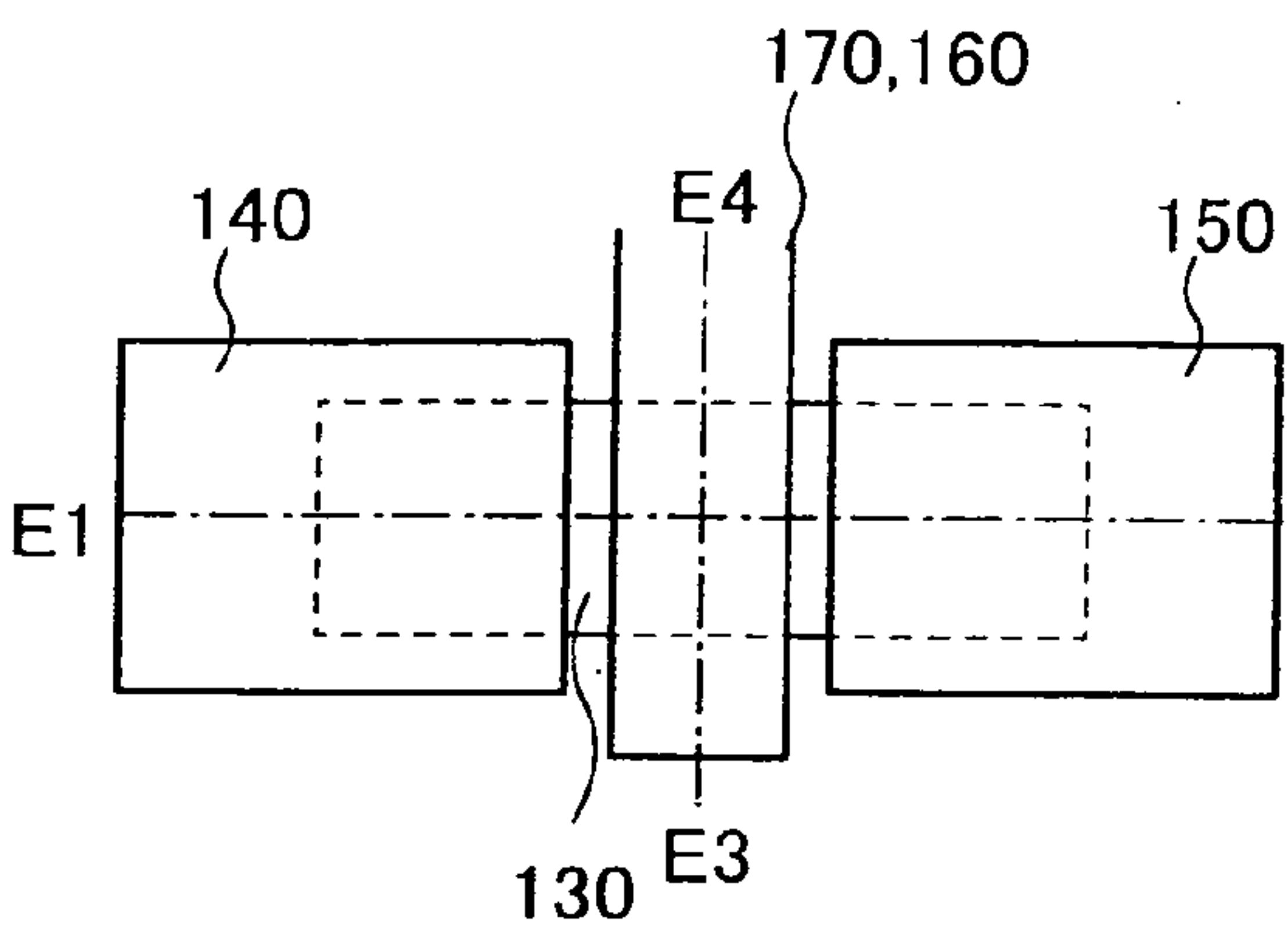


圖 25B

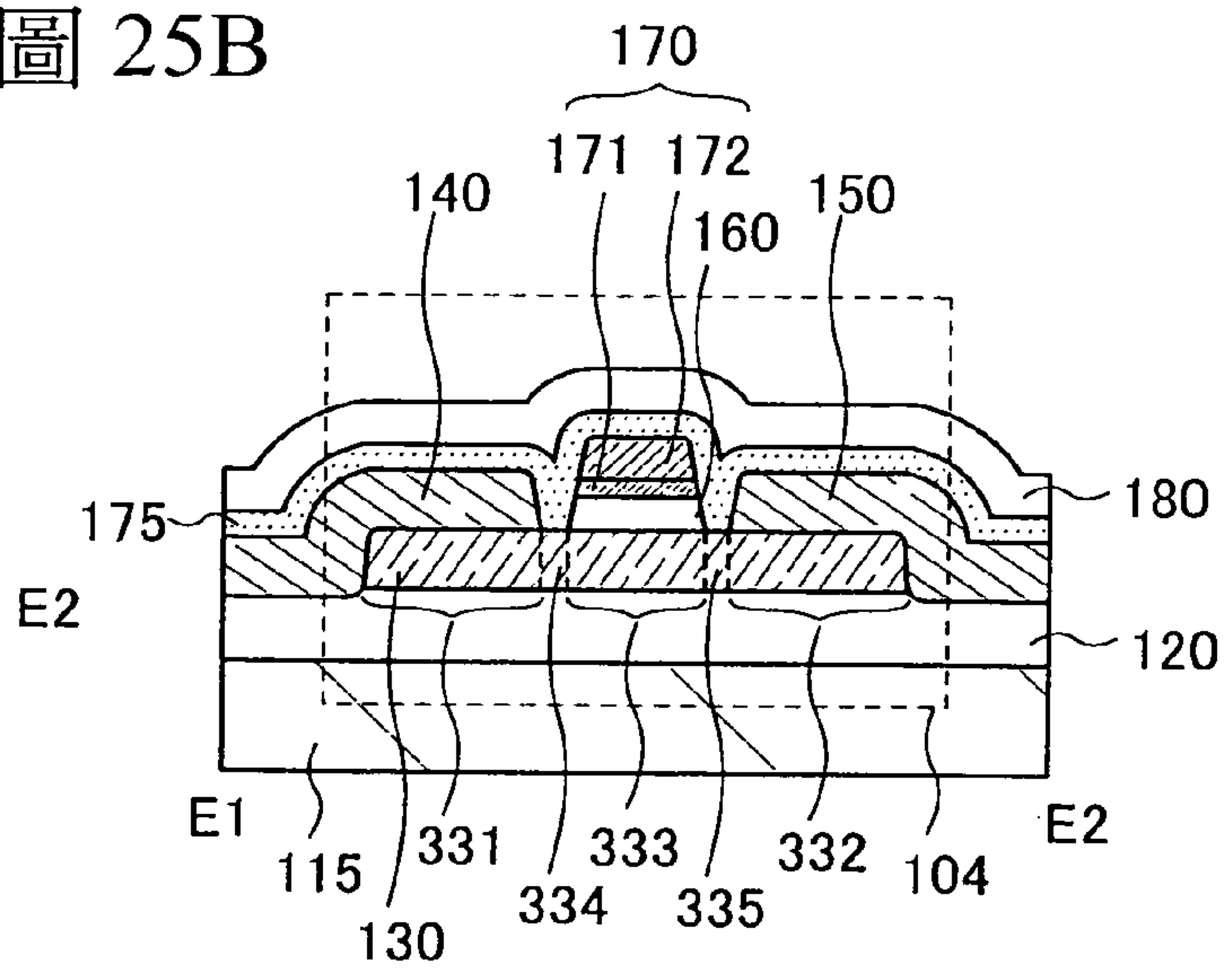


圖 25C

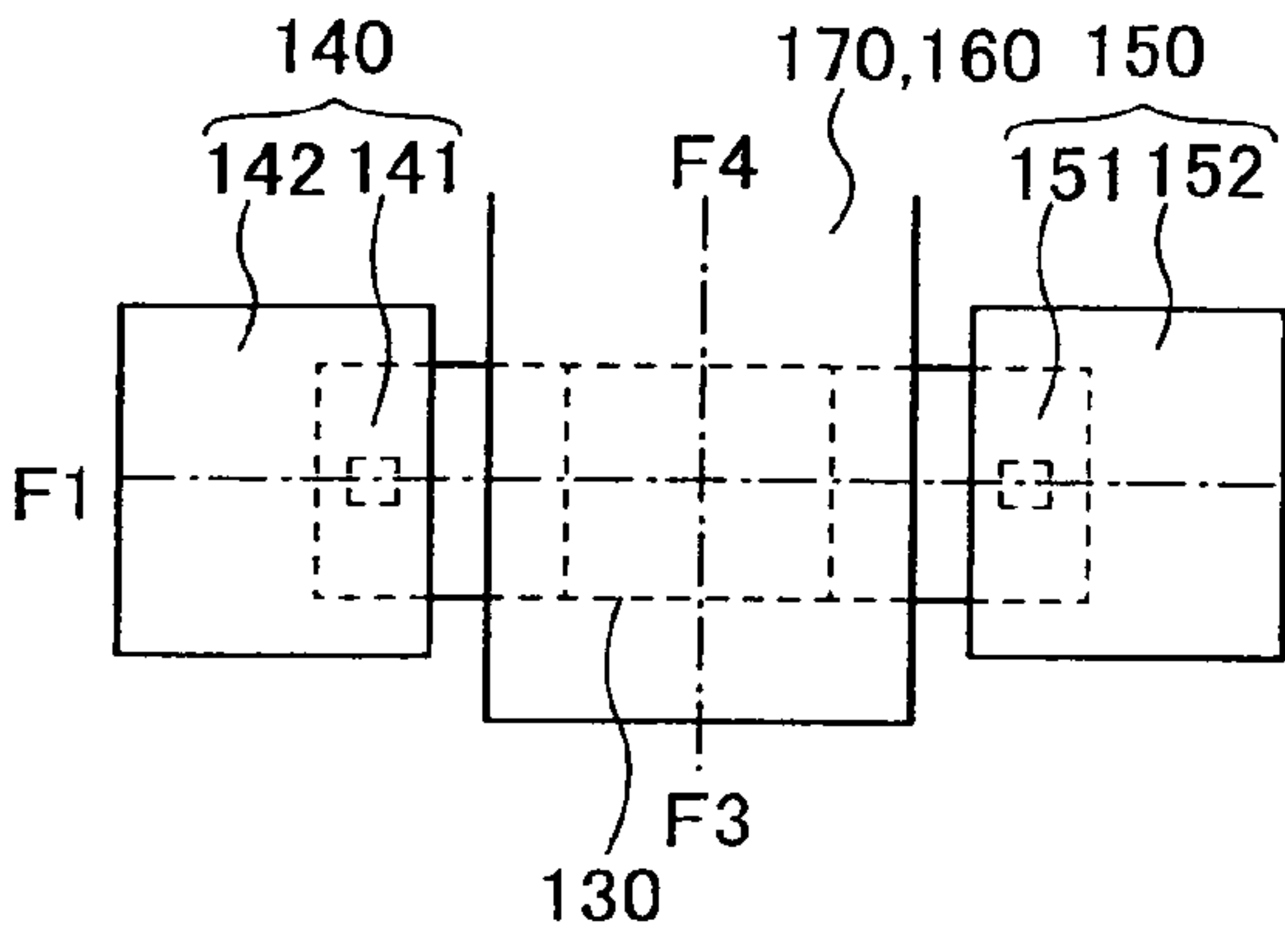


圖 25D

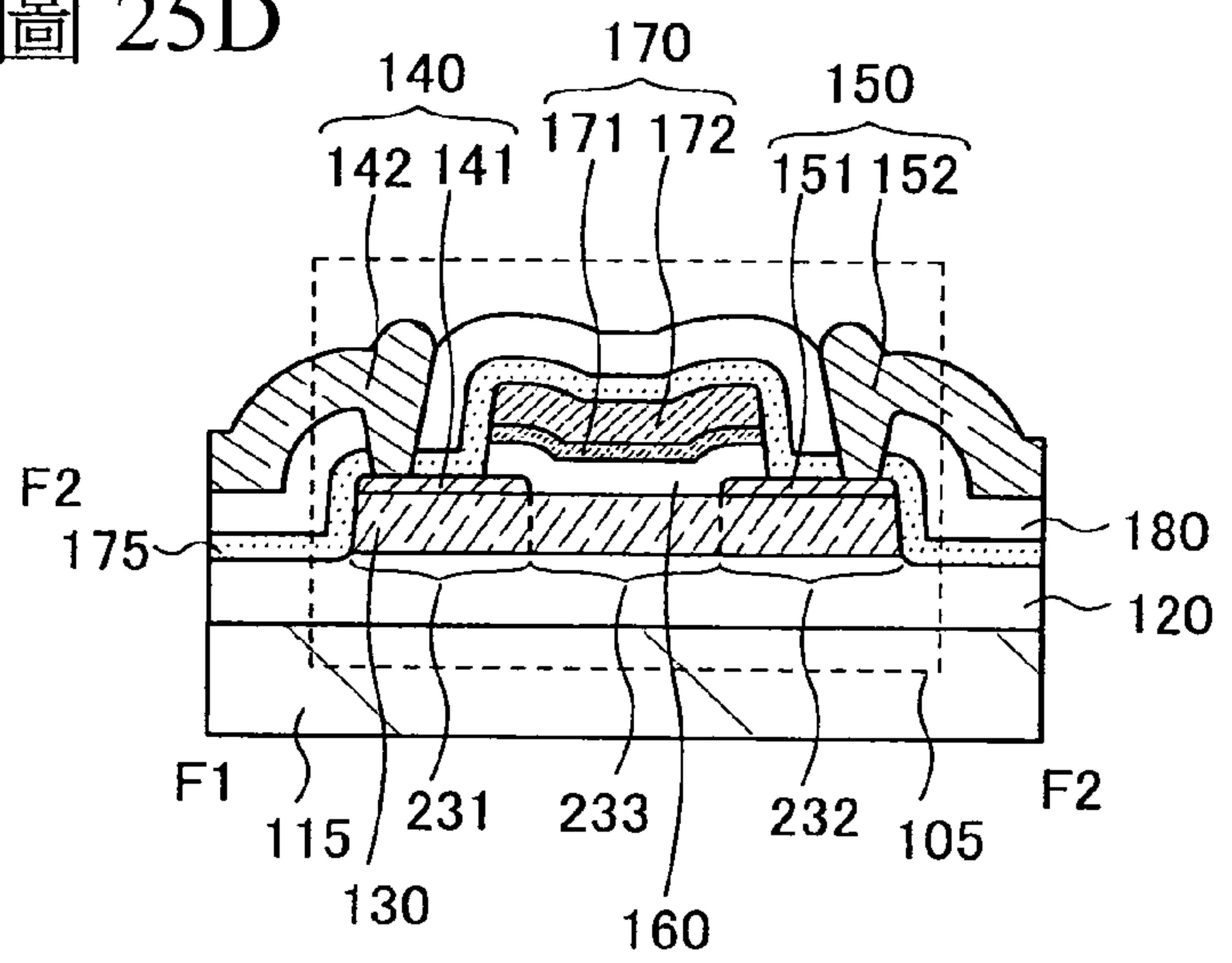


圖 25E

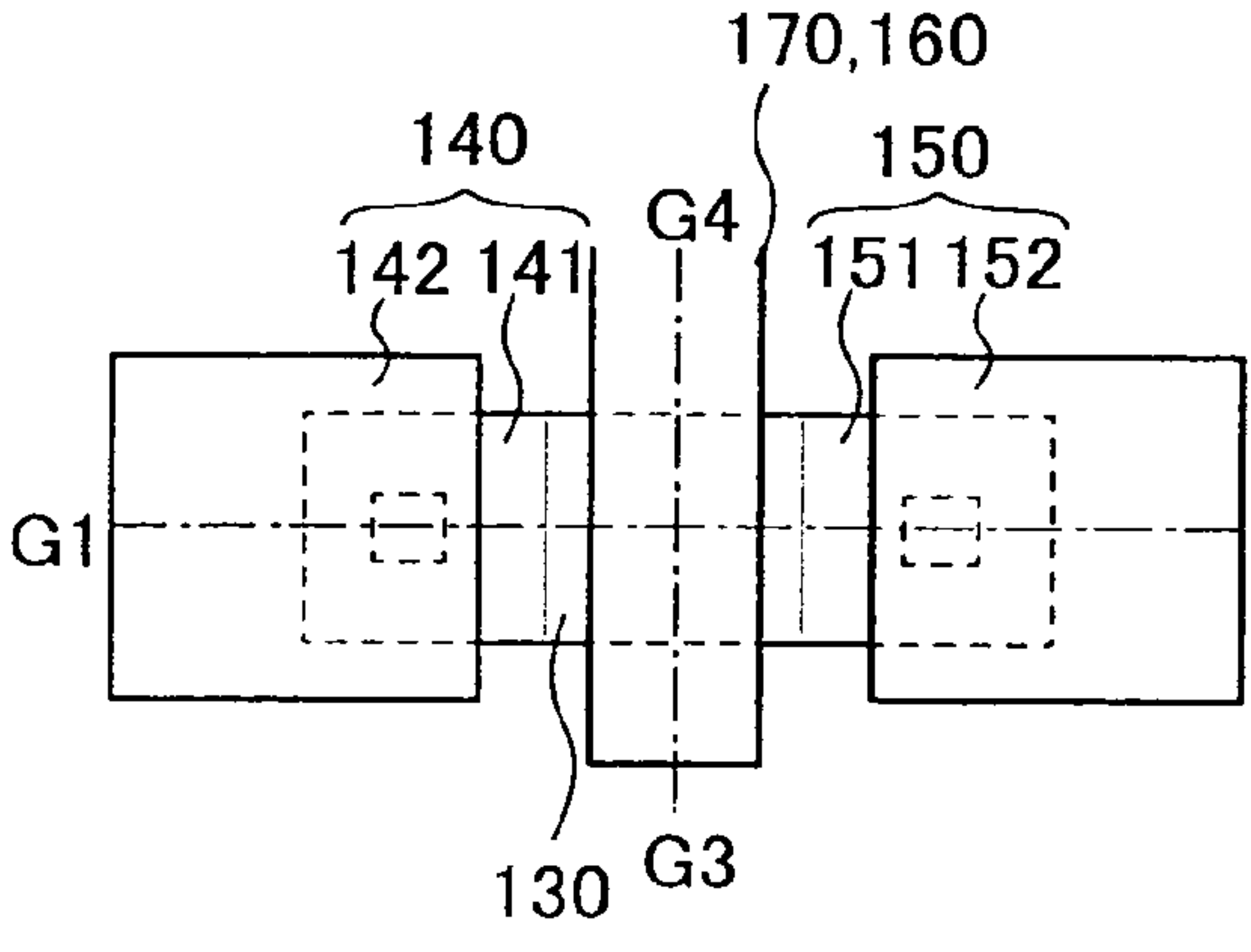


圖 25F

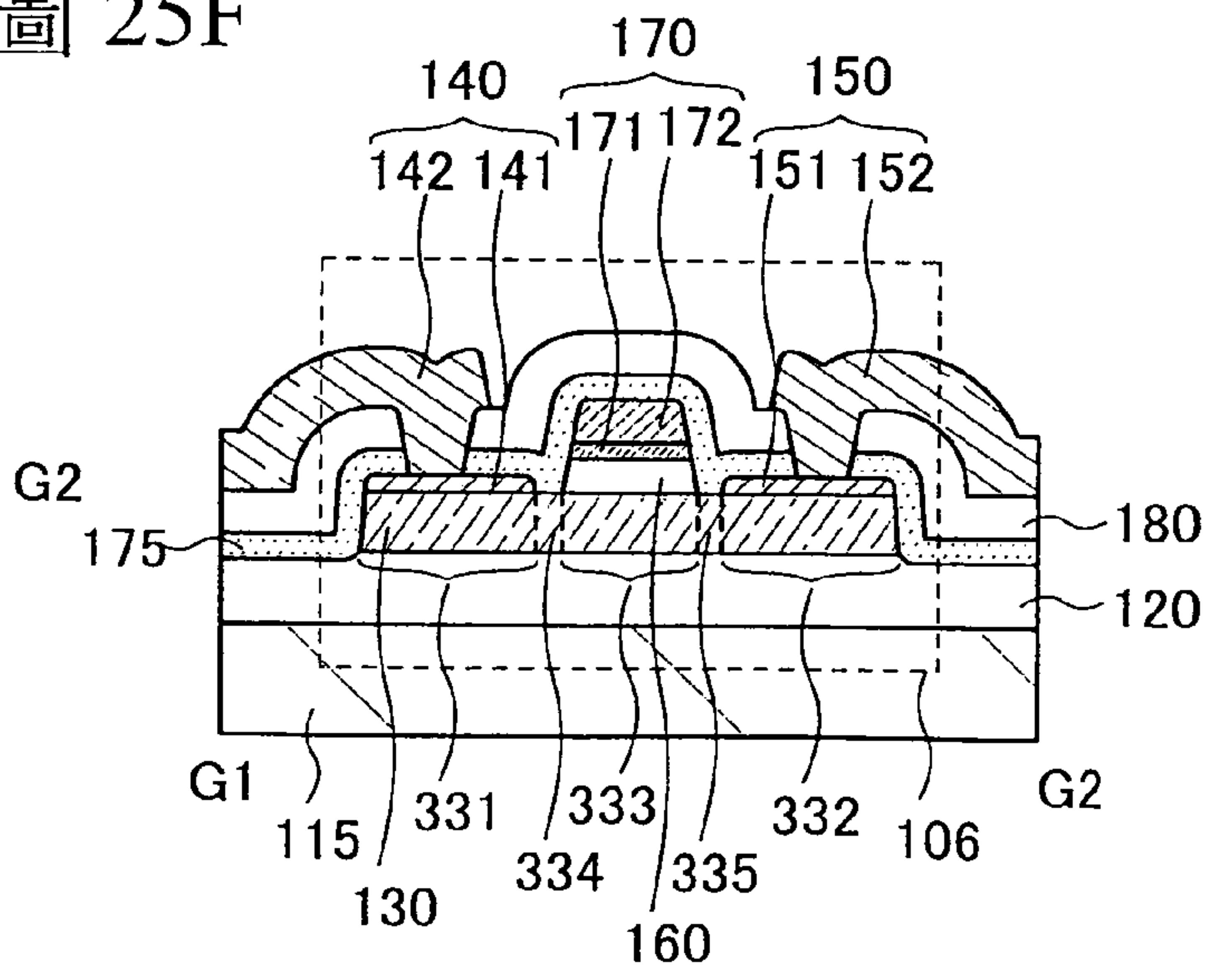


圖 26A

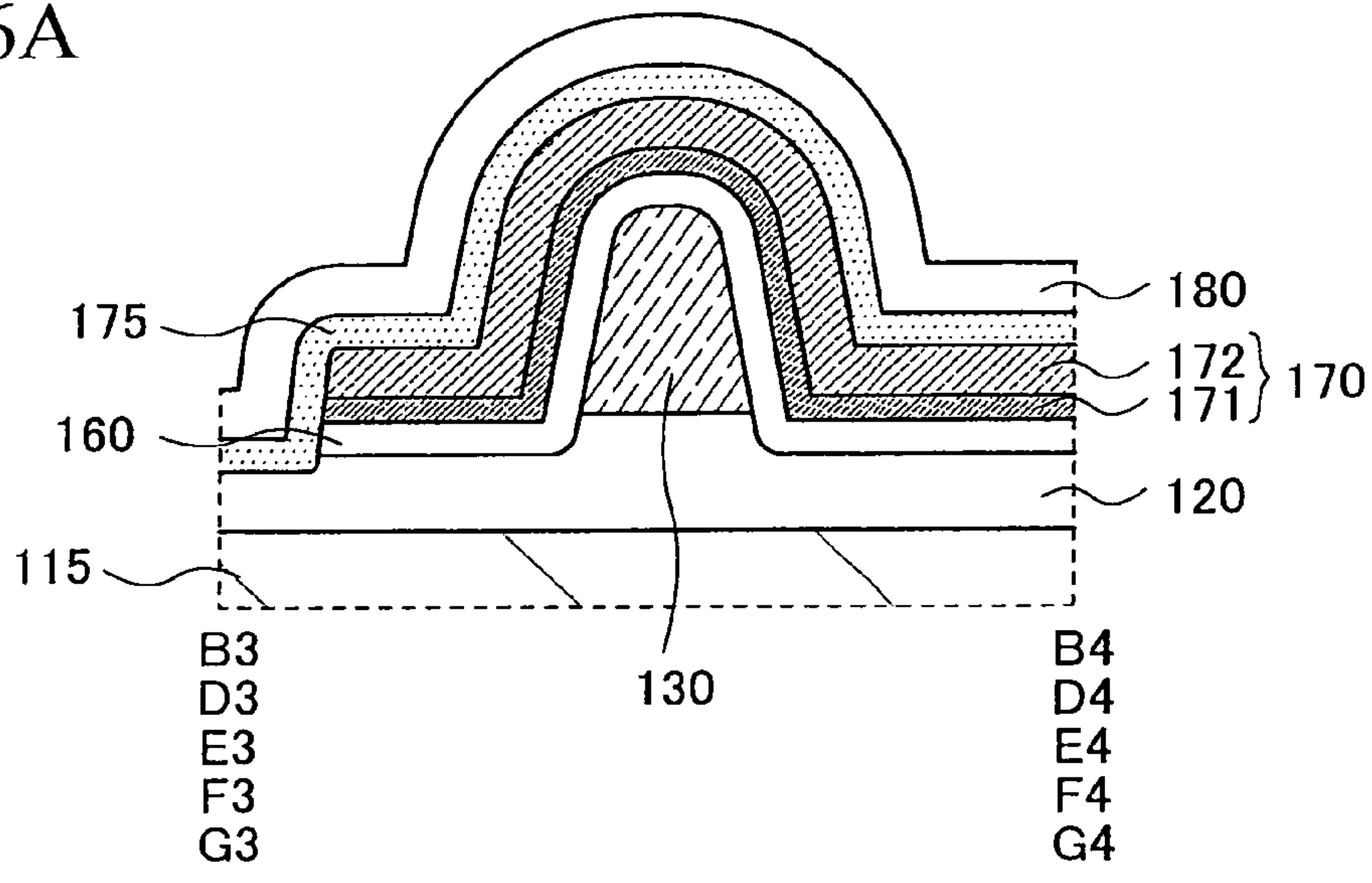


圖 26B

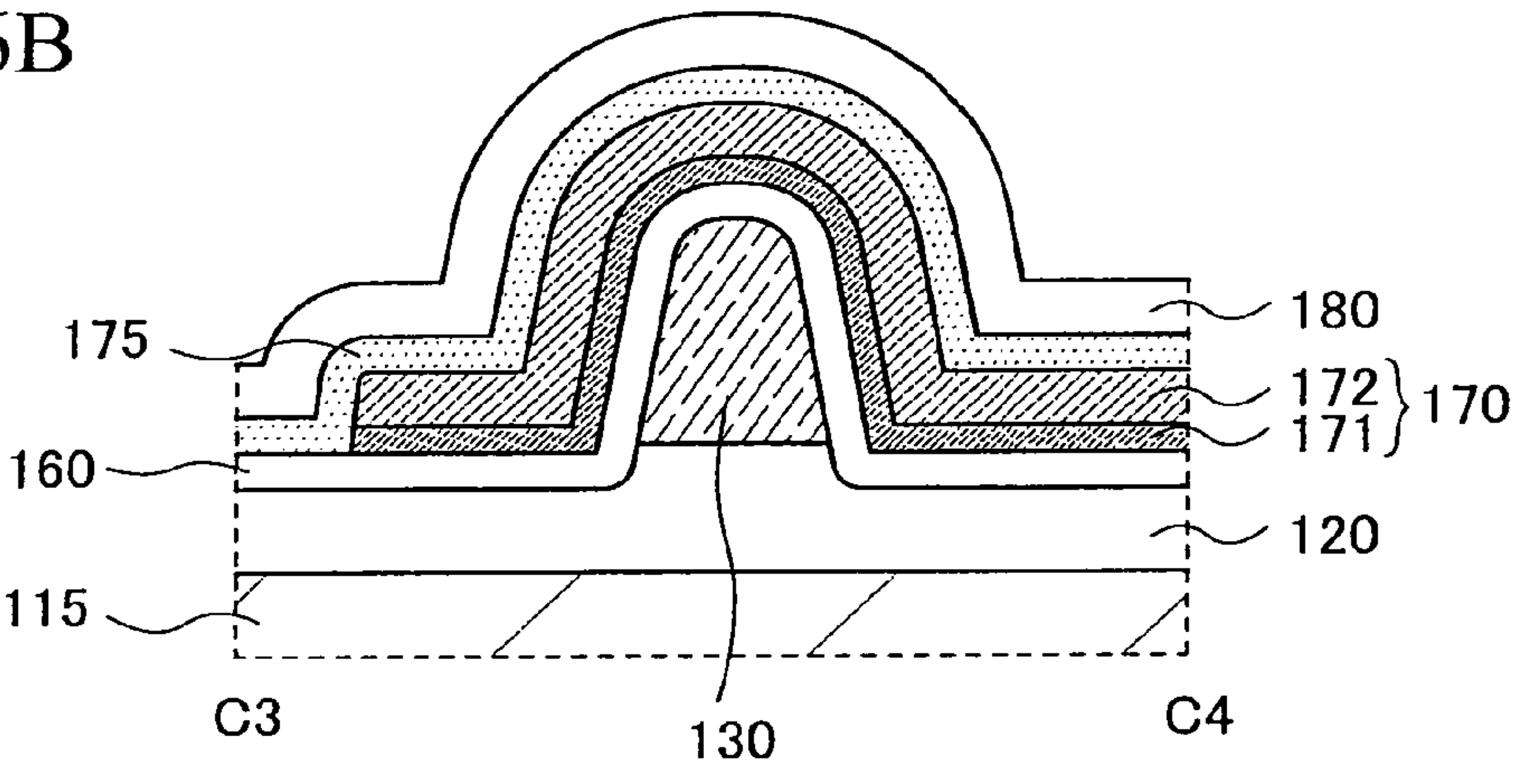


圖 26C

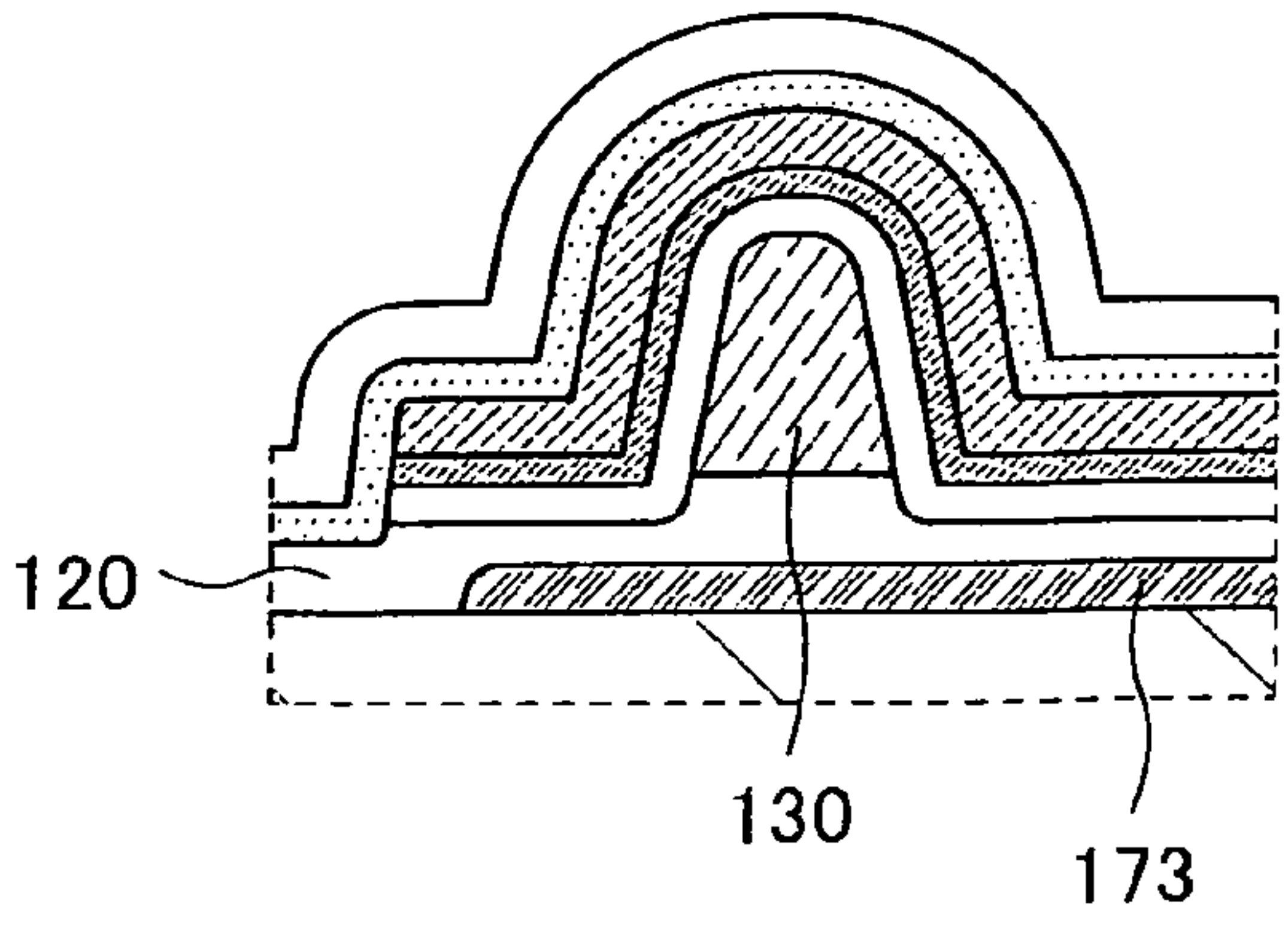


圖 26D

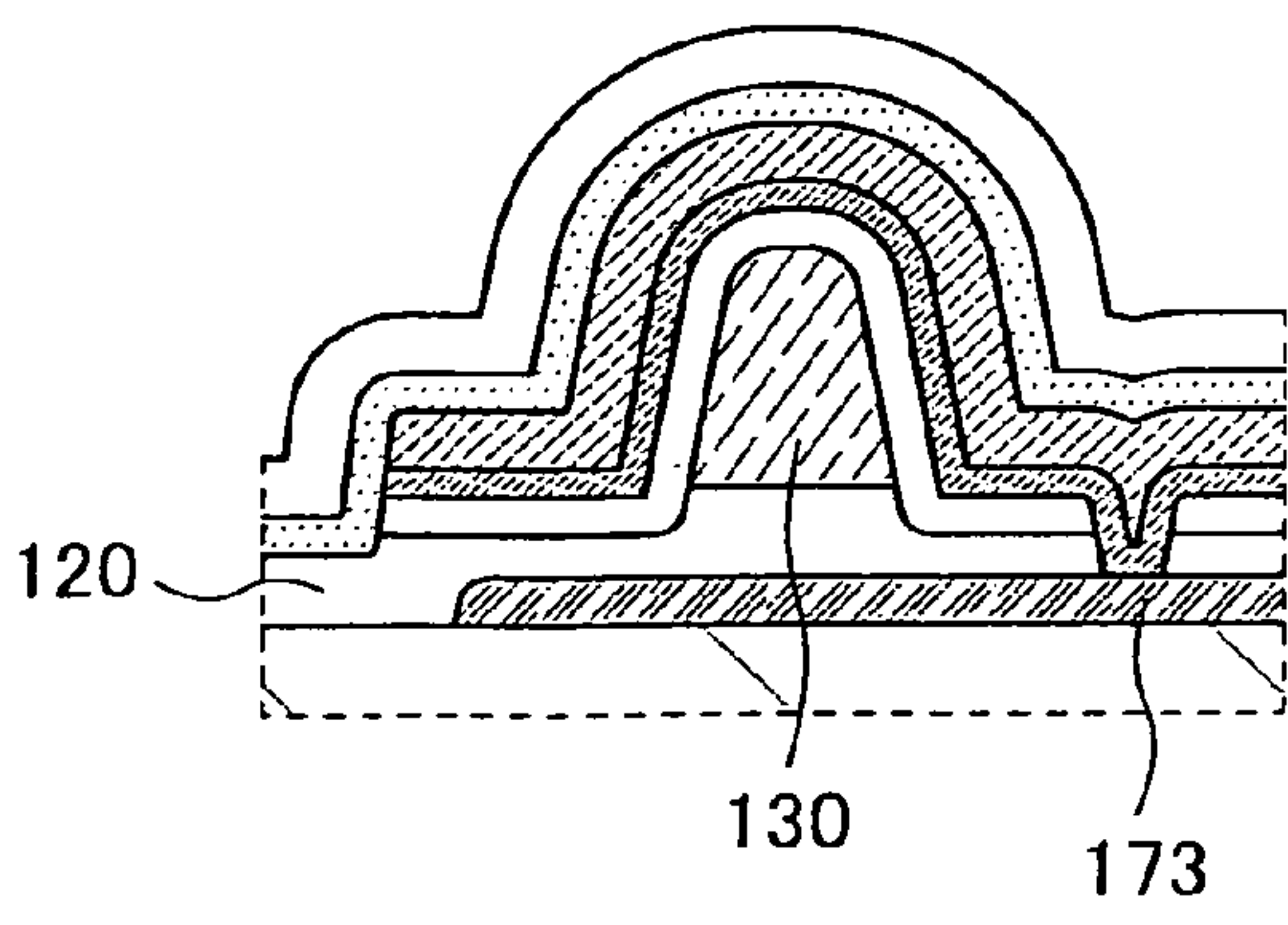


圖 27A

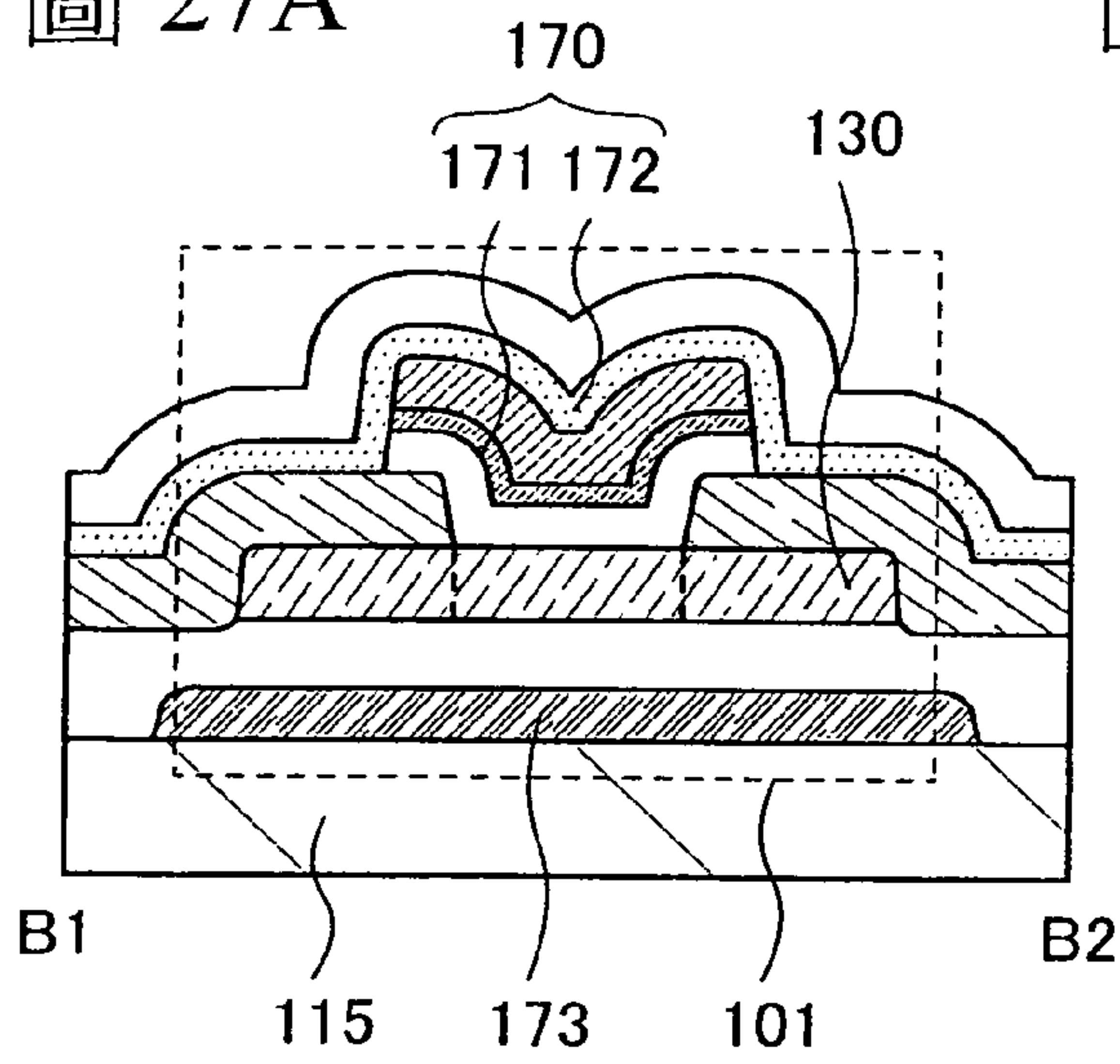


圖 27B

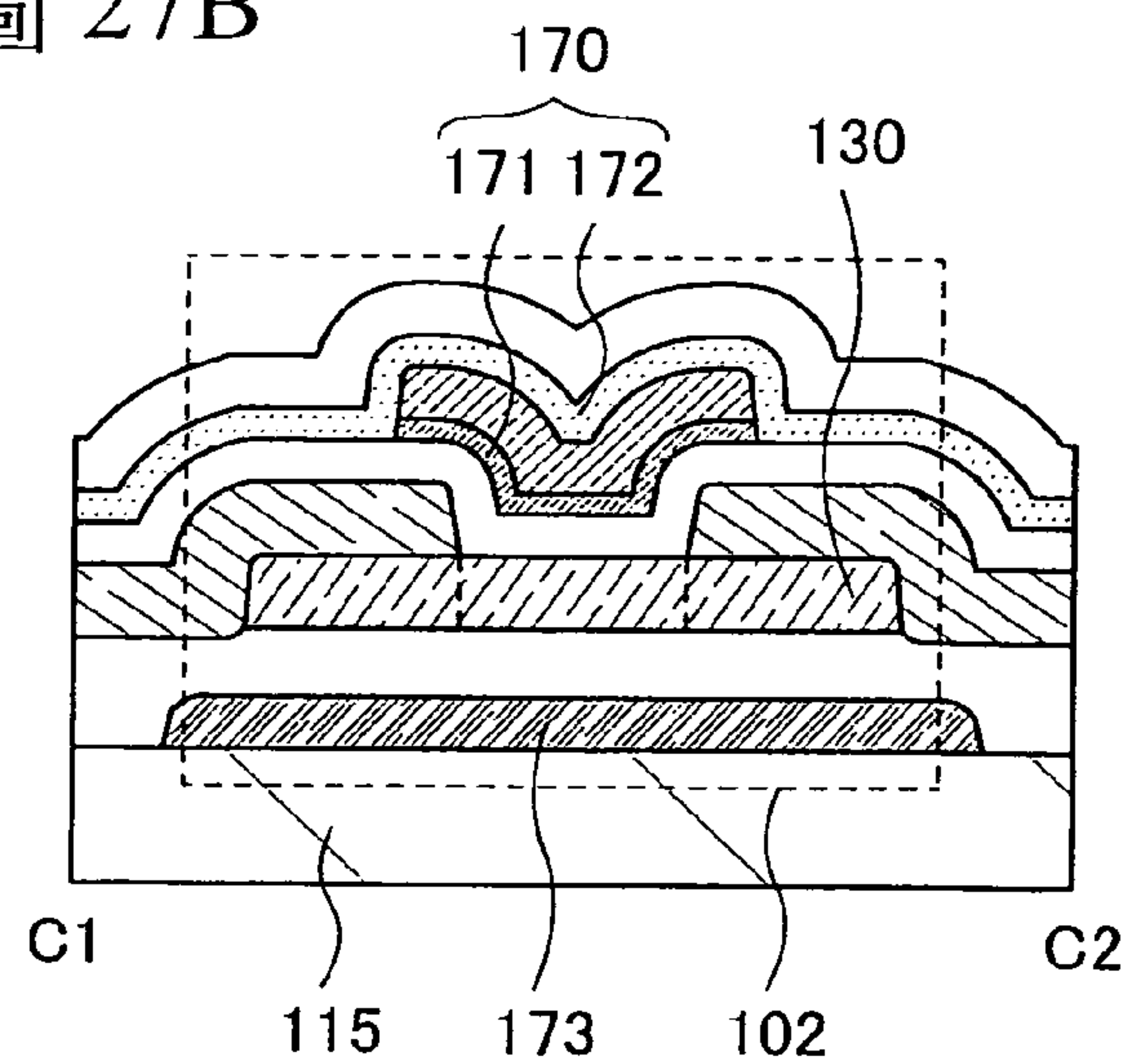


圖 27C

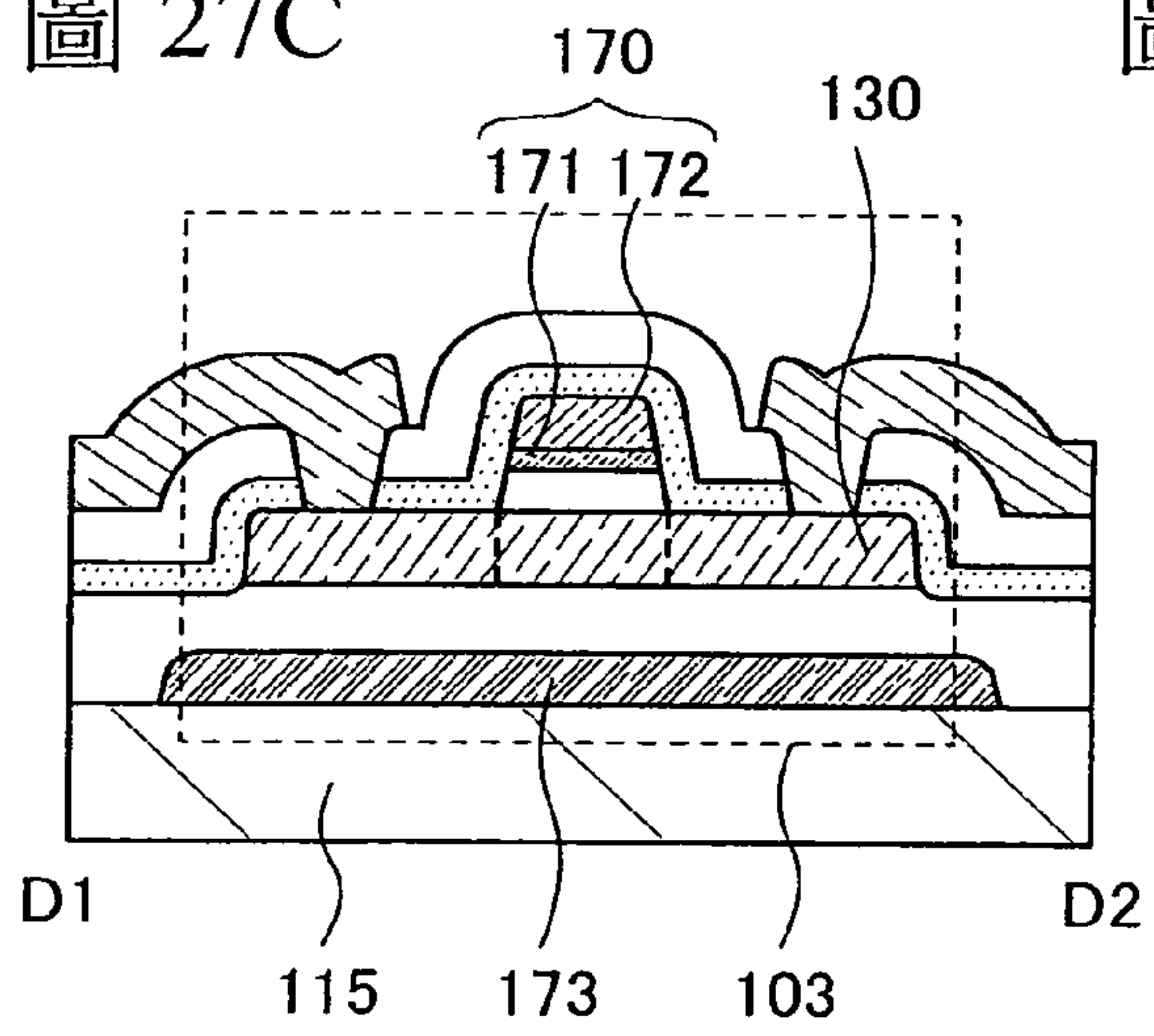


圖 27D

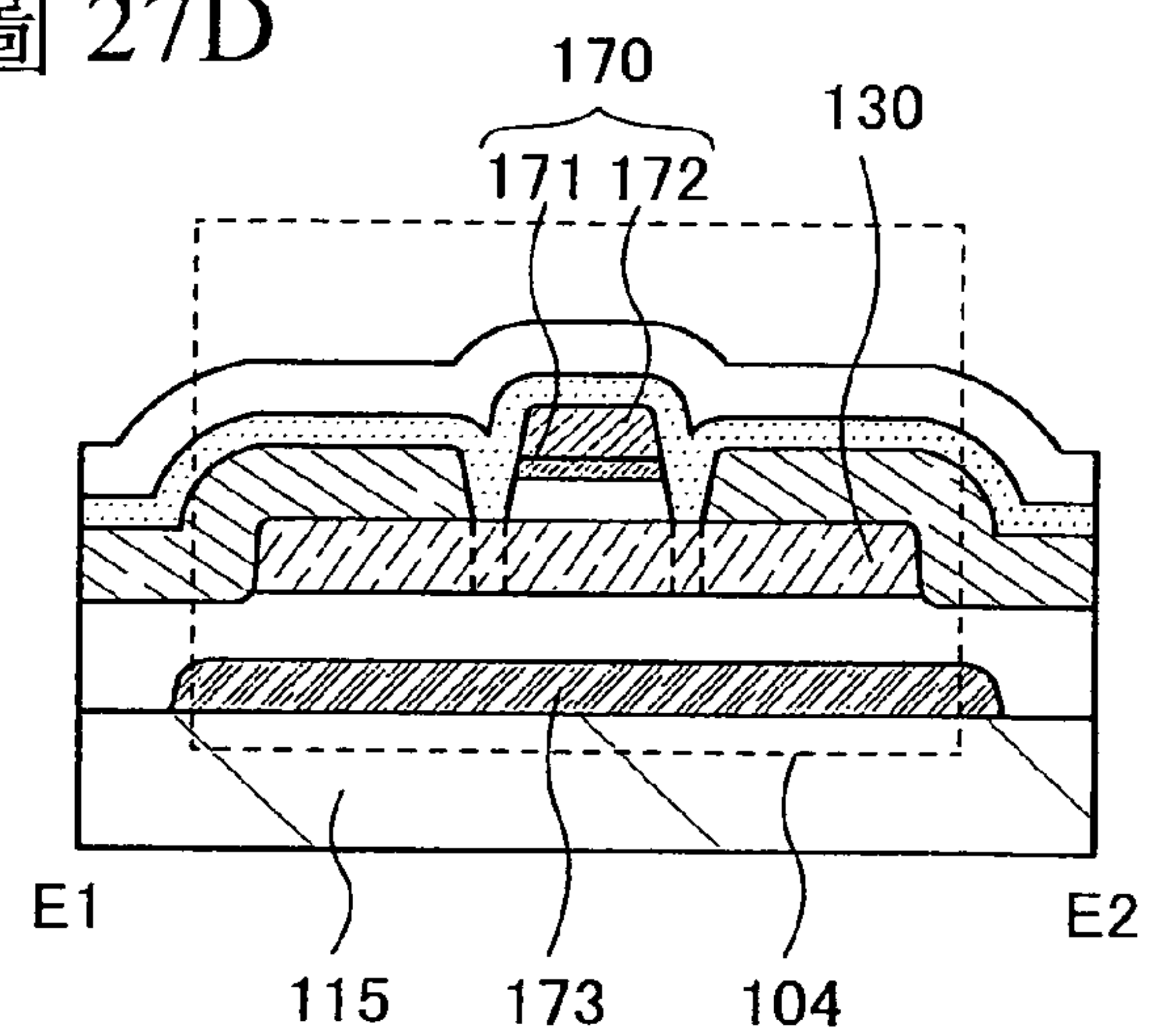


圖 27E

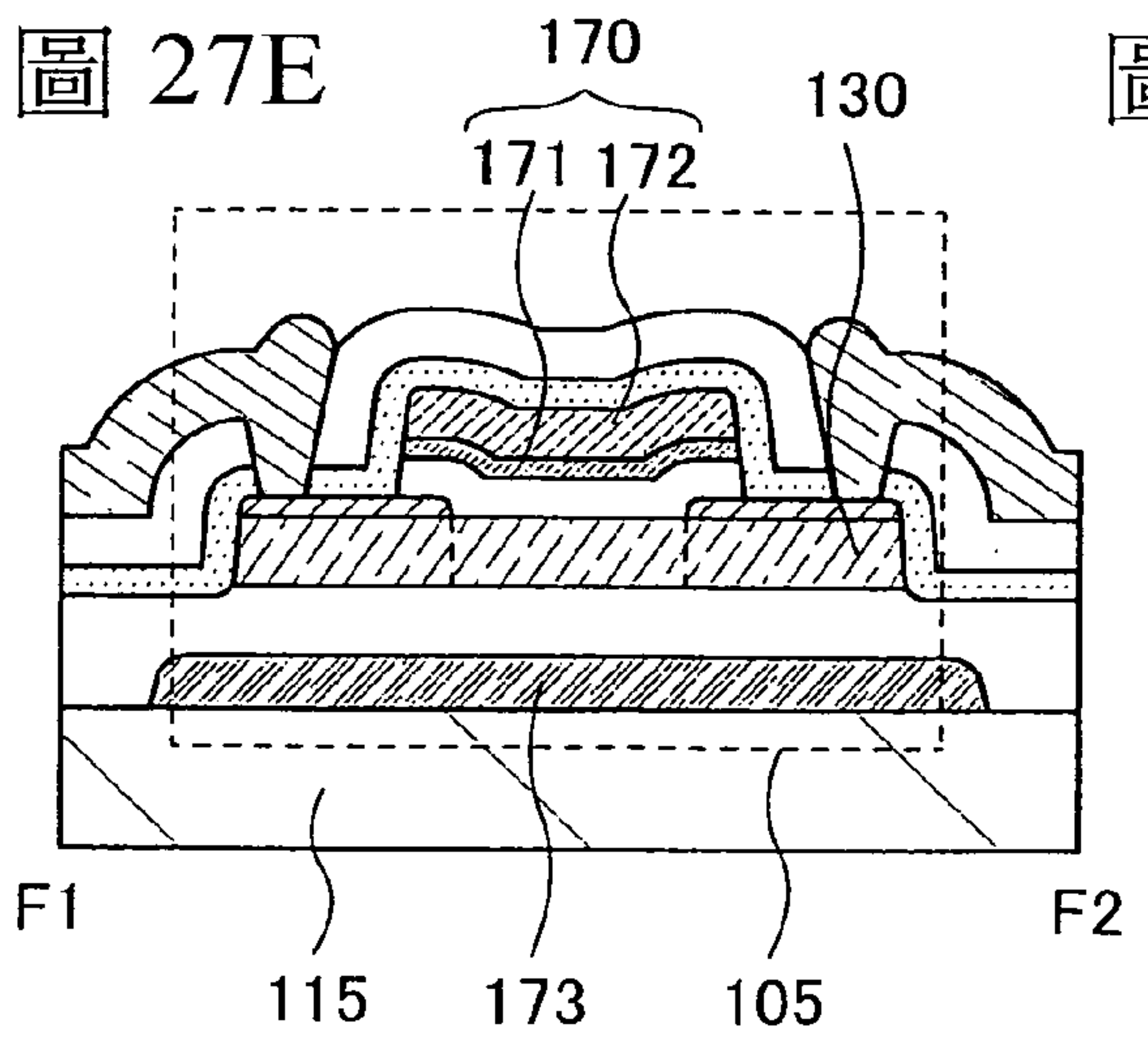


圖 27F

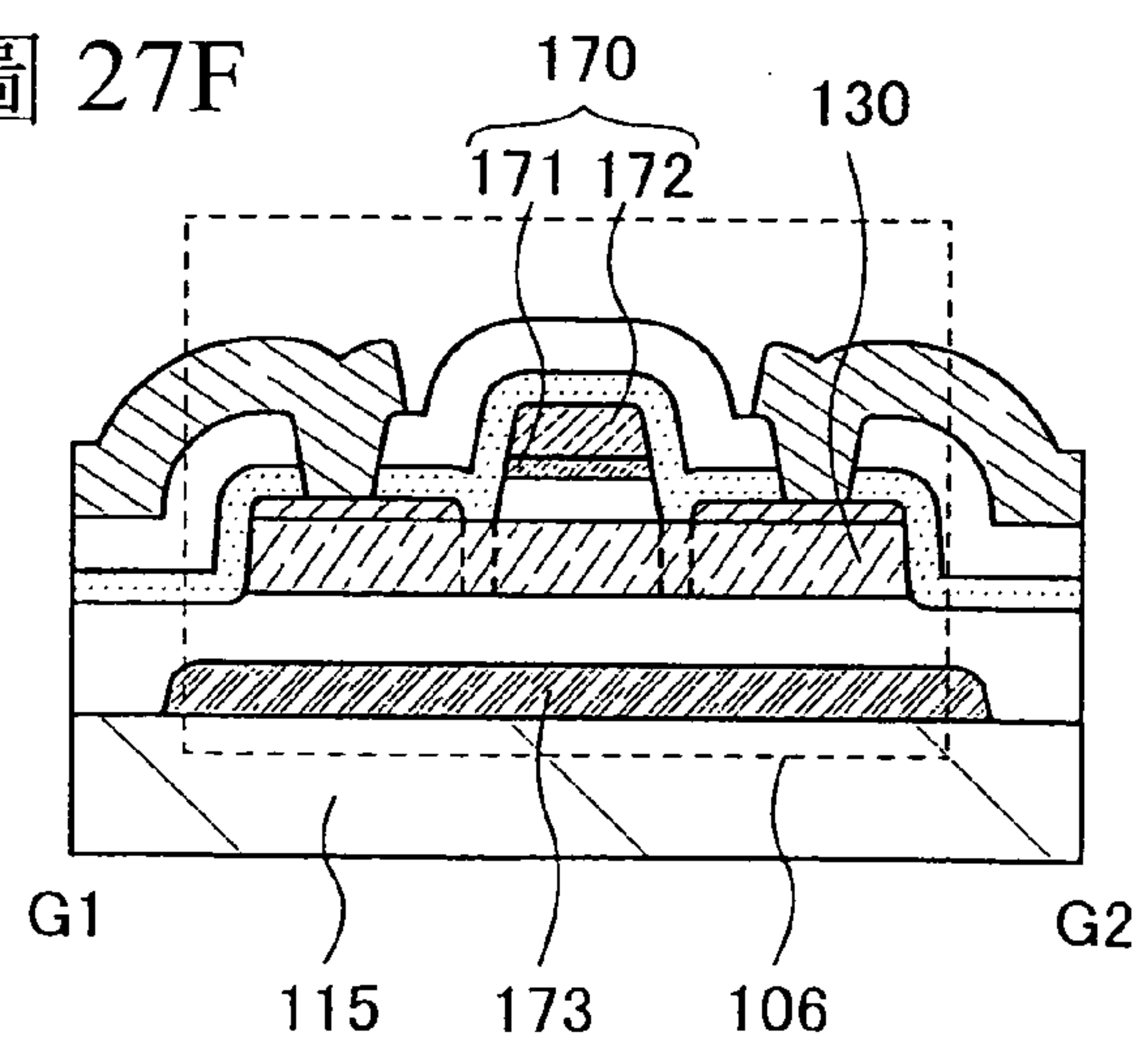


圖 28A

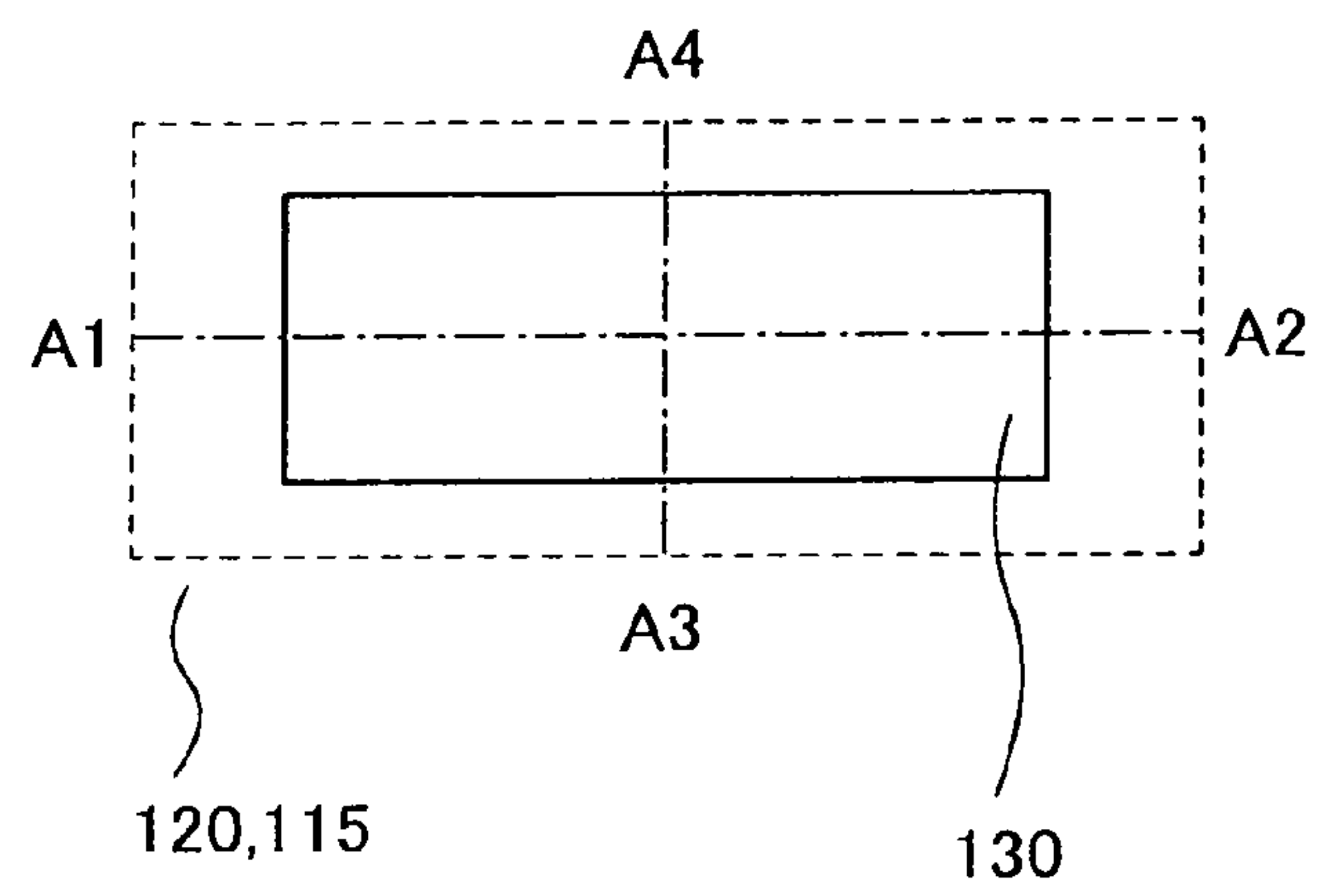


圖 28B

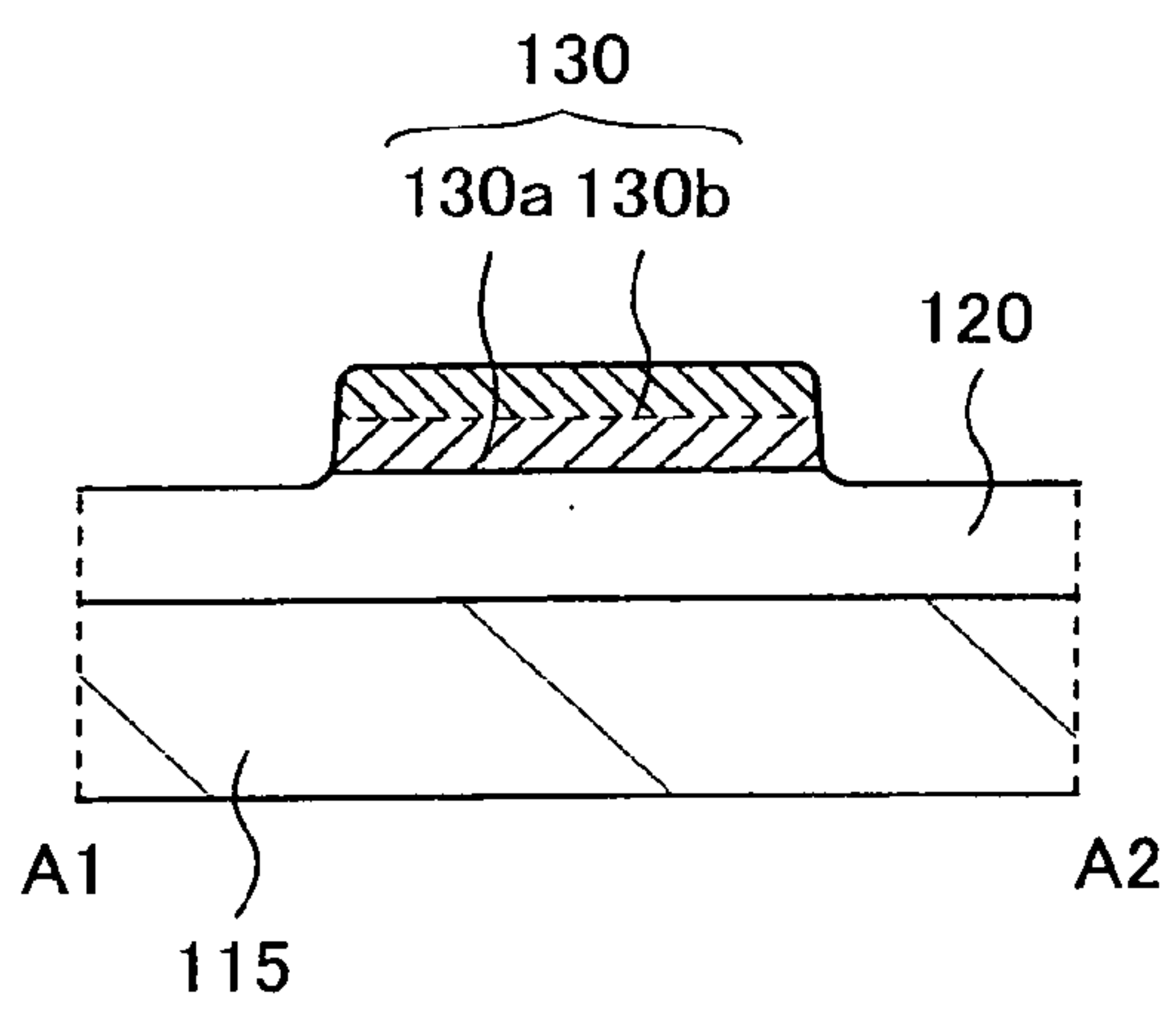


圖 28C

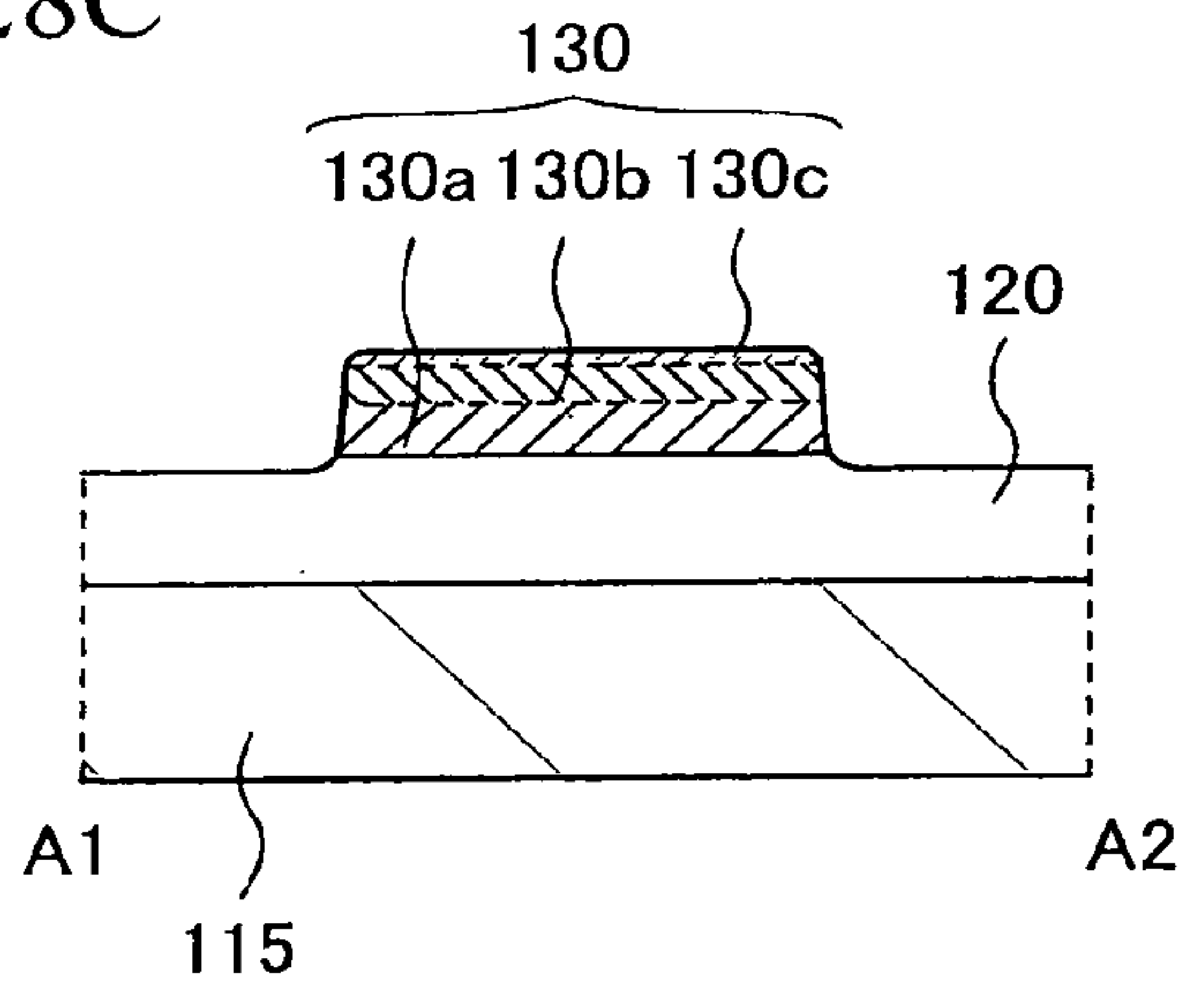


圖 28D

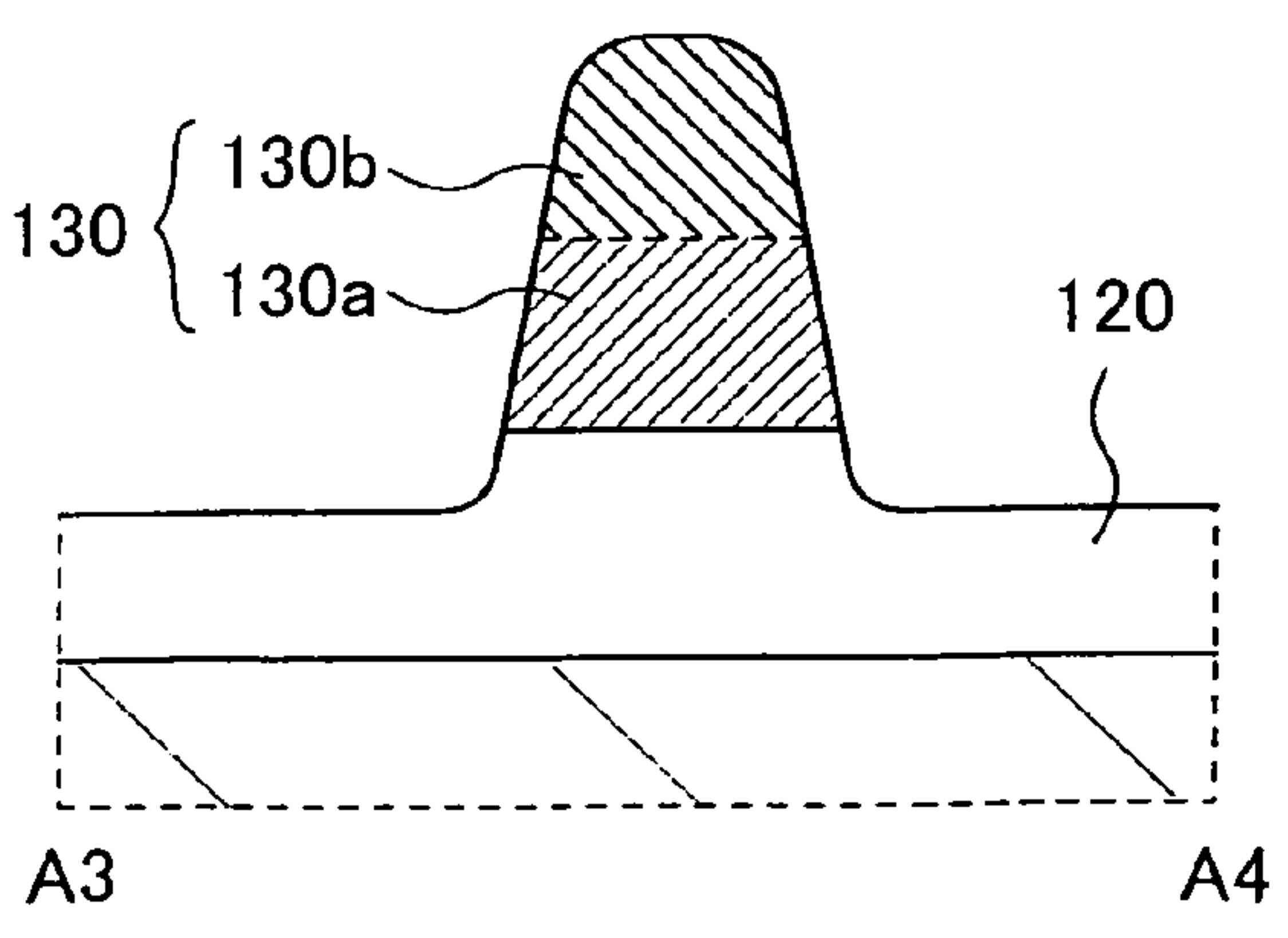


圖 28E

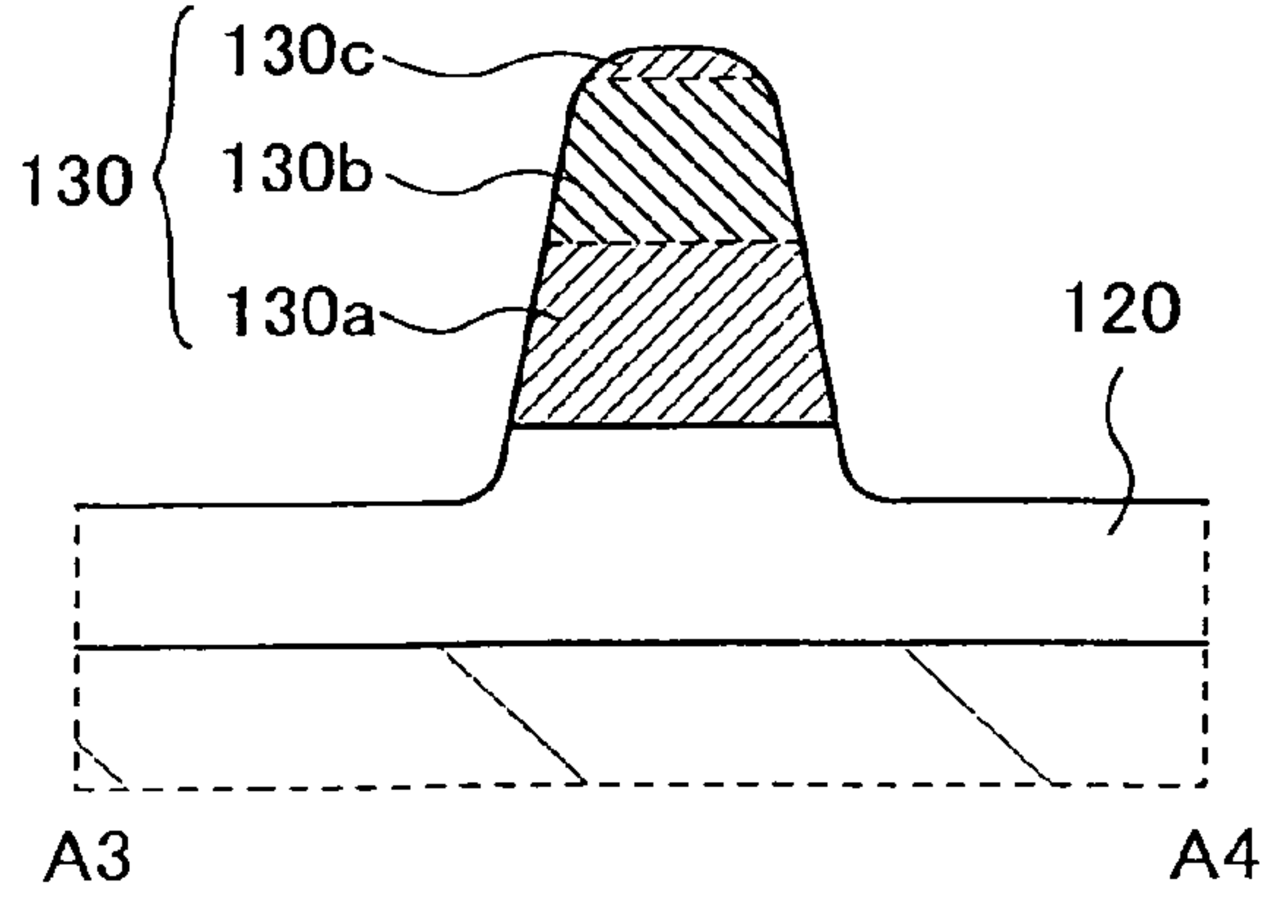


圖 29A

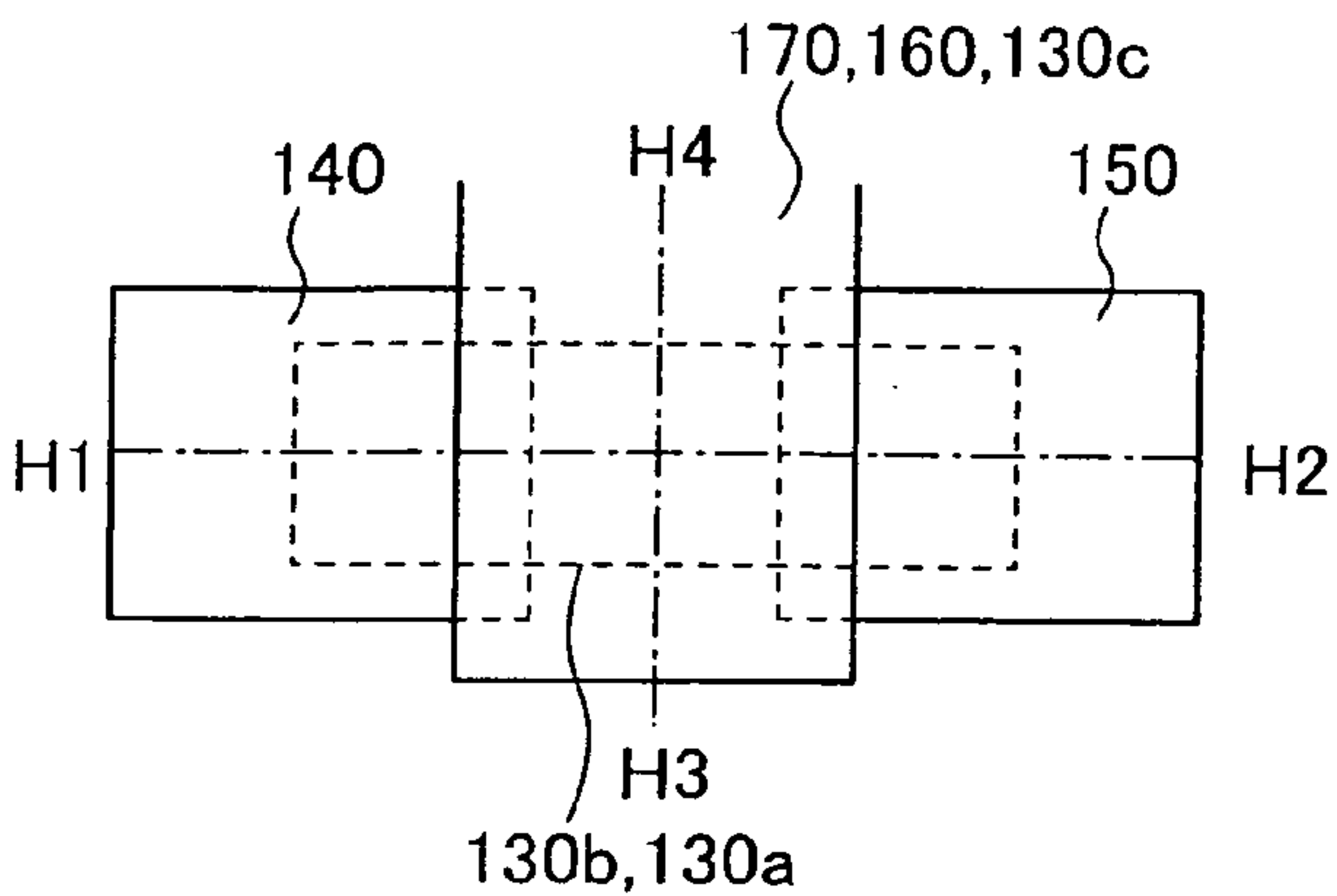


圖 29B

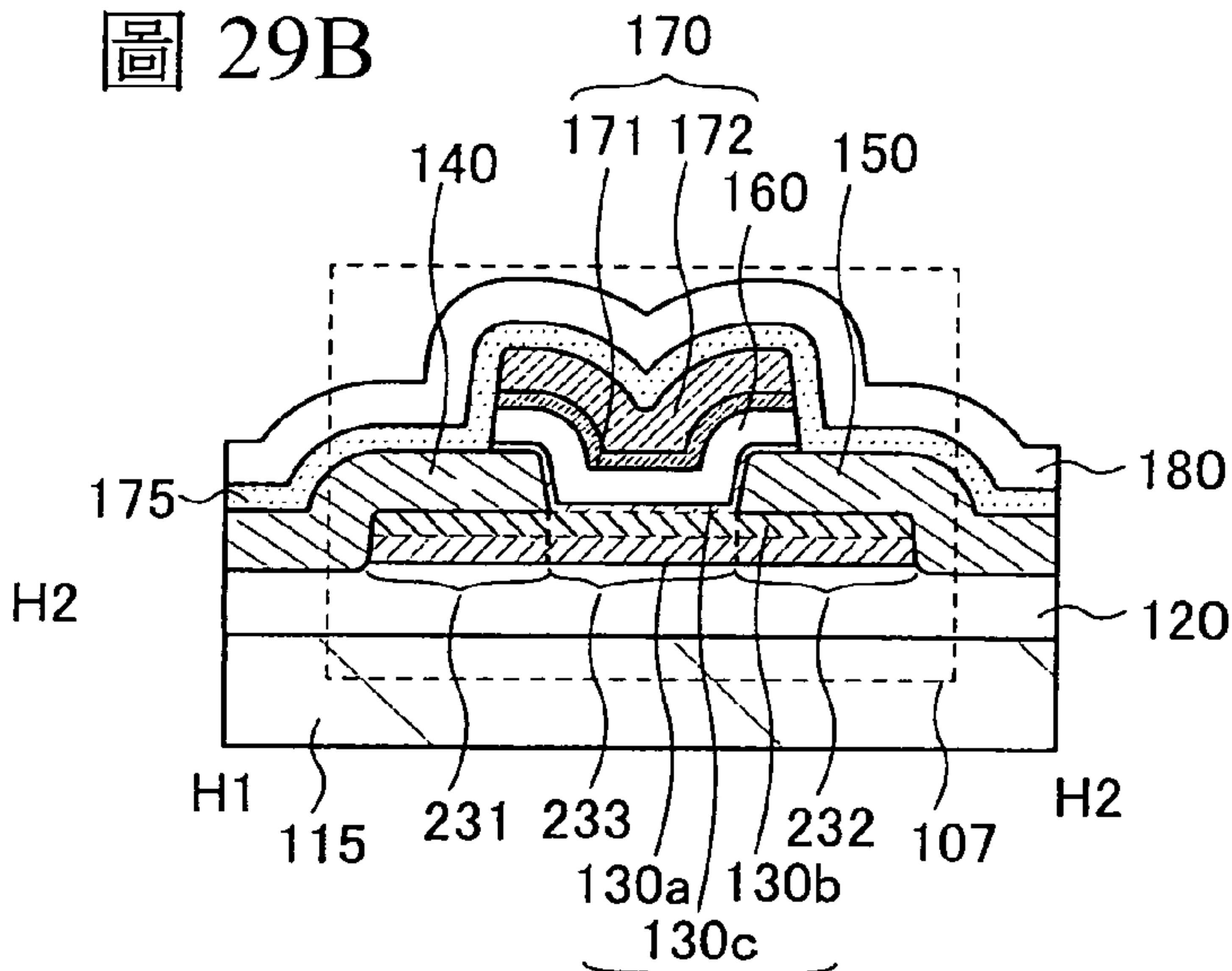


圖 29C

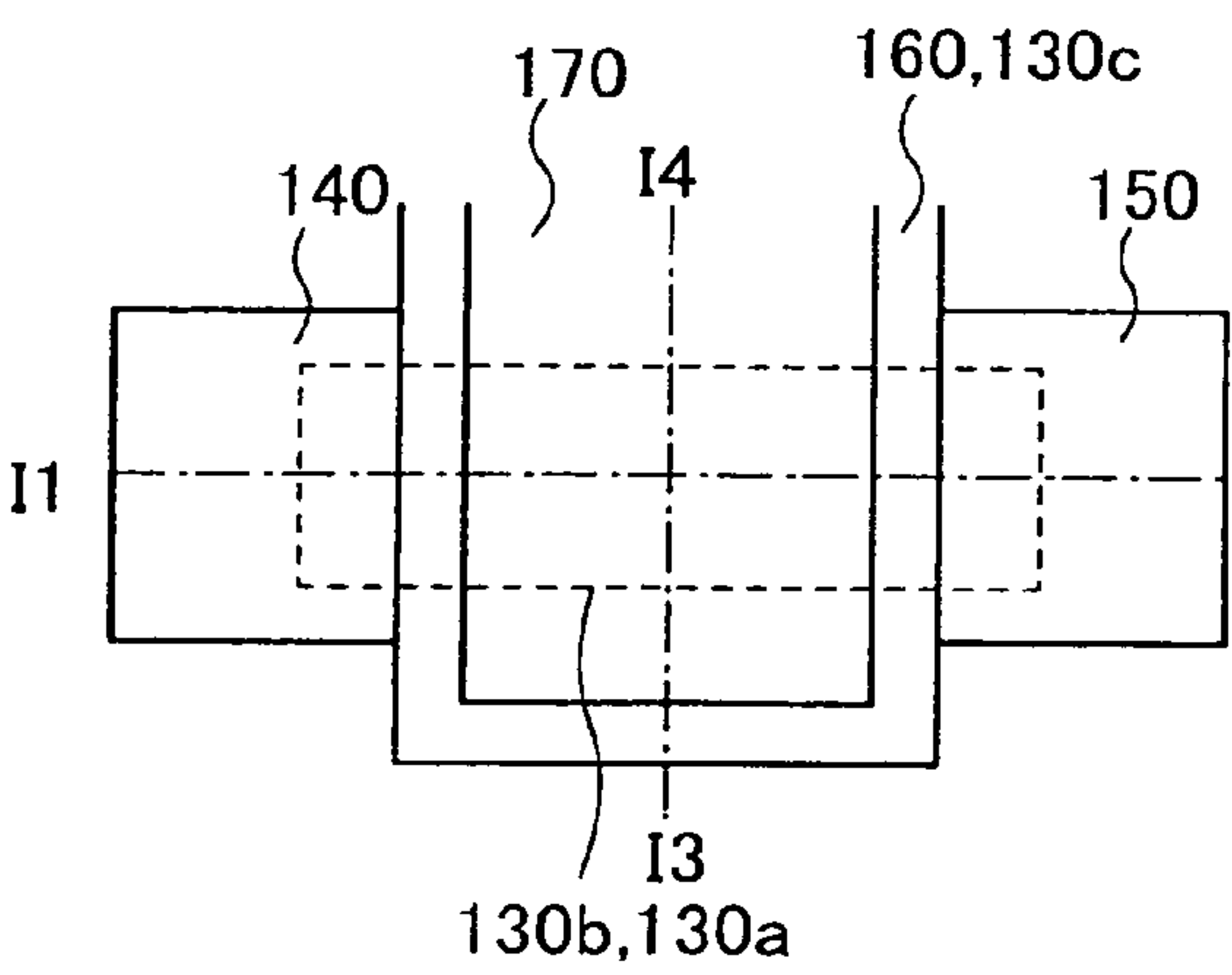


圖 29D

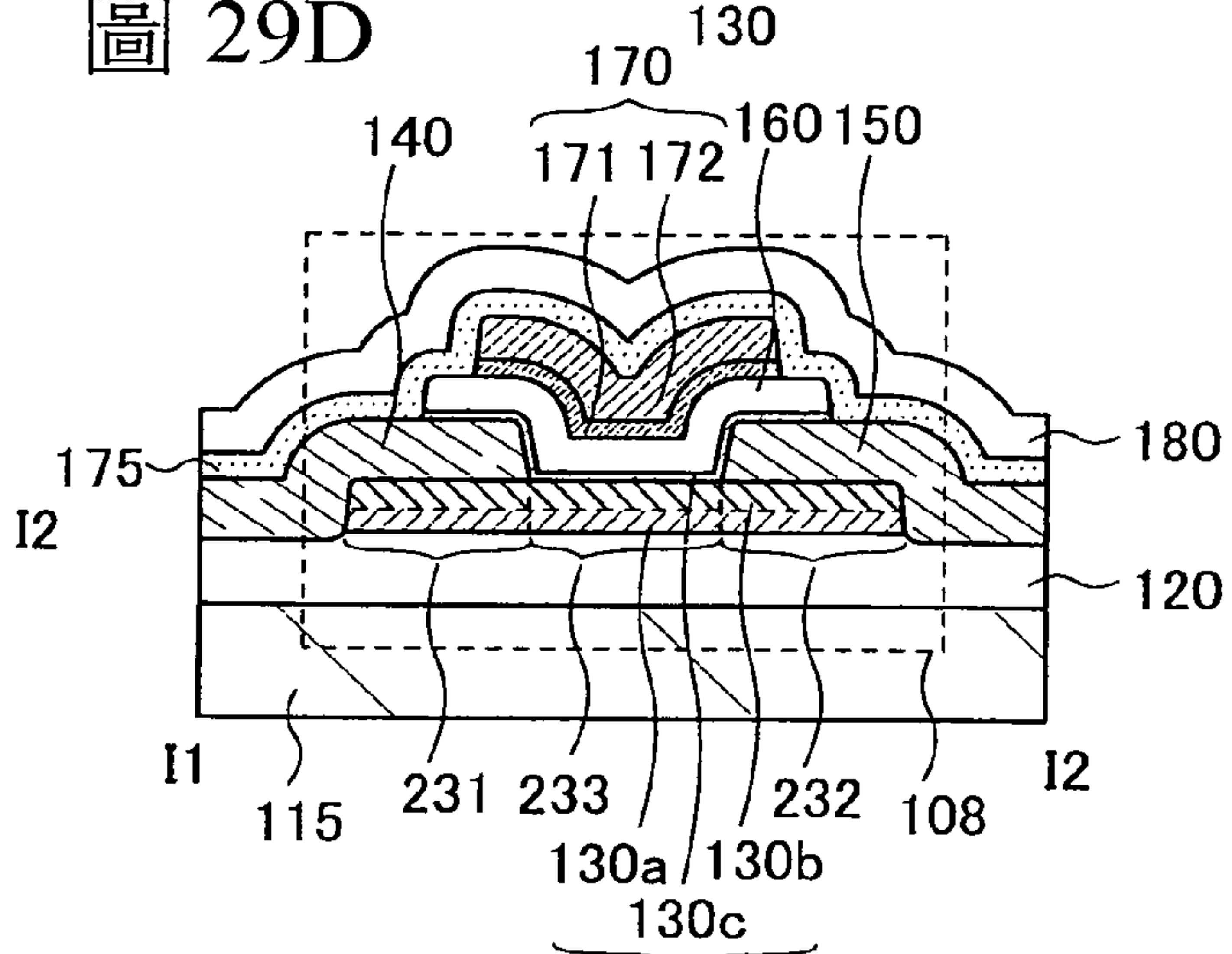


圖 29E

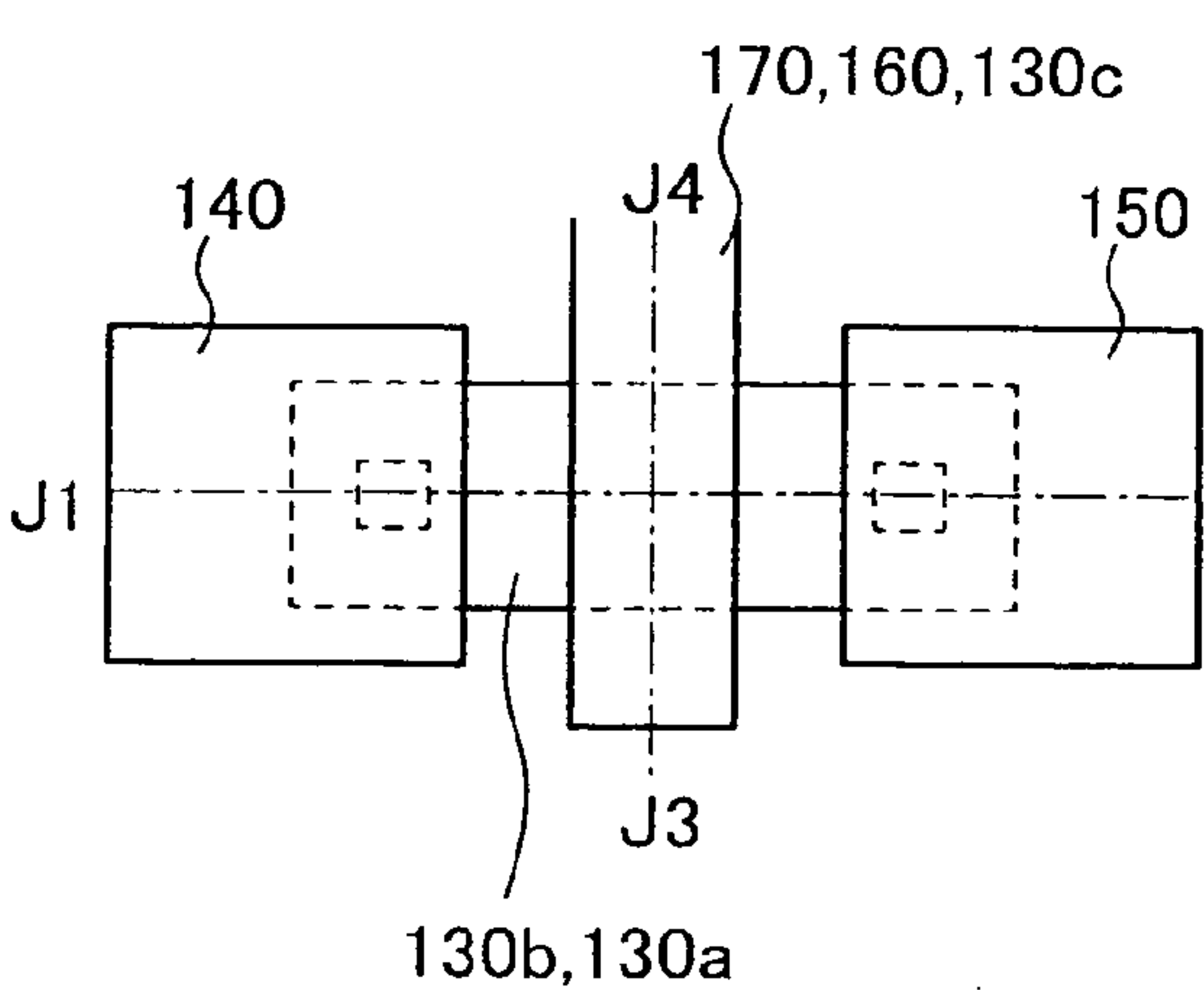


圖 29F

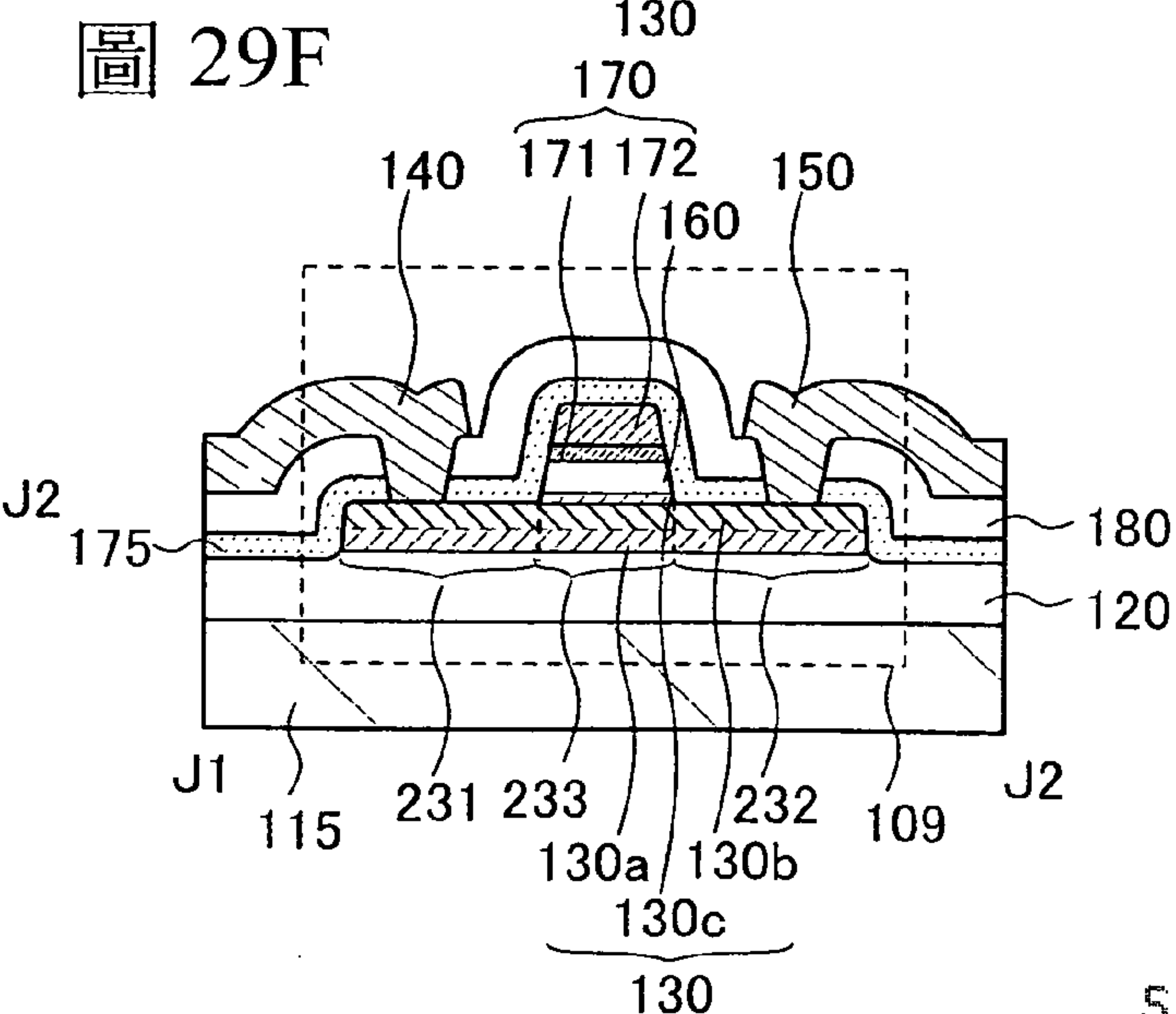


圖 30A

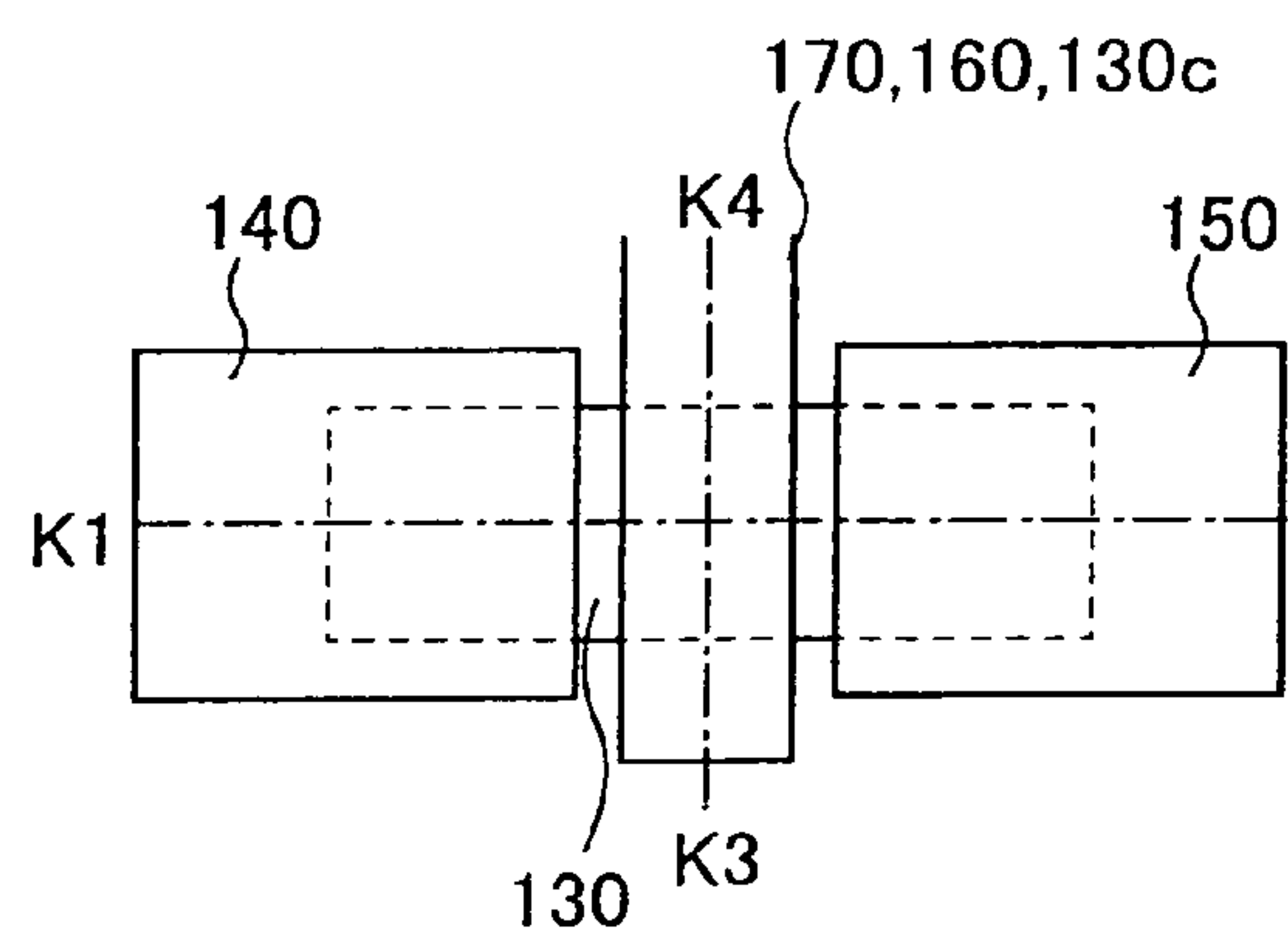


圖 30B

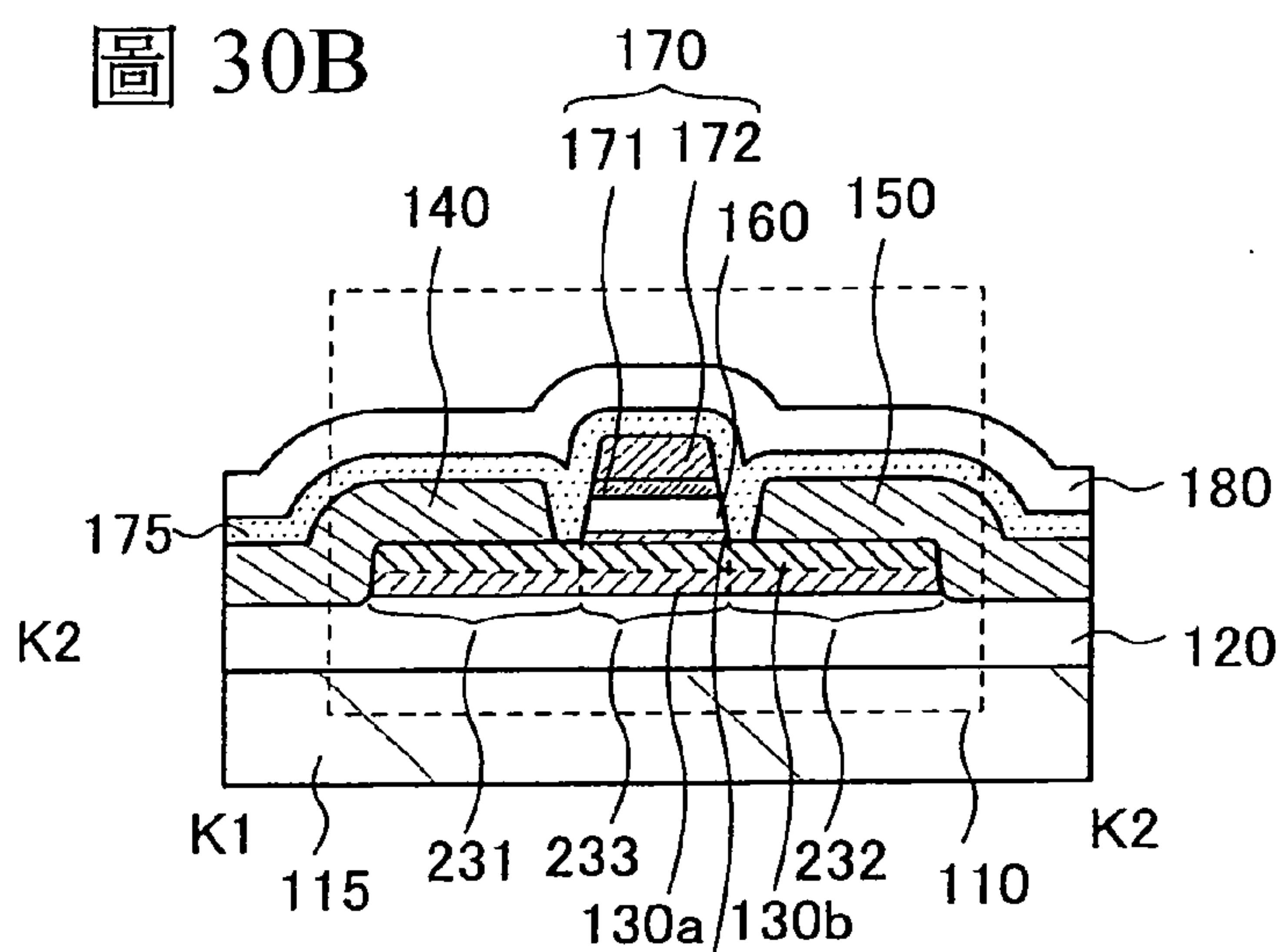


圖 30C

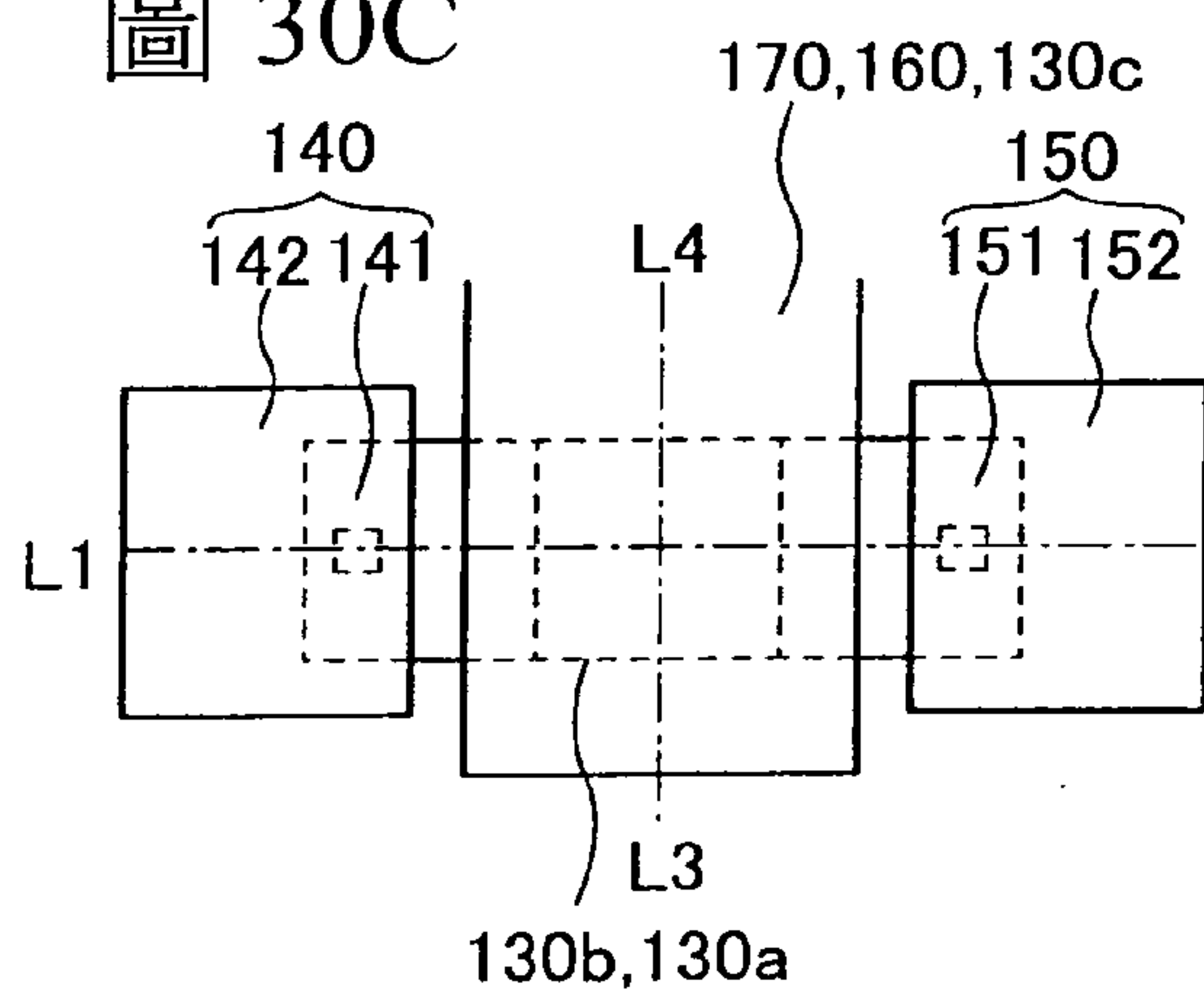


圖 30D

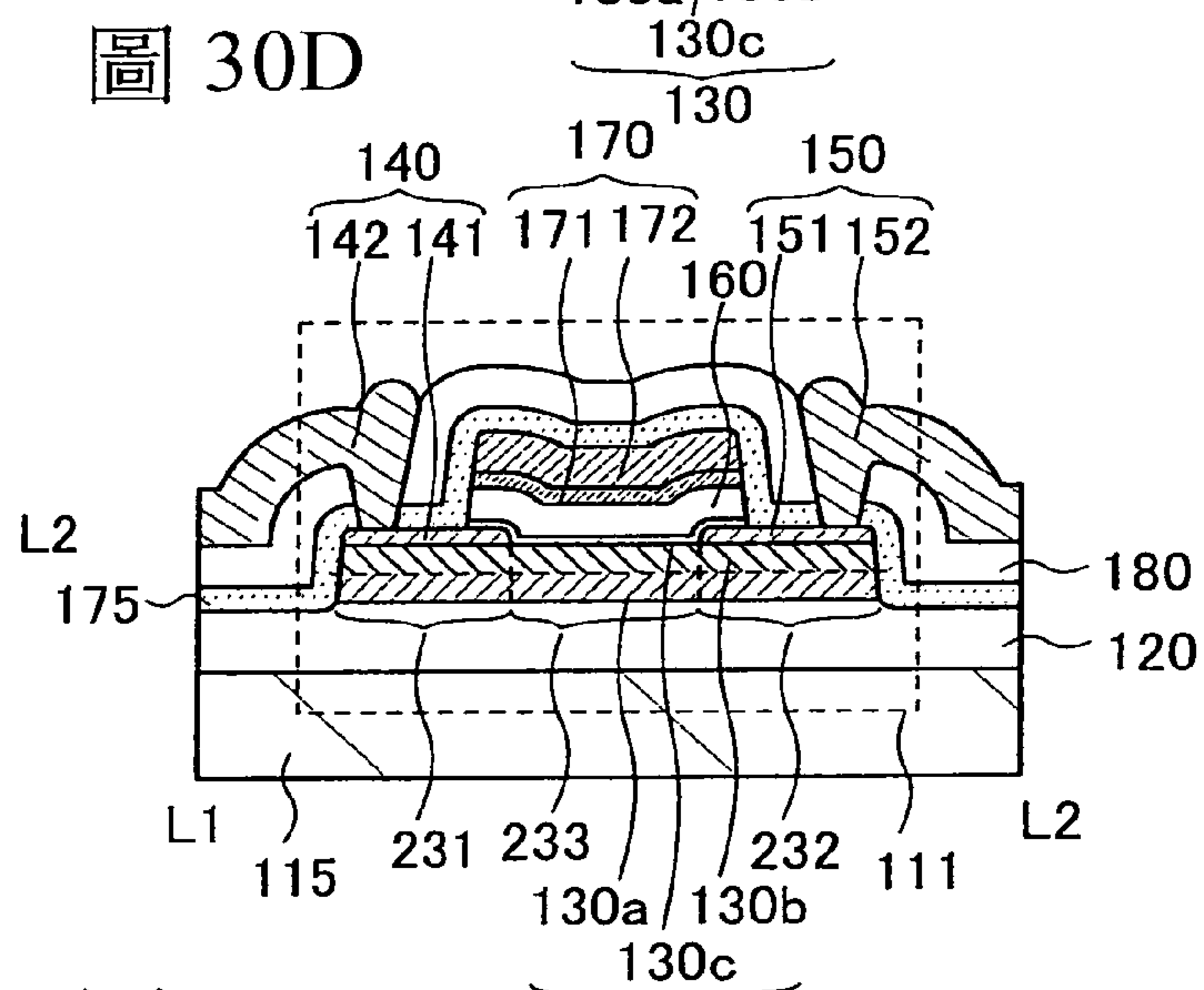


圖 30E

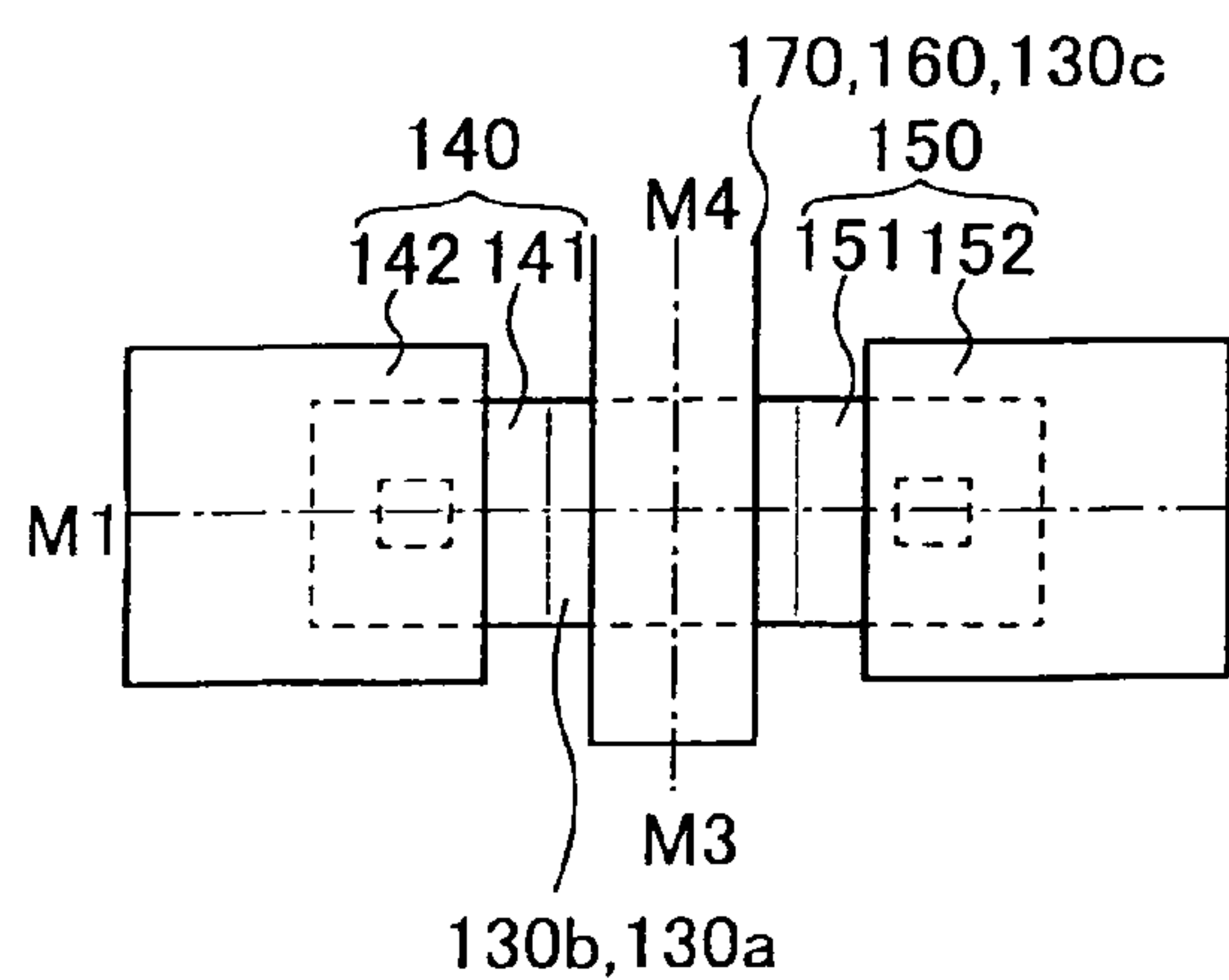


圖 30F

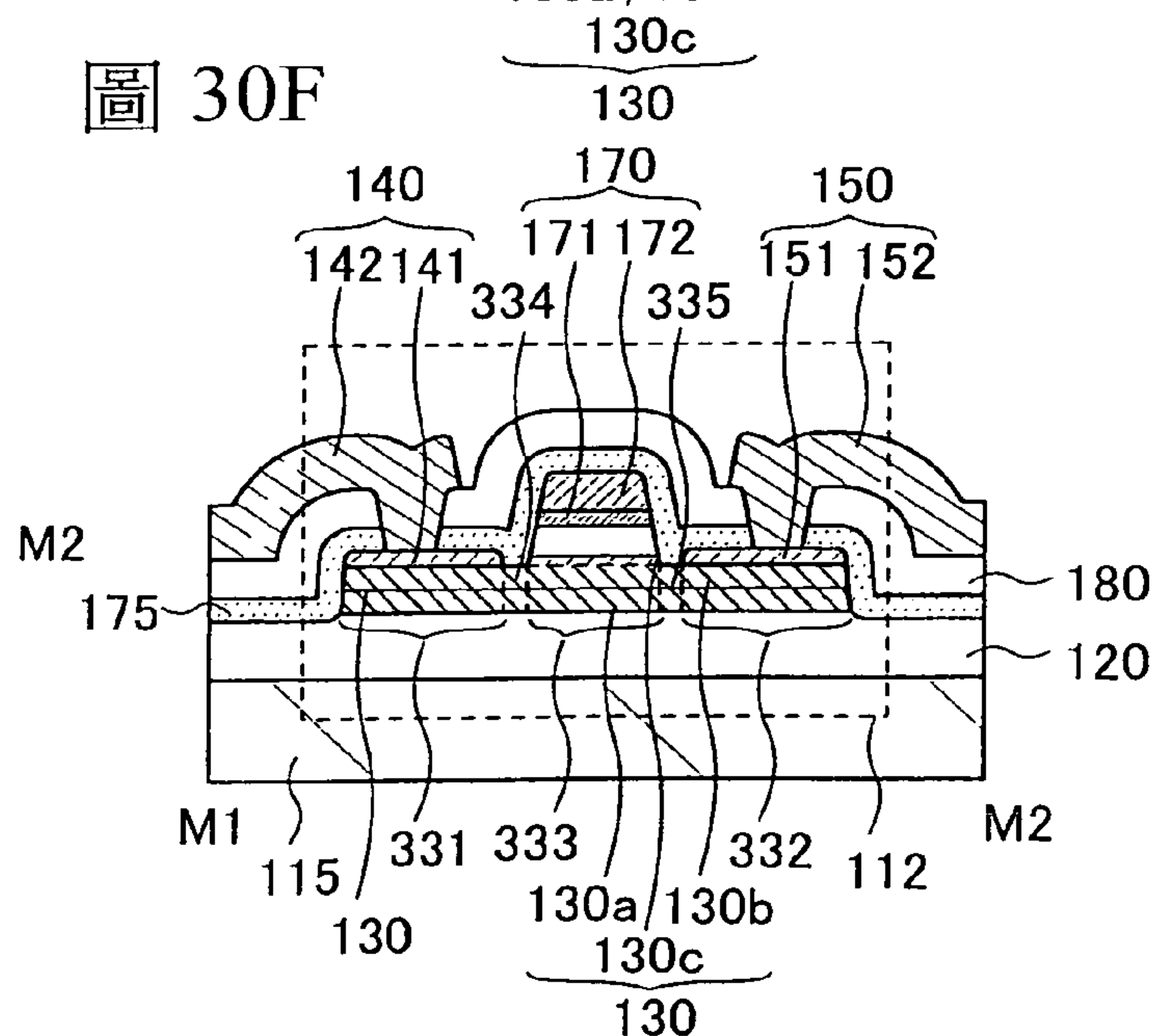


圖 31A

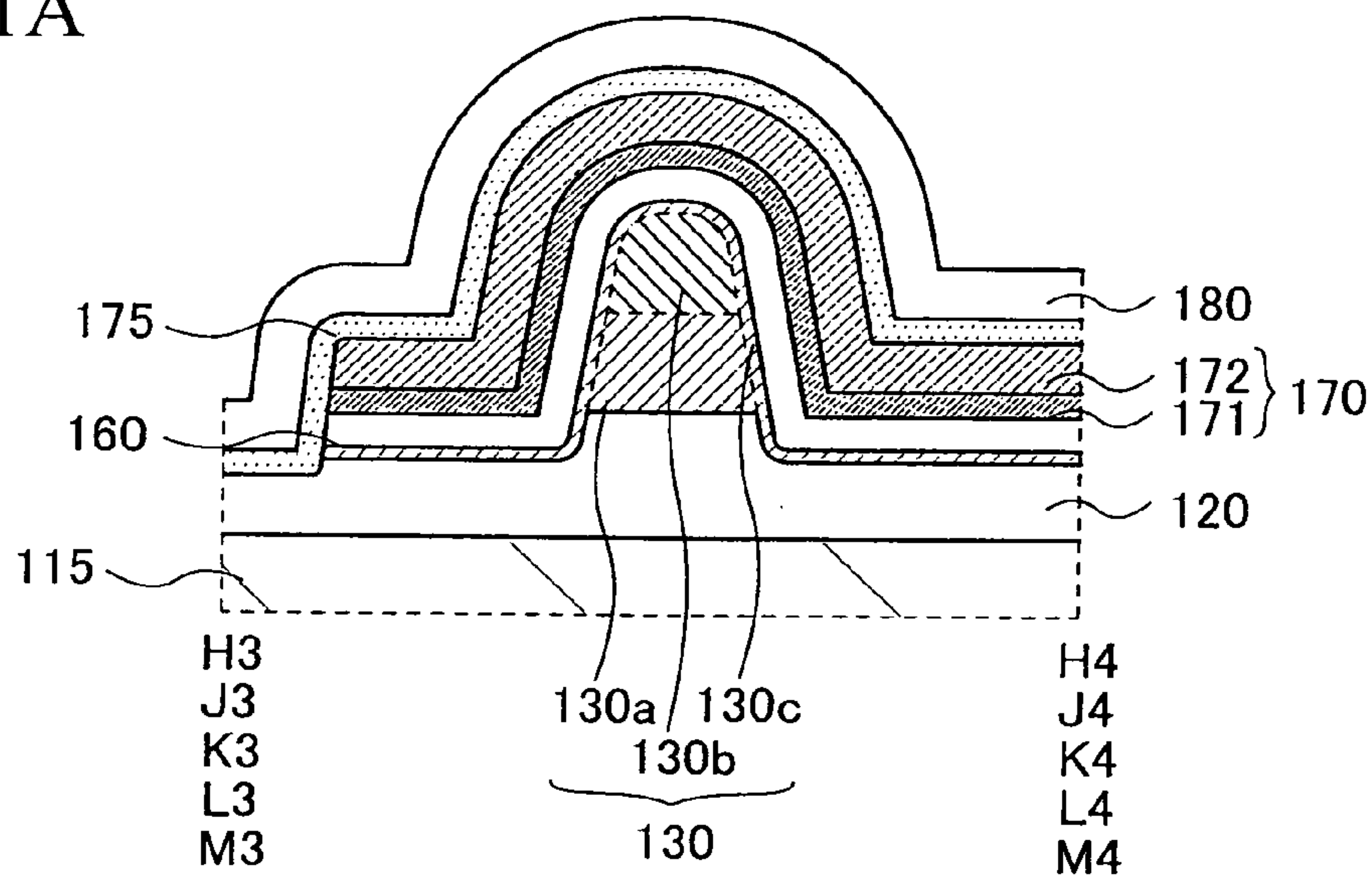


圖 31B

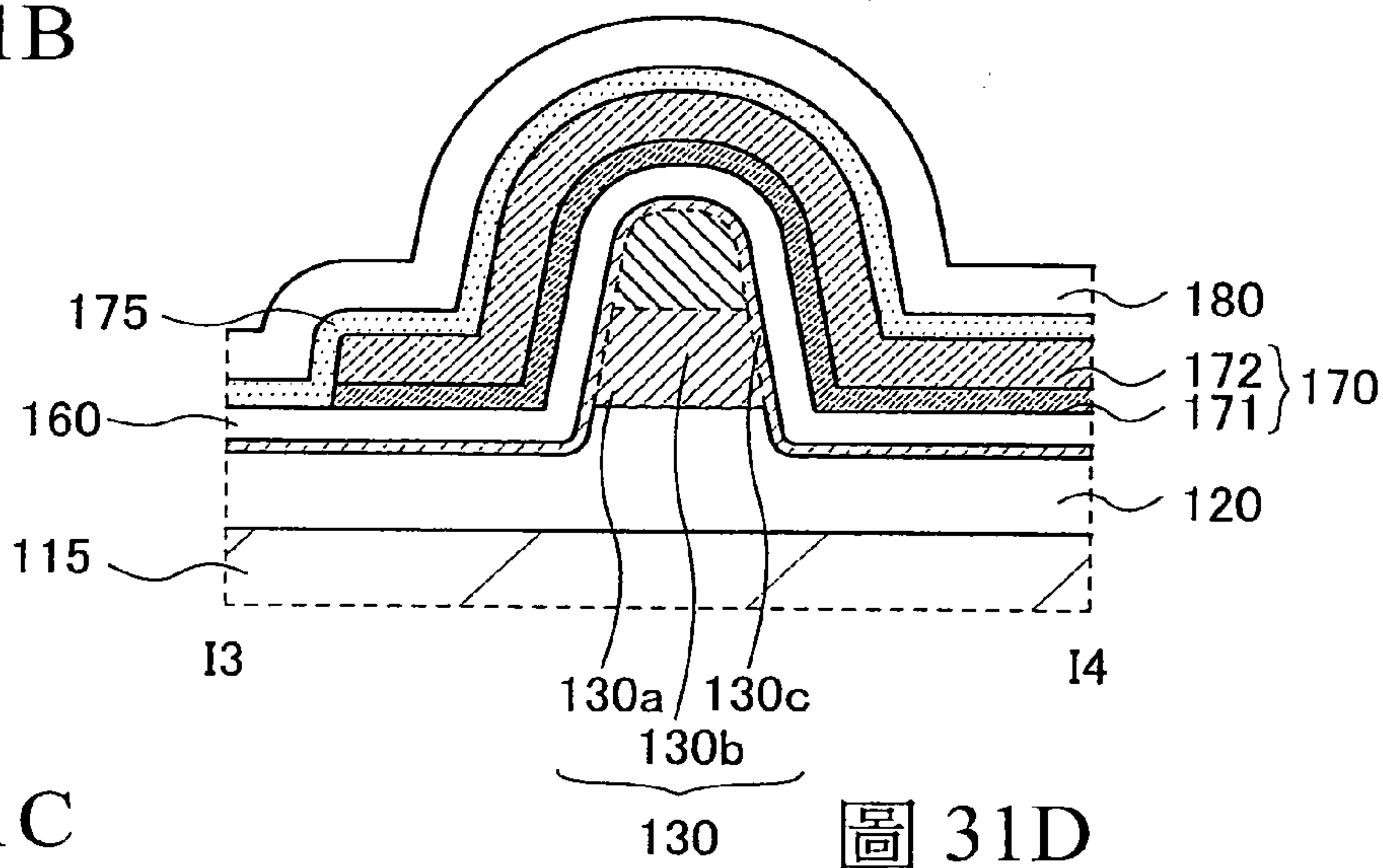


圖 31C

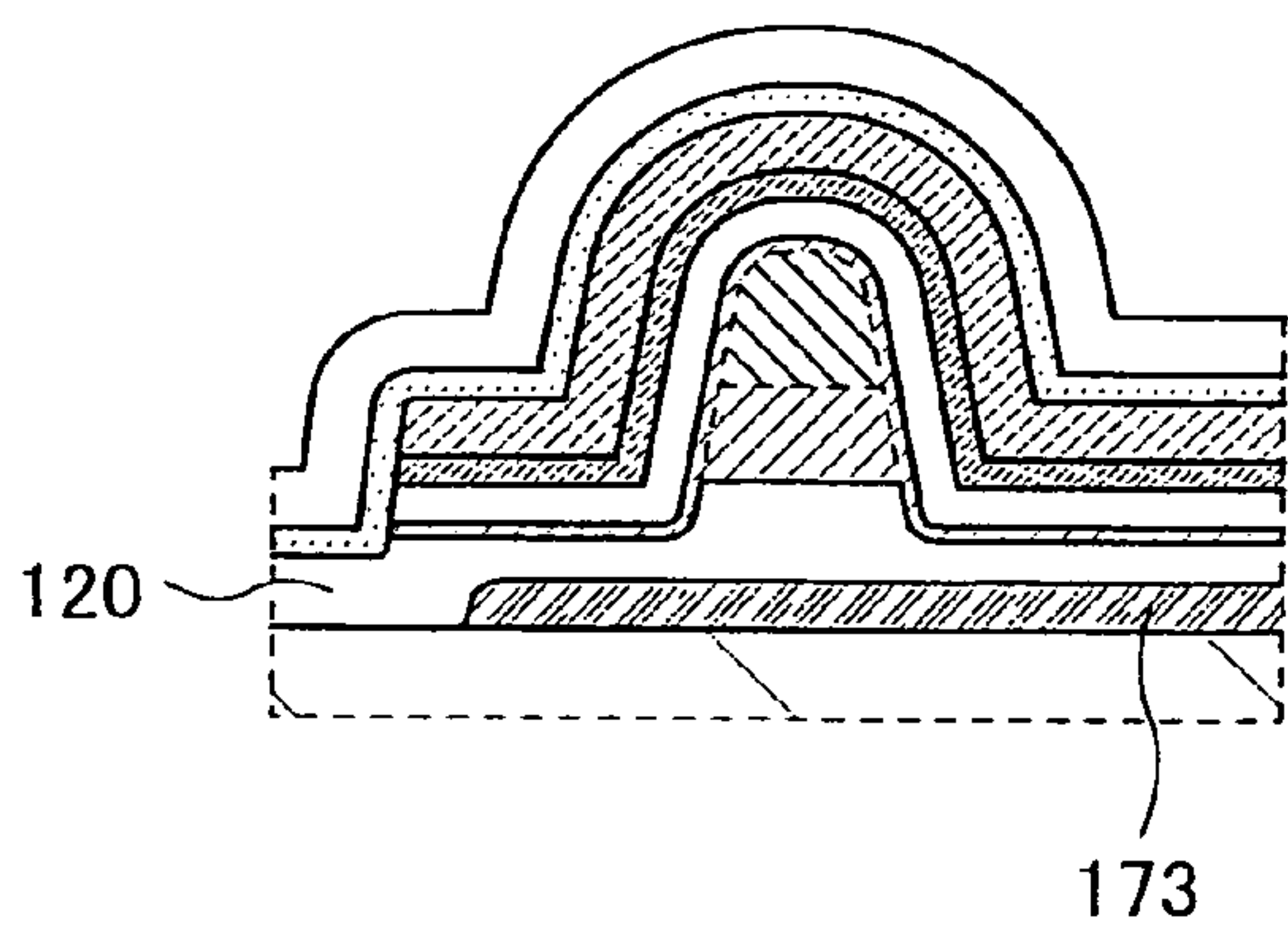


圖 31D

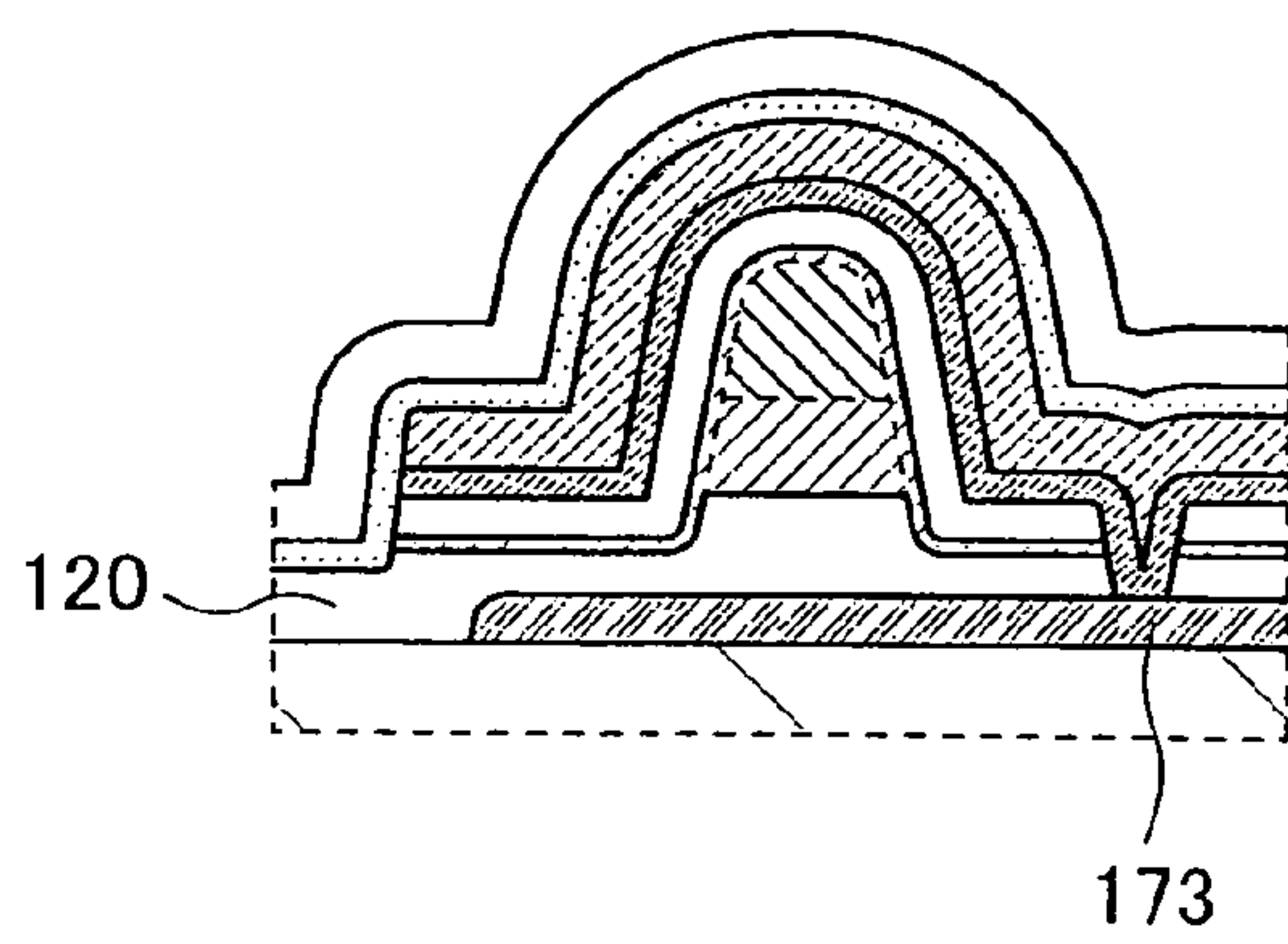


圖 32A

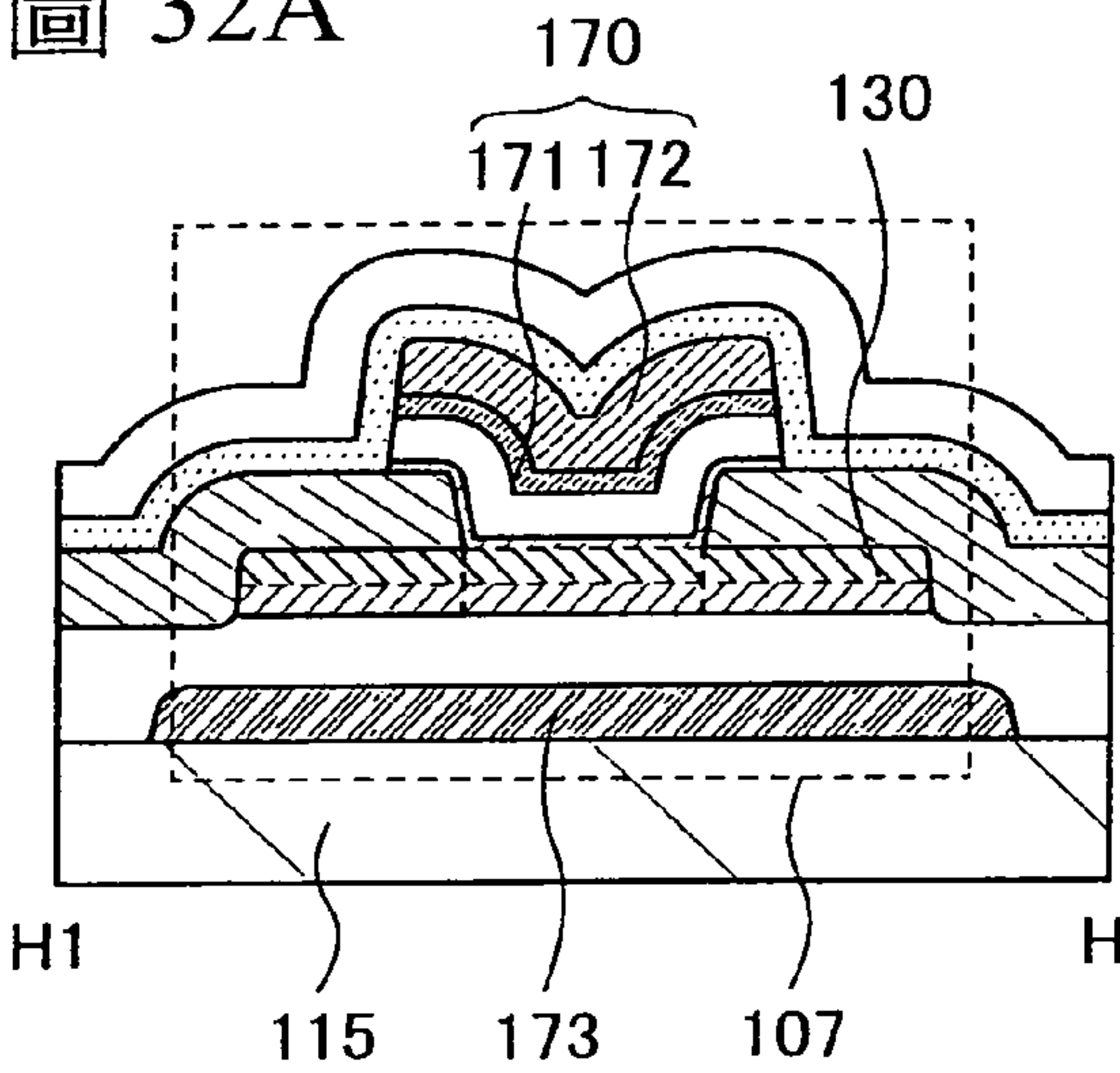


圖 32B

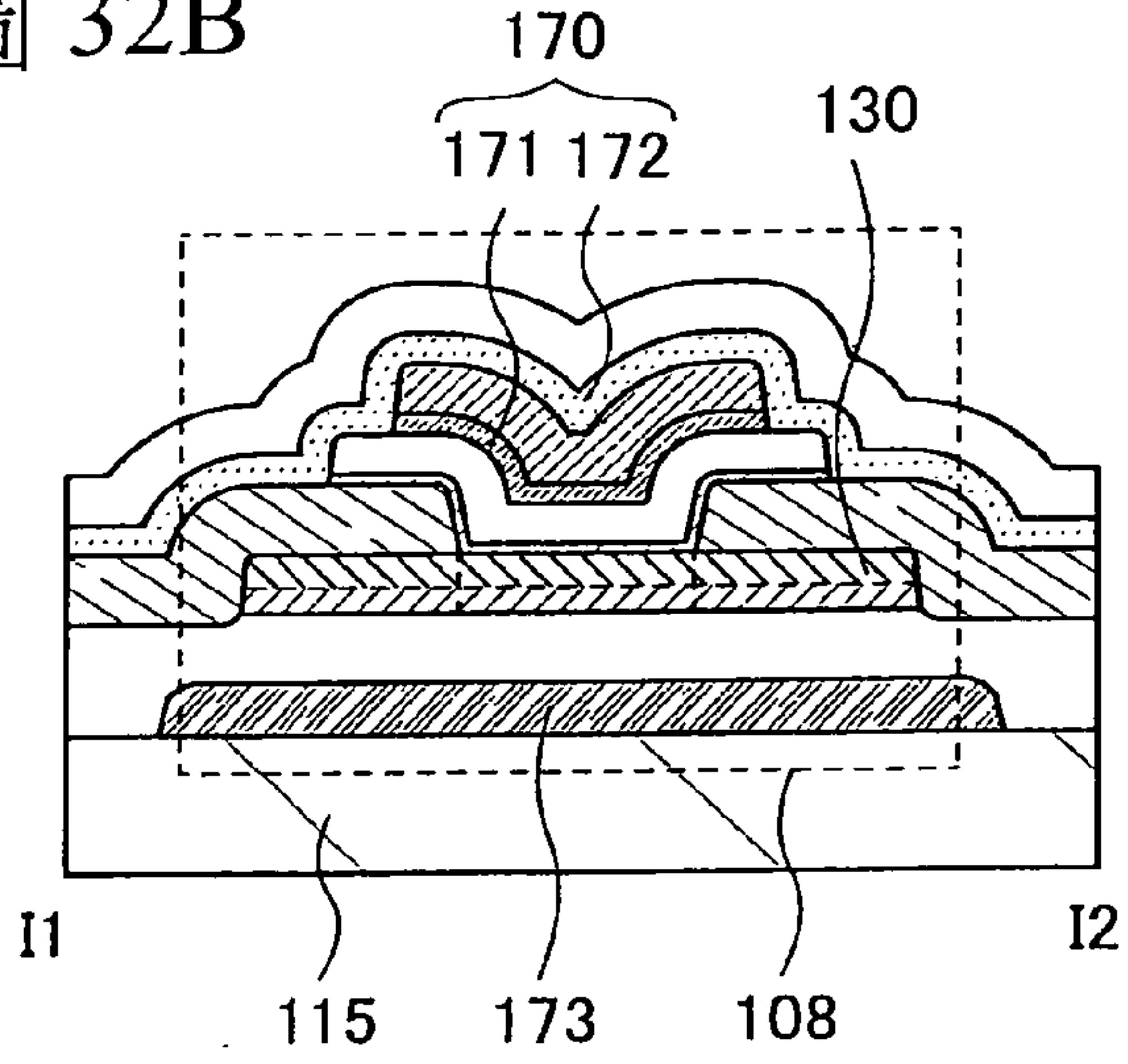


圖 32C

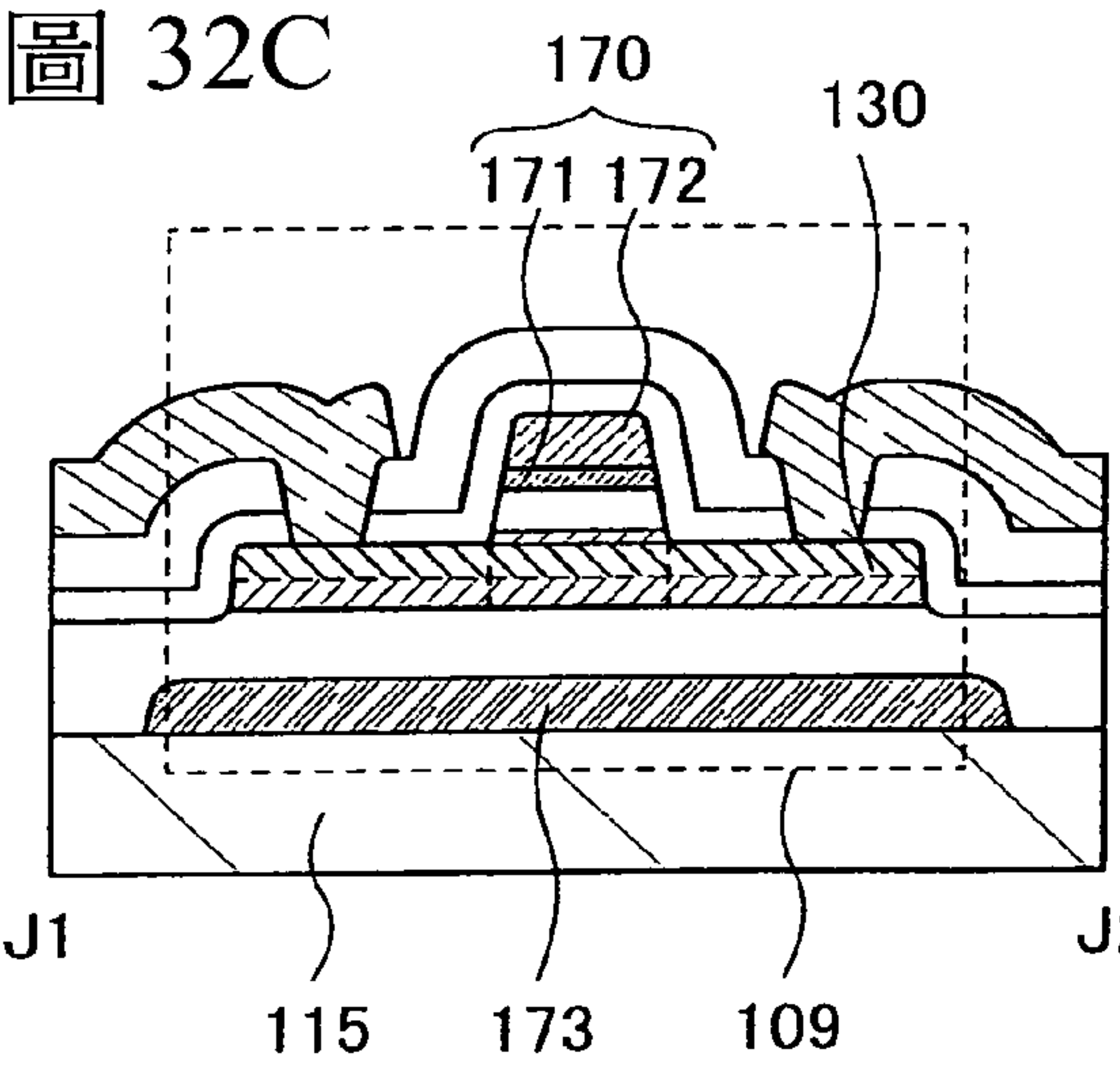


圖 32D

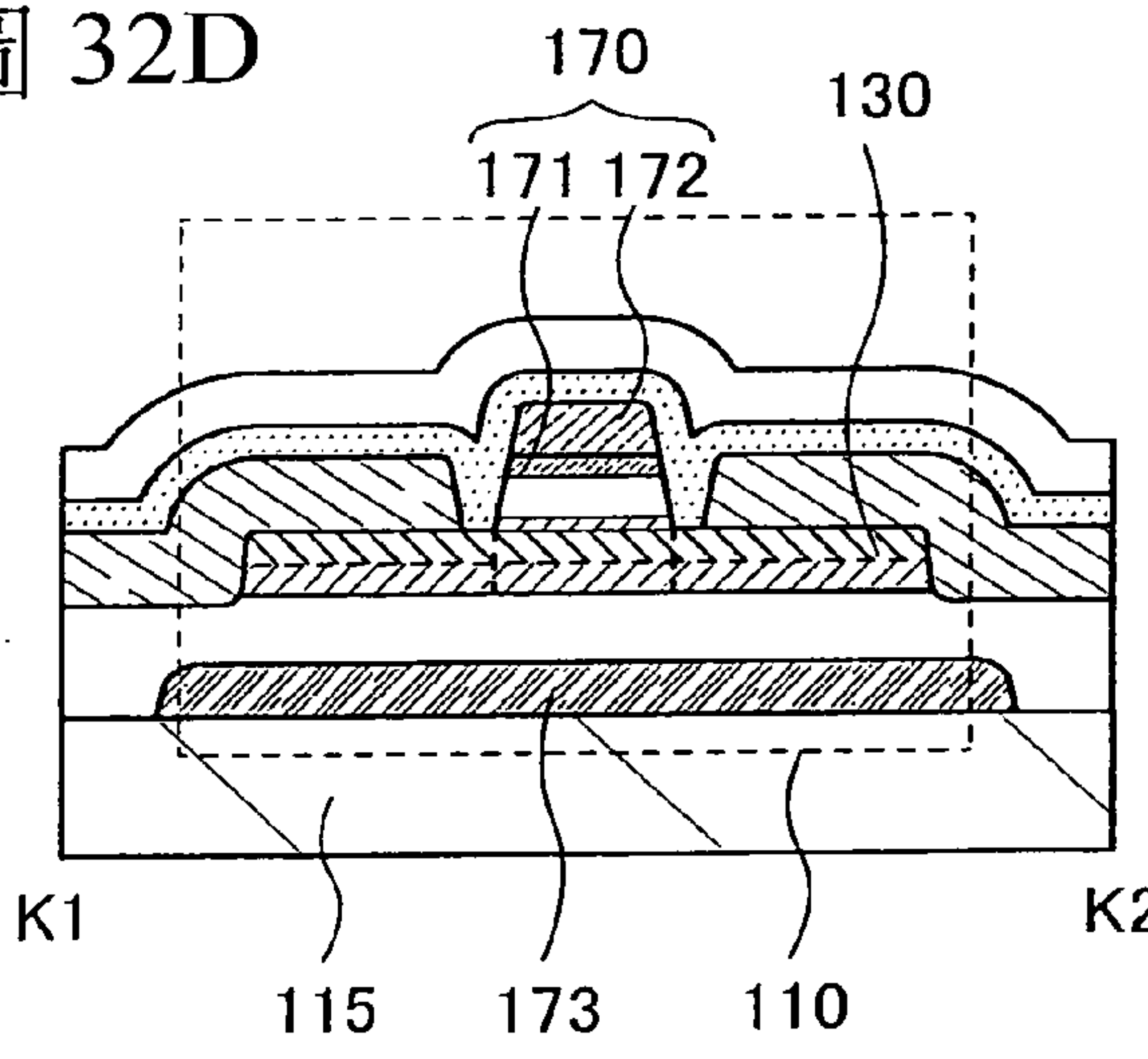


圖 32E

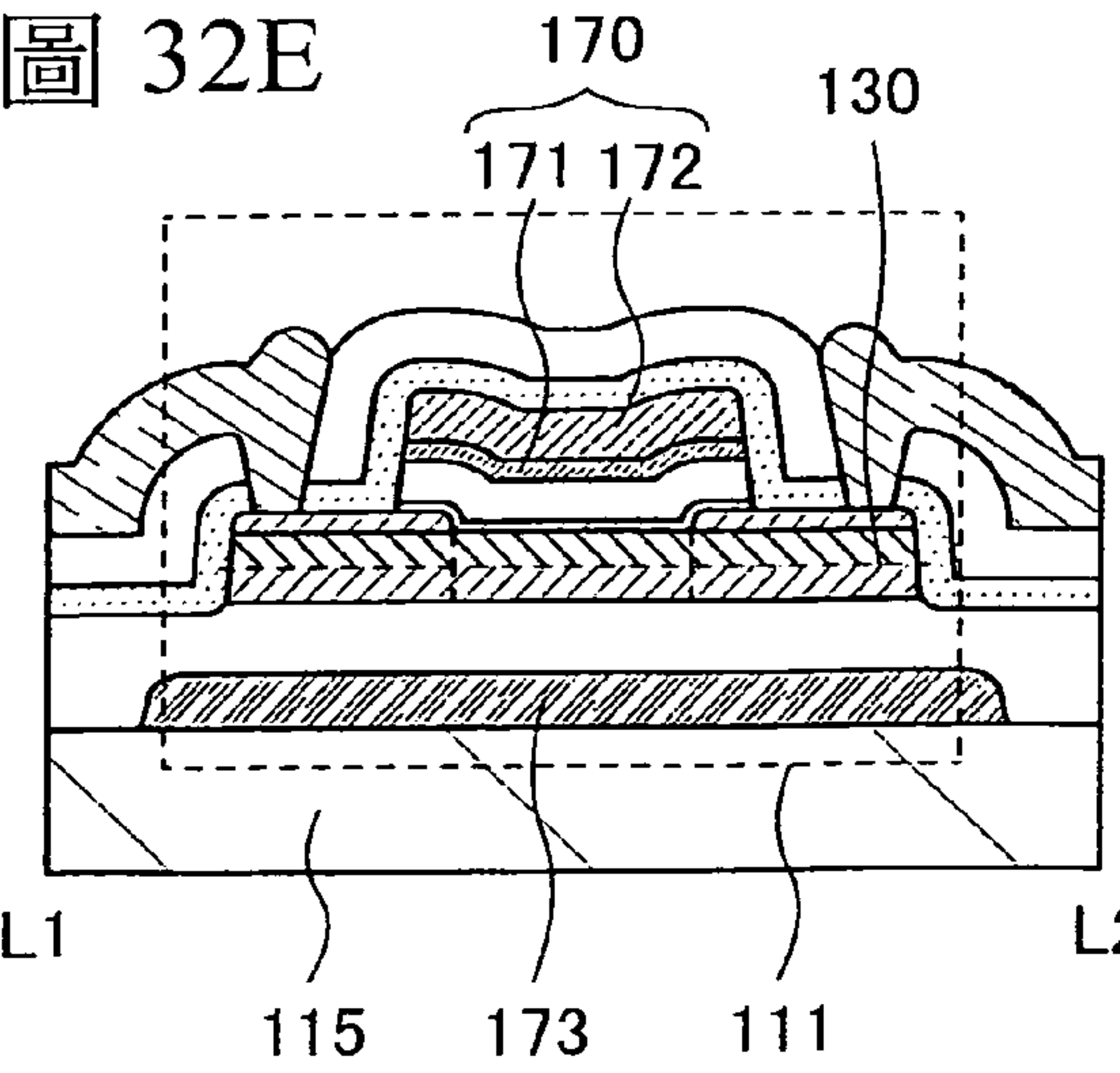


圖 32F

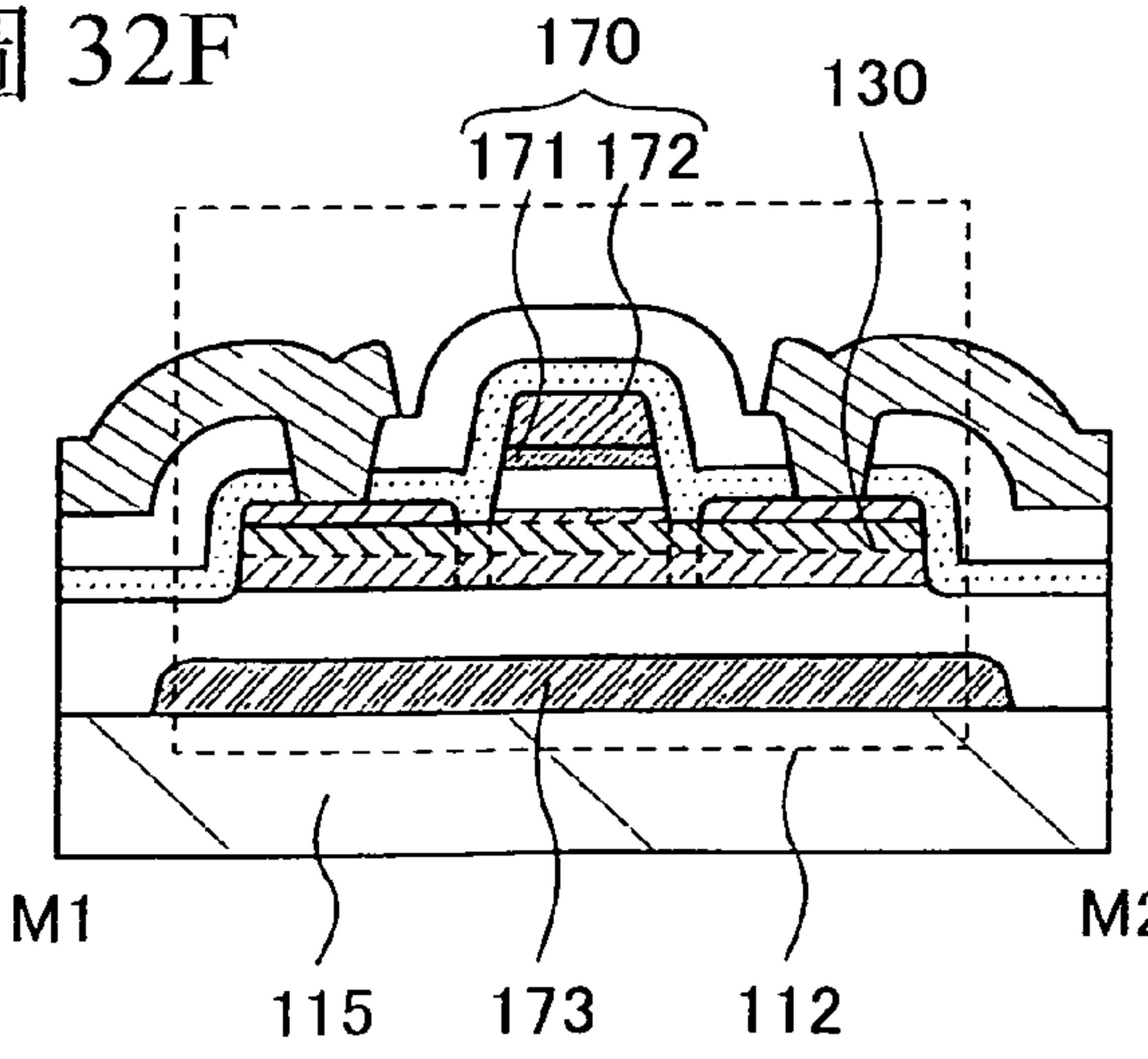


圖 33A

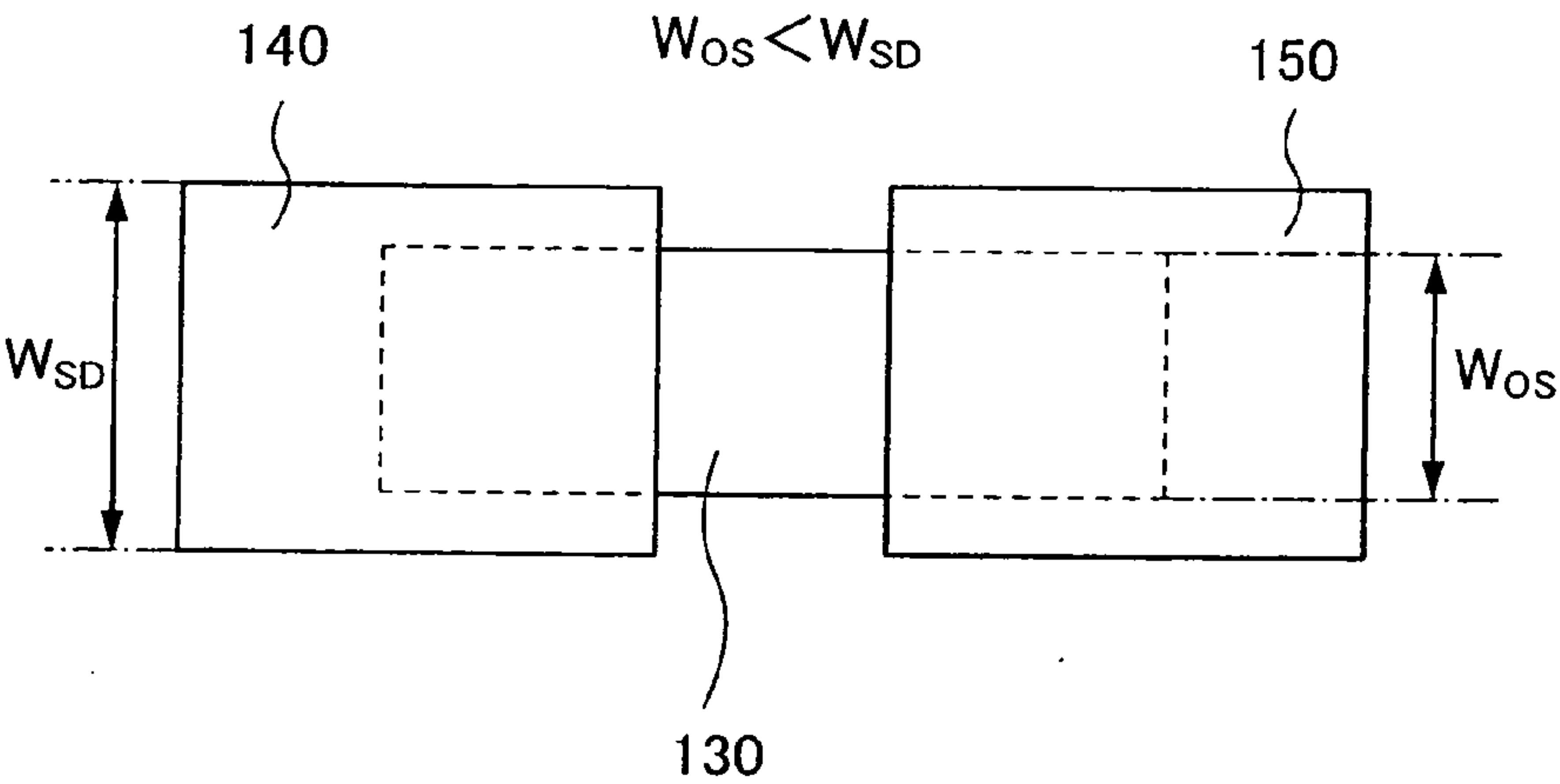


圖 33B

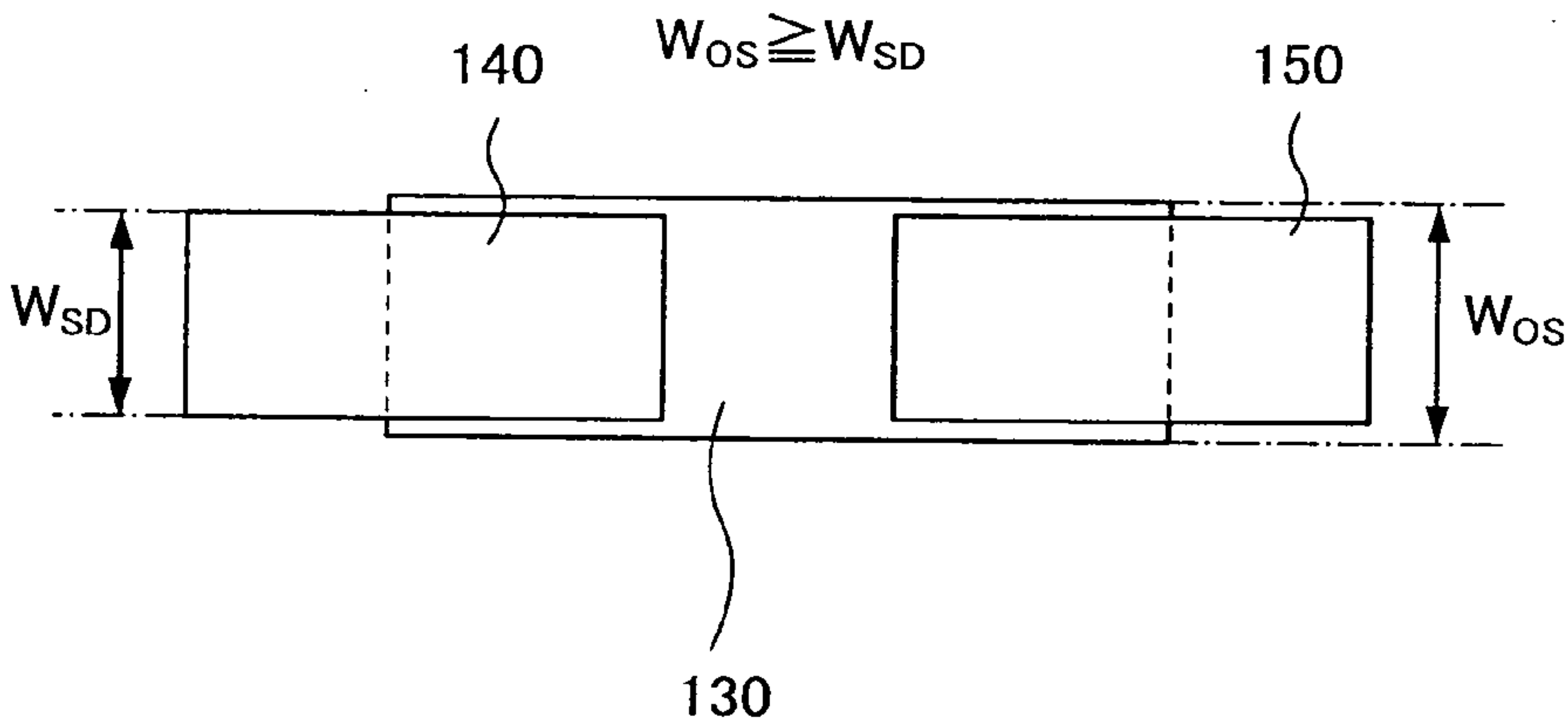


圖 33C

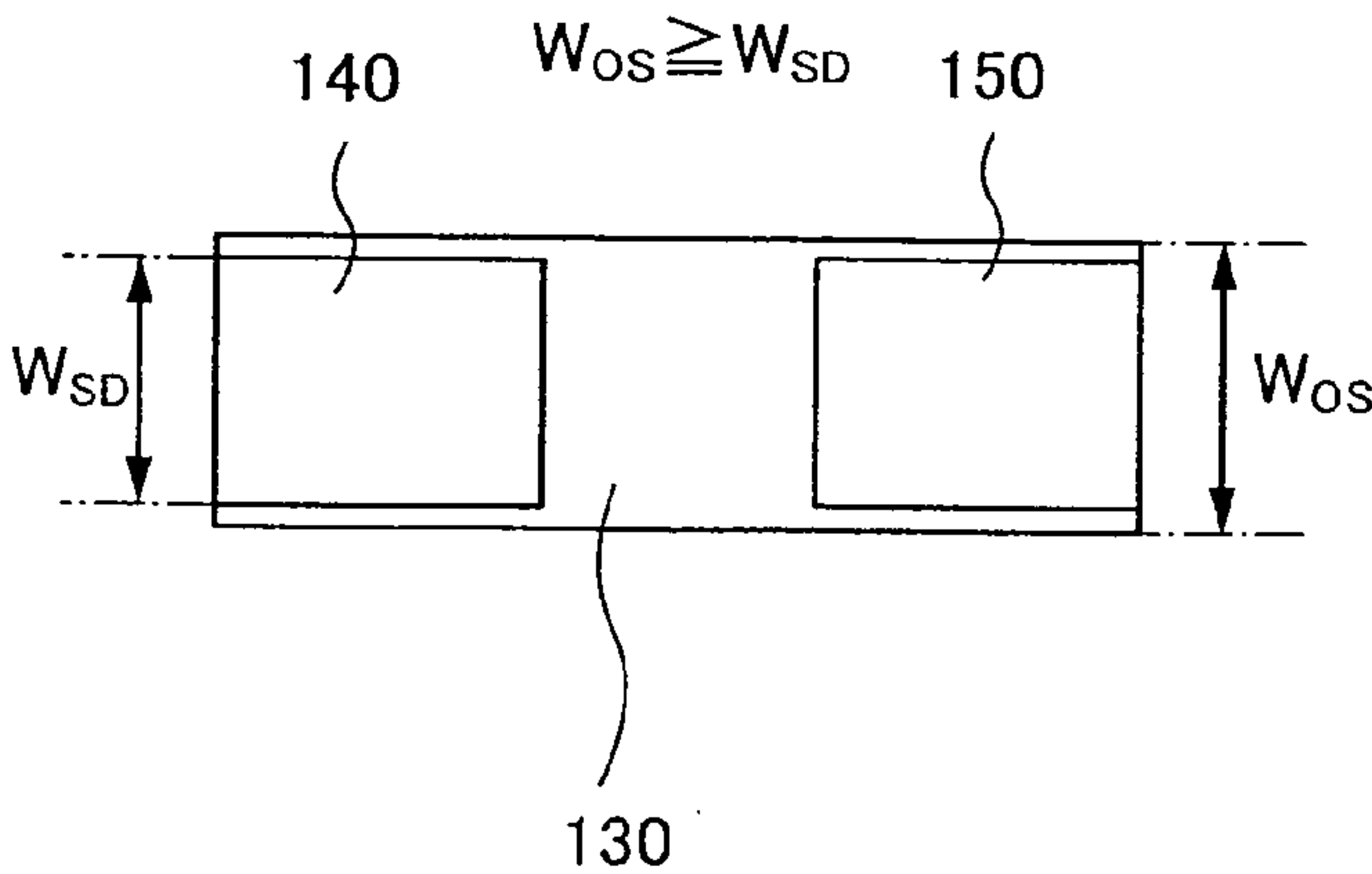


圖 34A

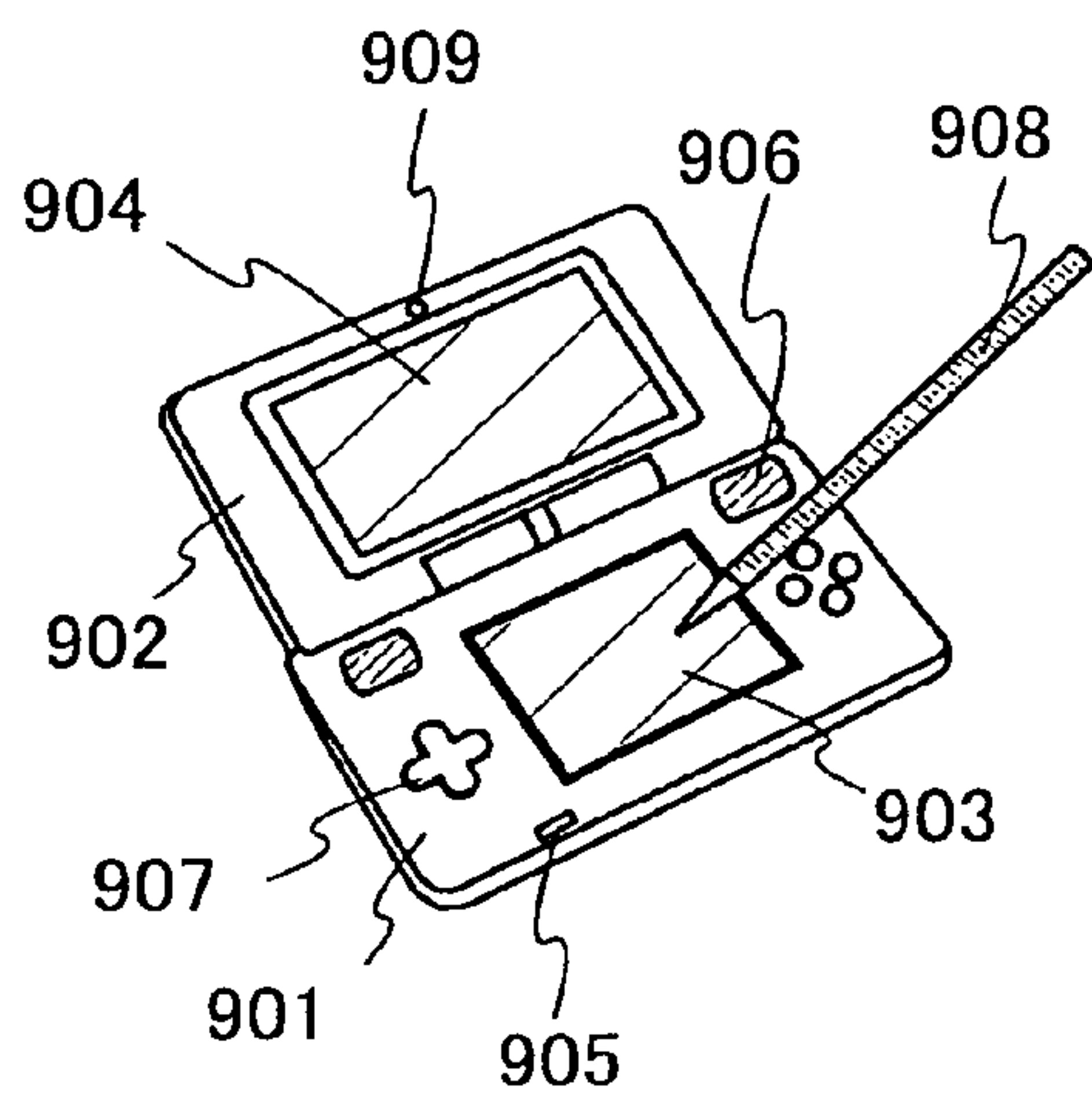


圖 34B

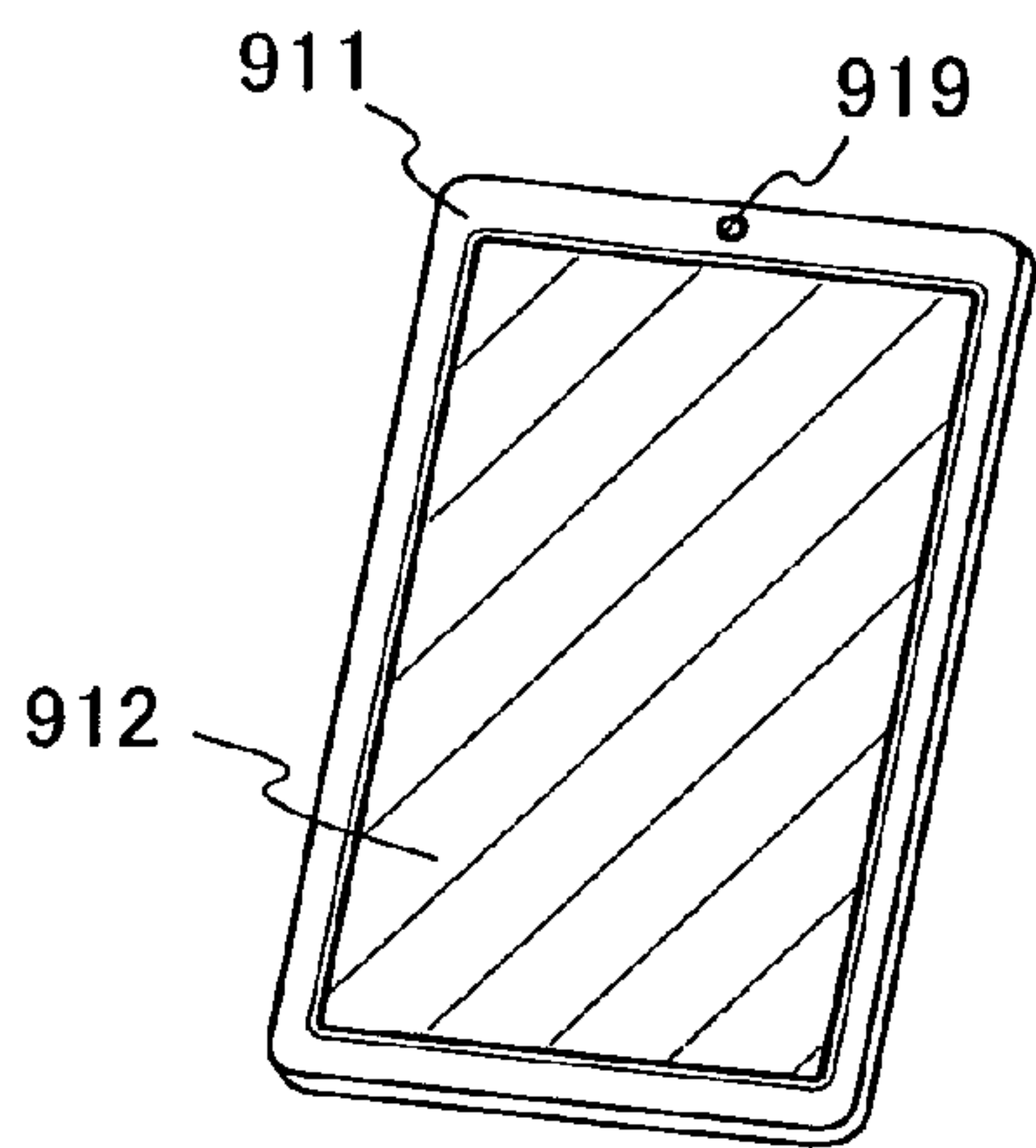


圖 34C

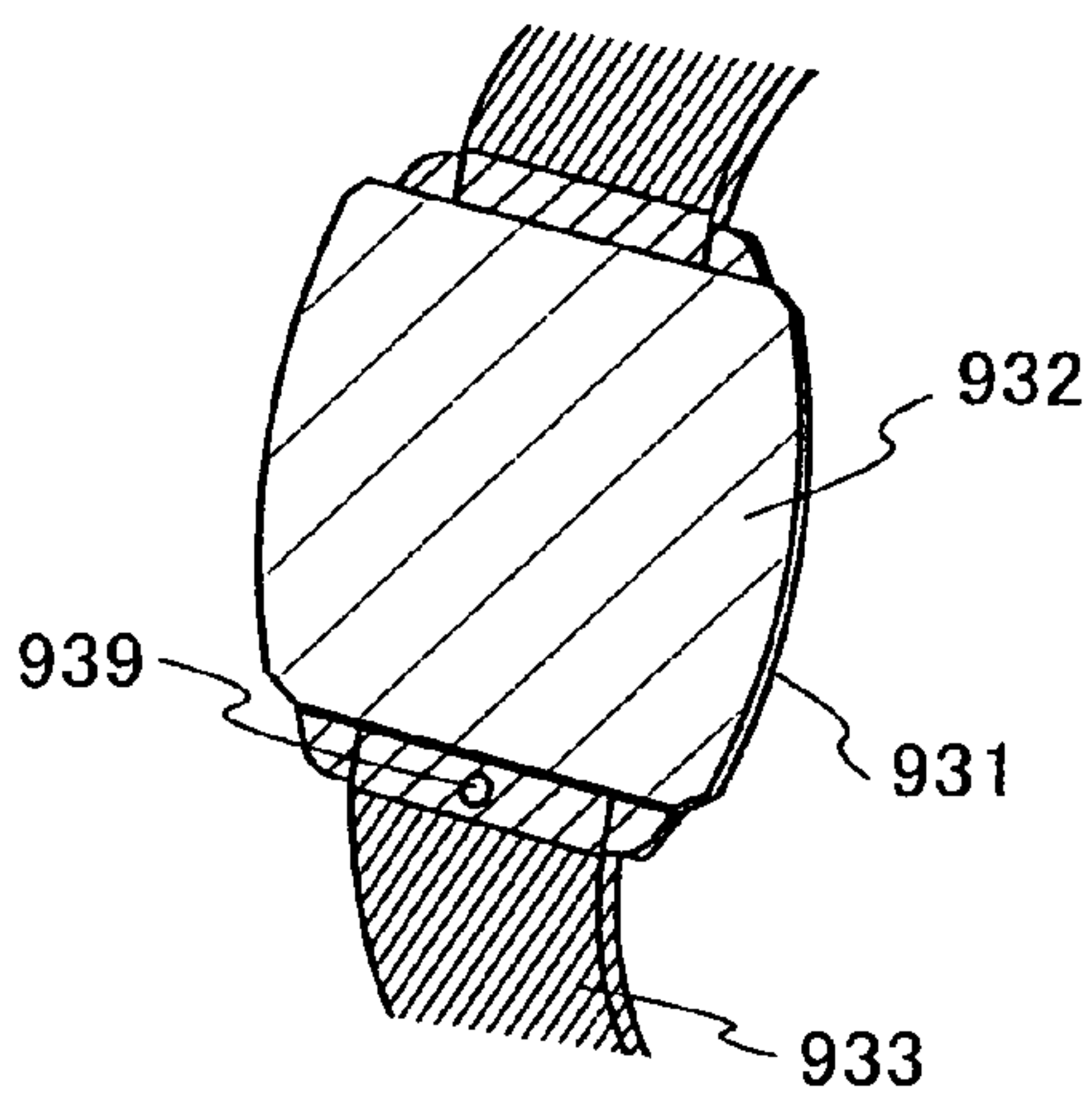


圖 34D

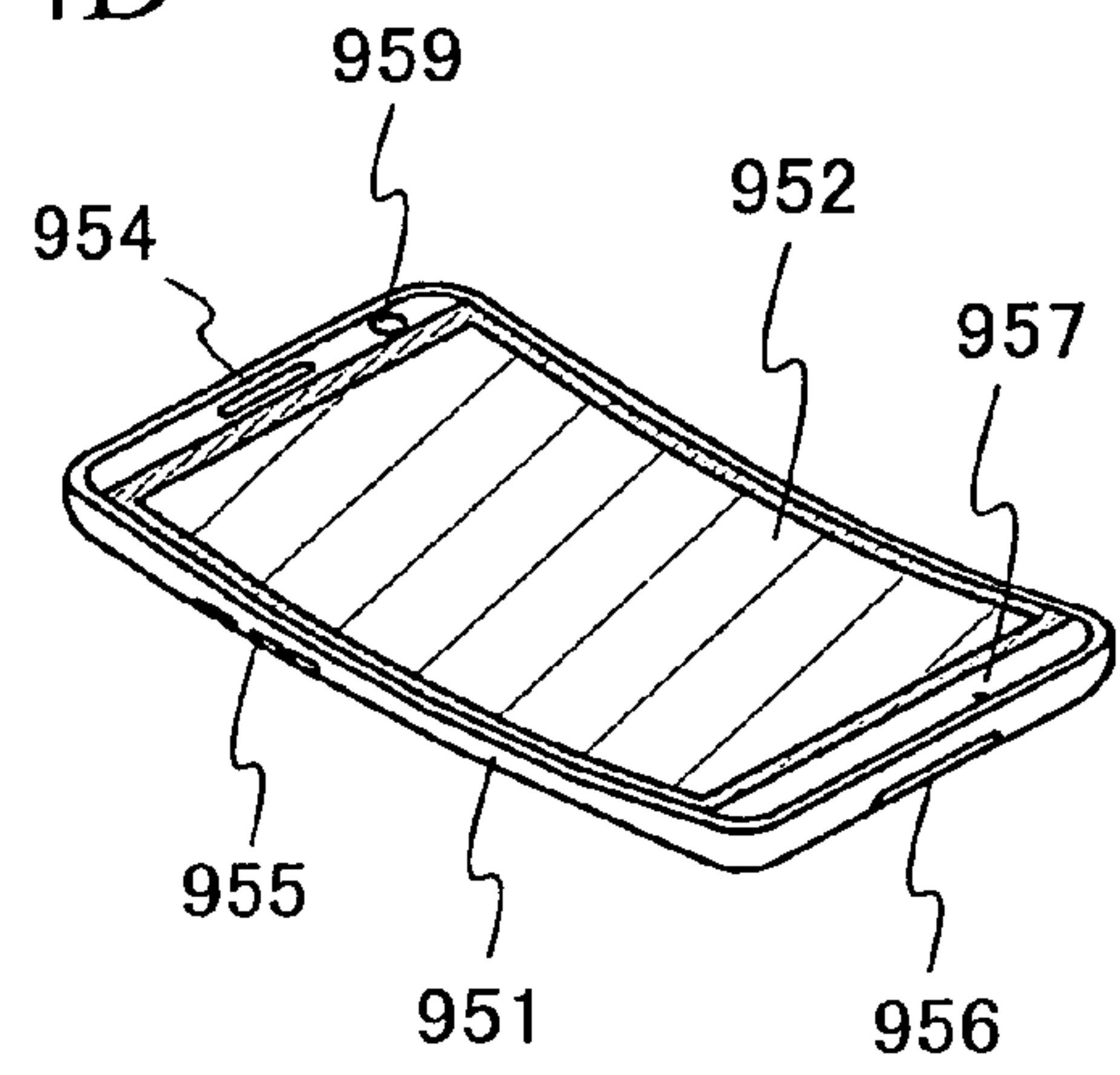


圖 34E

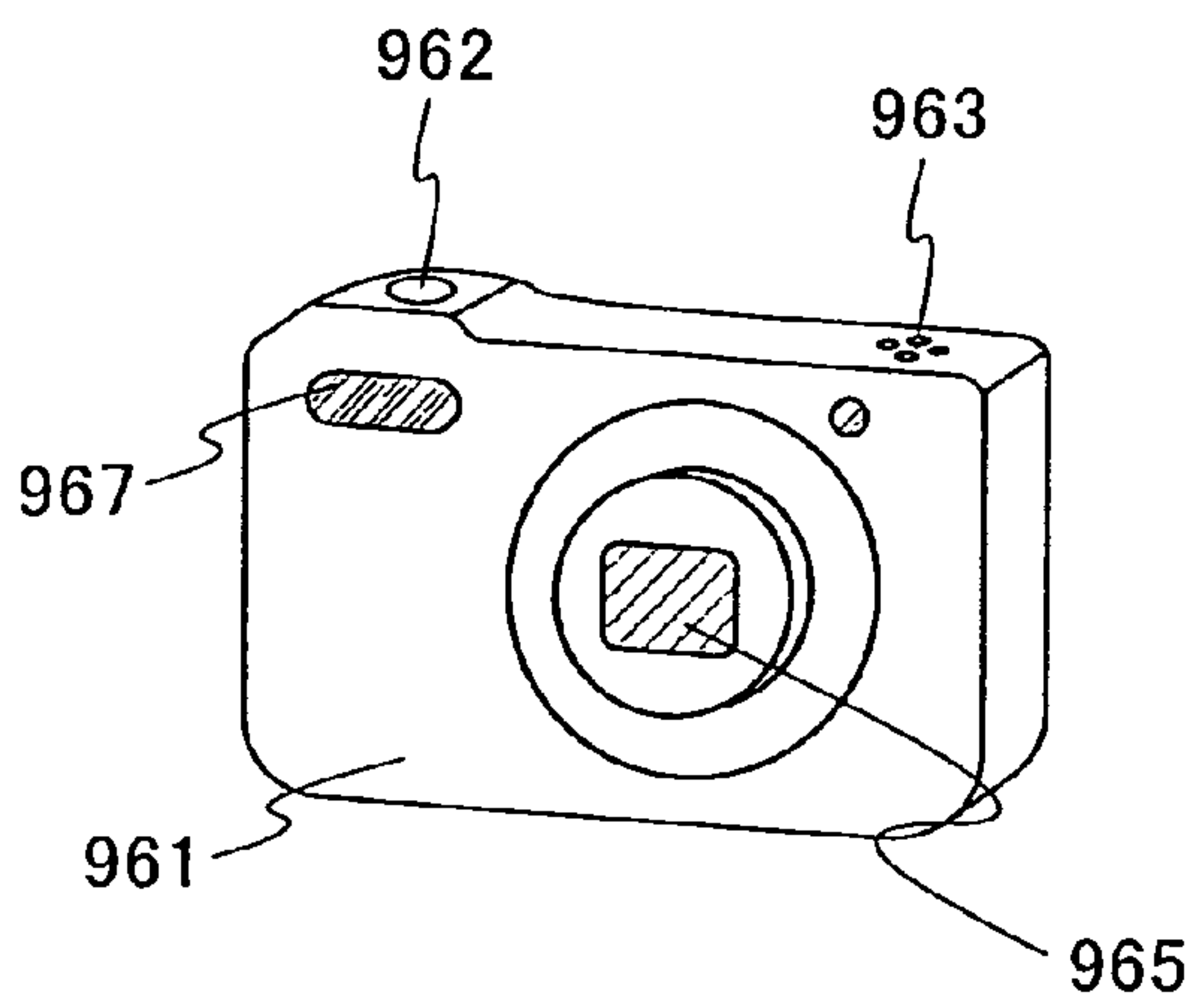


圖 34F

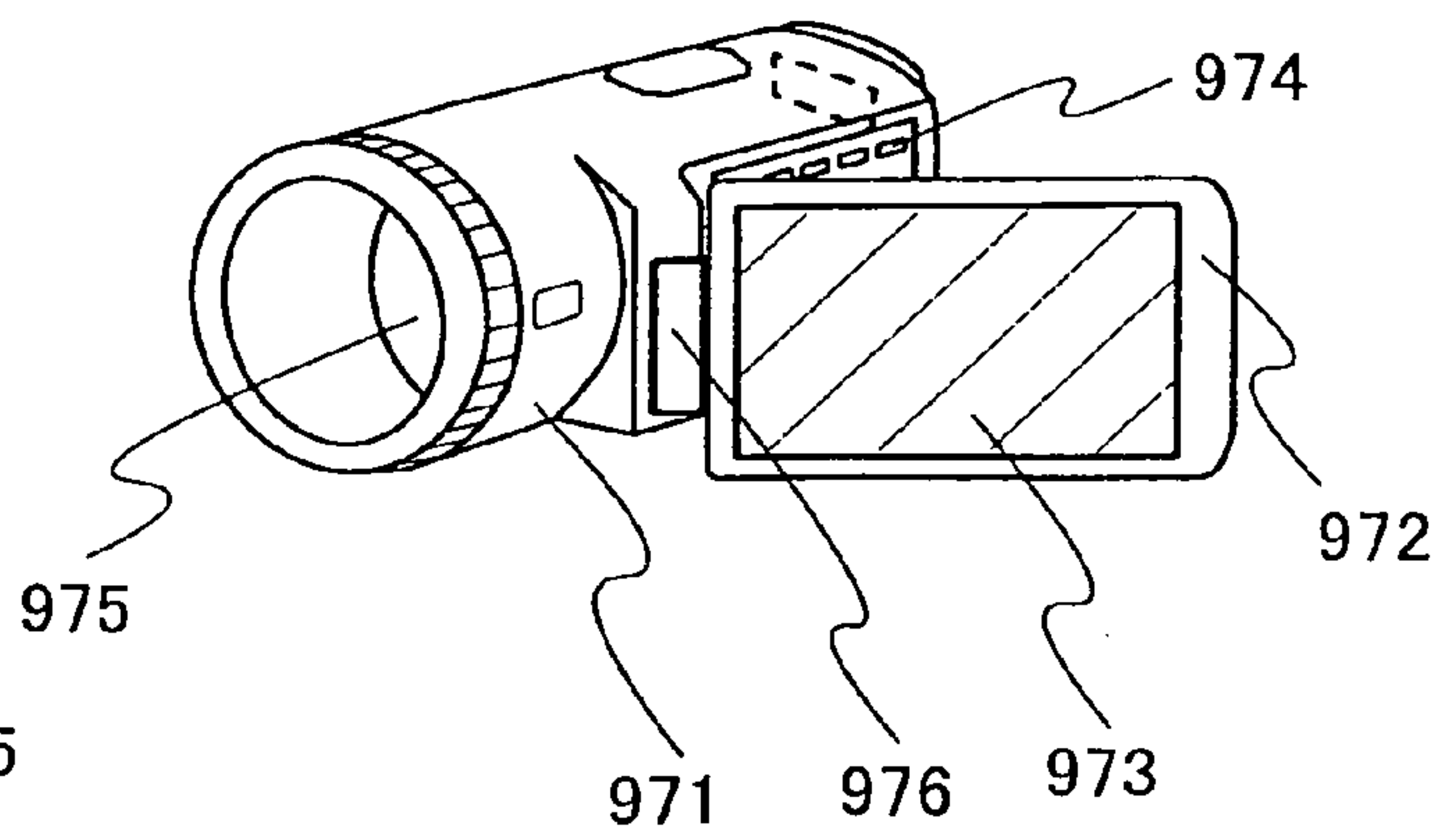


圖 35

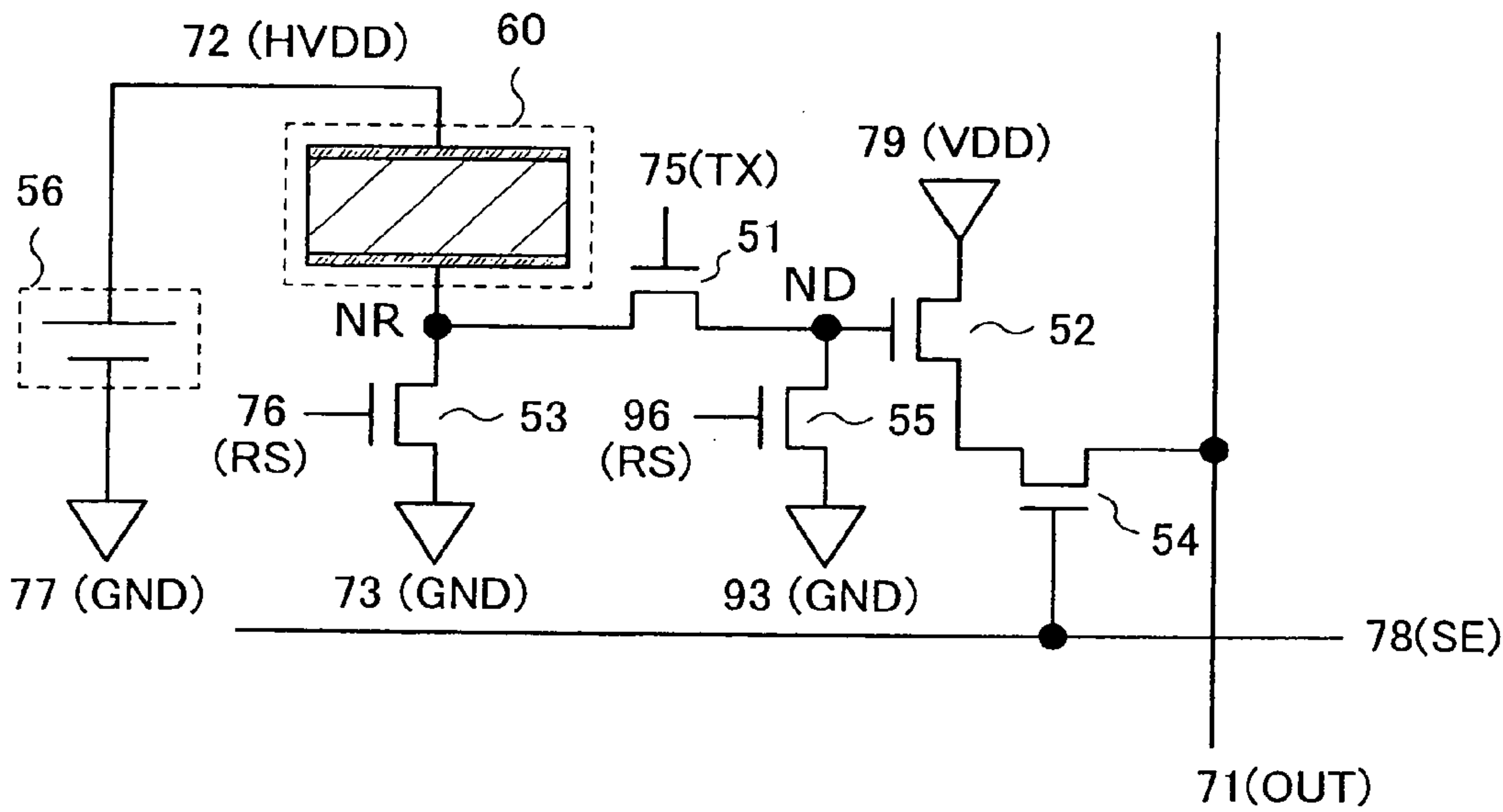


圖 36

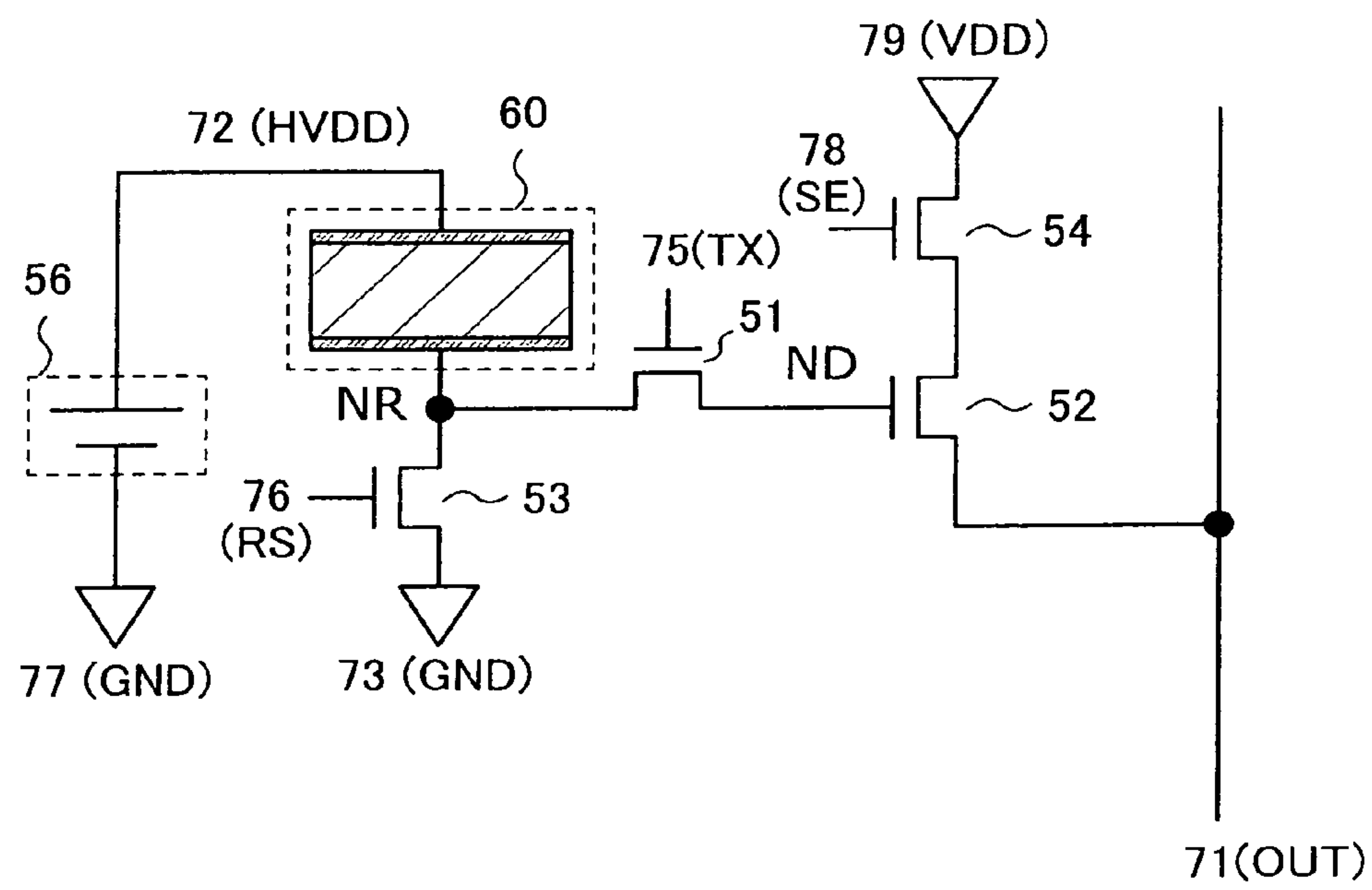


圖 37A

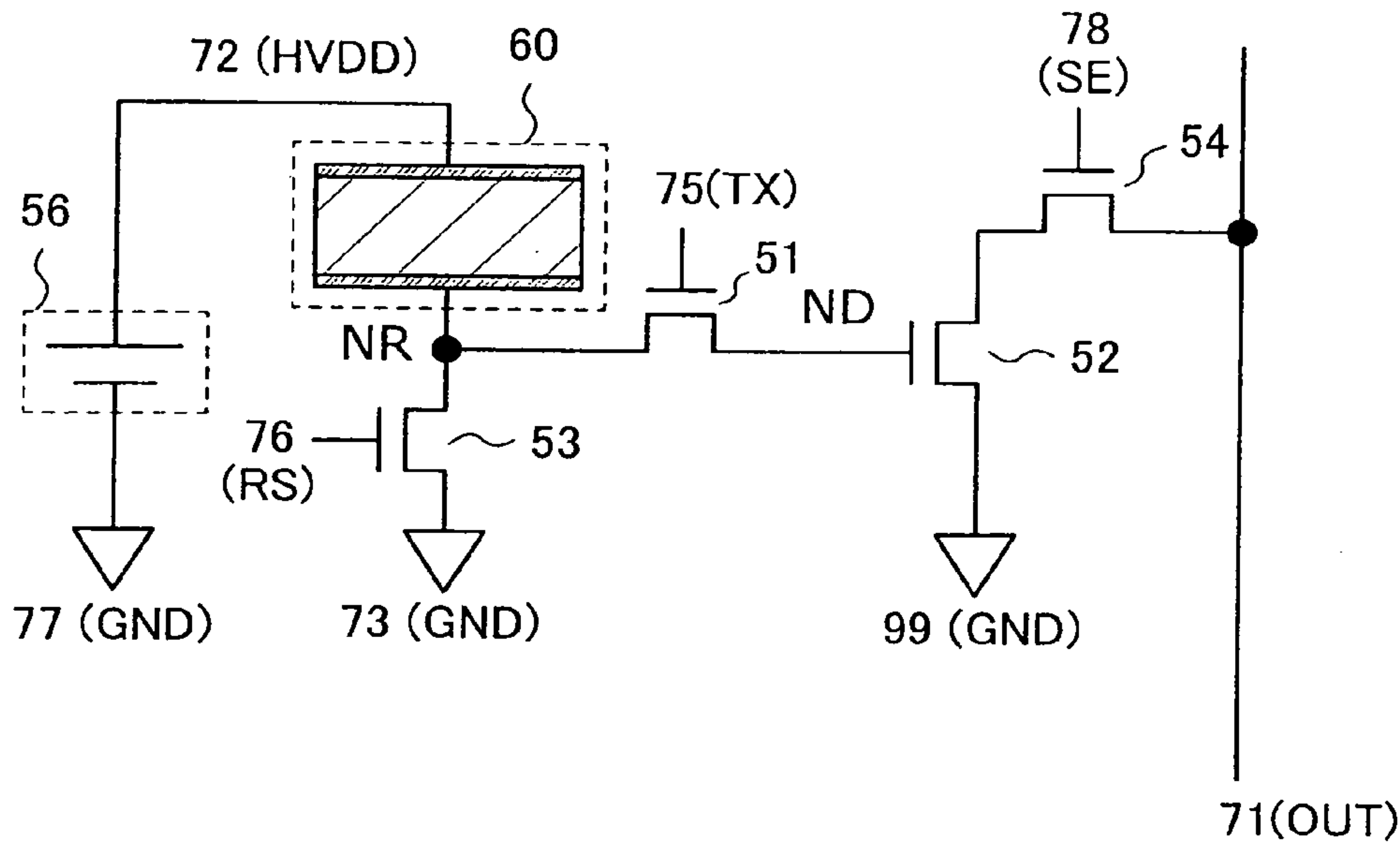


圖 37B

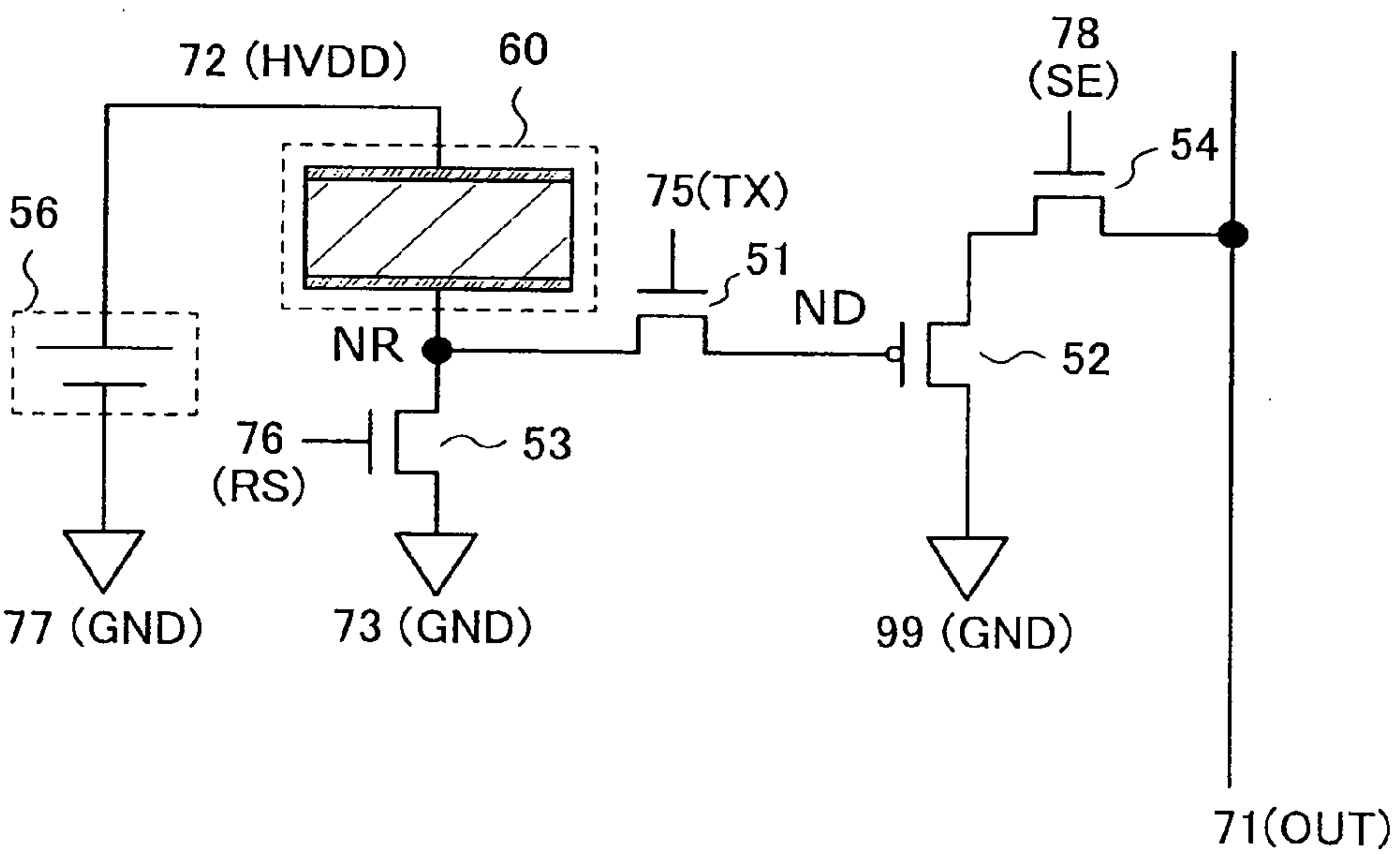


圖 38

