



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 26 925 A1** 2005.06.16

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 26 925.8**
 (22) Anmeldetag: **13.06.2003**
 (43) Offenlegungstag: **16.06.2005**

(51) Int Cl.7: **G11C 7/00**
G11C 11/4063

(30) Unionspriorität:
2002/172939 13.06.2002 JP

(74) Vertreter:
Wenzel & Kalkoff, 22143 Hamburg

(71) Anmelder:
Elpida Memory, Inc., Tokio/Tokyo, JP

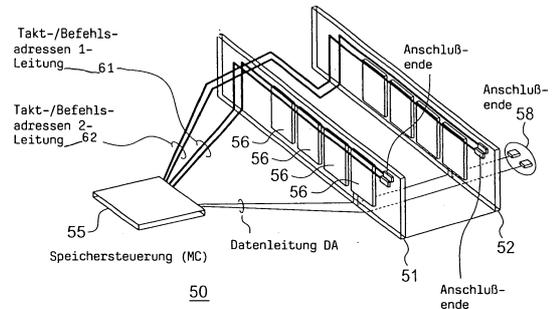
(72) Erfinder:
Matsui, Yoshinori, Tokio/Tokyo, JP

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Speichersystem und Steuerungsverfahren dafür**

(57) Zusammenfassung: Ein Speichersystem und ein Steuerungsverfahren für dasselbe ermöglichen einen stabilen Betrieb bei hohen Frequenzen ohne das Problem strahlender Störungen. In dem Speichersystem ist eine Mehrzahl DRAMs auf jedem einer Mehrzahl Module vorgesehen, und jeder DRAM ist mit einer Speichersteuerung durch Datenleitungen und Taktleitungen verbunden. Die Taktleitungen weisen eine Topologie auf, die ausschließlich für jeden Modul verwendet wird, während die Datenleitungen eine Topologie zum Verbinden mit ihren zugeordneten DRAMs auf jedem Modul haben. Befehls-/Adressenleitungen haben ebenfalls eine Topologie, die jener der Taktleitungen ähnlich ist. In diesem Fall werden Datensignale, die durch die Datenleitungen zugeführt sind, und Takt und Befehls-/Adreßsignale, die durch die Taktleitungen und die Befehls-/Adreßleitungen zugeführt sind, zu unterschiedlichen Taktgaben/Zeitsteuerungen zwischen den DRAMs und der Speichersteuerung übertragen. Zu diesem Zweck sind die DRAMs und die Speichersteuerung mit Schaltungen zum Anpassen der Takte versehen.



Beschreibung

HINTERGRUND DER ERFINDUNG

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf ein Speichersystem, das einen Halbleiterspeicher wie einen DRAM umfaßt, und auf Steuerverfahren dafür.

Stand der Technik

2. Beschreibung des einschlägigen Standes der Technik

[0002] Es gibt ein Speichersystem dieser Art, das in der ungeprüften japanischen Patentveröffentlichung Nr. 2001-256772 (worauf im folgenden als „zitiertes Beispiel 1“ Bezug genommen wird) offenbart ist. Im zitierten Beispiel 1 wird ein von einer Speichersteuerung MC an jeden Modul geliefertes Taktsignal reproduziert und durch eine/n PLL-Schaltung/-Schaltkreis auf dem Modul gepuffert, bevor sie an jeden DRAM des Moduls verteilt wird. Zwischenzeitlich wird ein Adressen- und Befehlssignal durch einen Puffer auf jedem Modul gepuffert, bevor es an jeden DRAM verteilt wird. Es wird ein Datensignal von der MC an die DRAMs auf jeden Modul parallel zugeführt.

[0003] Das zitierte Beispiel 1 offenbart eine Topologie, in der eine Datenleitung auf jedem Modul in bezug auf einen Datenbus auf einer Mutterplatte nicht verzweigt ist. Dies ermöglicht es, daß die Betriebsfrequenz eines Signals erhöht werden kann.

[0004] Das zitierte Beispiel 1 offenbart jedoch lediglich eine Verdrahtungskonfiguration auf einem Modul und bezieht sich in keiner Weise auf ein Synchronisieren der Zeitsteuerung (timing; Anm. d. Übersetzers: In der folgenden Beschreibung und den Ansprüchen wechselweise auch mit Zeitablauf, Zeitgabe, Taktung, Taktgabe wiedergegeben) von Adreß-Befehlssignalen und Datensignalen mit Taktsignalen. Daher ist es unmöglich, das Taktverhältnis unter den Adreß-Befehlssignalen, den Datensignalen und den Taktsignalen zu analogisieren, und es ist ebenfalls unmöglich, irgendeine spezifische Konfiguration zum Übertragen von Adreß-Befehlssignalen und Datensignalen an oder von den DRAMs unter Verwendung des Zeitverlauf- oder -steuer- bzw. Taktgabeverhältnisses zu analogisieren.

[0005] Besonders ist es, wenn ein Speichersystem bei hohen Frequenzen betrieben wird, wichtig, eine Taktsynchronisierung zum Übermitteln von Signalen ohne Zeitsteuerungsverlust zusätzlich zum Erreichen verbesserter Signalqualität zu erzielen. Im Falle des zitierten Beispiels 1 sind die Adreßsignale, die Befehlssignale und die Taktsignale alle auf den Modulen

gepuffert, so daß die Signaltakte an den DRAM-Enden von den Eigenschaften der individuellen Puffereinrichtungen abhängen, was zu Fehlanpassungen in Taktgabe oder Zeitverlauf führt. Weiterhin sind die Topologien der Signalleitungen für die Datensignale und die Taktsignale völlig unterschiedlich. Im Ergebnis wird, da die Signaltaktgaben ebenfalls unterschiedlich sind, die Frage, wie die Datensignale an die Taktsignale in den DRAMs angepaßt werden können, zu einer wichtigen Aufgabe.

[0006] Die Anmelderin hat zuvor die japanische Patentanmeldung Nr. 2001-236759 (auf die im folgenden als „zitiertes Beispiel 2“ Bezug genommen wird) eingereicht. Das zitierte Beispiel 2 offenbart ein Speichersystem, wie es in **Fig. 59** gezeigt ist. Wie dargestellt, sind für jedes Bündel Datenleitungen **102₁**, **102₂**, **102₃** und **102₄** zum Übermitteln von Datensignalen Taktsignalleitungen **103₁**, **103₂**, **103₃** und **103₄**, die den Bündeln **102₁**, **102₂**, **102₃** und **102₄** zugeordnet oder auf diese abgestimmt sind, so verbunden, daß sie sich von der Speichersteuerung MC zu den DRAMs der Module erstrecken. Diese Konfiguration birgt keine Probleme hinsichtlich der Anpassung der Zeitsteuerungen bzw. Taktungen mit den Taktsignalen in sich, soweit die Übermittlung der Taktsignale betroffen ist.

[0007] Jedoch ist es erforderlich, Taktsignale für jedes Bündel Datensignale in dem System zu erzeugen, und bei zunehmender Zahl der Bündel Datensignale steigt die Zahl der Taktsignale, und die Frequenzen der Datensignale und Taktsignale steigen, so daß das Problem von Strahlungsstörungen auftreten kann.

[0008] Weiterhin sind in dem in **Fig. 59** gezeigten System die Leitungen verzweigt, obwohl Befehlssignale und Adreßsignale (im folgenden allgemein als „Befehls-/Adreßsignale“ bezeichnet), nicht in den Modulen gepuffert. Dies macht es schwierig, einen Betrieb bei hohen Frequenzen zu erreichen. Zusätzlich ist bei dem zitierten Beispiel 2 eine Konfiguration offenbart, bei der jeder Modul mit einem Puffer zum Puffern des/der Befehls-/Adreßsignale versehen ist. Jedoch ist es nötig, die Zahl der Taktsignale für jedes Bündel Datensignale zu erhöhen. Daher wird es als unvermeidbar angesehen, daß Strahlungsstörungen bei hohen Frequenzen, wie oben erwähnt, auftreten.

ZUSAMMENFASSUNG DER ERFINDUNG

[0009] Demgemäß ist es ein Ziel der vorliegenden Erfindung, ein Speichersystem vorzusehen, das bei hohen Frequenzen stabil arbeitet.

[0010] Ein weiteres Ziel der vorliegenden Erfindung ist es, ein Speichersystem vorzusehen, das eine Topologie aufweist, die frei von Einflüssen von Strahlungsgeräuschen/-störungen ist.

[0011] Ein weiteres Ziel der vorliegenden Erfindung ist es, ein Speichersystem vorzusehen, das verschiedene Leitungs- oder Verdrahtungstopologien für Datensignale und Befehls-/Adreßsignale hat.

[0012] Ein noch weiteres Ziel der Erfindung ist es, ein Verfahren zum Übermitteln von Datensignalen und Befehls-/Adreßsignalen zu schaffen, das für die vorgenannten Topologien geeignet ist.

[0013] Zu diesem Zweck ist gemäß einem Aspekt der vorliegenden Erfindung ein Speichersystem vorgesehen, das eine Speichereinrichtung und eine Speichersteuerung zum Steuern der Speichereinrichtung aufweist, wobei die Speichersteuerung mit einer Einheit zum Ausgeben eines Befehls-/Adresssignals an die Einrichtung synchron mit einem Taktsignal und ebenfalls zum Ausgeben eines Datensignals ausgerüstet ist, und die Speichereinrichtung weist eine Einheit zum Empfangen des Befehls-/Adresssignals zum Erzeugen eines internen Befehls-/Adresssignals basierend auf dem Datensignal auf.

[0014] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Speichersystem, das eine Mehrzahl Speichereinrichtungen zum gemeinsamen Empfangen eines Befehls-/Adreßsignals zum Tätigwerden umfaßt, und eine Speichersteuerung zum Steuern der Speichereinrichtungen, wobei jede der Mehrzahl Speichereinrichtungen eine Einheit zum Empfangen zugeordneter Datensignale umfaßt, und eine Einheit zum Erzeugen interner Befehls-/Adresssignale basierend auf den Zeitsteuerungen/Taktungen der Datensignale vorgesehen.

[0015] Vorzugsweise umfaßt die Speichersteuerung eine Einheit zum Ausgeben eines Pseudo-Taktsignals an eine Datensignalleitung beim Initialisieren des Systems, um eine Zeitsteuerung für das Datensignal zur Verfügung zu stellen, und die Speichereinrichtung umfaßt eine Einheit zum internen Erzeugen eines internen Takts mit der Phase des Datensignals unter Verwendung des Pseudo-Taktsignals als Quelle/Ausgangspunkt beim Empfang des Pseudo-Taktsignals, um so die Zeitsteuerung bzw. Taktung des Datensignals in der Speichereinrichtung zu halten (Anm. d. Übers.: auch fest-, rück- bzw. beizubehalten).

[0016] Vorzugsweise umfaßt die Speichereinrichtung eine Einheit zum Erzeugen eines ersten Mehrphasentakts einer verschobenen Phase, erhalten durch Teilen der Frequenz des intern von der Speichersteuerung zugeführten Taktsignals, eine Einheit zum Erzeugen eines internen Takts der Speichereinrichtung mit der Phase des Datensignals, eine Einheit zum Erzeugen eines zweiten Mehrphasentakts einer verschobenen Phase, erhalten durch Dividieren des internen Takts durch den gleichen Zyklus wie dem

des Taktsignals, und eine Einheit zum Erzeugen eines internen Befehls-/Adreßsignals einer Datensignalphase durch Zuordnung der ersten und zweiten Mehrphasentakte auf einer eins-zu-eins-Basis.

[0017] Vorzugsweise umfaßt die Speichersteuerung eine Einheit zum Erzeugen erster und zweiter Pseudo-Frequenz-geteilter Takte durch Teilen der Frequenzen von Befehls-/Adreßsignal und Datensignal, während die Speichereinrichtung eine Einheit zum vergleichenden Unterscheiden der ersten und zweiten Pseudo-Frequenz-geteilten Takte und zum Zuordnen derselben aufweist.

[0018] Vorzugsweise umfaßt die Speichersteuerung eine Einheit zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als Frequenz-geteilter Takt, während die Speichereinrichtung eine Einheit zum vergleichenden Unterscheiden eines Empfangstakts, erhalten von einem empfangenen Befehls-/Adreßsignal und dem Frequenz-geteilten Takt, und zum Zuordnen des Frequenz-geteilten Takts und Empfangstakts einschließt.

[0019] Bevorzugt schließt die Speichersteuerung eine Einheit zum Ausgeben eines Pseudo-Taktsignals, erhalten durch Frequenzteilen eines Datensignals, und zum Ausgeben eines Taktsignals zum Erzeugen einer Zeitsteuerung (zeitlichen Regulierung, Takten) für ein Datensignal, indem man das Datensignal ebenfalls in ähnlicher Weise frequenzteilt, ein, und die Speichereinrichtung weist eine Einheit zum internen Erzeugen von Mehrphasentakten, erhalten durch Verschieben der Phasen von individuellen Frequenz-geteilten Takten, und eine Einheit zum Erzeugen eines internen Befehls-/Adreßsignals der Phase eines Datensignals durch Zuordnen von Mehrphasentakten auf.

[0020] Bevorzugt weist die Speichereinrichtung eine Einheit zum Übertragen eines Datensignals an die Speichersteuerung im Zeitablauf des internen Datenphasentakts auf.

[0021] Bevorzugt umfaßt die Speichersteuerung eine Einheit zum Erzeugen einer Zeitsteuerung zum Diskriminieren eines Datensignals auf der Basis eines Pseudo-frequenzgeteilten Takts bei Empfang des Pseudo-frequenzgeteilten Takts auf, der mit der Zeitsteuerung des internen Datenphasentakts der Speichereinrichtung erzeugt ist.

[0022] Bevorzugt ist die Speichereinrichtung ein DRAM.

[0023] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Speichersystem vorgesehen, das eine Speichersteuerung zur Erzeugung eines Pseudo-Taktsignals auf einer Datensignalleitung und eine Einrichtung einschließt, die geeignet ist,

eine Phase eines Datensignals in Beziehung zu einem Taktsignal von dem Pseudo-Taktsignal durch eine taktreproduzierende Schaltung fest- bzw. rückzuhalten, wobei die Speichersteuerung eine Einheit zum periodischen Erzeugen eines Samplingtakts (sampling clock; Anm. d. Übers.: In der folgenden Beschreibung und den Ansprüchen wurde zumeist der engl. Begriff „sampling“ für Abtasten oder Abtastung als solcher im wesentlichen beibehalten) nach Rückhalten der Phase aufweist und die Einrichtung eine Phaseneinstelleinheit zum Einstellen (oder Abgleichen) der Phase folgender Datensignale gemäß den Samplingtakten nach Rückhalten der Phase einschließt.

[0024] Bevorzugt vermindert die Speichersteuerung die Taktfrequenz eines Datensignals und setzt ebenfalls die Samplingfrequenz nach Zurückhalten der Phase herab, während das Phaseneinstellmittel der Einrichtung eine Einheit zum Einstellen/Abgleichen folgender Datenphasen gemäß dem Samplingtakt nach Rückhalten der Phase einschließt, wodurch eine normale Datenübertragung stattfinden kann, während ein Samplingtakt produziert wird.

[0025] Nach einem weiteren Aspekt der vorliegenden Erfindung ist vorgesehen ein Speichersystem, das eine Speichersteuerung zum Erzeugen eines Pseudo-Taktsignals auf einer Datensignalleitung einschließt, und eine Einrichtung, die geeignet ist, eine Phase eines Datensignals relativ zu einem Taktsignal von dem Pseudo-Taktsignal durch eine Takt reproduzierende Schaltung zu bewahren bzw. zurückzuhalten, wobei die Speichersteuerung die Takterzeugungsfrequenz eines Datensignals periodisch vermindert und auch eine Probenfrequenz in einem Takt reproduzierenden Schaltkreis der Einrichtung nach Rückhalten der Phase verringert, um so danach die Datenphase einzustellen, wodurch bewirkt wird, daß eine normale Datenübertragung stattfinden kann, während ein Samplingtakt erzeugt wird.

[0026] Vorzugsweise schließt das Speichersystem weiter eine Einheit zum periodischen Erzeugen eines Takts oder einer Mehrzahl Takte nach Rückhalten der Phase ein.

[0027] Vorzugsweise setzt das Speichersystem das Weiterleitungsverfahren für die Samplingtakte auf eine bidirektionale Übertragung von Datensignalen ein.

[0028] Vorzugsweise sind die Datenleitung zum Rückhalten einer Initialphase und die zum Sampling (Abtasten) nach Halten (Beibe- bzw. Rückhalten) der Phase verschieden.

[0029] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Speichersystem vorgesehen, das eine Einrichtung einschließt, die geeignet

ist, ein Pseudo-Taktsignal an eine Datensignalleitung zu übertragen, und die Phase eines Datensignals wird in bezug auf ein Taktsignal auf der Basis des Pseudo-Taktsignals durch eine Taktsynchronisierungs- und -reproduzierungsschaltung zurückgehalten, wobei ein Pseudo-Taktsignal, dessen Frequenz vermindert ist, auf eine bestimmte Abtast- oder Sampling-Datenleitung nach Rückhalten der Phase übertragen, auf das Signal in der Einrichtung Bezug genommen und die Abtastfrequenz in der Taktsynchronisierungs- und -reproduzierungsschaltung ebenfalls verringert wird, um danach die Datenphasen einzustellen bzw. abzugleichen.

[0030] Nach einem weiteren Aspekt der vorliegenden Erfindung ist ein Speichersystem vorgesehen, das eine Einrichtung einschließt, die geeignet ist, um ein Pseudo-Taktsignal an eine Datensignalleitung zu übertragen, und die Phase eines Datensignals wird in bezug auf ein Taktsignal auf der Basis des Pseudo-Taktsignals durch eine Taktsynchronisierungs- und -reproduzierungsschaltung rückgehalten, wobei ein Pseudo-Taktsignal, dessen Frequenz der Erzeugungstakte periodisch verringert wird, auf eine bestimmte zugeordnete Abtast- oder Samplingdatenleitung nach Rückhalten der Phase übertragen, auf das Signal in der Einrichtung Bezug genommen und die Samplingfrequenz in dem Taktsynchronisierungs- und -reproduzierungsschaltkreis ebenfalls verringert wird, um danach die Datenphasen einzustellen bzw. abzugleichen.

[0031] Vorzugsweise wird ein Takt oder eine Mehrzahl Takte nach Rückhalten der Phase periodisch erzeugt.

[0032] Vorzugsweise wird das Weiterleitungsverfahren für Pseudo-Taktsignale unter Verwendung einer Abtast- oder Samplingdatenleitung für eine bidirektionale Übertragung von Datensignalen verwendet.

[0033] Vorzugsweise werden bidirektionale Samplingtakte und andere Ordnungen/Ränge solcher Takte bei vorbestimmten Intervallen auf derselben Signalleitung übertragen.

[0034] Gemäß einem weiteren Ziel der vorliegenden Erfindung ist ein Steuerverfahren für ein Speichersystem vorgesehen, das eine Speichereinrichtung und eine Speichersteuerung zum Steuern der Speichereinrichtung aufweist, wobei das Verfahren einen Schritt zum Ausgeben eines Befehls-/Adreßsignals von der Speichersteuerung an die Speichereinrichtung synchron mit einem Taktsignal und auch zum Ausgeben eines Datensignals sowie einen Schritt zum Empfangen des Befehls-/Adreßsignals einschließt, um ein internes Befehls-/Adreßsignal, basierend auf dem empfangenen Datensignal in der Einrichtung, zu erzeugen.

[0035] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Steuerverfahren für ein Speichersystem vorgesehen, das eine Mehrzahl Speichereinrichtungen zum gemeinsamen Empfangen eines Befehls-/Adreßsignals für den Betrieb und eine Speichersteuerung zum Steuern der Speichereinrichtungen aufweist, wobei jede der Mehrzahl Speichereinrichtungen einen Schritt zum Empfangen von Datensignalen, die sämtlich denselben zugeordnet sind, und einen Schritt zum Erzeugen interner Befehlsadressen, basierend auf den Phasen der Datensignale, ausführt.

[0036] Vorzugsweise umfaßt das Steuerverfahren für ein Speichersystem weiterhin einen Schritt zum Ausgeben eines Pseudo-Taktsignals von der Speichersteuerung an eine Datensignalleitung, wenn das System initialisiert wird, um eine Zeitsteuerung für das Datensignal bereitzustellen, und einen Schritt zum internen Erzeugen eines internen Takts, basierend auf der Phase des Datensignals unter Verwendung des Pseudo-Taktsignals als Ursprung, wenn die Speichereinrichtung das Pseudo-Taktsignal empfängt, um so die Zeitsteuerung des Datensignals in der Speichereinrichtung zurückzuhalten bzw. zu bewahren.

[0037] Vorzugsweise schließt das Steuerverfahren für ein Speichersystem weiter einen Schritt zum Erzeugen eines ersten Mehrphasentaktes einer verschobenen Phase, erhalten durch Teilen der Frequenz des von der Speichersteuerung zugeführten Taktsignals, einen Schritt zum Erzeugen eines internen Takts der Speichereinrichtung, der die Phase des Datensignals aufweist, einen Schritt zum Erzeugen eines zweiten Mehrphasentaktes einer verschobenen Phase, erhalten durch Teilen des internen Takts durch den gleichen Zyklus wie dem des Taktsignals, und einen Schritt zum Erzeugen eines internen Befehls-/Adreßsignals einer Datensignalphase durch Zuordnen der ersten und zweiten Mehrphasentakte auf einer eins-zu-eins-Basis auf, wobei die Schritte in der Speichereinrichtung durchgeführt werden.

[0038] Vorzugsweise umfaßt das Steuerverfahren für ein Speichersystem weiterhin einen Schritt, der von der Speichersteuerung zum Erzeugen erster und zweiter Pseudo-frequenzgeteilter-Takte durch Teilen der Frequenzen des Befehls-/Adreßsignals und des Datensignals und einen von der Speichereinrichtung durchgeführten Schritt auf, um vergleichend die ersten und zweiten frequenzgeteilten Takte zu unterscheiden und sie zuzuordnen.

[0039] Vorzugsweise schließt das Steuerverfahren für ein Speichersystem weiterhin einen Schritt zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als einen frequenzgeteilten Takt von der Speichersteuerung und einen Schritt zum vergleichenden Unterscheiden eines Empfangstakts auf, den man

von einem empfangenen Befehls-/Adreßsignal und dem frequenzgeteilten Takt erhält, und zum Zuordnen des frequenzgeteilten Takts und des Empfangstakts auf.

[0040] Vorzugsweise schließt das Steuerverfahren für ein Speichersystem weiter einen Schritt zum Ausgeben eines Pseudo-Taktsignals, erhalten durch Dividieren der Übertragungsfrequenz eines Datensignals von der Speichersteuerung, einen Schritt zum Ausgeben eines Taktsignals zum Erzeugen einer Zeitsteuerung für ein Datensignal als Taktsignal, das man durch Dividieren der Übertragungsfrequenz des Taktsignals von der Speichersteuerung erhält, einen Schritt zum Erzeugen von Mehrphasentakten, die man durch Verschieben der Phasen von einem Pseudo-Taktsignal und einem Taktsignal in der Speichereinrichtung erhält, und einen Schritt zum Erzeugen eines internen Befehls-/Adreßsignals der Phase eines Datensignals durch Zuordnen von Mehrphasentakten in der Speichereinrichtung ein.

[0041] Vorzugsweise umfaßt das Steuerverfahren für ein Speichersystem weiter einen Schritt zum Übertragen eines Datensignals von der Speichereinrichtung an die Speichersteuerung in dem Zeitablauf des internen Datenphasentakts auf.

[0042] Bevorzugt umfaßt das Steuerverfahren für ein Speichersystem weiter einen Schritt zum Empfangen eines Pseudo-frequenzgeteilten Takts, erzeugt im Zeitablauf eines internen Datenphasentakts der Speichereinrichtung, in der Speichersteuerung und einen Schritt zum Erzeugen einer Zeitsteuerung zum Diskriminieren eines Datensignals auf der Basis des Pseudo-frequenzgeteilten Takts auf.

[0043] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Steuerverfahren für ein Speichersystem vorgesehen, das eine Einrichtung einschließt, die geeignet ist, um ein Pseudo-Taktsignal an eine Datensignalleitung zu übertragen und eine Phase eines Datensignals in Relation zu einem Taktsignal von dem Pseudo-Taktsignal durch eine Takt reproduzierende Schaltung zurückzuhalten, wobei das Verfahren ein Schritt zum periodischen Erzeugen eines Sampling-Takts nach Zurückhalten der Phase und danach zum Einstellen der Phasen der Datensignale in der Einrichtung einschließt.

[0044] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein System vorgesehen, das eine Einrichtung und eine die Einrichtung steuernde Steuerung umfaßt, die über eine Datenleitung und eine Taktleitung zusammenschaltet bzw. vermascht (verbunden) sind, wobei die Topologie der Datenleitung zu der Topologie der Taktleitung unterschiedlich ist.

[0045] Vorzugsweise sind die Einrichtung und die

Steuerung weiter über eine Befehls-/Adreßleitung verbunden, und die Befehls-/Adreßleitung weist die gleiche Topologie wie die der Taktleitung auf.

[0046] Vorzugsweise ist die Topologie der Datenleitung so gewählt, daß der Abstand zwischen der Einrichtung und der Steuerung, verglichen mit der Topologie der Taktleitung oder der Befehls-/Adreßleitung, kürzer ist.

[0047] Vorzugsweise schließt die Einrichtung DRAMs ein, die einzeln auf bzw. an einer Mehrzahl Modulen angebracht sind, wobei jeder Modul mit der Taktleitung oder Befehls-/Adreßleitung vorgesehen ist, und wobei einander gemeinsam zugeordnete DRAMs auf den Modulen mit derselben Datenleitung verbunden sind.

[0048] Bevorzugt erstrecken sich die Taktleitung und die Befehls-/Adreßleitung von dem proximalen Ende zum distalen Ende jedes Moduls, und die DRAMs an jedem Modul sind mit der Taktleitung und der Befehls-/Adreßleitung verbunden.

[0049] Bevorzugt sind die Taktleitung und die Befehls-/Adreßleitung in zwei Teile im zentralen Bereich jedes Moduls verzweigt und mit den DRAMs an jedem Modul verbunden.

[0050] Bevorzugt ist die Einrichtung in jedem einer Mehrzahl von Modulen vorgesehen und weist einen Rang-geordneten DRAM zum Lesen und Schreiben auf, ist die Datenleitung mit einem zugeordneten DRAM in einer Mehrzahl Rängen verbunden, und der DRAM jedes Ranges ist mit einer gemeinsamen Taktleitung und Adreßleitung versehen.

[0051] Bevorzugt umfassen die Steuerung bzw. jeder der DRAMs eine Anpassungseinheit der Steuerung und eine Abstimmungs- oder Anpassungseinheit des DRAMs zum Abstimmen der Zeitsteuerung des Datenausgangs auf die Datenleitung und der Zeitsteuerung eines Taktsignals oder Befehls, auf die Taktleitung oder die Befehls-/Adreßleitung ausgegeben, auf.

[0052] Bevorzugt umfaßt die Abstimmungseinheit der Steuerung eine Einrichtung zum Ausgeben eines kontinuierlich reversierenden Datensignals als Pseudo-Taktsignal auf die Datenleitung, eine Einrichtung zum Ausgeben eines Taktsignals auf die Taktleitung und eine Einrichtung zum Ausgeben eines Befehls synchron mit dem Taktsignal auf die Befehls-/Adreßleitung, während die Abstimmungseinheit des DRAM eine interne Datentakterzeugungseinrichtung zum Erzeugen eines Datentakts in dem DRAM auf der Basis des durch die Datenleitung zugeführten Pseudo-Taktsignals und eine Einrichtung zum Weiterleiten des synchron mit dem Taktsignal auf der Taktleitung übertragenen Befehls von der Zeitsteuerung des

Taktsignals auf den Datentakt in dem DRAM einschließt.

[0053] Bevorzugt umfaßt die Speichersteuerung weiter eine Sampling-Takterzeugungseinheit zum periodischen Erzeugen eines Samplingtakts unter Verwendung des Pseudo-Taktsignals nach dem Zurückhalten der Phase in der Einrichtung und der Speichersteuerung, und die Einrichtung schließt eine Phaseneinstelleinheit zum Einstellen bzw. Abgleichen der Phase eines Datensignals danach auf der Basis des Samplingtakts nach Zurückhalten der Phase ein.

[0054] Bevorzugt umfaßt die Samplingtakterzeugungseinheit eine Einheit zum Erzeugen des Samplingtakts durch Vermindern entweder der Takterzeugungsfrequenz oder der Taktfrequenz eines Datensignals sowie eine Einheit zum Ausgeben des Samplingtakts an die Datenleitung.

[0055] Vorzugsweise umfaßt die Samplingtakterzeugungseinheit eine Einheit zum Erzeugen des Samplingtakts durch Verringern entweder der Takterzeugungsfrequenz oder der Taktfrequenz eines Datensignals sowie eine Einheit zum Ausgeben des Samplingtakts an eine Datenleitung, die ausschließlich für das Sampling verwendet wird.

[0056] Vorzugsweise wird die Datenleitung zum Übertragen des Samplingtakts gemeinsam von einer Mehrzahl Einrichtungen verwendet.

[0057] Bevorzugt wird die Datenleitung zum Übertragen des Samplingtakts zur bidirektionalen Übertragung zwischen der Speichersteuerung und der Einrichtung verwendet.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0058] Fig. 1 ist eine perspektivische Ansicht zur Bereitstellung des Umrisses eines Speichersystems entsprechend der vorliegenden Erfindung;

[0059] Fig. 2 ist ein Ersatzschaltungsdiagramm der Datenvernetzung in dem in Fig. 1 gezeigten Speichersystem;

[0060] Fig. 3 ist ein Ersatzschaltungsdiagramm der Takt- und Befehls-/Adressvernetzung in dem in Fig. 1 gezeigten Speichersystem;

[0061] Fig. 4 ist ein schematisches Diagramm, das die Topologie eines Speichersystems gemäß einer Ausführungsform der vorliegenden Erfindung darstellt;

[0062] Fig. 5 ist ein schematisches Diagramm, das die Topologie eines Speichersystems gemäß einer anderen Ausführungsform der vorliegenden Erfindung

dung darstellt;

[0063] Fig. 6 ist ein schematisches Diagramm, das die Topologie eines Speichersystems gemäß einer noch anderen Ausführungsform der vorliegenden Erfindung darstellt;

[0064] Fig. 7 ist eine Zeitsteuerungsdarstellung, die einen normalen Betrieb in einem Beispiel der vorliegenden Erfindung, anwendbar auf das Speichersystem, wie es in Fig. 4 bis 6 gezeigt ist, darstellt;

[0065] Fig. 8 ist eine Zeitablaufdarstellung, die den normalen Betrieb in einem anderen Beispiel der vorliegenden Erfindung, anwendbar auf das Speichersystem, wie es in Fig. 6 gezeigt ist, darstellt;

[0066] Fig. 9 ist eine Zeitablaufabbildung, die den Betrieb zum Ausgeben eines Initialisierungsbefehls in einem ersten Beispiel der vorliegenden Erfindung darstellt;

[0067] Fig. 10 ist eine Zeitsteuerungswiedergabe, die die Initialisierungstätigkeit in einem DRAM in dem ersten Beispiel der vorliegenden Erfindung darstellt;

[0068] Fig. 11 ist eine Zeitsteuerungsabbildung, die einen Schreibvorgang in einem DRAM in dem ersten Beispiel der vorliegenden Erfindung darstellt;

[0069] Fig. 12 ist eine Zeitssteuerungsabbildung, die einen Lesevorgang in einem DRAM in dem ersten Beispiel der vorliegenden Erfindung darstellt;

[0070] Fig. 13 ist ein Blockdiagramm, das eine interne Konfiguration eines DRAM, verwendet in dem ersten Beispiel der vorliegenden Erfindung, darstellt;

[0071] Fig. 14 ist ein Blockdiagramm, das die Details eines Daten-DLL-Schaltungsblocks, verwendet im Zusammenhang mit dem in Fig. 13 gezeigten DRAM, darstellt;

[0072] Fig. 15 ist ein Blockdiagramm, das die Details eines Befehls-/Adressen-DLL-Schaltungsblocks, verwendet bei dem in Fig. 13 gezeigten DRAM, darstellt;

[0073] Fig. 16 ist eine Zeitsteuerungsabbildung, die verschiedene Takttypen, in Fig. 13 gezeigt, darstellt;

[0074] Fig. 17 ist eine Zeitablaufabbildung, die die Betriebszeitabläufe einer Speichersteuerung (MC), verwendet bei dem ersten Beispiel der vorliegenden Erfindung, darstellt;

[0075] Fig. 18 ist eine Zeitablaufabbildung, die die Übermittlung von Daten zwischen dem DRAM und dem MC in dem ersten Beispiel der vorliegenden Erfindung darstellt;

[0076] Fig. 19 ist eine Zeitsteuerungsabbildung, die die internen Datentakte in dem ersten Beispiel der vorliegenden Erfindung darstellt;

[0077] Fig. 20 ist ein Blockdiagramm, das einen Befehlsempfänger und eine interne Befehlssignalerzeugungsschaltung, verwendet bei dem in Fig. 13 gezeigten DRAM, zeigt;

[0078] Fig. 21 ist eine Zeitablaufabbildung, die den Initialisierungsvorgang zum Empfangen von Befehl/Adresse in dem in Fig. 13 gezeigten DRAM darstellt;

[0079] Fig. 22 ist ein Blockdiagramm, das einen Datenempfänger und eine interne Datenerzeugungsschaltung, wie in Fig. 13 gezeigt, darstellt;

[0080] Fig. 23 ist eine Zeitablaufabbildung, die den internen Betrieb auf der Datentaktseite in Fig. 13 darstellt;

[0081] Fig. 24 ist ein Blockdiagramm, das eine Takt-diskriminierungsschaltung, wie sie bei dem DRAM der Fig. 13 verwendet wird, darstellt;

[0082] Fig. 25 ist ein Blockdiagramm, das einen DRAM-internen Befehlsabstimmungstakterzeugungsschaltkreis zeigt, der unter Verwendung von Ausgangssignalen der in Fig. 24 gezeigten Takt-diskriminierungsschaltung arbeitet;

[0083] Fig. 26 ist eine Zeitsteuerungsabbildung, die den Betrieb der in Fig. 25 gezeigten Schaltung darstellt;

[0084] Fig. 27 ist eine Zeitablaufabbildung, die eine weitere interne Operation des in Fig. 13 gezeigten DRAM darstellt;

[0085] Fig. 28 ist ein Blockdiagramm zur Erläuterung einer MC, die in Kombination mit dem in Fig. 13 gezeigten DRAM verwendet wird;

[0086] Fig. 29 ist ein Blockdiagramm, das einen MC-Datenempfangstakterzeuger, verwendet bei der in Fig. 28 gezeigten MC, zeigt;

[0087] Fig. 30 ist ein Blockdiagramm, das einen MC-Daten-Ausgabebetaktgenerator, verwendet bei der Takt-diskriminierungsschaltung, die in Fig. 24 gezeigt ist, zeigt;

[0088] Fig. 31 ist ein Blockdiagramm, das einen MC-Befehls-/Adressen-DLL-Schaltungsblock, verwendet bei der in Fig. 24 gezeigten Schaltung, zeigt;

[0089] Fig. 32 ist ein Blockdiagramm, das einen MC-Takt-Vergleichs- und Diskriminierungsblock zeigt, verwendet bei dem in Fig. 24 gezeigten Schalt-

kreis;

[0090] Fig. 33 ist ein Blockdiagramm zum Schaffen einer spezifischen Erläuterung einer Lesedaten-Diskriminierungssignal-Erzeugungsschaltung, wie sie in Fig. 24 gezeigt ist;

[0091] Fig. 34 ist ein Blockdiagramm, das einen DRAM darstellt, wie er bei einem zweiten Beispiel der vorliegenden Erfindung verwendet wird;

[0092] Fig. 35 ist ein Blockdiagramm zum Bereitstellen einer detaillierten Erläuterung des Daten-DLL-Schaltungsblocks, in Fig. 34 gezeigt;

[0093] Fig. 36 ist ein Blockdiagramm, das einen Taktdiskriminierungsschaltkreis zeigt, wie er bei dem in Fig. 34 gezeigten Taktvergleichs- und Diskriminierungsblock verwendet wird;

[0094] Fig. 37 ist ein Blockdiagramm, das einen DRAM-internen Befehlsabstimmungstakt-Erzeugungsschaltkreis zeigt, wie er in Verbindung mit dem in Fig. 36 gezeigten Taktdiskriminierungsschaltkreis verwendet wird;

[0095] Fig. 38 ist ein Blockdiagramm, das einen bei einem dritten Beispiel der vorliegenden Erfindung verwendeten DRAM zeigt;

[0096] Fig. 39 ist eine Zeitsteuerungsabbildung, die die Beziehung zwischen den Befehlen und Takten bei dem Initialisierungsvorgang des dritten Beispiels der vorliegenden Erfindung zeigt;

[0097] Fig. 40 ist eine Zeitsteuerungsabbildung, die den Initialisierungsbetrieb bei dem DRAM im dritten Beispiel der vorliegenden Erfindung darstellt;

[0098] Fig. 41 ist eine Zeitsteuerungsabbildung, die den Betrieb des DRAMs nach dem Initialisierungsvorgang, wie er in Fig. 40 gezeigt ist, darstellt;

[0099] Fig. 42 ist ein Blockdiagramm, das die interne Konfiguration einer bei dem dritten Beispiel der vorliegenden Erfindung verwendeten MC darstellt;

[0100] Fig. 43 ist eine Zeitsteuerungsdarstellung, die den Initialisierungsvorgang bei der MC, wie in Fig. 42 gezeigt ist, darstellt;

[0101] Fig. 44 ist eine Zeitsteuerungsabbildung, die den Befehls-/Adressenempfangsvorgang in dem in Fig. 42 gezeigten DRAM darstellt;

[0102] Fig. 45 ist ein Blockdiagramm, das eine Befehls-/Empfangs- und interne Empfangssignalerzeugungsschaltung, wie in Fig. 38 gezeigt;

[0103] Fig. 46 eine Zeitsteuerungsabbildung, die

den internen Vorgang der in Fig. 42 gezeigten MC darstellt;

[0104] Fig. 47 ein Blockdiagramm, das einen in Fig. 42 gezeigten Lesedaten-Diskriminierungssignal-Erzeugungsschaltkreis zeigt;

[0105] Fig. 48 ist ein Blockdiagramm, das einen DRAM-internen Datenphasentaktreproduzierungsblock zeigt, der bei einem vierten Beispiel der vorliegenden Erfindung verwendet wird;

[0106] Fig. 49 ist ein Blockdiagramm, das eine schematische Konfiguration einer in dem vierten Beispiel der vorliegenden Erfindung verwendeten MC zeigt;

[0107] Fig. 50 ist ein Blockdiagramm, das einen MC-internen Datenphasentaktreproduzierungsblock, verwendet bei dem vierten Beispiel, zeigt;

[0108] Fig. 51 ist ein Blockdiagramm, das einen in Fig. 49 gezeigten Sampling(Abstast-)Signalerzeugungsschaltkreis zeigt;

[0109] Fig. 52 ist eine Zeitsteuerungsabbildung, die den Initialisierungsvorgang in einem Speichersystem gemäß dem vierten Beispiel der vorliegenden Erfindung darstellt;

[0110] Fig. 53 ist eine Zeitsteuerungsabbildung, die die Sampling-Zeitabläufe bei dem vierten Beispiel der vorliegenden Erfindung darstellt;

[0111] Fig. 54 ist eine Zeitsteuerungsabbildung, die die Beziehung zwischen den Samplingtakt und Les-/Schreibdaten bei dem vierten Beispiel der vorliegenden Erfindung darstellt;

[0112] Fig. 55 ist eine Zeitablaufabbildung, die modifizierte Beispiele des vierten Beispiels der vorliegenden Erfindung darstellt;

[0113] Fig. 56 ist ein Blockdiagramm, das ein Speichersystem gemäß einem fünften Beispiel der vorliegenden Erfindung zeigt;

[0114] Fig. 57 ist ein Blockdiagramm, das die Konfiguration eines bei dem in Fig. 56 gezeigten Speichersystems verwendeten DRAM zeigt;

[0115] Fig. 58 ist ein Blockdiagramm, das die Konfiguration einer bei dem in Fig. 56 gezeigten Speichersystem verwendeten MC zeigt; und

[0116] Fig. 59 ist ein Blockdiagramm, das die Konfiguration des zuvor von der Anmelderin vorgeschlagenen Speichersystems zeigt.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0117] Unter Bezugnahme auf **Fig. 1** wird die Konfiguration eines Speichersystems in Übereinstimmung mit der Erfindung schematisch erläutert. Das in der Figur gezeigte Speichersystem weist eine Speichersteuerung (MC) **55**, angebracht auf einer Mutterplatte **50**, und einen ersten Modul **51** sowie einen zweiten Modul **52**, in stehender Weise auf der Mutterplatte **50** durch einen Verbinder (nicht gezeigt) vorgesehen, auf. In diesem Beispiel sind die Vorder- und Rückflächen der Module **51** und **52** wie gezeigt mit einer Mehrzahl Speichereinrichtungen (in diesem Falle DRAMs) **56**, die parallel angeordnet sind, versehen. In größerer Einzelheit sind die DRAMs **56** parallel vorgesehen, und zwar mit dazwischen in bezug auf die die Längsrichtung (d.h. Richtung der kurzen Seiten) kreuzende Richtung vorgesehenen Spalten oder Abständen der Module **51** und **52**. Die vorliegende Erfindung kann auch auf einen Fall angewendet werden, in dem eine Mehrzahl Speichereinrichtungen entweder an der Vorder- oder der Rückfront der Module **51** und **52** angeordnet ist.

[0118] Die MC **55** ist mit den DRAMs **56** auf den Modulen **51** und **52** über Datenleitungen DA verbunden. Wie dargestellt, umfassen die Datenleitungen DA die Leitungen auf der Mutterplatte **50** und die Leitungen auf den Modulen, die sich von dem Verbinder zu den DRAMs **56** erstrecken. Auf den Modulen **51** und **52** sind Modulleitungen **56** vorgesehen. Die Datenleitungen DA in der Figur erstrecken sich bis zu Anschlußenden **58**, um die an den Vorder- und Rückflächen der Module **51** und **52** angeordneten DRAMs zu verbinden. Noch genauer gesagt sind die Datenleitungen DA zwischen der MC **55** und den DRAMs **56** der Module **51** und **52** durch Anpassen (Abstimmen mit) einer wirksamen Verdrahtungsimpedanz in einer Topologie mit praktisch keiner Verzweigung verbunden. In diesem Fall sind bei den Modulen **51** und **52** die DRAMs **56** über gemeinsame Datenleitungen DA verbunden. In der Figur ist nur ein Satz der Datenleitungen DA und der DRAMs **56** an den Modulen **51** und **52** mit den Datenleitungen DA verbunden; jedoch sind auch weitere DRAMs **56** über die Datenleitungen verbunden.

[0119] Das in **Fig. 1** dargestellte Speichersystem unterscheidet sich von denen in den oben beschriebenen zitierten Beispielen 1 und 2 darin, daß die Module **51** und **52** individuell eine Taktleitung und Befehls-/Adreßleitungen **61** und **62** (im folgenden benannt als „die ersten Takt- und Befehls-/Adreßleitungen“ und die zweiten Takt- und Befehls-/Adreßleitungen“) aufweisen. Genauer gesagt sind die ersten Takt- und Befehls-/Adreßleitungen **61** mit dem Modul **51** verbunden, daß sie gemeinsam mit den DRAMs **56** an dem Modul **51** verbunden werden können. In ähnlicher Weise sind die zweiten Takt- und Be-

fehls-/Adreßleitungen **62** mit dem Modul **52** geschaltet, so daß sie gemeinsam mit den DRAMs **56** an dem Modul **52** verbunden werden können. Mit anderen Worten sind die ersten und zweiten Takt- und Befehls-/Adreßleitungen **61** und **62** bestimmte Leitungen in den Modulen **51** bzw. **52** und enden an den individuellen Modulen **51** und **52**.

[0120] Bei dieser Konfiguration werden Taktsignale und Befehls-/Adreßsignale von der MC **55** an den Modul **51** über die ersten Takt- und Befehls-/Adreßleitungen **61** geliefert, während Taktsignale und Befehls-/Adreßsignale von der MC **55** an den Modul **52** über die zweiten Takt- und Befehls-/Adreßleitungen **62** geliefert werden. Dabei bedeuten die Befehls-/Adreßsignale Befehlssignale und/oder Adreßsignale, wie zuvor erwähnt, und dies wird als Gattungsausdruck dieser beiden Arten Signale verwendet.

[0121] Wie dargestellt, sind die Takt- und Befehls-/Adreßleitungen in bezug auf die Module **51** und **52** in einer praktisch von Verzweigungen freien Topologie verdrahtet und mit den DRAMs **56** durch Anpassen an eine wirkungsvolle Verdrahtungsimpedanz verbunden. In diesem Fall gibt es Verzweigungen zum Leiten in den Leitungen an den Enden der DRAMs; jedoch kann eine Qualitätsverschlechterung, die auf das Leiten zurückzuführen ist, ignoriert werden. Weiterhin werden die Befehls-/Adreßsignale so erzeugt, daß sie dem Taktsignal angepaßt sind, wodurch es ermöglicht wird, daß die DRAMs die Befehls-/Adreßsignale synchron mit den Taktsignalen empfangen.

[0122] Bei dieser Konfiguration ist es notwendig, die Tatsache zu beachten, daß die Zeitsteuerung bzw. Taktung für das Weiterleiten der Taktsignale und der Befehls-/Adreßsignale in jedem DRAM sich von der Zeitsteuerung zum Weiterleiten von Datensignalen in jedem DRAM unterscheidet. Aus diesem Grund wird, wie im Nachstehenden erörtert wird, ein kontinuierlich reversierendes/reversierbares Datensignal, das aufeinanderfolgende Umsteuerungen wiederholt, bidirektional als Pseudo-Taktsignal zwischen der MC **55** und den DRAMs **56** durch die Datenleitungen DA übertragen, wenn das System initialisiert wird.

[0123] In diesem Fall wird das kontinuierlich reversierende Datensignal von der MC **55** übertragen, um die Datenphase unter Verwendung des Taktsignals als Quelle/Ursprung in jedem DRAM **56** (aufrecht) zu erhalten bzw. zurückzuhalten, und dann wird ein interner Datenphasentakt erzeugt, um die Weiterleitung der Datensignale durch die Datenleitungen zu ermöglichen. In der Folge werden Vorgänge der MC **55** wie die Initialisierung und die Abstimmung der Zeitsteuerung unter Verwendung der kontinuierlich reversierenden Datensignale der DRAMs durchgeführt; egal wie werden der Initialisierungsvorgang

und weitere Vorgänge im folgenden beschrieben.

[0124] In der in **Fig. 1** dargestellten Konfiguration erfordern die Taktsignale nur die Anzahl von Modulsätzen, die auf dem Speichersystem angebracht sind. Obwohl die Zeitabläufe für die Datensignale und die Befehls-/Adreßsignale in den DRAMs **56** wie vorstehend erwähnt verschieden sind, wird das Problem verschiedener Zeitabläufe durch den Abstimmungsvorgang, der nachfolgend erörtert wird, gelöst.

[0125] **Fig. 2** und **3** zeigen schematisch Ersatzschaltungen der Datenleitungen DA und der Takt- und Befehls-/Adreßleitungen des in **Fig. 1** gezeigten Speichersystems. Unter Bezugnahme auf **Fig. 2** ist die Datenleitung DA mit der MC **55** verbunden/geschaltet, die einfach durch einen Leit- oder Übertragungsverstärker, Module **51** und **52** und das Anschlußende **58** dargestellt ist. Die Datenleitung DA schließt die die MC **55** und den Modul verbindende Übertragungsleitung, die Leitungen in den Modulen **51** und **52**, die Leitungen zwischen den Modulen **51** und **52** und die Leitung zu einem Anschlußwiderstand ein. Die Leitungen in den Modulen **51** und **52** umfassen die internen Leitungen, die mit den DRAMs **56** (in diesem Falle dargestellt durch Leitverstärker) verbunden sind, die an den Vorder- und Rückflächen der Module durch Durchgangslöcher, die durch schwarze Punkte angedeutet sind, angebracht sind. Die Module **51** und **52** sind miteinander durch einen Modulverbinder und eine Übertragungsleitung verbunden. Die MC **55** und der Modul **51**, und der Modul **52** und das Anschlußende **58** sind ebenfalls durch eine Übertragungsleitung verbunden. Die an den Vorder- und Rückflächen der in den Zeichnungen gezeigten Module **51** und **52** gelagerten DRAMs **56** sind ebenfalls durch Leitverstärker dargestellt.

[0126] Nunmehr unter Bezugnahme auf **Fig. 3** verbinden die Takt- und Befehls-/Adreßleitungen die MC **55** mit dem jeweiligen Modul **51** oder **52** durch eine Übertragungsleitung über einen Modulverbinder, und ebenfalls mit den DRAMs **56**, die an dem Modul **51** oder **52** durch interne Leitungen angebracht sind. Die DRAMs **56**, die auf den Vorderflächen der Module **51** und **52** angeordnet sind, sind direkt mit den internen Leitungen geschaltet, während die DRAMs **56** an den Rückflächen derselben mit den internen Leitungen durch Durchgangslöcher, durch schwarze Punkte dargestellt, verbunden sind.

[0127] Kommt man wieder zu **Fig. 1** zurück, so beträgt, wenn der Abstand zwischen den Modulen **51** und **52** auf 10 mm gesetzt wird und eine Übertragungsleitung mit einer charakteristischen Impedanz Z_0 von 34Ω und einer Übertragungsverzögerung t_{pd} von 7 ps/mm verwendet wird, die Verdrahtungslänge von der MC **55** zu dem Modul **51** 120 mm, wobei die Übertragungsverzögerung 700 ps ist, während die Verdrahtungslänge zwischen der MC **55** und dem

Modul **52** 120 mm ist und die Übertragungsverzögerung 840 ps beträgt.

[0128] Unter Bezugnahme nunmehr auf **Fig. 4** wird die Verdrahtung in dem Speichersystem gemäß der in **Fig. 1** gezeigten ersten Ausführungsform der Erfindung genauer erläutert. Die in **Fig. 4** gezeigte MC **55** ist mit einem Takterzeuger **65** und ebenfalls mit den DRAMs **56** der Module **51** und **52** durch die Takt- und Befehls-/Adreßleitungen **61** und **62** und die Datenleitungen DA verbunden. Wie dargestellt, ist eine Mehrzahl DRAMs an den Modulen **51** und **52** angebracht, und die DRAMs **56** sequentiell von dem Nahbereich der Verbindungspunkte der Takt- und Befehls-/Adreßleitungen **61** und **62**, mit den Modulen **51** und **52** verbunden sind, her numeriert. Im Fall des in **Fig. 4** gezeigten Beispiels sind die DRAMs des Moduls **51** von **11** bis **18** numeriert, während die DRAMs des Moduls **52** von **21** bis **28** numeriert sind.

[0129] Demgemäß wird in der folgenden Beschreibung das Bezugszeichen **56** verwendet, um sich gattungsgemäß auf die DRAMs zu beziehen, während die den einzelnen DRAMs zugeordneten Zahlen verwendet werden, wenn besondere DRAMs der Module **51** und **52** betroffen sind.

[0130] Die Takt- und Befehls-/Adreßleitungen **61** und **62**, die in **Fig. 4** gezeigt sind, sind in Taktleitungen **61c** und **62c** und Befehls-/Adreßleitungen **61ca** und **62ca** getrennt. Wie man aus **Fig. 1** und **4** klar erkennt, teilen diese Taktleitungen und Befehls-/Adreßleitungen die gleiche Topologie, die sich von der Topologie der Datenleitungen DA unterscheidet.

[0131] Bei Empfang eines Takts aus dem Taktgenerator **65** liefert die MC **55** das Taktsignal an die Module **51** und **52** über die Taktleitung **61c** und **62c**, die für die Module **51** bzw. **52** vorgesehen sind. Die Befehls-/Adreßsignale für die Module **51** und **52** werden den Modulen **51** und **52** über die Befehls-/Adreßleitungen **61ca** und **62ca**, die die MC **55** einzeln mit den Modulen **51** bzw. **52** verbinden, geliefert.

[0132] Die Taktleitung **61c** und die Befehls-/Adreßleitung **61ca** sind mit den DRAMs **11** bis **18** auf dem Modul **51** zum Zuführen der Taktsignale und der Befehls-/Adreßsignale an die DRAMs **11** bis **18** an den Modul **51** verbunden. In gleicher Weise sind die Taktleitung **62c** und die Befehls-/Adreßleitung **62ca** mit den DRAMs **21** bis **22** an dem Modul **52** geschaltet, um die Taktsignale und die Befehls-/Adreßsignale an die DRAMs **21** bis **28** an den Modul **52** zu liefern. Weiterhin übertragen die Datenleitungen DA Datensignale auf einer 8-Bit-Basis an die und von den entsprechenden DRAMs an den zwei Modulen **51** und **52**.

[0133] Daher sind in diesem Beispiel die gleiche Anzahl an Takt- und Befehls-/Adreßleitungen als dieje-

nigen der Module **51** und **52** vorgesehen, und die gleiche Anzahl Datenleitungen DA an den DRAMs **11** bis **18** und **21** bis **28** an den Modulen **51** und **52**. Wie zuvor beschrieben, werden gemäß dieser Konfiguration die Befehls-/Adreßsignale und die Taktsignale für jeden Modul von der MC **55** an die Module **51** bzw. **52** durch eine Verdrahtung geliefert, die eine Topologie mit praktisch keiner Verzweigung aufweist. Es wird unterstellt, daß die Verzweigung bezüglich der Leitung in die Anschlüsse der DRAMs **56** vernachlässigbar ist.

[0134] Damit wird die Verdrahtungsimpedanz in bezug auf die Befehls-/Adreßsignale und die Taktsignale in den Modulen **51** und **52** als praktisch gleich abgestimmt bzw. angeglichen, so daß die Befehls-/Adreßsignale von den DRAMs **11** bis **18** und **21** bis **28** der Module **51** bzw. **52** durch die Taktsignale empfangen werden können. Indes sind die Datenleitungen DA mit den DRAMs **11** bis **18** und **21** bis **28** der Module **51** bzw. **52** in einer verzweigungsfreien Topologie mit einer abgestimmten wirksamen Verdrahtungsimpedanz, wie in Verbindung mit **Fig. 1** erläutert, verbunden.

[0135] In dem dargestellten, zuvor beschriebenen Speichersystem wird das Pseudo-Taktsignal bidirektional an die Datenleitungen DA geleitet, wenn das System initialisiert wird, um die Datenphase unter Verwendung eines internen Taktsignals als Ursprung in den DRAMs **11** bis **18** und **21** bis **28** zu halten, um so ein internes Datenphasentaktsignal zu erzeugen. Danach wird die Übertragung der Datensignale begonnen.

[0136] Diese Konfiguration erfordert nur die gleiche Anzahl an Taktsignalsätzen wie die Zahl der Module **51** und **52**, die an dem Speichersystem angeordnet sind. Obwohl die Zeitabläufe, -steuerungen oder Taktungen der Datensignale und der Befehls-/Adreßsignale in den DRAMs **11** bis **18** und **21** bis **28** verschieden sind, kann die Differenz im Zeitablauf durch die hiernach zu erörternde Technik eliminiert werden.

[0137] **Fig. 5** zeigt ein modifiziertes Beispiel des Speichersystems gemäß der ersten Ausführungsform der Erfindung. In **Fig. 5** sind Bauteile, die den in **Fig. 4** gezeigten entsprechen, gleiche Bezugszeichen und -symbole zugeordnet. Das in **Fig. 5** gezeigte Speichersystem unterscheidet sich von dem in **Fig. 4** gezeigten darin, daß die Takt- und Befehls-/Adreßleitungen **61** und **62** für die Module **51** und **52** an zentralen Teilen der DRAMs **11** bis **18** und **21** bis **28**, angeordnet an den Modulen **51** und **52**, vorgesehen sind.

[0138] Um es genauer zu sagen, erstreckt sich in **Fig. 5** die Takt- und Befehls-/Adreßleitung **61**, die mit dem Modul **51** verbunden ist, von der MC **55** zu der zentralen Position des Moduls **51**. An der zentralen

Position des Moduls **51** ist die Leitung **61** in zwei Leitungen verzweigt und mit den DRAMs **11** bis **18** und **21** bis **28**, angeordnet auf der rechten und linken Seite im Verhältnis zur zentralen Position des Moduls **51**, verbunden. Noch genauer sind die Taktsignalleitung **61c** und die Befehls-/Adreßsignalleitung **61ca**, die die Takt- und Befehls-/Adreßleitung **61** bilden, beide in zwei Segmente abgezweigt, und zwar an der zentralen Position des Moduls **51**, und mit den DRAMs **11** bis **18**, angeordnet auf beiden Seiten in bezug auf die zentrale Position des Moduls **51**, verbunden. In ähnlicher Weise sind die Taktsignalleitung **62c** und die Befehls-/Adreßsignalleitung **62ca**, die zusammen die Takt- und Befehls-/Adreßleitung **62** bilden, in zwei Segmente an der zentralen Position des Moduls **52** verzweigt und mit den DRAMs **21** bis **28**, die auf beiden Seiten in bezug auf die zentrale Position des Moduls **52** angeordnet sind, verzweigt.

[0139] In dem gezeigten Beispiel sind die Befehls-/Adreßsignalleitungen **61ca** und **62ca** und die Taktsignalleitungen **61c** und **62c** in zwei Segmente an der zentralen Position jeder der Module **51** und **52** verzweigt. Dieses kann eine FehlAbstimmung der Impedanz vor oder hinter der Verzweigungsposition hervorrufen, was in einer Reflexion von Signalen oder dergleichen resultieren kann.

[0140] Es sind Betrachtungen angestellt worden, den vorgenannten möglichen Nachteil zu vermeiden, und das Beispiel verwendet eine Verdrahtung mit einer charakteristischen Impedanz Z_0 für die Signalleitungen bis zu den zentralen Positionen der Module **51** und **52**, wobei es sich um eine Verzweigungsposition handelt, und zwar von der MC **55**, und eine Verdrahtung mit einer charakteristischen Impedanz $2Z_0$ für die Leitungen hinter der Verzweigungsposition. Dies macht es möglich, die Verdrahtungsimpedanz wirksam auszugleichen.

[0141] Mit anderen Worten wird, wenn die Takt- und Befehls-/Adreßleitungen **61** und **62** in zwei Segmente verzweigt sind, die Verdrahtung mit einer charakteristischen Impedanz, die doppelt so groß wie die der Verdrahtung vor der Verzweigungsstelle ist, als Verdrahtung nach der Verzweigungsstelle verwendet, um so eine wirkungsvolle Verdrahtungsimpedanzabstimmung zu erzielen, selbst wenn die Leitungen gespalten sind. Die Datenleitungen DA sind die gleichen wie die in **Fig. 4** gezeigten, und es kann auf eine Erläuterung verzichtet werden. Ganz offenbar sorgt deshalb das in **Fig. 5** gezeigte Speichersystem für die gleichen Vorteile wie jene des in **Fig. 4** gezeigten Speichersystems.

[0142] Unter Bezugnahme auf **Fig. 6** hat nunmehr bei einem Speichersystem gemäß einem anderen abgewandelten Beispiel der Ausführungsform der Erfindung jeder der Module **51** und **52** eine Mehrzahl Gruppen DRAMs **56** (in diesem Beispiel als „Ränge“

bezeichnet) zum gleichzeitigen Schreiben und Lesen. Bei diesem Beispiel weist der Modul **51** Ränge **1** und **2** auf, während der Modul **52** Ränge **3** und **4** hat. Wie in dem in **Fig. 4** gezeigten Beispiel sind mit dem Modul **51** eine Taktsignalleitung **61a** und eine Befehls-/Adreßsignalleitung **61ca**, die für den Modul **51** spezifisch sind, verbunden, während mit dem Modul **52** eine Taktsignalleitung **62a** und eine Befehls-/Adreßsignalleitung **62ca**, die für den Modul **52** spezifisch sind, verbunden sind. Diese Signalleitungen **61a**, **61ca**, **62a** und **62ca** erstrecken sich von einem Ende jedes der Module **51** und **52** zu den DRAMs **56** wie in dem in **Fig. 4** gezeigten Beispiel hin.

[0143] Die in dem Rang **1** des Moduls **51** umfaßten DRAMs **56** sind sequentiell als DRAMs **11** bis **18** wie in dem in **Fig. 4** gezeigten Fall bezeichnet, während die im Rang **2** eingeschlossenen DRAMs **56** zahlenmäßig ebenfalls als DRAM **19** und **110** bis **115** und **116** bezeichnet sind. In ähnlicher Weise sind die in Rang **3** umfaßten DRAMs **56** des Moduls **52** als DRAMs **21** bis **23** aufgezählt, während die DRAMs **56**, die in Rang **4** eingeschlossen sind, ebenfalls zahlenmäßig als DRAM **29** und **210** bis **215** sowie **216** bezeichnet sind. Unter diesen DRAMs sind die DRAMs **18**, **116**, **28** und **216** diejenigen, die an der entferntesten Position oder dem entferntesten Ende von der Position, an der die Befehls-/Adreßleitungen **61ca** und **62ca** und die Taktleitungen **61c** und **62c** an den Modulen **51** und **52** eingeleitet werden, verbunden sind, während die DRAMs **11**, **19**, **21** und **29** diejenigen sind, die an der nächsten Position oder dem nächsten Ende von der Position, an der die Befehls-/Adreßleitungen **61ca** und **62ca** und die Taktleitungen **61c** und **62c** an den Modulen **51** und **52** eingeführt sind, verbunden sind.

[0144] Gemäß dieser Konfiguration werden Datensignale gleichzeitig in die DRAMs **11** bis **18**, **19** bis **116**, **21** bis **28** sowie **29** bis **216** der Ränge **1**, **2**, **3** und **4** eingeschrieben sowie eingelesen und aus diesen herausgeschrieben sowie ausgelesen.

[0145] In dem in **Fig. 6** gezeigten Speichersystem sind die Längen der Datenleitungen DA, die sich zwischen den Gruppen der DRAMs **56**, d.h. der DRAMs **11** bis **18**, **19** bis **116**, **21** bis **28** bzw. **29** bis **216** und dem MC **55** erstrecken, praktisch die gleichen. Deshalb kommen die durch die Datenleitungen DA übermittelten Datensignale praktisch zur gleichen Zeit an, wohingegen die Taktsignale und die Befehls-/Adreßsignale, die in die DRAM-Gruppen (DRAMs **11** bis **18**, **19** bis **116**, **21** bis **28** und **29** bis **216**) für jeden Rang durch die Befehls-/Adreßsignalleitungen synchron mit den Taktsignalen aufgenommen werden, zu einer unterschiedlichen Zeit gegenüber der der Datensignale ankommen.

[0146] Darüber hinaus besteht in den DRAMs **11** bis

18, **19** bis **116**, **21** bis **28** und **29** bis **216** in dem gleichen Rang eine Differenz in der Signalübertragungszeit in den Takt- und Befehls-/Adreßsignalleitungen zwischen den DRAMs **11**, **19**, **21** und **29**, die dicht an dem MC **55** angeordnet sind, und den DRAMs **18**, **116**, **28** und **216**, die weit von dem MC **55** entfernt angeordnet sind. Beispielsweise bringen, wenn die Verdrahtungslänge **85** nun, die charakteristische Impedanz Z_0 57 Ω und die tatsächliche Übertragungsverzögerung 11.8 ps/mm in jedem Rang beträgt, die Takt- und Befehls-/Adreßsignale eine 1003 ps betragende Drahtverzögerung zwischen dem am weitesten und dem am nächsten entfernten Ende mit sich.

[0147] Somit ist es in jedem DRAM erforderlich, die Befehls-/Adreßsignale und die Datensignale einander zuzuordnen, und es müssen die Lesedatensignale des gleichen Rangs, der den Befehls-/Adreßsignalen zugeordnet ist, in dem MC **55** vereinzelt/diskriminiert werden. Aus diesem Grund ist es, obwohl die Verdrahtungstopologie theoretisch einen Vorgang bei hohen Frequenzen von 500 MHz oder mehr zuläßt, nötig, die Befehls-Signale und die Datensignale aufeinander abzustimmen, wobei die vorerwähnte Differenz in der Verdrahtungsverzögerung in Kauf genommen wird. Speziell ist es dann, wenn das Speichersystem bei 1 Gps oder mehr betrieben wird, essentiell, den Zeitunterschied zwischen den Befehlssignalen und den Datensignalen zu eliminieren.

[0148] Die Erfindung beabsichtigt, die Zeitdifferenz in den DRAMs und dem MC zu beseitigen, um einen Betrieb bei hohen Frequenzen von 1 Gbps oder mehr zuzulassen. Verfahren zum Beseitigen der Zeitdifferenz, die auf die in **Fig. 4**, **5** und **6** gezeigten Speichersysteme angewendet werden können, werden nunmehr beschrieben. Es sind verschiedene Verfahren möglich, von denen drei nachfolgend als Beispiele vorgeschlagen werden.

[0149] Zunächst erfordert bei den in **Fig. 4** bis **6** gezeigten Speichersystemen, die Ausbildungen gemäß der Erfindung zeigen, die Beseitigung des Zeitunterschiedes eine Initialisierungstätigkeit, um den Zeitablauf/die Zeitsteuerung der Datensignale und Zeitablauf/-steuerung der Takt- und Befehls-/Adreßsignale in den DRAMs (im folgenden als „Initialisierung **1**“ bezeichnet) abzustimmen, einen Initialisierungsvorgang zum Unterscheiden des Zeitablaufs der Datensignale und der Zeitabläufe der Takt- und Befehls-/Adreßsignale in den DRAMs in dem MC (im folgenden als „Initialisierung **2**“ bezeichnet), und einen Initialisierungsvorgang für die DRAMs, um zu identifizieren, welches Taktsignal für den Zeitablauf sorgt, zu dem die Datensignale übermittelt werden (nachfolgend als Initialisierung **3**“ bezeichnet). Weiterhin erfordert in der MC das Lesen der Daten aus den DRAMs einen Initialisierungsvorgang zum Unterscheiden des Zeitablaufes zum Datenlesen aus den DRAMs (im nachfolgenden als „Initialisierung **4**“ be-

zeichnet).

[0150] Zum besseren Verständnis der Erfindung wird der übliche Betriebsablauf nach Vervollständigung der vorangehenden Initialisierungsvorgänge beschrieben.

[0151] Unter Bezugnahme auf **Fig. 7** wird ein Beispiel des Normalbetriebs des Speichersystems gemäß einer Ausführungsform der vorliegenden Erfindung beschrieben. Die dargestellte Operation kann auf ein Speichersystem angewendet werden, das eine Mehrzahl Module oder Ränge, in **Fig. 4 bis 6** gezeigt, aufweist. In diesem Fall wird die in **Fig. 7** dargestellte Operation unter der Annahme erläutert, daß man die beispielsweise Normaloperation auf das in **Fig. 4** gezeigte Speichersystem angewendet hat.

[0152] Es sei angenommen, daß die DRAMs **11 bis 18** an dem Modul **51** gemäß dem in **Fig. 4** gezeigten Layout angeordnet sind. Die MC **55** des Speichersystems gemäß der Erfindung gibt ein Befehls-/Adreßsignal aus, indem es so abgeglichen wird, daß die Mitte der effektiven Breite des Signals mit dem ansteigenden Rand eines Taktsignals (man nehme Bezug auf den Takt@MC und einen normalen, in **Fig. 7** gezeigten Befehl) übereinstimmt. Bei diesem Beispiel gibt die MC **55** Daten so aus, daß die Daten mit einem Rand eines Taktsignals (man nehme Bezug auf Daten@MC) abgestimmt sind.

[0153] Die MC **55** erzeugt Taktsignale bei einem 1875 ps-Zyklus, d.h. bei einer Frequenz von 533 MHz, und die Taktsignale erreichen den DRAM **11** in dem Modul **51**, nahe der MC **55** angeordnet, mit einer Verzögerung von 1050 ps (s. Takt@DRAM11) und erreichen den DRAM **18**, der am weitesten entfernten Ende des Moduls **51** angeordnet ist, mit einer Verzögerung von 2053 ps (s. Takt@DRAM18).

[0154] Dies bedeutet, daß in dem Modul **51** die Takte aus der MC **55** um 1003 ps (= 2052-1050 ps) verzögert werden.

[0155] Die DRAMs **11 bis 18** sind auf die Datenphase durch den Initialisierungsvorgang, der später erörtert wird, abgestimmt und erzeugen dann DRAM-Internkontakte (s. DRAM-interner Datenphasentakt@DRAM) (DRAM internal clocks; Anm. d. Übers.: Wiedergabe im Folgenden sowohl durch „DRAM-interne Takte“ als auch „interne DRAM-Takte“; auch im Zusammenhang mit anderen Substantiven wie Signal, Befehl).

[0156] In diesem Zustand werden von der MC **55** Schreibdaten ausgegeben, indem sie sowohl mit den ansteigenden wie auch den abfallenden Rändern der Taktsignale (Takt@MC) in der MC **55** (s. Daten@MC in **Fig. 7**) abgestimmt werden, und in die DRAMs **11 bis 18** eingeschrieben, indem sie mit dem DRAM-in-

ternen Datenphasentakt@DRAMs **11 bis 18** (s. Daten@DRAMs11-18) abgestimmt werden.

[0157] Aus den DRAMs (s. Daten@DRAM) werden Lesedaten ausgegeben, indem sie sowohl auf die ansteigenden als auch die abfallenden Ränder des DRAM-internen Takts abgestimmt werden, der auf die Phase der Daten, die durch Initialisierung in jedem DRAM (s. DRAM-interner Datenphasentakt@DRAM) erzeugt wurden, abgestimmt ist.

[0158] Weiterhin wird das Befehlssignal (normaler Befehl), das aus der MC **55** synchron mit dem Takt ausgegeben wird, einmal als Internbefehl zur Taktung jedes DRAM-internen Datenphasentaktsignals im DRAM eingefangen. Damit wird gemäß der Erfindung jeder Befehl an einen Datenphasenzeitablauf übermittelt, um das interne Befehlssignal zu erzeugen. Daher werden die Operationen in den DRAMs, insbesondere die Aktivierung der DRAM-Kernanordnungen, ein Vorladen, Lesen von Daten und Schreiben von Daten im Zeitablauf der Interndatenphase ausgeführt. Zu diesem Zeitpunkt werden durch die Initialisierung die DRAM-interne Datenphasen-Zeitgabe und die Zeitgabe des Takts aus der MC zurückgehalten.

[0159] Wie in Verbindung mit **Fig. 4** erläutert, führen alle DRAMs, da in den DRAMs im gleichen Modul die Datenphasen praktisch gleich sind, interne Operationen bei gleicher Zeitsteuerung bzw. Taktung aus und übermitteln die Daten mit einem abgestimmten Zeitablauf an die MC **55** zurück. In der MC **55** werden zu übermittelnde Daten und Befehls-/Adreßsignale mit den Taktsignalen synchronisiert, was es ermöglicht, die Operationszeitabläufe der DRAMs **11 bis 18** und **21 bis 28** oder dergleichen durch Beobachten der Taktzählung zu steuern.

[0160] Darüber hinaus ermöglicht es die Verwendung des Verfahrens gemäß der Erfindung, die später beschrieben wird, der MC **55**, das entsprechend der Zeitsteuerung des Taktsignals ausgegebene Befehlssignal an den Datenphasenzeitablauf zu übermitteln, der in der MC **55** erzeugt ist, und die von den DRAMs durch Zählen der Anzahl der Takte übertragenen Daten zu empfangen.

[0161] Unter Bezugnahme auf **Fig. 8** wird nunmehr ein weiteres Beispiel des normalen Betriebs des Speichersystems gemäß einer Ausführungsform der Erfindung erläutert. Die in der Figur gezeigte Operation kann ebenfalls auf die Speichersysteme, die in **Fig. 4 bis 6** gezeigt sind, angewendet werden. Daher wird die Operation des Speichersystems, wie sie in **Fig. 8** gezeigt ist, unter Bezugnahme auf **Fig. 4** beschrieben. Das in **Fig. 8** gezeigte Beispiel unterscheidet sich von dem in **Fig. 7** gezeigten Speichersystem dadurch, daß die MC **55** das Taktsignal (Takt@MC) bei einem Zyklus (2006 ps) erzeugt, der

länger als die Verzögerungszeit in jedem Modul ist, wobei die Verzögerungszeit (1003 ps) in jedem Modul ins Kalkül gezogen wird. Andere normale Befehle und Datensignale werden in der gleichen Weise wie in dem in **Fig. 7** gezeigten Speichersystem (s. Takt@MC und Daten@MC) erzeugt.

[0162] So wird in dem in **Fig. 8** gezeigten Beispiel das Taktsignal, das eine Frequenz (z.B. 177 MHz) hat, die niedriger als die des in **Fig. 7** gezeigten Taktsignals ist, verwendet, wobei die Verzögerungszeit in den Modulen in Betracht gezogen wird. Dies ermöglicht es den DRAMs jedes Ranges, normale Befehle in einem Zyklus des Taktsignals (s. Takt@DRAM11 und Takt@DRAM18) zu empfangen. In dem gezeigten Beispiel werden die Taktsignale und die Normalbefehle von der MC von den DRAMs **11** bis **18** mit Verzögerungen von 1050 ps bzw. 2053 ps (s. Takt@DRAM11 und Takt@DRAM18) empfangen. Diese Verzögerungszeiten, die die Taktsignale der DRAMs **11** bis **18** beeinflussen, basieren nur auf den Differenzen der Verzögerungszeit in jedem Taktsignalzyklus. Damit muß nur der Verzögerungszeit in dem Taktsignalzyklus für die DRAMs **11** bis **18** Aufmerksamkeit gewidmet werden, wenn die internen Datenphasentakte in den DRAMs erzeugt werden, um die Phasendifferenz zwischen dem Taktsignal und dem DRAM-internen Datenphasentakt (s. DRAM-interner Datenphasentakt@DRAMs11-18) zurückzuhalten.

[0163] Damit ist es bei den DRAMs **11** bis **18** möglich, den Interdatenphasentakt zu erzeugen, indem nur die Verzögerungszeit in dem Taktsignalzyklus in Betracht gezogen wird, um einen Internbefehl synchron mit dem Datenphasentakt zu erhalten, und um Daten synchron mit dem Interdatenphasentakt (Daten@DRAMs11-18) zu übermitteln.

[0164] In anderen Worten werden bei den DRAMs **11** bis **18** wie im Fall des in **Fig. 7** gezeigten Speichersystems, basierend auf einem durch ein bei Initialisierung erzeugtes Pseudo-Taktsignal erhaltenen Taktsignal, die internen Taktsignale (s. DRAM-interner Datenphasentakt@DRAM) in den DRAMs erzeugt, werden die internen Befehlssignale zur Zeitsteuerung der internen Takte erzeugt und werden Schreib- und Lesedaten synchron mit den internen Takten (s. Daten@DRAMs11 bis 18) geschrieben und gelesen. Die in **Fig. 7** und **8** dargestellten Operationen werden nachfolgend noch detaillierter erläutert.

[0165] Wie zuvor erwähnt, erfordern die in **Fig. 7** und **8** dargestellten Operationen eine Initialisierung. Um den Initialisierungsvorgang durchzuführen, ist es nötig, für Mittel zum Übermitteln des Befehlssignals, das im Zeitablauf des Taktsignals von der MC auf den Datenphasenzeitablauf eingefangen wurde, zu sorgen, um in den DRAMs ein internes Befehlssignal zu

erzeugen, und für Mittel zum Empfangen der Datensignale, die ausgegeben werden, um die Datenphasen in den DRAMs durch Zuordnen der Datensignale mit den Befehlssignalen in der MC abzugleichen. Die folgende Erläuterung wird sich hauptsächlich auf diese Mittel konzentrieren.

[0166] In der folgenden Erläuterung werden, obwohl die Takte und Daten aus Gründen der Einfachheit als einzelne Signale dargestellt sind, tatsächlich zwei Takte für ein Differentialsignal und zwei Datenleitungen für die Initialisierung verwendet.

[0167] Es erfolgt keine detaillierte Beschreibung des Taktreproduzierungsschaltkreises, der in den Figuren gezeigt ist, und der Schaltungstechniken, die zum Implementieren der Funktionen der Schaltung erforderlich sind, einschließlich Taktphaseneinstellung, Taktfrequenzteilung, Taktmultiplikation und Phasenverschiebung, weil hier Standardschaltungstechnologie verwendet wird.

[0168] Es sei bemerkt, daß keines der Speichersysteme gemäß den in **Fig. 4** bis **6** gezeigten Ausführungsformen Systemtaktsignale zum Übermitteln von Datensignalen hat. Die vorliegende Erfindung verwendet die folgende Technologie anstelle der Verwendung von Systemtaktsignalen. Es werden Pseudo-Taktsignale, die aus kontinuierlich reversierten Datensignalen zusammengesetzt sind, von der MC an die DRAMs übertragen, wenn das System initialisiert wird, während die Phasendifferenz der an die DRAMs in der gleichen Topologie gelieferten Datensignale wie der der Befehls-/Adresssignale rück- bzw. festgehalten wird, wodurch in den DRAMs die Taktsignale zum Übermitteln von Datensignalen in den DRAMs als Ursprungs- oder Sourcetakte erzeugt werden. Somit werden Datensignale übermittelt.

[0169] Bei der Verwendung der in **Fig. 9** und **10** gezeigten Zeitablaubbilder erfolgt eine Beschreibung des Initialisierungsvorgangs, der von der in **Fig. 7** gezeigten Ausführungsform durchgeführt wird, d.h. der Operation, die ausgeführt wird, um einen Initialisierungsbefehl auszugeben. In diesem Fall gibt die MC den Initialisierungsbefehl synchron mit einem Takt (Takt@MC und Befehl@MC) und auch das Datensignal, das kontinuierlich die Reversion wiederholt (kontinuierlich reversierendes Datensignal), als Pseudo-Taktsignal aus.

[0170] Sodann wird der Schritt zum Setzen bzw. Einstellen der DRAM-internen Datentaktphasen durch Verwendung des Initialisierungsbefehls und des kontinuierlich reversierenden Datensignals (im folgenden bezeichnet als „Initialisierung 1“) in der MC ausgeführt, und es werden der Schritt zum Setzen/Einstellen der Phase des Datentakts für jeden DRAM (im folgenden als „Initialisierung 2“ bezeichnet) und der Schritt zum Setzen/Einstellen der Be-

stimmung, an die das Befehls-/Adreßsignal von einem Takt-Zeitablauf an einen Datentaktablauf in jedem DRAM (im folgenden bezeichnet als „Initialisierung 3“) übermittelt wird, ausgeführt. Wenn die MC den Lesebefehl an einen DRAM ausgibt, führt die MC weiterhin einen Schritt des Unterscheidens bzw. Diskriminierens des Lesebefehls aus, dem die Daten, die aus dem DRAM ausgelesen sind, zugeordnet sind (im folgenden als „Initialisierung 4“ bezeichnet). Als erstes erfolgt eine Beschreibung der Initialisierung 1.

[0171] Unter Bezugnahme auf **Fig. 9** erzeugt die MC ein Taktsignal (s. Takt@MC) und den Initialisierungsbefehl so, daß dessen zentrale Position mit dem ansteigenden Rand des Taktsignals zusammenfällt oder darauf abgestimmt ist (s. Befehl@MC). Das Taktsignal und der Initialisierungsbefehl von der MC **55** werden mit einer 1050 ps-Verzögerung an den DRAM **11** geliefert, der am nächstliegenden Ende angeordnet ist, während sie mit einer 2052-Pseudo-Verzögerung an den DRAM **18** geliefert werden, der am entferntest liegenden Ende angeordnet ist. Die Beziehung zwischen den Taktsignalen und den Initialisierungsbefehlen, die den DRAMs **11** bis **18** zugeführt werden, ist identisch mit der Beziehung zwischen den Takten und den Initialisierungsbefehlen in der MC. Das deshalb, weil die Takt- und Befehls-Adressensignalleitungen gleiche Topologien haben.

[0172] Indessen wird, wie in **Fig. 10** gezeigt, das kontinuierlich reversierende Datensignal (Daten@MC) von der MC **55** den DRAMs **11** bis **18** über die Datenleitung DA zugeführt, die eine Topologie aufweist, die von der der Takt- und Befehls-Adreßsignalleitung verschieden ist. In diesem Fall wird das kontinuierlich reversierende Signal als Pseudo-Taktsignal allen DRAMs **11** bis **18** mit praktisch der gleichen Verzögerungszeit (902 ps in diesem Fall), wie in **Fig. 10** gezeigt, zugeführt. Wie zuvor beschrieben, werden die Taktsignale (Takt@MC) von der MC **55** den DRAMs **11** bis **18** mit untereinander verschiedenen Verzögerungszeiten (der 1050 ps-Verzögerung für DRAM **11** und der 2053 ps-Verzögerung für DRAM **18**) zugeführt.

[0173] Es erwächst zwischen den Datensignalen und den Taktsignalen, Befehls-/Adreßsignalen eine Zeitdifferenz, d.h. eine Phasendifferenz, die auf die Differenz in der Verzögerungszeit wegen der Differenz der Leitungen zurückzuführen ist.

[0174] Es wird nunmehr die Differenz in der Verzögerungszeit zwischen den Datensignalen und den Taktsignalen im DRAM **18** erläutert. Ein Datensignal erreicht DRAM **18** mit der 902 ps-Verzögerung, so dann erreicht ein Taktsignal den DRAM **18** 1151 ps nach der Ankunft des Datensignals (s. Takt@DRAM18 und Daten@DRAM18). Dies bedeu-

tet, daß eine Phasendifferenz besteht, die äquivalent zu 1151 ps zwischen dem Taktsignal und dem Datensignal ist.

[0175] Bei Empfang des kontinuierlich reversierenden Datensignals, das von der MC ausgegeben wird, erzeugt DRAM **18** einen internen Datenphasentakt, der mit dem empfangenen kontinuierlich reversierenden Datensignal (s. DRAM-Interndatenphasentakt@DRAM18) abgestimmt ist.

[0176] Dies bedeutet, daß bei der Initialisierung **1** das kontinuierlich reversierende Datensignal eher als das Pseudo-Taktsignal als das Taktsignal von dem MC verwendet wird, um den internen Datenphasentakt zu entscheiden.

[0177] Nachfolgend wird das Taktsignal (Takt@MC) von dem DRAM **18** mit einer Verzögerungszeit von 2053 ps empfangen. In diesem Beispiel ist der Zyklus des Taktsignals 1875 ps, so daß die Verzögerungszeit des Taktsignals länger als der Zyklus des Taktsignals ist. Daher wird die Übermittlung eines Datensignals nicht notwendigerweise innerhalb des gleichen Taktzyklus in den DRAMs **11** bis **18** ausgeführt; deshalb ist es bei diesem Beispiel notwendig, das Taktsignal, das für den Zeitablauf zu dem die Daten empfangen werden, sorgt, zu diskriminieren. Es ist ebenfalls notwendig, die Phasendifferenz zwischen dem kontinuierlich reversierenden Datensignal und dem Taktsignal zurückzuhalten.

[0178] Unter Berücksichtigung des Obigen ist die Ausführungsform so vorgesehen, den internen Datenphasentakt unter Verwendung des kontinuierlich reversierenden Datensignals in einem DRAM zu erzeugen und die Frequenz des internen Datenphasentakts zu teilen (in diesem Fall in Viertel zu teilen), um die interne Phase des Datensignals in jedem DRAM zu bestimmen.

[0179] In anderen Worten wird der interne Datenphasentakt (s. DRAM-interner Datenphasentakt@DRAM18) in Viertel geteilt, um den internen Datenphasen-Frequenz-geteilten Takt (s. DRAM-internen Datenphasenfrequenz-geteilten Takt) zu erzeugen, während der gevierteilte interne Datenphasenfrequenz-geteilte Takt um 90° phasenverzögert wird, um einen internen Datenphasenverzögerungsfrequenz-geteilten Takt (DRAM-internen Datenphasenverzögerungs-Frequenz-geteilten Takt) zu erzeugen.

[0180] Zur gleichen Zeit werden unter Verwendung des obigen internen Datenphasen-Frequenz-geteilten Takts als Referenz interne Datenphasen-Frequenz-geteilte Vierphasentakte (DCLK1 bis DCLK4) in DRAM **18** erzeugt (s. DRAM-interne Datenphasen-Frequenz-geteilte Vierphasentakte). Dieses setzt die DRAM-internen Datentaktphasen. Diese in-

ternen Phasenfrequenz-geteilten Takte oder dergleichen werden verwendet, um die Phasendifferenzen zwischen Taktsignalen und Datensignalen im DRAM **18** zu beseitigen, wie nachfolgend erörtert wird.

[0181] Unter Bezugnahme auf **Fig. 11** wird nunmehr der Takt-Zeitablauf für die DRAM-internen Daten nach Initialisierung **1** erläutert. In diesem Fall sei angenommen, daß eine Schreiboperation durchgeführt wird. Die DRAM-internen Datenphasen-Frequenz-geteilten Vierphasentakte (DCLK1 bis DCLK4) werden wie vorstehend beschrieben erzeugt, während die Takte DCLKR zum Empfangen von DRAM-internen Daten und die Frequenz-geteilten Vierphasentakte zum Empfangen der DRAM-internen Daten (s. DCLKR1 bis DCLKR4) von den DRAM-internen Datenphasenverzögerungs-Frequenz-geteilten Takten, erzielt durch Verzögern deren Phasen um 90° und Frequenz-geteilt, erhalten werden.

[0182] Wie aus **Fig. 11** offenbar wird, werden diese empfangenden Takte DCLKR, DCLKR1 bis DCLKR4 auf der Basis des internen Datenphasen-verzögerten Frequenz-geteilten Takts, den man durch Verzögern der Phase des DRAM-internen Datenphasen-Frequenz-geteilten Takts um 90°, erzeugt. Nach Empfang des Initialisierungsbefehls werden die Datensignale von der MC **55** an den Rändern dieser interne Daten empfangenden Takte DCLKR geschrieben.

[0183] **Fig. 12** zeigt die Zeitabläufe zum Lesen von Datensignalen nach Empfangen des Initialisierungsbefehls. Wie in **Fig. 12** gezeigt, werden unter Verwendung des internen Datenphasen-Frequenz-geteilten Takts (s. DRAM-internen Datenphasen-Frequenz-geteilten Takt) ein DRAM-interner Datenausgangstakt DCLK0 und Frequenz-geteilte Vierphasentakte DCLK01 bis DCLK04 im DRAM **18** erzeugt. An einem Rand des internen Datenausgangstakts DCLK0 wird ein Datensignal vom DRAM **18** gelesen (s. Daten@DRAM18). Wie in **Fig. 12** gezeigt, wird auf die Initialisierung folgend der DRAM-interne Datenausgangstakt DCLK0 auf der Basis des DRAM-internen Datenphasentakts erzeugt. Basierend auf dem internen Datenausgangstakt DCLK0 werden die Daten vom DRAM **18** gelesen, und diese Datenteile werden an die MC in Form kontinuierlich reversierender Datensignale ausgegeben.

[0184] **Fig. 13** zeigt eine spezifische Konfiguration des DRAMs, der die vorangehende Operation ausführt. Der dargestellte DRAM hat einen Daten-DLL-Schaltungsblock **71**, der die kontinuierlich reversierenden Datensignale als Pseudo-Taktsignal von der MC und auch Taktsignale empfängt. Der Block **71** erzeugt die internen Datenphasen-Frequenz-geteilten Vierphasentakte DCLK1/2/3/4, den internen Daten empfangenden Takt und Frequenz-geteilte Vierphasentakte DCLKR,

DCLKR1/2/3/4 sowie den internen Datenausgabetakt und die Frequenz-geteilten Vierphasentakte DCLK0, DCLK01/2/3/4. Der DRAM umfaßt weiter einen Befehls-/Adressen-DLL-Schaltungsblock **72**, der die DRAM-internen Befehls-/Adressen-empfangenden Frequenz-geteilten Vierphasentakte CLK0/90/180/270 in Reaktion auf die Taktsignale empfängt. Die Konfigurationen dieser Blöcke **71** und **72** werden später erörtert.

[0185] Unter Bezugnahme auf **Fig. 13** erzeugt für die Initialisierung **1** der Daten-DLL-Schaltungsblock **71** die DRAM-internen Datenphasen-Frequenz-geteilten Vierphasentakte DCLK, DCLK1/2/3/4 (s. **Fig. 10** und **11**) aus den Pseudo-Taktsignalen, die als kontinuierlich reversierende Datensignale über die Datenleitungen DA geliefert werden, und sendet diese an einen Takt vergleichenden und diskriminierenden Block **73**. Indessen werden der DRAM-interne Datenausgangstakt und die Frequenz-geteilten Vierphasentakte DCLK0/DCLK01/2/3/4 an einen Ausgangsdatenschalt-Schaltkreis **74** geliefert. Der DRAM-interne Datenempfangstakt DCLKR und die DRAM-internen Daten-Frequenz-geteilten Vierphasentakte DCLKR1/2/3/4 werden einem Datenempfänger- und Interndatenerzeugungsschaltkreis **75** zugeführt.

[0186] Der Befehls-/Adreß-DLL-Schaltungsblock **72** gibt die DRAM-interne Befehl-/Adresse, die die Frequenz-geteilten Vierphasentakte CLK0/90/180/270 empfängt, an einen Befehlsempfänger und einen internen Befehlssignalerzeugungs-Schaltkreis **76** aus, um die Phasen der Taktsignale zu diskriminieren. Der Befehlsempfänger und der interne Befehlssignalerzeugungs-Schaltkreis **76** empfangen die Befehls-/Adreßsignale und die DRAM-internen Befehls-/Adreßempfangs-Frequenz-geteilten Vierphasentakte CLK0/90/180/270 sowie DCLK0/90/180/270, die von dem Taktvergleichs- und Diskriminierungsblock **73** geliefert werden, ordnen dann deren Zeitabläufe einander zu oder stimmen sie miteinander ab, um DRAM-interne Befehls-/Adreßsignale zu aufeinander abgestimmten Zeitabläufen zu erzeugen. In diesem Fall deuten „0/90/180/270“ von CLK0/90/180/270 und DCLK0/90/180/270 die Phasen der Frequenz-geteilten Vierphasentakte an. Dies ermöglicht es, die Taktsignale zu diskriminieren, die für die Zeitabläufe sorgen, zu denen die Befehls-/Adreßsignale empfangen werden.

[0187] Weiterhin geben der Befehlsempfänger und der interne Befehlssignal-erzeugende Schaltkreis **76** die Befehls-/Adreßtaktdiskriminierungsdatensignale CLKP0/90/180/270, die die Zeitabläufe der empfangenen Befehls-/Adreßsignale durch Phasen diskriminieren, und ein Initialisierung-Zeitsteuerungssignal aus. Die DRAM-internen Befehls-/Adreßsignale werden den Speichern der DRAMs zugeführt, während die Befehls-/Adreßtaktdiskriminierungsdatensignale

CLKP0/90/180/270 und das Initialisierungszeitsteuersignal dem Taktvergleichs- und -diskriminierungsblock **73** bzw. dem Initialisierungssignalerzeugungsschaltkreis **77** zugeführt werden.

[0188] Der Taktvergleichs- und -diskriminierungsblock **73** vergleicht die DRAM-internen Datenphase-Frequenz-geteilten Vierphasentakte DCLK1/2/3/4 und die Befehls-/Adreßtakt-diskriminierungsdatensignale CLKP0/90/180/270 durch Bezugnahme auf die Initialisierungssignale 1/2/3/4 von dem Initialisierungssignalerzeugungsschaltkreis **77**, liefert dann die DRAM-internen Befehlsabstimmungs-Vierphasentakte DCLK0/90/180/270, die die Ergebnisse des Vergleichs sind, und zwar an den Befehlsempfänger und den Internbefehlssignalerzeugungsschaltkreis **76**. Die DCLK0/90/180/270 deuten die Phasen der kontinuierlich reversierenden Datensignale an, zu denen die Taktsignale von der MC empfangen werden.

[0189] Basierend auf DCLK0/90/180/270 stimmen der Befehlsempfänger und der interne Befehls-Signalerzeugungsschaltkreis **76** die Zeitsteuerung des DRAM-internen Befehls-/Adreßsignals mit der Zeitsteuerung des kontinuierlich reversierenden Datensignals ab.

[0190] Indessen speichern bei Empfang eines Datensignals der Datenempfänger und der Interndatenerzeugungsschaltkreis **75** interne Datensignale in einem Speicher entsprechend dem DRAM-internen Datenempfangstakt und den Frequenz-geteilten Vierphasentakten DCLKR, DCLKR1/2/3/4. Im Falle der Initialisierung geben der Datenempfänger und die interne Datenerzeugungsschaltung **75** die DRAM-internen Datentakt-Diskriminierungssignale DCLKP1/2/3/4 aus, die die Empfangszeitabläufe/-steuerungen der empfangenen Datensignale anzeigen, an den Ausgangsdatschaltungsschaltkreis **74** aus.

[0191] Der Ausgangsdatschaltungsschaltkreis **74** beurteilt den Ausgang oder Eingang von Daten und arbeitet in Reaktion auf die DRAM-internen Datentakt-diskriminierungsdatensignale DCLKP1/2/3/4, die DRAM-internen Datenausgangstakte, den Frequenz-geteilten Vierphasentakt DCLK01/2/3/4 und die Initialisierungssignale 1/2/3/4. Im Falle der Initialisierungsoperation werden die anfänglichen kontinuierlich reversierenden Daten aus einem kontinuierlich reversierenden Datenerzeugungsschaltkreis **78** an die MC als Ausgangsdaten mittels des Ausgangsdatschaltung-Schaltkreises und einem Ausgangsschaltkreis **80** ausgegeben. Für normalen Betrieb werden Daten mit Hilfe des Ausgangsdatschaltung-Schaltkreises **74** und des Ausgangsbeschaltkreis **80** übermittelt.

[0192] Fig. 14 zeigt den in Fig. 13 gezeigten Da-

ten-DLL-Schaltungsblock **71**, und Fig. 15 zeigt den Befehls-/Adreß-DLL-Schaltungsblock **72**. Unter Bezugnahme auf Fig. 13 und 14 empfängt der Daten-DLL-Schaltungsblock **71** Datensignale, Initialisierungssignale und Taktsignale, um die DRAM-internen Datenausgangstakte DCLK0 und die Frequenz-geteilten Vierphasentakte DCLK01/2/3/4 davon, die DRAM-internen Datenempfangstakte DCLKR und die Frequenzgeteilten Vierphasentakte DCLKR1/2/3/4 davon, und die DRAM-internen Datenphasen-Frequenz-geteilten Vierphasentakte DCLK1/2/3/4, wie dies aus Fig. 13 erkennbar wird, zu erzeugen.

[0193] Ebenfalls unter Bezugnahme auf Fig. 14 weist der Daten-DLL-Schaltungsblock **71** einen DRAM-internen Datenphasenreproduzierungsblock **711** auf, der in Reaktion auf ein Datensignal, ein Initialisierungssignal und ein Taktsignal arbeitet. Mit dem Daten-DLL-Schaltungsblock **71** sind ein Daten empfangender Taktgenerator **712** und ein Daten-Ausgabebetaktgenerator **713** verbunden.

[0194] Der interne DRAM-Datenphasenreproduzierungsblock **711** ist aus einer Taktreproduzierungs-schaltung, die Takte in Reaktion auf Taktsignale und Initialisierungssignale reproduziert, einer Phasenbestimmungsschaltung, die die Phasen von Datensignalen und Initialisierungssignalen vergleicht und Phasenbestimmungssignale an den Taktreproduzierungs-schaltkreis ausgibt, und einer Phasenbestimmungsschaltung aufgebaut, die die Phasen von Taktsignalen und Referenzphasentakten vergleicht und Phaseinstellsignale an die Taktreproduzierungs-schaltung ausgibt.

[0195] In dem internen DRAM-Datenphasentaktreproduzierungsblock **711** bestimmt die Phasenbestimmungsschaltung, die in Reaktion auf ein Initialisierungssignal und ein Datensignal tätig wird, daß das in Form eines kontinuierlich reversierenden Datensignals zugeführte Datensignal als Pseudo-Taktsignal arbeitet, wenn das Initialisierungssignal Initialisierung **1** andeutet, und sendet die Phase des Datensignals in Form eines Phasenbestimmungssignals an die taktreproduzierende Schaltung.

[0196] Wenn das Initialisierungssignal die Initialisierung **1** andeutet, liefert der Taktreproduzierungs-schaltkreis das Pseudo-Taktsignal als Referenzphasentakt an die Phasenbestimmungsschaltung. Die Taktreproduzierungs-schaltung erzeugt ebenfalls aus dem Pseudo-Taktsignal einen internen DRAM-Datenphasenfrequenz-geteilten Takt und einen internen DRAM-Datenphasenverzögerungs-Frequenz-geteilten Takt und gibt diese erzeugten Takte an den Datenausgabebetaktgenerator **713** bzw. den Datenempfangstaktgenerator **712** aus. Weiterhin gibt die in der Figur gezeigte Taktreproduzierungs-schaltung die internen DRAM-Datenphasen-Frequenz-

teilen Vierphasentakte DCLK1/2/3/4 an den in **Fig. 13** gezeigte Taktvergleichs- und -diskriminierungsschaltkreis **73** aus. Für den außerhalb des Initialisierungsbetriebes normalen Betrieb ermittelt die Phasenbestimmungsschaltung, die in Reaktion auf Datensignale und Referenzphasentakte arbeitet, die Phasendifferenz zwischen diesen zwei Taktsignalen und gibt ein Phaseneinstell-/Abgleichssignal an die taktreproduzierende Schaltung aus.

[0197] Wie in der Figur gezeigt, ist der datenempfangende Taktgenerator **712** aus einer Taktreproduzierungsschaltung und einer Phasenbestimmungsschaltung, die in Reaktion auf interne DRAM-Datenphasenverzögerungs-Frequenz-geteilte Takte arbeitet, und drei Puffern aufgebaut. Der datenempfangende Taktgenerator **712** gibt die vorstehenden internen DRAM-Daten-Empfangstakte DCLKR und ihre Frequenz-geteilten Vierphasentakte DCLKR1/2/3/4 an den Datenempfänger und den internen Datenerzeugungsschaltkreis **75**, in **Fig. 13** gezeigt, aus.

[0198] Der Datenausgabebetaktgenerator **713** ist aus einer Taktreproduzierungsschaltung und einer Phasenbestimmungsschaltung, in Reaktion auf interne DRAM-Daten-Phasenfrequenz-geteilte Takte arbeitend, drei Puffern und einer Ausgangsschaltungsnachbildung aufgebaut. Der Datenausgabebetaktgenerator **713** gibt DCLK0 und DCLK01/2/3/4 an die Datenvergleichs- und -diskriminierungsschaltung **713** bzw. den Ausgabedatenschaltung-Schaltkreis **74** aus.

[0199] Bei dieser Ausbildung wird auf Daten nach Initialisierung kein Bezug genommen. Basierend auf der Phasendifferenz zwischen einem Datensignal und einem während der Initialisierung zurückgehaltenen Taktsignal erzeugt jedoch der interne DRAM-Daten-Phasentaktreproduzierungsblock **711** einen internen Datenphasentakt, wie dies in **Fig. 16** gezeigt ist (s. DRAM-interner Datenphasentakt@DRAM **18**).

[0200] Ebenfalls unter Bezugnahme auf **Fig. 16** werden durch den internen DRAM-Datenphasentaktreproduzierungsblock **711** interne DRAM-Datenphasen-geviertelte Takte DCLK1/2/3/4, erhalten durch Vierteln von internen DRAM-Datenphasentakten, und interne DRAM-Datenphasen-Verzögerungsfrequenz-geteilten Takte, erhalten durch Vierteln von Taktsignalen mit einer Phasenverzögerung von 90°, geschaffen und dem Datenausgabebetaktgenerator **713** bzw. dem Datenempfangstaktgenerator **712** zugeführt.

[0201] Wie zuvor beschrieben, erzeugen der Datenausgangstaktgenerator **713** und der Datenempfangstaktgenerator **712** den internen DRAM-Ausgangstakt DCLK0 und den Empfangstakt DCLKR, und sie erzeugen ebenfalls ihre Frequenz-geteilten Vierphasentakte DCLK01/2/3/4 und DCLKR1/2/3/4.

Die Vierphasentakte werden durch Verzögern der Phase um 90° von den empfangenen Frequenz-geteilten Takten erzeugt. Die empfangenden und übertragenden Takte werden durch Multiplizieren der Frequenz-geteilten Takte mit vier erzeugt.

[0202] Die internen DRAM-Datenphasenfrequenz-geteilten Vierphasentakte DCLK1/2/3/4 werden von dem internen DRAM-Datenphasentaktreproduzierungsblock **711** an den Takt vergleichenden und diskriminierenden Block **73** zugeführt. In diesem Fall werden drei Vierphasenfrequenz-geteilte Takte erzeugt, jeder Vierphasentakt wird unter Verwendung von „0“ der internen DRAM-Datenphasenfrequenz-geteilten Takte als Referenz erzeugt und 0 bis 3 werden dem zugeordnet.

[0203] Nunmehr wird unter Bezugnahme auf **Fig. 13** und **15** der Befehls-/Adreß-DLL-Schaltungsblock **72** beschrieben. Der Befehls-/Adreß-DLL-Schaltungsblock **72**, wie er in **Fig. 15** gezeigt ist, ist aus einem Taktreproduzierungsschaltkreis und einem Phasenbestimmungsschaltkreis aufgebaut, die in Reaktion auf Taktsignale arbeiten, aus einem Puffer und einem weiteren Puffer zum Teilen einer Frequenz in Viertel. Der Befehls-/Adreß-DLL-Schaltungsblock **72** erzeugt aus Taktsignalen interne DRAM-Befehl-/Adreßempfangsfrequenz-geteilte Vierphasentakte CLK0/90/180/270.

[0204] Diese Vierphasentakte CLK0/90/180/270 werden erzeugt, um eine Übermittlungsbestimmung zu unterscheiden, an die ein Befehls-/Adreßsignal auf die Zeitsteuerung eines internen DRAM-Datenphasentakts, erzeugt aus einem Datensignal, nachdem ein Befehls-/Adreßsignal empfangen wurde, übermittelt werden soll. Das Durchführen einer Frequenzteilung ermöglicht eine Handhabung selbst dann, wenn die Zeitdifferenz für die Übermittlung einen Taktzyklus übersteigt.

[0205] In den oben beschriebenen Ausführungsformen wurden Quadrupel-Frequenz-takte verwendet, um zu ermöglichen, daß ein Signal auf eine unterschiedliche Zeitsteuerung mit einem ausreichenden Spielraum in bezug auf die Leitungs- oder Drahtverzögerung (1003 ps) bei einer Operation bei 1 Gbps oder mehr übermittelt wird. Im allgemeinen können jedoch n-fache Frequenz-geteilte Takte verwendet werden.

[0206] Nunmehr wird unter Bezugnahme auf **Fig. 17** der nächste Schritt, das heißt Initialisierung 2, der in der MC ausgeführt wird, erläutert. In diesem Fall wird ein kontinuierlich reversierendes Datensignal von einem DRAM an die MC übertragen. Wie durch Daten@DRAM18, in **Fig. 17** gezeigt, angedeutet, wird das kontinuierliche reversierende Datensignal von dem DRAM **18** als ein Pseudo-Datensignal ausgegeben, indem eine Abstimmung an den anstei-

genden und abfallenden Rändern des internen DRAM-Datenphasentakts (s. DRAM-interner Datenphasentakt@DRAM18) erfolgt, der durch den DRAM während der Initialisierung **1**, verzögert um 902 ps vor Erreichen des MC, abgestimmt wird.

[0207] Wie in dem DRAM erzeugt die MC einen MC-internen Datenphasentakt (MC internal...; Anm. d.Ü.: Wiedergabe, wie bei „DRAM internal ...“, wechselweise als „interne MC ...“ oder „MC-interne ...“) aus dem Pseudo-Datensignal, und es werden ein interner MC-Datenphasenverzögerungs-Frequenz-geteilter Takt, ein interner MC-Datenempfangstakt DCLKMC und Vierphasen-Frequenz-geteilte Takte DCLKMC1/2/3/4 erzeugt. Sodann wird das Abstimmen der Zeitsteuerung durchgeführt, um Daten von den DRAMs zu empfangen. Unter Bezugnahme auf **Fig. 28** wird die Konfiguration der MC später erläutert.

[0208] Wenn ein Speichersystem eine Mehrzahl Ränge oder (Rang-)Ordnungen aufweist, so muß die Initialisierung für jeden Rang durchgeführt werden. In diesem Fall hält die MC für jeden Rang Datenphasen zurück. Dieses führt zur Abstimmung der Takt-Zeitabläufe der DRAMs und der MC. Selbst wenn die Takt-Zeitabläufe der DRAMs und der MC abgestimmt worden sind, ist es immer noch notwendig, den Takt-Zeitablauf zu diskriminieren, bei dem Daten zwischen den DRAMs und der MC übermittelt werden.

[0209] Daher findet in den DRAMs eine Initialisierung **3** zum Bestimmen der Destination statt, wenn ein Signal von dem vorgenannten Takt-Zeitablauf an den Datenphasenzeitablauf übermittelt wird.

[0210] **Fig. 18** zeigt eine Zeitablaufdarstellung der Initialisierung **3**, wobei die in den DRAMs erzeugten Takte und die individuellen, Frequenz-geteilten Takte, basierend auf Datenzeitabläufen, d.h. Befehlsadressenempfangs-Frequenz-geteilte Vierphasentakte, und die internen DRAM-Datenphasenfrequenz-geteilten Vierphasentakte einander zugeordnet sind. Zu diesem Zweck wird ein Signal eines geviertelten Frequenzzyklus für ein Adressensignal und ein Datensignal von der MC übermittelt und von einem DRAM empfangen.

[0211] Durch Zuordnen eines jeden ansteigenden Zeitablaufes zu einem Frequenz-geteilten Takt, der für einen entsprechenden ansteigenden Zeitablauf sorgt, wird die Übermittlung von einem Takt-Zeitablauf an einen Datenzeitablauf vollzogen.

[0212] Es wird auf das in **Fig. 19** gezeigte Zeitablaufbild Bezug genommen, bevor die Erläuterung in Verbindung mit **Fig. 18** beginnt. Wie in **Fig. 19** gezeigt, so erreicht, wenn das Datensignal von der MC zur gleichen Zeit mit einem Taktsignal übertragen wird, das Taktsignal den DRAM **18** am entfernten

Ende in einem Rang mit einer Zeitverzögerung. Dies bedeutet, daß ein Befehl später als Daten in den DRAM eingeführt wird, was den DRAM abschalten würde.

[0213] Um das Problem zu lösen, wird die Phase des geviertelten, durch die Datenleitung DA zu übertragenden Signals um einen Takt verzögert, wie dies durch Daten@MC, in **Fig. 18** gezeigt, angedeutet ist. Genauer gesagt wird, wenn beim Anstieg des Takts T1 ein Befehlssignal von der MC an den DRAM übertragen wird, es in dem DRAM auf den Datenphasentakt, der dem Taktrand des Zeitablaufes T2 in der MC zugeordnet ist, übermittelt. Dieses stellt die Destination, bei der die Befehlsadresse übermittelt wird, von einem internen DRAM-Taktzeitablauf auf einen Datentaktzeitablauf ein.

[0214] Die MC zählt die Anzahl der Takte und stellt fest, daß in einem DRAM ein Befehl mit einer um einen Takt wirksamen Verzögerung ausgeführt wird. Mit anderen Worten stellt die MC fest, daß eine Adreß/Befehlslatenzzeit einen Takt lang dauert. Bei dieser Ausführungsform ist die Verzögerung auf einen Takt gesetzt; jedoch wird, wenn es nötig ist die Verzögerung zu vergrößern, eine höhere Zahl Takte in der MC gesetzt.

[0215] **Fig. 20** und **21** zeigen einen Befehlsempfänger und einen internen Befehlssignalerzeugungsschaltkreis **76** des in **Fig. 13** gezeigten DRAM bzw. die bei deren Initialisierung **3** auftretenden Betriebswellenformen. Der Befehlsempfangs- und Internbefehlssignal-Erzeugungsschaltkreis **76**, der in **Fig. 20** gezeigt ist, empfängt über einen Eingangsanschluß einen Befehl/Adreßsignal (An) und gibt ein internes DRAM-Befehls/Adreßsignal aus. Zu diesem Zweck ist die in der Figur gezeigte Schaltung aus vier Empfangs- und Verriegelungsschaltkreisen und vier D-Flip-Flops aufgebaut.

[0216] Ebenfalls unter Bezugnahme auf **Fig. 21** wird ein Befehl/Adressensignal über einen Befehl/Adressensignalanschluß (An-Eingangsanschluß) an die vier Empfänger und Verriegelungsschaltkreise, die in dem Befehlempfänger und dem internen Empfangssignalerzeugungsschaltkreis **76** vorgesehen sind, geliefert. Es sei angenommen, daß ein Adreßsignal An als Befehl-/Adreßsignal (s. An@DRAM18) zugeführt wird. Das Adreßsignal An wird von der MC am Anstieg eines Taktsignals erzeugt und von dem DRAM **18** empfangen. In diesem Beispiel wird von dem DRAM **18** (s. An@DRAM18) „110011“ als das Adressensignal An empfangen. In diesem Fall wird das Adressensignal An übertragen und in Form eines kontinuierlich reversierenden Datensignals empfangen.

[0217] Die vier Empfänger und Verriegelungsschaltkreise (R&L), wie sie in **Fig. 20** gezeigt sind, empfan-

gen ebenfalls die Takte vier verschiedener Phasen CLK0/90/180/270, die man durch Teilen eines von dem in **Fig. 13** gezeigten Befehl/Adressen-DLL-Schaltungsblock **72** empfangenen Taktsignals in Viertel erhält. Daher werden die Befehle/Adreßsignale jeweils in den vier Empfängern und Verriegelungsschaltkreise durch die Vierphasentakte CLK0/90/180/270 verriegelt. In diesem Falle sind die Takte CLK0/90/180/270 die internen DRAM-Befehlsadressen-empfangenden, Frequenz-geteilten Vierphasentakte und deuten die Phasen zum Empfangen der Befehlsadressen in dem DRAM an.

[0218] Die Verriegelungsergebnisse werden als Befehlsadressentakt diskriminierende Datensignale CLKP0/90/180/270 an den Takt vergleichenden und diskriminierenden Block **73**, in **Fig. 13** gezeigt, und auch an den Befehlsempfänger und die D-Flip-Flops (im folgenden bezeichnet als „DF/Fs“) in der internen Befehlssignalerzeugungsschaltung **76** geliefert.

[0219] In dem in **Fig. 21** gezeigten Beispiel wird das Adressensignal An durch einen Takt CLK0/90/180/270 verriegelt, und das Befehlsadressentakt-diskriminierende Datensignal CLKP0/90/180/270 bei 0110 wird von den vier Empfänger- und Verriegelungsschaltkreisen (R&Ls), wie in der Figur gezeigt, ausgegeben.

[0220] Die DF/Fs empfangen die internen DRAM-Befehlsabgleich-Vierphasentakte DCLK0/90/180/270, und die internen DRAM-Befehlsadressensignale werden an die DRAMs gemäß DCLK0/90/180/270 ausgegeben. Dies bedeutet, daß die Takte der Befehls/Adressensignale mit den Takten der Datensignale durch die DF/Fs den Takten der Datensignale abgestimmt sind, d.h. die DRAM-internen Befehls/Adressensignale werden an die Zeitabläufe der internen DRAM-Befehlsabstimmung-Vierphasentakte DCLK0/90/180/270 übermittelt.

[0221] **Fig. 22** zeigt eine spezifische Schaltungskonfiguration von Datenempfänger und interner Datenerzeugungsschaltung **75**, wie dies in **Fig. 13** gezeigt ist. Der Datenempfänger und der interne Datenerzeugungsschaltkreis **75** umfassen einen Dateneingangsanschluß zum Empfangen von Datensignalen und einen Ausgangsanschluß zum Ausgeben der DRAM-internen Datentakt-Diskriminierungsdatensignale DCLKP1/2/3/4. Datensignale von dem Dateneingangsanschluß werden dem Datenempfänger zugeführt.

[0222] Der Datenempfänger empfängt Datensignale mit der Zeitsteuerung/Taktgabe der internen DRAM-Datenempfangstakte DCLKR, und die empfangenen Datensignale werden von den vier Verriegelungen mit der Zeitgabe der Frequenz-geteilten Vierphasentakte DCLKR1/2/3/4 verriegelt. Die Frequenz-geteilten Vierphasentakte DCLKR1/2/3/4 wer-

den an vier Verriegelungsschaltkreise angelegt, so daß die verriegelten Datensignale in Viertel geteilt werden, um die DRAM-internen Datentaktdiskriminierungsdatensignale DCLKP1/2/3/4 darzustellen.

[0223] **Fig. 23** zeigt einen DRAM-internen Datenempfangstakt DCLKR, der in bezug auf den internen DRAM-Datenphasentakt um 90° verzögert ist, und die Frequenz-geteilten Vierphasentakte DCLKR1 bis DCLKR4, die man durch Dividieren des Takts DCLKR in Viertel erhalten hat. Diese Takte werden dem Datenempfänger und den Verriegelungsschaltungen zugeführt. Im dargestellten Beispiel werden Datenstränge (kontinuierlich reversierende Datenstränge) von 0000111100001111 als Datensignal zugeführt. Diese Datenstränge werden von dem Datenempfänger an den Vorderrändern von DCLKR empfangen, und die empfangenen Datensignale werden von den Verriegelungsschaltungen zu den Zeitgaben von DCLKR1 bis DCLKR4 verriegelt. Als Ergebnis geben die Verriegelungsschaltkreise die DRAM-internen Datentaktdiskriminierungssignale DCLKP1 bis DCLKP4 von 0011, wie in **Fig. 23** gezeigt, aus.

[0224] Damit werden die Befehls/Adressentaktdiskriminierungsdatensignale und die internen Datentaktdiskriminierungsdatensignale jeweils von dem Befehlsempfänger und dem internen Befehlssignalerzeugungsschaltkreis **76** und dem Datenempfänger und dem internen Datensignalerzeugungsschaltkreis **75**, wie in **Fig. 20** und **22** gezeigt, ausgegeben.

[0225] **Fig. 24** zeigt eine Taktdiskriminierungsschaltung **91**, die in dem Taktvergleichs- und -diskriminierungsblock **73** vorgesehen ist. Eine Taktdiskriminierungsschaltung **91** empfängt die vorstehenden DRAM-internen Datentaktdiskriminierungsdatensignale DCLKP1/2/3/4 und die Befehls/Adressentaktdiskriminierungsdatensignale CLKP0/90/180/270. Die Taktdiskriminierungsschaltung **91** vergleicht die obigen beiden Typen Diskriminierungsdatensignale und gibt die Abstimmungsänderungssignale P000, P090, P180 und P270 aus. Die dargestellte Taktvergleichs- und -diskriminierungsschaltung **91** stellt fest, ob aneinandergrenzende DCLKP1/2 und Befehls/Adressentaktdiskriminierungsdatensignale CLKP0/90/180/270 unter den internen DRAM-Datentaktdiskriminierungsdatensignalen DCLKP1/2/3/4 übereinstimmen oder nicht-stimmig sind, und zwar mittels einer Exklusiv-OR-Schaltung und einer NOR-Schaltung. Die Ergebnisse der Bestimmung werden in den Verriegelungsschaltungen verriegelt. Die Verriegelungsschaltungen entnehmen die Bestimmungsergebnisse gemäß einem Initialisierungssignal **3**, das die Initialisierung **3** angibt, um Abstimmungswechsel(änderungs)signale P000, P090, P180 und P270 zu erzeugen. Wenn beispielsweise, womit auf **Fig. 24** Bezug genommen wird, CLKP0 und CLKP1 abgestimmt sind bzw. zueinander pas-

sen, und CLKP90 und DCLKP90 ebenfalls stimmig sind, so ist die Ausgabe einer NOR-Schaltung für diese Datensignale Logik „1“. In einem durch das Initialisierungssignal **3** gesetzten aktiven Zustand wird Logik „1“ als Abstimmungsänderungssignal P000 in der Diskriminierungsdaten-Vergleichsergebnis-Verriegelungsschaltung verriegelt. Dies bedeutet, daß die aneinandergrenzenden CLKP0 und CLKP90 die gleichen Datensignale wie die aneinandergrenzenden DCLKP1 und DCLKP2 sind. So können in der dargestellten Taktdiskriminierungsschaltung **91**, wenn aneinandergrenzende CLKP0 und CLKP90, CLKP90 und CLKP180, CLKP180 und CLKP270 sowie CLKP270 und CLKP0 stimmig mit angrenzenden DCLKP1 und DCLKP2 sind, die Datensignale und Taktsignale auf dieser Phase abgestimmt werden. In dem in **Fig. 21** und **23** gezeigten Beispiel betrifft Logik 0 CLKP270 und CLKP0, und Logik 0 betrifft DCLKP1 und DCLKP2, was bedeutet, daß die aneinandergrenzenden Diskriminierungsdatensignale miteinander übereinstimmen, so daß das Abgleichsänderungssignal P270 ausgegeben wird.

[0226] Der Taktvergleichs- und Diskriminierungsblock **73** ist mit einem internen Befehlsabstimmungstakterzeugungsschaltkreis **92** (**Fig. 25**) zusätzlich zu dem vorstehenden Taktdiskriminierungsschaltkreis **91** versehen. Die interne Befehlsabstimmungstakterzeugungsschaltung **92**, die aus Dreistufen (Tri-Stage)-Puffern und einem puffernden Schaltkreis aufgebaut ist, empfängt DRAM-interne Datenphasenfrequenz-geteilte Vierphasentakte DCLK1/2/3/4 und Abgleichsänderungssignale P000, P090, P180 und P270, schaltet Vierphasentakt DCLK1/2/3/4 gemäß den Abstimmungsänderungssignalen P000, P090, P180 und P270 und gibt sie als interne DRAM-Befehlsanpassungs- oder Vergleichs-Vierphasentakte DCLK0/90/180/270 aus. Wie zuvor beschrieben, wird, wenn das Abstimmungsänderungssignal P270 von der Taktdiskriminierungsschaltung **91**, die in **Fig. 24** gezeigt ist, ausgegeben wird, DCLK1 als DCLK0, DCLK2 als DCLK90, DCLK3 als DCLK180 bzw. DCLK4 als DCLK270 ausgegeben. Dies führt dazu, daß die internen DRAM-Datenphasen-Frequenz-geteilten Vierphasentakte DCLK1 bis DCLK4 in die internen DRAM-Befehlsabstimmung-Vierphasentakte DCLK0 bis DCLK270 in Reaktion auf Anpassungsänderungssignale P000 bis P270 geändert werden.

[0227] Die geänderten internen Befehlsabstimmungs-Vierphasentakte DCLK0/90/180/270 entsprechen den internen Datenphasentakten und werden dem Befehlsempfänger und der internen Befehlssignalerzeugungsschaltung **76**, in **Fig. 20** gezeigt, zugeführt. Als Ergebnis übermitteln die DF/Fs des Befehlsempfängers und der internen Befehlssignalerzeugungsschaltung **76** die Phasentakungen der Befehle/Adressensignale auf der Basis von DCLK0/90/180/270.

[0228] **Fig. 26** stellt ein Verfahren zum Übermitteln eines bei einer Taktsignalsteuerung während des Normalbetriebes erfaßten Befehlssignals auf die Zeitsteuerung eines DRAM-internen Datenphasentaktes in einem DRAM dar, um dieses in ein internes Befehlssignal umzukehren. Wie in **Fig. 26** gezeigt, sei angenommen, daß ein Adressenbefehl Cmd/Add (s. Adressenbefehl@MC), der von der MC in der Taktung/Zeitsteuerung eines Taktes (Takt@MC) ausgegeben wird, den DRAM **18** unter Abstimmung mit einem Takt des DRAMs **18** (Takt@DRAM18), gezeigt in **Fig. 26** (s. Adressenbefehl@DRAM18), erreicht hat. Wenn ein Taktsignal zusammen mit einem Befehlssignal empfangen wird, erzeugt der Befehlsadressen-DLL-Schaltungsblock **72**, der in **Fig. 13** gezeigt ist, aus dem empfangenen Taktsignal einen Frequenz-geteilten Vierphasentakt CLK0/90/180/270 und schickt das erzeugte Signal an den Befehlsempfänger und den internen Befehlssignalerzeugungsschaltkreis **76**.

[0229] Der Befehlsempfänger und die interne Befehlssignalerzeugungsschaltung **76** erfassen den Adreßbefehl Cmd/Add zur Zeitsteuerung CLK0, und das Taktdiskriminierungsdatensignal CLKP0 wird an den Takt-Vergleichs- und -diskriminierungsblock **73** ausgesandt.

[0230] Der Daten-DLL-Schaltungsblock **71** in dem DRAM erzeugt den internen Datenphasentakt DCLK für Daten und seine Datenphasenfrequenz-geteilten 4-Phasentakten DCLK1 bis DCLK4. Indem die vorgenannte Operation durchgeführt wird, übermittelt der Taktvergleichs- und -diskriminierungsblock **73** CLKP0 auf die Befehlsabstimmungsvierphasentakte DCLK270, 0, 90 und 180 von den Datenphasenfrequenz-geteilten 4-Phasentakt DCLK1/2/3/4 und führt sie dem Befehlsempfänger und der internen Befehlssignalerzeugungsschaltung **76** zu. In diesem Beispiel übermitteln der Befehlsempfänger und die interne Befehlssignalerzeugungsschaltung **76** das interne Adreß/Befehlssignal von der DCLK2-Taktung auf die DCLK0-Taktung, um einen internen Adressenbefehl mit der internen Taktung zu erfassen, und führt den erfaßten internen Adressenbefehl in einen DRAM ein.

[0231] Durch das oben beschriebene Verfahren wird ein normales Befehlsadressensignal, das einen nichttaktungsübermittelten Befehl enthält, beispielsweise ein Initialisierungssignal, in dem DRAM durch Abstimmung auf ein Taktsignal erfaßt. Es wird ein interner Operationsbefehl erzeugt, indem er auf eine interne Datenphasentakt-Taktung/-Zeitsteuerung übermittelt wird. In diesem Beispiel kann von der MC, wenn die Zahl der Takte gezählt wird, wobei erkennbar ein Takt für Adressenbefehlslatenz berücksichtigt wird, der Betrieb eines DRAMs synchron mit dem Takt erfaßt und beherrscht werden. Die in einem Rang parallel angeordneten DRAMs haben verschie-

dene Zeitsteuerungen zum Erfassen von Befehlen, und zwar wegen der Ausbreitung von Zeitverzögerungen von Takten. Nachdem jedoch die Befehle auf eine Datenphase abgestimmt sind, werden sie auf die gleiche Taktphase, die von der MC überwacht wird, abgestimmt.

[0232] In der Folge wird die Taktzeitsteuerung in der MC der von einem DRAM übertragenen Datenphasentaktung zugeordnet. In anderen Worten wird eine Operation ausgeführt, um es möglich zu machen, zu unterscheiden/diskriminieren, wann die Daten, die einem bestimmten Lesebefehl zugeordnet sind und aus einem DRAM ausgelesen werden, bei der MC ankommen. Auf den zu diesem Zweck durch die MC durchgeführte Initialisierungsoperation wird als Initialisierung 4, wie zuvor schon erwähnt, Bezug genommen.

[0233] In diesem Falle, wie er in **Fig. 27** gezeigt ist, wird ein interner Datenphasentakt erzeugt, und der Takt wird in Viertel geteilt, um DRAM-interne Datenphasen-Frequenz-geteilte 4-Phasentakte DCLK1 bis DCLK4 in dem obigen DRAM zu erzeugen. Weiterhin werden interne DRAM-Datenausgang-Frequenz-geteilte 4-Phasentakte DCLK01 bis DCLK04 von dem Daten-DLL-Schaltungsblock 71 an den Ausgangsdatenschalt-Schaltkreis 74 geliefert. In diesem Zustand werden kontinuierlich reversierende Daten (00110011) von dem kontinuierlich reversierende Daten erzeugenden Schaltkreis 78 durch Abstimmen auf DCLK01 bis DCLK04 erzeugt. Noch genauer gesagt werden nunmehr die Diskriminierungsdaten, die zum Datenphasendiskriminieren geliefert werden, von dem DRAM an die MC übertragen, indem sie den Zeitsteuerungen/Taktungen der 4-Phasenfrequenz-geteilten Takte DCLK01 bis DCLK04 zugeordnet werden. In dem Beispiel der **Fig. 27** wird ein Datensignal (0011) aus dem DRAM18 über eine Datenleitung zur Zeitsteuerung der internen DRAM-Datenausgang-Frequenz-geteilten 4-Phasentakte DCLK01/2/3/4 (s. Daten@DRAM18 in **Fig. 27**) ausgegeben.

[0234] Nunmehr wird unter Bezugnahme auf **Fig. 28** ein Beispiel einer MC erläutert, die die oben erörterten Initialisierungen 2 und 4 durchführen kann. Wie in der Darstellung gezeigt, weist die MC einen Referenztakt-Erzeugungsschaltkreis 100 auf, der aus einem von einem Takterzeuger 95 empfangenen Takt einen Referenztakt und Frequenz-geteilte 4-Phasenreferenztakts CKLMC_0/90/180/270, erhalten durch Vierteln des Referenztakts, erzeugt. Die in der Darstellung gezeigte MC umfaßt weiter eine Lesedatendiskriminierungssignalerzeugungsschaltung 101, die bei Empfang der Frequenz-geteilten 4-Phasenreferenztakts CKLMC 0/90/180/270 von der Referenzakterzeugungsschaltung 100 betätigt wird, einen MC-Daten empfangenden Taktgenerator 102, der bei Empfang eines Referenzetakts betätigt

wird, einen MC-Datenausgangstaktgenerator 103, der bei Empfang eines Frequenz-geteilten Referenztakts CLKMC betätigt wird, einen MC-Befehlsadressen-DLL-Schaltungsblock 104, der bei Empfang eines früheren Frequenz-geteilten Referenztakts CLKMCA betätigt wird, und einen Befehlsadressenausgeber 105, der mit dem MC-Befehlsadressen-DLL-Schaltungsblock 104 geschaltet ist.

[0235] Die MC umfaßt weiter einen Datenempfänger und einen internen Datenerzeugungsschaltkreis 106, einen Taktvergleichs- und -diskriminierungsblock 107, einen Taktdiskriminierungsdaten-Erzeugungsschaltkreis 108, einen Initialisierungssignal-Erzeugungsschaltkreis 109, einen Ausgabedaten-Erzeugungsschaltkreis 110, einen kontinuierliche reversierende Daten erzeugenden Schaltkreis 111, einen Ausgangsdatenschalt-Schaltkreis 112 und einen Ausgangsschaltkreis 113.

[0236] Unter den vorgenannten Komponenten weisen der MC-Daten-empfangende Taktgenerator 102, ein MC-Datenausgangstaktgenerator 103 und der MC-Befehlsadrese-DLL-Schaltungsblock 104 die in **Fig. 29, 30** und **31** gezeigten Konfigurationen auf.

[0237] Unter Bezugnahme auf **Fig. 28** und **29** empfängt der MC Daten empfangende Taktgenerator 102 Datensignale von einem DRAM, Initialisierungssignale von der Initialisierungssignal-Erzeugungsschaltung 109 und Referenztakts von der Referenztakt-erzeugenden Schaltung 100 und gibt interne MC-Daten-Phasentakte DCLKMC, MC-interne Daten empfangende Frequenz-geteilte 4-Phasentakte DCLKMCR1/2/3/4, interne MC-Daten empfangende Takte DCLKMCR und interne MC Datenphasenfrequenz-geteilte 4-Phasentakte DCLKMC1/2/3/4 aus.

[0238] Der MC-Daten empfangende Taktgenerator 102 ist mit einem MC-internen Daten-Phasentakt-Reproduktionsblock 1021 und einem MC-internen Taktgenerator 1022 ausgerüstet. Der interne MC-Datenphasentaktreproduktionsblock 1021 ist aus einer taktreproduzierenden Schaltung und zwei Phasenbestimmungsschaltkreisen aufgebaut, und der taktreproduzierende Schaltkreis gibt interne MC-Datenphasentakte DCLKMC und die internen MC-Datenphasenverzögerungs-Frequenz-geteilten Takte gemäß dem Phasenbestimmungssignal und Phaseneinstellsignalen aus der Phasenbestimmungsschaltung, wie in der Figur gezeigt, aus. Dieser Vorgang ist praktisch der gleiche wie der Vorgang des unter Bezugnahme auf **Fig. 14** beschriebenen internen DRAM Datenphasentakt-Reproduktionsblocks 711. Wenn die Initialisierung ausgeführt wird, werden die MC-internen Datenphasenfrequenz-geteilten 4-Phasentakte DCLKMC1/2/3/4, die MC-internen Datenphasenverzögerungs-Frequenz-geteilten Takte und die MC-internen Datenphasentakte DCLKMC auf der Basis der kontinuierlich reversierenden Da-

tensignale, die von einem DRAM empfangen wurden, ausgegeben.

[0239] Der aus einer Taktreproduzierungsschaltung aufgebaute MC-interne Taktgenerator **2022**, ein Phasenbestimmungsschaltkreis und drei Puffer senden die MC-internen Daten empfangenden Frequenz-geteilten 4-Phasentakte DCLKMCR/1/2/3/4 und den MC-internen Daten empfangenden Takt DCLKMCR auf der Basis des MC-internen Datenphasentakts DCLKMC und des MC-internen Datenphasenverzögerung-Frequenz-geteilten Takt wie im Falle der DRAMs aus.

[0240] In diesem Fall werden die internen MC Daten empfangenden Takte DCLKMCR und die internen MC Daten empfangenden Frequenz-geteilten 4-Phasentakte DCLKMCR1/2/3/4 an den Datenempfänger und die interne Datenerzeugungsschaltung **106** ausgegeben, während die internen MC-Datenphasentakte DCLKMC der Lesedatendiskriminierungssignal-Erzeugungsschaltung **101** zugeführt werden. Weiterhin werden die internen MC-Datenphasen Frequenzgeteilten 4-Phasentakte DCLKMC1/2/3/4 an den Takt vergleichenden und diskriminierenden Block **107** ausgesandt.

[0241] Der MC-Datenausgang-Taktgenerator **103**, der bei der MC verwendet wird, empfängt, nunmehr unter Bezugnahme auf **Fig. 28** und **30**, die Frequenz-geteilten Referenztakts CLKMC von der Referenztakt-Erzeugungsschaltung **100**, um den internen MC Datenausgang-Takt CLKMC0 zu erzeugen und sendet ebenfalls die internen MC-Datenausgang-Frequenz-geteilten 4-Phasentakte CLKMC0_0/90/180/270 an einen Ausgangsdaten-(Um)schalt-Schaltkreis **112** aus. Zu diesem Zwecke wird der in **Fig. 30** gezeigte MC-Datenausgang-Taktgenerator **103** aus einem Taktreproduktionsschaltkreis, einer Ausgangsschaltkreis-Nachbildung/-Kopie, einem Phasenbestimmungsschaltkreis und drei Puffern gebildet.

[0242] Der aus einem Taktreproduzierungsschaltkreis, einem Phasenbestimmungsschaltkreis, zwei Puffern und einer Ausgangsschaltkreis-Nachbildung oder -Kopie aufgebaute interne MC-Befehlsadreib-DLL-Schaltungsblock **104** gibt, unter Bezugnahme auf **Fig. 28** und **31**, die MC-internen Befehlsadreibausgabe-Frequenz-geteilten 4-Phasentakte CLKMCA_0/90/180/270, basierend auf den früheren Frequenz-geteilten Referenztakten CLKMCA, an den Befehlsadressenausgeber **105** aus. Der Befehlsadressenausgeber **105** empfängt CLKMCA_0/90/180/270 und MC-Taktdiskriminierungsdatensignale und gibt Befehl/Adreibsignale an die DRAMs sowie ebenfalls MC-interne Lesebefehle an den Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** aus.

[0243] Wie in **Fig. 28** gezeigt, werden in dem MC-Taktvergleichs- und -diskriminierungsblock **107** Daten empfangende MC-interne Taktdiskriminierungssignale, Datenausgabe-MC-interne Taktdiskriminierungsdatensignale und MC-interne Datenphasen Frequenz-geteilte 4-Phasentakte (DCLKMC1/2/3/4) von dem Datenempfänger und dem internen datenerzeugenden Schaltkreis **106**, dem Taktdiskriminierungsdaten-erzeugenden Schaltkreis **108** bzw. dem MC-datenempfangenden Taktgenerator **102** sowie interne MC-Lesedatendiskriminierungs-4-Phasentakte (DCLKMC_0/90/180/270) an den Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** ausgegeben.

[0244] Der in **Fig. 32** gezeigte MC-Taktvergleichs- und -diskriminierungsblock **107** ist aus einem MC-Taktdiskriminierungsschaltkreis **1071** und einem MC-internen Lesedatenempfangs-Befehls erzeugungs-4-Phasentakterzeugungsschaltkreis **1072** aufgebaut. Der MC-Taktdiskriminierungsschaltkreis **171**, der eine Konfiguration ähnlich der der in **Fig. 24** gezeigten DRAM-Taktdiskriminierungsschaltung **91** hat, gibt die Abstimmungsänderungssignale MCP000, 090, 180 und 270, basierend auf den Takt empfang-MC-internen Taktdiskriminierungssignalen und den Datenausgabe-MC-internen Taktdiskriminierungsdatensignalen an den MC-internen Lesedatenempfang-Befehls erzeugungs-4-Phasentakt-Erzeugungsschaltkreis **1072** ab. Der MC-interne Lesedatenempfang-Befehls erzeugungs-4-Phasentakt-Erzeugungsschaltkreis **1072** weist eine Konfiguration ähnlich der in **Fig. 25** gezeigten auf und gibt die MC-internen Lesedatendiskriminierungs-4-Phasentakte (DCLKMC_0/90/80/270) an die Lesedatendiskriminierungssignal-Erzeugungsschaltung **101** aus.

[0245] Die Lesedatendiskriminierungssignal-Erzeugungsschaltung **101** stellt, nunmehr unter Bezugnahme auf **Fig. 33**, die Zeitsteuerung des von dem Befehlsadressenausgeber **105** zugeführten internen MC-Lesebefehls durch einen DF/F in einer ersten Stufe, die von Frequenz-geteilten 4-Phasenreferenztakten (CLKMC_0/90/180/270) betätigt wird, und dann weiter den Zeitablauf durch die internen MC-Lesedatendiskriminierung-4-Phasentakte (DCLKMC_0/90/180/270) von dem MC-Taktvergleichs- und -diskriminierungsblock **107** ein. Der eingestellte Lesebefehl wird einer Einstellung seiner Latenz (z.B. einer Latenz äquivalent 5 Takten) durch die MC-internen Lesedatenphasentakte DCLKMC, die dann als Lesedatendiskriminierungssignal an eine MC-interne Schaltung ausgegeben werden, unterworfen.

[0246] In der in **Fig. 28** bis **33** gezeigten MC wird ein dem in einem DRAM praktisch identisch ausgeführter Betrieb durchgeführt. Durch Implementierung einer Abstimmungsänderung werden intern MC-interne Lesedatendiskriminierungs-4-Phasentakte erzeugt.

Indessen wurden in der MC bereits Diskriminierungsdaten durch Abstimmung der Übertragungszeitabläufe von der MC an die Frequenz-geteilten 4-Phasentakte (s. die Diskriminierungsdaten auf der MC-Übertragungsseite) geliefert.

[0247] Als Ergebnis vergleicht die MC Übertragungsdaten von einem DRAM und Diskriminierungsdaten, um sie einander zuzuordnen oder ein Schalten durchzuführen. Geschaltete Datenphasentakte werden dem in **Fig. 28** und **33** gezeigten Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** zugeführt, um MC-interne Lesedatendiskriminierungssignale zu erzeugen.

[0248] Der MC-Taktvergleichs- und -diskriminierungsblock **107**, der in **Fig. 32** gezeigt ist, übermittelt das synchron mit Taktsignalen für einen normalen Betrieb ausgegebene Befehlssignal auf Datenphasentaktzeitabläufe, die in der MC erzeugt sind, und zählt die Zahl der Takte, um dadurch die von einem DRAM übertragenen Daten zu empfangen. Der Betrieb der MC für dieses Verfahren ist praktisch identisch dem zu einem DRAM erläuterten, und daher braucht eine detaillierte Erörterung hier nicht zu erfolgen.

[0249] Das Speichersystem gemäß der vorliegenden Erfindung kann folgerichtig und im ganzen ohne logischen Widerspruch durch Ausrüstung mit Mitteln zur Ermöglichung von Takten, Befehlsadressen und Daten, die, wie oben beschrieben, miteinander verbunden bzw. einander zugeordnet werden, betrieben werden.

[0250] Nunmehr erfolgt eine Beschreibung eines zweiten Beispiels, das auf ein Speichersystem in Übereinstimmung mit der vorliegenden Erfindung, in **Fig. 4 bis 6** gezeigt, anwendbar ist. Das zweite Beispiel benutzt ebenfalls die gleiche Technik wie die des ersten Beispiels. Genauer gesagt werden die Phasendifferenzen zwischen Pseudo-Taktsignalen, erhalten durch kontinuierlich reversierende Datensignale und Taktsignale, die an DRAMs in der gleichen Topologie wie der der Adreß/Befehlssignale geliefert werden, rück- bzw. erhalten, während das System initialisiert wird, wodurch in den DRAMs die Taktsignale zur Übermittlung der Datensignale im DRAM als Quelltaktsignale erzeugt werden.

[0251] Das zweite Beispiel der vorliegenden Erfindung ist das gleiche wie das erste Beispiel, abgesehen davon, daß der Zyklus der durch kontinuierlich reversierende Datensignale während der Systeminitialisierung erhaltenen Pseudo-Taktsignale für zuvor gevierteilte Signale verwendet wird. Das zweite Beispiel erlaubt einen vereinfachten Initialisierungsbetrieb zum Diskriminieren Datenphasenfrequenz-geteilter Taktsignale in DRAMs und der MC, wenn man dies mit dem ersten Beispiel vergleicht.

[0252] Unter Bezugnahme auf **Fig. 34** wird nunmehr die Konfiguration der in dem zweiten Beispiel verwendeten DRAMs erläutert. Gleichen Komponenten und Signalen der in **Fig. 13** gezeigten DRAMs werden gleiche Bezugszeichen und Symbole zugeordnet. Ein in **Fig. 34** gezeigter Daten-DLL-Schaltungsblock **71'** ist der gleiche wie der in **Fig. 13** gezeigte, indem der interne DRAM Datenphasenfrequenz-geteilte 4-Phasentakte (DCLK1/2/3/4) ausgibt. Der in **Fig. 34** gezeigte Daten-DLL-Schaltungsblock **71'** unterscheidet sich jedoch von dem in **Fig. 13** gezeigten Daten-DLL-Schaltungsblock **71** darin, daß er einen internen DRAM-Datentakt-DCLK0 und kontinuierlich reversierende Datensignale an einen Ausgabedatenschalt-Schaltkreis **74** ausgibt, während er keine Frequenz-geteilten 4-Phasentakte ausgibt, und daß er nur interne DRAM-Datenempfangstakte (DCLKR) und keine Frequenz-geteilten 4-Phasentakte (DCLKR1/2/3/4) ausgibt. Demgemäß ist ein Datenempfänger-Interndaten-Erzeugungsschaltkreis **75'** von dem in **Fig. 13** gezeigten dadurch verschieden, daß er keine internen DRAM-Datentaktdiskriminierungssignale (DCLKP1/2/3/4) ausgibt und daß DCLKP1/2/3/4 nicht an einen Taktvergleichs- und -diskriminierungsblock **73'** geliefert wird.

[0253] In diesem Beispiel werden die kontinuierlich reversierenden Datensignale, die als Pseudo-Taktsignale von der MC durch eine Datenleitung zugeführt werden, geviertelt, wie dies zuvor erwähnt wurde. Jedoch werden Taktsignale durch die MC in kürzeren Zyklen als Verzögerungszeiten der Taktsignale wie im Falle des ersten Beispiels erzeugt. Somit ordnet ein DRAM kontinuierlich reversierende Datensignale internen Takten, die durch Vierteln der Taktsignale erhalten sind, zu und ermöglicht das Erlangen eines vereinfachten Initialisierungsbetriebs. In diesem Fall ist es erforderlich, Datenphasenfrequenz-geteilte 4-Phasentakte zu schalten.

[0254] Die Konfiguration des Taktvergleichs- und -diskriminierungsblocks **73'** zum Schalten der Datenphasenfrequenz-geteilten 4-Phasentakte wird nunmehr noch genauer erläutert. Wie in **Fig. 34** gezeigt, empfängt der Taktvergleichs- und -diskriminierungsblock **73'** interne DRAM-Datenphasenfrequenz-geteilte 4-Phasentakte DCLK1/2/3/4, Befehlsadressentaktdiskriminierungsdatensignale CLKP00/90/180/270 und Initialisierungssignale 1/2/3, die Initialisierungen 1/2/3 darstellen, und gibt interne DRAM-Befehlsabstimmungs-4-Phasentakte DCLK0/90/180/270 an den Befehlsempfänger und den internen Befehlssignal-Erzeugungsschaltkreis **76** aus.

[0255] Der Daten-DLL-Schaltungsblock **71'**, der im zweiten Beispiel verwendet wird, weist, auch unter Bezug auf **Fig. 35**, einen internen DRAM-Datenphasentaktreproduktionsblock **711'**, der Frequenz-geteilte Referenzphasentakte zur Bestim-

mung durch eine Phasenbestimmungsschaltung einsetzt, auf, erzeugt DRAM-interne Datenphasenfrequenz-geteilte 4-Phasentakte (DCLK1/2/3/4) und kontinuierlich reversierende Datensignale von von der MC empfangenen Datensignalen und sendet die erzeugten Signale zurück an die MC. Wie im Fall des in **Fig. 14** gezeigten Beispiels gibt ein interner DRAM-Datenphasentaktreproduktionsblock **711** interne DRAM-Datenphasentakte an einen Datenausgangstakterzeuger **713** und interne DRAM-Datenphasenverzögerungstakte an einen Datenempfangstakterzeuger **712'** aus.

[0256] Der Datenausgangstakterzeuger **713'** und der Datenempfangstakterzeuger **712'**, in **Fig. 35** gezeigt, unterscheiden sich von den Generatoren **713** und **712**, die in **Fig. 14** gezeigt sind, darin, daß sie keine Puffer für Frequenzteilung aufweisen. Demgemäß geben der Datenausgangstaktgenerator **713'** und der Datenempfangstaktgenerator **712'** nur den internen DRAM-Datenausgangstakt DCLK0 und die internen DRAM-Datenempfangstakte DCLKR aus.

[0257] Wie in **Fig. 36** und **37** gezeigt, umfaßt der Taktvergleichs- und -diskriminierungsblock **73'** einen Taktdiskriminierungsschaltkreis **91'** und einen internen DRAM-Befehlsabstimmungstakt-Erzeugungsschaltkreis **92'**, und diese entsprechen den Schaltkreisen **91** bzw. **92**, die in **Fig. 24** und **25** gezeigt sind.

[0258] In dem zweiten Beispiel werden Befehls-/Adreßsignale durch die MC so erzeugt, daß sie mit Taktsignalen abgestimmt sind, und diese Taktsignale und Befehls-/Adreßsignale werden den DRAMs durch Leitungen zugeführt, die gleiche Topologien haben. Unter Berücksichtigung dieser Tatsache bestimmt ein Befehlsempfänger und ein Internbefehlssignal-Erzeugungsschaltkreis **76**, in **Fig. 34** gezeigt, einen bestimmten der internen DRAM-Befehlsadressenempfangsfrequenz-geteilten 4-Phasentakte CLK0/90/180/270, die von dem Befehlsadressen-DLL-Schaltungsblock **72** zugeführt werden, mit denen ein Befehls-/Adreßsignal abgestimmt ist, und gibt ein entsprechendes Befehlsadressentaktdiskriminierungsdatensignal CLKP0/90/180/270 an den Taktdiskriminierungsschaltkreis **91'** ab. In diesem Beispiel werden zwei Befehlsadreßtaktdiskriminierungsdatensignale CLKP0/90/180/270, die angrenzenden Phasen entsprechen, auf Logik „1“ gesetzt, um einen Befehl zum Abstimmen auf Befehls-/Adreßsignale auszugeben.

[0259] Der in **Fig. 36** gezeigte Taktdiskriminierungsschaltkreis **91'**, der in Reaktion auf die voranstehenden Befehlsadreßtakt-Diskriminierungsdatensignale CLKP0 bis CLKP270 betätigt wird, weist vier AND-Schaltungen auf, die ein AND der Befehlsadreßtaktdiskriminierungsdatensignale CLKP0 bis CLKP270, die zwei benachbarten Phasen entsprechen, nehmen, und eine Diskriminierungsda-

tenvergleichsergebnis-Verriegelungsschaltung, die Ausgänge der AND-Schaltungen durch Initialisierungssignale **3** verriegelt. Die Verriegelungsschaltung wird von vier Verriegelungen gebildet. Die Verriegelungsergebnisse werden als Abstimmungsänderungssignale P00, P090, P180 und P270 an den internen DRAM-Befehlsabstimmungstakt-Erzeugungsschaltkreis **92'**, der in **Fig. 37** gezeigt ist, ausgegeben. Beispielsweise wird, wenn CLKP270 und CLKP0 auf Logik „1“ gesetzt sind, das Abstimmungsänderungssignal **270** ausgegeben.

[0260] Der interne DRAM-Befehlsabstimmungstakt-Erzeugungsschaltkreis **92'**, der in **Fig. 37** gezeigt ist, umfaßt vier Sätze Dreizustand (Tristate)-Puffer zum Puffern der internen DRAM-Datenphasenfrequenz-geteilten 4-Phasentakte DCLK1/2/3/4 von dem Daten-DLL-Schaltungsblock **71'** durch die vorerwähnten Abstimmungsänderungssignale P000, P090, P180 und P270 und puffert zum Zurückhalten der Ausgänge der Dreizustandspuffer. Jeder Satz Dreizustandspuffer ist aus vier Dreizustandspuffern aufgebaut, um DCLK1/2/3/4 zu entsprechen. Gemäß dieser Konfiguration wird dann, wenn beispielsweise DCLK1 auf Logik „1“ und P270 auf Logik „1“ gesetzt sind, ein interner DRAM-Befehlsabstimmungs-4-Phasentakt DCLK **270** durch einen der Dreizustandspuffer des auf der untersten, in **Fig. 37** gezeigten Stufe angeordneten Satzes und einen mit dem Dreizustandspuffer verbundenen Puffer ausgegeben. Dies bedeutet, daß der interne DRAM-Datenphasenfrequenz-geteilte 4-Phasentakt DCLK1 auf den internen DRAM-Befehlsabstimmungs-4-Phasentakt DCLK **270** übermittelt worden ist.

[0261] Wie aus der obigen Beschreibung hervorgeht, macht es dieses Beispiel vorteilhaft möglich, interne Datensignaltakte in interne Befehlstakte zu verschieben, ohne die in **Fig. 24** gezeigten internen DRAM-Datentaktdiskriminierungsdatensignale DCLKP zu benutzen, was es ermöglicht, vereinfachten Schaltungsaufbau und Verfahrensablauf zu erreichen. Damit kann die Übermittlung von den Taktzeitabläufen von Befehls-/Adreßsignalen auf Datenphasenzeitabläufe ohne das Erfordernis eines Taktdiskriminierungsverfahrens leicht vollzogen werden.

[0262] Bei diesem Beispiel sei angenommen, daß der ansteigende Rand eines kontinuierlich reversierenden Datensignals, d.h. eines Pseudo-Taktsignals, das von einem internen DRAM-Datensignal, ausgegeben von dem internen DRAM-Datenphasentaktreproduzierer **711'**, so voreingestellt wird, daß es sich in der MC in bezug auf ein folgendes Adreßbefehlsfrequenzgeteiltes Datensignal um einen Takt zurück befindet. Obwohl die voreingestellte Verzögerung in diesem Beispiel einen Takt beträgt, wird, wenn es nötig ist, länger zu verzögern, eine größere Anzahl Takte in der MC gesetzt.

[0263] Betrachtet man die internen DRAM-Datenphasen-frequenzgeteilten 4-Phasentakte DCLK1/2/3/4, so werden die kontinuierlich reversierenden Datensignale, die von der MC empfangen werden, geviertelt, bevor sie als Pseudo-Taktsignale zugeführt werden, so daß DCLK1 und DCLK2 in Takte vorgeformt werden, die 1 äquivalent sind, womit das Erfordernis für ein Taktdiskriminierungsverfahren überflüssig wird. Die kontinuierlich reversierenden Datensignale, die als Pseudo-Taktsignale dienen, die von den DRAMs an die MC übertragen werden, werden in den gleichen Phasen wie denen der internen DRAM-Datenphasenfrequenzgeteilten Takte übertragen.

[0264] In der MC werden die internen MC-Datenphasen-4-Phasentakte von den von den DRAMs empfangenen Pseudo-Taktsignalen erzeugt. Wie im Falle der DRAMs ist es unnötig, Takte zu diskriminieren, und die gleiche Phase wie die eines Pseudo-Taktsignals wird bei DCLKMC_0 sein. An diesem Punkt werden deshalb in der MC erzeugte Taktsignale und Datenphasentakte einander in der MC zugeordnet. Damit ist es möglich, Daten zu empfangen, die von den DRAMs übertragen sind, indem Befehlsignale übermittelt werden, die ausgegeben werden, indem sie mit Taktsignalen auf Datenphasentaktzeitabläufe abgestimmt sind, die in der MC erzeugt wurden, und durch Zählen der Anzahl der Takte. Die Konfiguration der in dem zweiten Beispiel verwendeten MC ist praktisch identisch der Konfiguration der in dem ersten Beispiel verwendeten MC, mit der Ausnahme, daß das Beispiel nicht den Taktdiskriminierungsdaten-Erzeugungsschaltkreis, den Taktvergleichs- und -diskriminierungsschaltkreis und den kontinuierlich reversierende Daten erzeugenden Schaltkreis umfassen muß. Die MC des zweiten Beispiels teilt ebenfalls die gleiche Konfiguration mit der MC eines in **Fig. 42** gezeigten dritten Beispiels, so daß eine Erläuterung fortgelassen werden kann.

[0265] In dem zweiten Beispiel können als andere Möglichkeit Signale geviertelter Zyklen nur für Adressensignale in den DRAMs übertragen und von den DRAMs empfangen werden, und Befehlsadreßtaktdiskriminierungsdatensignale können erfaßt werden, um Datenphasenfrequenz-geteilte 4-Phasentakte in den DRAMs zu schalten. Diese Anordnung macht das Erfordernis für ein Initialisierungsverfahren zum Diskriminieren von Datenphasen-4-Phasentakten in den MCs wie im ersten Beispiel überflüssig.

[0266] Nunmehr wird unter Bezugnahme auf **Fig. 38** ein DRAM gemäß dem dritten Beispiel der vorliegenden Erfindung erläutert. Dieses Beispiel ist dadurch gekennzeichnet, daß ein von einer MC eingegebenes Pseudotakt-Datensignal durch einen Daten-DLL-Schaltungsblock **71''** frequenzgeteilt und ein Taktsignal selbst als Frequenzteilungszyklustakt an einen Befehlsadressen-DLL-Schaltungsblock **72''**

zugeführt wird. In diesem Fall wird unterstellt, daß normale Datensignale, die anders als die Pseudotakt-Datensignale während der Initialisierung sind, zwischen der MC und den DRAMs während eines 1-Taktzyklus eines von der MC zugeführten Taktsignals übermittelt werden. Dies bedeutet, daß die Phasen eines Pseudotakt-Datensignals und eines Taktsignals in dem 1-Taktzyklus erfaßt bzw. festgestellt werden können, was es noch leichter macht, Takte, Befehlsadressen und Daten zuzuordnen bzw. zu verbinden. Wenn diese Anordnung verwendet wird, wird die normale Operation, wie in **Fig. 8** dargestellt, durchgeführt.

[0267] Auch werden in diesem Beispiel die zwischen der MC und den DRAMs übermittelten Taktsignale in der MC in bezug auf Referenztakt frequenzgeteilt, so daß Taktsignale an die DRAMs durch Verzögern der ansteigenden Ränder von Pseudotakt-Datensignalen um einen Takt relativ zu den ansteigenden Rändern der Taktsignale übermittelt werden. Obwohl die Verzögerungen in diesem Beispiel auf einen Takt gesetzt ist, kann die Zahl der Takte auf einen großen Wert in der MC gesetzt werden, wenn es notwendig ist, die Verzögerungszeit zu erhöhen.

[0268] Unter Bezugnahme auf **Fig. 39** wird von der MC bei Initialisierung ein Initialisierungsbefehl (Befehl@MC) zuerst an den in **Fig. 84** gezeigten DRAM derart abgegeben, daß der Befehl mit den Vorderrändern der Takte (s. Takt@MC) abgestimmt ist. Die Takte haben einen 7500 ps-Zyklus, und diese Takte werden von einem DRAM **11** mit einer Zeitverzögerung von 1050 ps (Takt@DRAM11, Befehl@DRAM11) empfangen und sodann von einem DRAM **18** mit einer Zeitverzögerung von 2053 ps (Takt@DRAM18, Befehl@DRAM18) aufgenommen. Die MC erzeugt ebenfalls Datensignale im gleichen Zyklus wie dem der Taktsignale und führt bei Initialisierung kontinuierlich reversierende Datensignale dem DRAM **11** durch DRAM **18** über Datenleitungen zu.

[0269] Der Daten-DLL-Schaltungsblock **71''** und der Befehlsadreß-DLL-Schaltungsblock **72''**, die in **Fig. 38** gezeigt sind, erzeugen Takte für 4-Phasendaten und Befehlsadressen, nämlich interne DRAM-Datenphasen-4-Phasentakte DCLK_0/90/180/270 und interne DRAM-Befehlsadressen empfangende 4-Phasentakte CLK_0/90/180/270 ohne Frequenzteilen kontinuierlich reversierender Datensignale und Taktsignale, und führen die erzeugten Takte dem Befehlsempfänger und der internen Befehlssignalerzeugungsschaltung **76** zu. Somit kann der nicht zur Durchführung einer Frequenzteilung ausgebildete Daten-DLL-Schaltungsblock **71''** von der in **Fig. 35** gezeigten Schaltung implementiert werden. Der Befehlsadressen-DLL-Schaltungsblock **72''** kann ebenfalls von der Schaltungskonfiguration, die in **Fig. 34** gezeigt ist, implementiert werden.

[0270] Der Daten-DLL-Schaltungsblock **71** gibt einen internen DRAM-Datenempfangstakt DCLKR und einen internen DRAM-Datenausgangstakt DCLK0 an den internen Datenempfang-Datenerzeugungsschaltkreis **75** bzw. den Ausgangsdatenschalt-Schaltkreis **74** aus. Die nicht gezeigten DRAMs sind nicht mit Schaltkreisen zum Erzeugen kontinuierlich reversierender Datensignale versehen, weil empfangene kontinuierlich reversierende Datensignale an die MC durch den Ausgangsdatenschalt-Schaltkreis **74** und einen Ausgangsschaltkreis **80** zurückgesandt werden.

[0271] Gleichfalls unter Bezugnahme auf **Fig. 40** wird der Vorgang der Initialisierung **1**, die von dem in **Fig. 38** gezeigten DRAM durchgeführt wird, beschrieben. Die MC gibt Taktsignale (Takt@MC) an den DRAM aus, während sie außerdem intern einen Frequenz-geteilten Datenreferenztakt (Frequenz-geteilter Datenreferenztakt@MC) mit einer 1875 ps-Verzögerung, basierend auf einer geschätzten 1875 ps-Adreßbefehlslatenz, erzeugt. Die MC gibt den Frequenz-geteilten Datenreferenztakt zusätzlich zu kontinuierlich reversierenden Datensignalen als Pseudo-Taktsignale (s. Daten@MC) über Datenleitungen an den DRAM aus.

[0272] Die vorstehenden Taktsignale werden dem DRAM **11** bzw. dem DRAM **18** nach Ablauf von 1050 ps und 2053 ps (Takt@DRAM11, Takt@DRAM18) zugeführt. Betrachtet man DRAM **18**, so wird ein kontinuierlich reversierendes Datensignal als Pseudo-Taktsignal (Daten@DRAM18) von der MC an den DRAM **18** mit einer Verzögerung zugeführt, die kürzer als 2053 ps ist. Damit bestehen wie im Fall der oben beschriebenen Beispiele zwischen den Taktsignalen und den kontinuierlich reversierenden, von dem DRAM **18** empfangenen Datensignalen Phasendifferenzen.

[0273] Die von dem DRAM **18** empfangenen Datensignale werden an die MC über den Daten-DLL-Schaltungsblock **71** zurückgesandt. Der Daten-DLL-Schaltungsblock **71** erzeugt auf der Basis eines empfangenen Datensignals einen internen DRAM-Datenphasentakt und außerdem durch Verzögern des internen Datenphasentakts um 90 Grad einen internen DRAM-Datenphasenverzögerungstakt. Anschließend teilt der Daten-DLL-Schaltungsblock **71** den internen DRAM-Datenphasentakt in vier Phasen, um interne DRAM-Datenphasen 4-Phasentakte DCLK_0/90/180/270, wie in **Fig. 40** gezeigt, zu erzeugen, und gibt die erzeugten Takte an den Befehlsempfänger und die interne Befehlserzeugungsschaltung **76**, in **Fig. 38** gezeigt, aus. Somit macht es das dritte Beispiel möglich, Phasen einfach durch Erzeugen von internen Datenphasentakten auf der Basis empfangener Datensignale zu setzen/einzustellen, was eine Vereinfachung des Vorgangs der Initialisierung **1** in den DRAMs erlaubt.

[0274] Wenn die Phase eines DRAM-internen Datentakts bestimmt ist, werden ein DRAM-interner Datenausgangstakt DCLK0 und ein Empfangstakt DCLKR intern auf der Basis eines internen DRAM-Datenphasentakts bzw. eines internen Datenphasenverzögerungstakts, wie in **Fig. 41**, erzeugt.

[0275] **Fig. 42** zeigt ein Beispiel der in Kombination mit einem DRAM mit dem in **Fig. 38** gezeigten Aufbau verwendeten MC. In **Fig. 42** sind Elemente, die den in **Fig. 28** gezeigten entsprechen, mit gleichen Bezugszeichen bezeichnet. Die in **Fig. 42** gezeigte MC unterscheidet sich strukturell von der in **Fig. 28** gezeigten MC darin, daß sie keinen Taktvergleichs- und -diskriminierungsblock **107** und Taktdiskriminierungsdaten-Erzeugungsschaltkreis **108**, wie in **Fig. 28** gezeigt, umfaßt.

[0276] Nunmehr wird auch unter Bezugnahme auf **Fig. 43** der Vorgang der Initialisierung **2**, die von der in **Fig. 42** gezeigten MC durchgeführt wird, erläutert. Die Operation zur Initialisierung **2** wird ausgeführt, um die Phase eines internen Lesedatentakts zu setzen. Wie in **Fig. 43** gezeigt, erzeugt die MC ein Taktsignal und einen Frequenz-geteilten Datenreferenztakt und gibt außerdem ein kontinuierlich reversierendes Datensignal an einen DRAM aus, wie dies unter Bezugnahme auf **Fig. 40** erläutert ist. In dem DRAM wird ein interner DRAM-Datenausgangstakt DCLK0 von dem kontinuierlich reversierenden Datensignal erzeugt, und das kontinuierlich reversierende Datensignal wird auf der Basis des DCLK0 zurückgesandt, wie dies bereits beschrieben wurde.

[0277] Das in dem DRAM erzeugte kontinuierlich reversierende Datensignal wird über eine Datenleitung verzögert und von der MC (Daten@MC) empfangen. Die MC erzeugt einen internen Datentakt von dem empfangenen Datensignal, wie dies für den DRAM zutrifft, und erzeugt außerdem einen internen MC-Datenphasenverzögerungstakt durch Verzögern des internen Datentakts. Wie in **Fig. 43** gezeigt, erzeugt ein MC-Datenempfangstakterzeuger/-generator **102** einen internen Datentakt auf der Basis des empfangenen kontinuierlich reversierenden Datensignals (Daten@MC) und teilt außerdem den internen Datentakt in Viertel, um interne MC-Datenphasen-4-Phasentakte DCLKMC_0/90/180/270, wie in **Fig. 43** gezeigt, zu erzeugen. Der MC-Datenempfangstaktgenerator **102** erzeugt außerdem auf der Basis des internen MC-Datenphasenverzögerungstakts einen internen MC-Datenempfangstakt DCLKMCR. Dieses vervollständigt die Initialisierung **2** in der MC zum Setzen der Phase des internen Datentakts für Lesedaten von dem DRAM.

[0278] Bezug nehmend auf **Fig. 42** werden jeweils die internen MC-Datenphasen-4-Phasentakte DCLKMC_0/90/180/270 und der interne MC-Datenempfangstakt DCLKMCR von dem MC-Datenemp-

fangstaktgenerator **102** an einen Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** und einen internen Datenempfangsdaten-Erzeugungsschaltkreis **106** ausgegeben.

[0279] Wie in **Fig. 42** gezeigt, wird eine Kette Taktpulse von einem Taktgenerator **95** einem Referenztakt-Erzeugungsschaltkreis **100** zugeführt, in dem sie einer Frequenzteilung unterworfen und dann an den DRAM als Taktsignal, wie es in **Fig. 40** dargestellt ist, ausgegeben wird. Der Frequenz-geteilte Datenreferenztakt CLKMC wird an den MC-Datenausgabetakgenerator **103** ausgegeben, wobei das Taktsignal um einen Taktimpuls verzögert wird. Der MC-Datenausgabetakgenerator **103** erzeugt synchron mit dem ansteigenden Rand des Frequenz-geteilten Datenreferenztakts CLKMC ein kontinuierlich reversierendes Datensignal und außerdem den internen MC-Datenausgabetak DCLKMC0, wie in **Fig. 40** gezeigt. Die Ausgabedaten werden von der MC zu dem internen MC-Datenausgabetak DCLKMC0 ausgegeben.

[0280] Unter Bezugnahme auf **Fig. 44** erfolgt nunmehr eine Beschreibung des Vorgangs des Übermittels von Befehls-/Adressensignalen zwischen dem in **Fig. 38** gezeigten DRAM und der in **Fig. 42** gezeigten MC. Zuerst wird in **Fig. 44** unterstellt, daß vier Befehls-/Adressensignale (im folgenden angesprochen als „Cmd/Add-Signale“) von der MC (Adressenbefehl@MC) so ausgegeben werden, daß sie mit dem Taktsignal (Takt@MC) abgestimmt sind, und das Taktsignal und die Cmd/Add-Signale werden dem DRAM **18** durch eine Leitung gleicher Topologie zugeführt. Wieder auf **Fig. 42** zurückkommend erzeugt, um das Taktsignal und die Cmd/Add-Signale ausgegeben zu können, der Referenztakt-Erzeugungsschaltkreis **100** ein Frequenzgeteiltes Taktsignal und sendet einen Referenztakt an den MC-Befehlsadressen-DLL-Schaltungsblock **104**, wie dies zuvor beschrieben wurde. Der MC-Befehlsadressen-DLL-Schaltungsblock **104** führt dem Befehlsadressenausgeber **105** einen internen MC-Befehlsadressenausgabetak zu, und der Befehlsadressenausgeber **105** gibt gemäß dem Ausgabetak Cmd/Add-Signale an den DRAM aus.

[0281] Wie in **Fig. 44** gezeigt, erreichen die Taktsignale und Cmd/Add-Signale von der MC den DRAM **18** mit praktisch der gleichen Verzögerungszeit (Takt@DRAM18, Befehlsadresse@DRAM18). Wieder auf **Fig. 38** zurückkommend werden in dem DRAM die vorerwähnten Cmd/Add-Signale in dem Befehlsempfänger und der internen Befehlssignal-Erzeugungsschaltung **76** empfangen, und die Taktsignale werden ebenfalls in dem Befehlsadressen-DLL-Schaltungsblock **72"** und dem Daten-DLL-Schaltungsblock **71"** empfangen.

[0282] In diesem Beispiel erzeugt der Befehlsadressen-DLL-Schaltungsblock **72"** auf der Basis des

empfangenen Taktsignals interne DRAM-Befehlsadressen empfangende 4-Phasentakte CLK_0/90/180/270 und gibt die erzeugten Takte an den Befehlsempfänger und internen Befehlssignal-generator-Schaltkreis **76** aus. Die Phasen dieser CLK_0/90/180/270 unterscheiden sich von den Phasen der internen Datenphasen-4-Phasentakte DCLK_0/90/180/270 des Daten-DLL-Schaltblocks **71"**, so daß es notwendig ist, sie abzustimmen. Im Fall dieses Beispiels liegen jedoch die Verzögerungstaktzeitdifferenzen zwischen den Taktsignalen und den Befehls-/Adressensignalen innerhalb eines Zyklus der Taktsignale. Demgemäß ist CLK_0 mit DCLK_0 verbunden und nicht mit irgendwelchen anderen Takten DCLK_90/180/270. Dieses trifft auch auf andere Takte CLK_90/180/270 zu.

[0283] Auch unter Bezugnahme auf **Fig. 45** ist der Befehlsadresse- und interne Befehlssignal-Erzeugungsschaltkreis **76**, der in diesem Beispiel verwendet wird, aus einer Empfänger- und Verriegelungsschaltung aufgebaut, die Befehls-/Adressensignale, die durch einen Eingangsanschluß (An interner Anschluß) durch CLK_0/90/180/270 zugeführt werden, verriegelt und sie als Befehlsadressen-taktdiskriminierungsdatensignale CLKP0/90/180/270 ausgibt, und aus einer DF/F, die CLKP0/90/180/270 zu Zeitabläufen von DCLK_0/90/180/270 jeweils herausnimmt und sie als interne DRAM-Befehls-/Adressensignale ausgibt.

[0284] **Fig. 44** stellt die Wellenformen von Komponenten von vorgenanntem/r Befehlsempfänger und interner Befehlssignal-Erzeugungsschaltung **76** dar. Zu den Taktungen von CLK_0/90/180/270 werden die Cmd/Add-Signale als CLKP_0/90/180/270 verriegelt und sodann als interne Adressenbefehlssignale zu den Taktungen von DCLK_0/90/180/270 ausgegeben. Dies bedeutet, daß die Befehls-/Adressensignale von der MC von den interne DRAM-Befehlsadressen empfangenden 4-Phasentakten an die internen DRAM-Datenphasen-4-Phasentakte übermittelt worden sind.

[0285] Kurz gesagt werden gemäß diesem Beispiel in den DRAMs die internen DRAM-Befehlsadressenempfangs-4-Phasentakte von empfangenen Taktsignalen erzeugt. In diesem Fall wird der interne DRAM-Befehlsadressenempfangs-4-Phasentakt, der die gleiche Phase wie die der Taktphase hat CLK_0 sein, und Takte CLK_90, CLK_180 und CLK_270 werden durch Verschieben der Phase um einen Viertelzyklus erzeugt. Die internen DRAM-Datenphasen-4-Phasentakte werden von Pseudo-Datentakten erzeugt, und ein Takt gleicher Phase wie eine Datenphase wird DCLK_0 sein. Takte DCLK_90, DCLK_180 und DCLK_270 werden durch Verschieben der Phase um einen Viertelzyklus erzeugt. Im Fall dieses Beispiels wird jeweils in dem DRAM CLK_0 DCLK_0, CLK_90 DCLK_90,

CLK_180 DCLK_180 und CLK270 DCLK_270 zugeordnet.

[0286] In der Folge überträgt der DRAM mit dem internen DRAM-Datenphasentakt DCLK_0 am DRAM-Ende ein Pseudotakt-Datensignal derselben Phase an die MC als ein kontinuierlich reversierendes Datensignal. In dem Zeitschaubild, das in **Fig. 41** gezeigt ist, ändert sich ein kontinuierlich reversierendes Datensignal, um Ausgangsdaten in Reaktion auf einen internen DRAM-Datenausgabetak bereitzustellen, und entsprechende Daten werden so ausgegeben, daß ein Pseudo-Taktsignal des gleichen Zeitablaufs und gleicher Phase wie jene des internen Datenphasentaktsignals DCLK_0 ausgegeben werden.

[0287] Indessen erzeugt die MC einen internen MC-Datenempfangtakt und einen internen Datenphasen-4-Phasentakt, und zwar bei Empfang des Pseudo-Taktsignals. Weiterhin wird ein Takt der gleichen Phase wie der des Pseudotaktes als ein interner MC-Datenphasen-4-Phasentakt DCLKMC_0 erzeugt. An dieser Stelle werden das Taktsignal und der Datenphasentakt in der MC einander zugeordnet.

[0288] In der MC wird deshalb das synchron mit dem Taktsignal ausgegebene Befehlssignal auf den Datenphasentaktzeitablauf, der in der MC erzeugt wurde, übermittelt, und die Zahl der Takte wird gezählt, wodurch die von dem DRAM übertragenen Daten empfangen werden können.

[0289] Nunmehr wird unter Bezugnahme auf **Fig. 42, 46** und **47** der Verfahrensablauf/die Operation, der/die von dem Moment an durchgeführt wird, da ein Lesebefehlssignal von der MC ausgegeben wird, bis zu dem Augenblick, in dem dem Lesebefehlssignal zugeordnete Lesedaten an die MC ausgegeben werden, erläutert. In diesem Fall wird angenommen, daß der MC eine 1-Taktadressenbefehlslatenz gegeben ist, während dem DRAM eine interne 5-Taktleselatenz gegeben ist. In diesem Fall wird, wie in **Fig. 46** gezeigt, ein Frequenz-geteilter Referenztakt CLKMC durch Verzögern eines Taktsignals in der MC erzeugt, und Frequenz-geteilte 4-Phasenreferenztakte CLKMC_0/90/180/270 werden auf der Basis des obigen CLKMC durch den Referenztakt-Erzeugungsschaltkreis **100** erzeugt und einem Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** zugeführt.

[0290] In diesem Zustand wird dem Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** von einem Befehlsadressenausgeber **105** in der MC ein interner MC-Lesebefehl so zugeführt, daß er CLKMC_0 angepaßt ist. Weiterhin werden, wie in **Fig. 42** gezeigt, die internen MC-Datenphasen-4-Phasentakte DCLKMC_0/90/180/270 von dem MC-Datenempfangtaktgenerator **102** und die Frequenz-geteilten 4-Phasenreferenztakte

CLKMC_0/90/180/270 von dem Referenztaktgenerator **100** dem Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** zugeführt.

[0291] Unter Bezugnahme auf **Fig. 47** weist der Lesedatendiskriminierungssignal-Erzeugungsschaltkreis **101** eine DF/F zum Erfassen eines internen MC-Lesebefehls zum Zeitablauf von CLKMC_0/90/180/270 auf, wobei der Befehl zu den Taktungen von DCLKMC_0/90/180/270 herausgenommen wird. In dem in **Fig. 46** dargestellten Beispiel wird der interne Lesebefehl zur Taktung von CLKMC_0 erfaßt und an einen Latenzzähler bei der Taktung von DCLKMC_0 ausgegeben. Wie in **Fig. 46** gezeigt, zählt der Latenzzähler die DCLKMC_0/90/180/270 über fünf Takte hinweg und aktiviert das Lesedatendiskriminierungssignal in dem Augenblick, in dem die Zählung fünf Takte erreicht, um die danach empfangenen Daten als Lesedaten (Daten@MC) zu bearbeiten.

[0292] Damit weist das Beispiel des Speichersystems gemäß der vorliegenden Erfindung keine Systemtakte auf, die (ausschließlich) eigens für Datensignale zum Übermitteln von Datensignalen sind. Anstelle dessen werden die Phasendifferenzen zwischen dem durch kontinuierlich reversierende Datensignale erhaltenen Pseudo-Taktsignal beim Initialisieren eines Systems und den an einen DRAM zugeführten Taktsignalen durch die gleiche Topologie wie der der Adreßbefehlssignale zurückgehalten/bewahrt, um dadurch die Takte zum Übermitteln von Datensignalen in dem DRAM zu erzeugen, und zwar unter Verwendung der Taktsignale als Ursprungs- oder Quellentakt davon.

[0293] In dem Fall des oben beschriebenen Beispiels wird auf Datensignale nach der Initialisierung nicht Bezug genommen, und interne Datenphasentakte werden durch den internen DRAM-Datenphasentaktreproduktionsblock auf der Basis der Phasendifferenzen zwischen kontinuierlich reversierenden Datensignalen und den während der Initialisierung zurückgehaltenen Taktsignalen hergestellt. Aus diesem Grund ist es, wenn die Temperaturbedingungen oder die Spannung des Speichersystems sich nach der Initialisierung ändern, nötig, die Initialisierung erneut durchzuführen. Es ist auch erforderlich, in geeigneten Intervallen eine Reinitialisierung durchzuführen, und zwar in der Annahme, daß Änderungen in den Konditionen in einem bestimmten Zeitabschnitt stattfinden. Jedenfalls (ihren unerwartete Bedingungenänderungen nach der Initialisierung zu Problemen.

[0294] Das Folgende soll ein Beispiel beschreiben, das eine Lösung eines Problems zeigt, das wegen einer vorstehend erörterten Phasendifferenz auftritt.

[0295] **Fig. 48** zeigt einen internen DRAM-Daten-

phasentaktreproduktionsblock **711a**, der bei einem DRAM gemäß einem vierten Beispiel der vorliegenden Erfindung verwendet wird. Wie im Fall der vorangehenden Beispiele ist der interne DRAM-Datenphasentaktreproduktionsblock **711a** in einem DRAM-Daten-DLL-Schaltungsblock **71** vorgesehen. Der interne DRAM-Datenphasentaktreproduktionsblock **711a** unterscheidet sich von dem internen DRAM-Datenphasentaktreproduktionsblock **711** oder dergleichen in anderen Beispielen darin, daß er einen Zähler CNT zum Zählen von Taktsignalen aufweist. Durch Zählen der Anzahl der Takte durch den Zähler CNT kann die Frequenz für die externen Probenahmedatensignale zum Erzeugen interner DRAM-Datenphasentakte geändert werden.

[0296] Wie in **Fig. 48** gezeigt, unterscheidet sich dieses Beispiel weiter von anderen Beispielen darin, daß es mit einem Phasenbestimmungsschaltkreis PDa zum Schalten zwischen Datenanschlüssen DQ0, 1, die als Probenahmenschlüsse für externe Datensignale während der Initialisierung funktionieren, und Datenanschlüssen DQ2, 3, die als Probenahmenschlüsse während des Normalbetriebes funktionieren, versehen ist. In diesem Beispiel wird unterstellt, daß kontinuierlich reversierende Datensignale als Pseudosignale durch die in einem DRAM vorgesehenen Datenanschlüsse DQ0, 1, während einer Initialisierung eingegeben werden. Ein Taktreproduktionsschaltkreis CKR und ein Phasenbestimmungsschaltkreis PDb sind in der Darstellung die gleichen wie die in **Fig. 14** gezeigten, so daß eine Beschreibung davon unterlassen werden kann.

[0297] **Fig. 49** zeigt eine schematische Anordnung einer MC, die in Kombination mit dem internen DRAM-Datenphasentaktreproduktionsblock **711a**, der in **Fig. 48** gezeigt ist, verwendet wird. Die in **Fig. 49** gezeigte MC ist ähnlich der in **Fig. 28** gezeigten MC, und zwar dadurch, daß sie ebenfalls mit einem Referenztakt-Erzeugungsschaltkreis **100** und einem MC-Befehlsadressen-DLL-Schaltblock **104** versehen ist. Der MC-Befehlsadressen-DLL-Schaltblock **104** führt interne MC-Befehlsadressenausgabefrequenz-geteilte 4-Phasentakte einem Befehlsadressenausgeber **105a** zu. Der Befehlsadressenausgeber **105a** unterscheidet sich von dem Befehlsadressenausgeber **105**, der in **Fig. 28** gezeigt ist, darin, daß er einen Zähler aufweist. Der Zähler zählt die internen MC-Befehlsadressenausgabefrequenz-geteilten 4-Phasentakte von dem internen MC-Befehlsadressen-DLL-Schaltungsblock **104** und gibt Sampling- bzw. Probenahmedatenausgabesignale, Eingabeschaltssignale und Sampling-/Probenahmевorsignale, wie im nachfolgenden beschrieben wird, aus. Die Sampling-Vorsignale werden einem Sampling-Signal-Erzeugungsschaltkreis **200** zugeführt.

[0298] Der Sampling-Signal-Erzeugungsschaltkreis **200** empfängt Sampling-Vorsignale, die Fre-

quenz-geteilten 4-Phasenreferenzakte (CLKMC_0/90/180/270) von dem Referenztakt-Erzeugungsschaltkreis **100**, die interne MC-Lesedatendiskriminierungs-4-Phasentakte (DCLKMMC_0/90/180/270) von dem Taktvergleichs- und -diskriminierungsblock **107**, in **Fig. 28** gezeigt, und die internen MC-Datenphasentakte (DCLKMC) von dem MC-Datenempfangstaktgenerator **102**. Basierend auf diesen Takten werden Sampling-Signale ausgegeben.

[0299] Die Eingabe-Schaltungssignale von einem in **Fig. 49** gezeigten Befehlsadressenausgeber **105a** werden an einen internen MC-Datenphasentaktreproduktionsblock **1021a** des MC-Empfangstaktgenerators **102**, in **Fig. 28** gezeigt, geliefert (siehe **Fig. 50**). Der in **Fig. 50** gezeigte interne MC-Datenphasentaktreproduktionsblock **1021a** umfaßt eine Datenbestimmungsschaltung PDMCa, die in Reaktion auf ein Eingabeschaltungssignal und ein Sampling-Signal, empfangen von dem Sampling-Signal-Erzeugungsschaltkreis **200** in **Fig. 49**, eine Phasenbestimmungsschaltung PDMCb, betätigt in Reaktion auf einen Referenztakt und einen Referenzphasentakt, und einen Taktreproduktionsschaltkreis CKRMC. Der Taktreproduktionsschaltkreis CKRMC und die Phasenbestimmungsschaltung PDMCb arbeiten ähnlich der Schaltung, die in **Fig. 29** gezeigt ist. Der Taktreproduktionsschaltkreis CKRMC erzeugt interne MC-Datenphasentakte DCLKMC und interne MC-Datenphasenverzögerungs-Frequenz-geteilte Takte und gibt interne MC-Datenphasentakt-Frequenz-geteilte Takte DCLKMC1/2/3/4 an den Taktvergleichs- und -diskriminierungsschaltkreis **107** aus.

[0300] Unter Bezugnahme auf **Fig. 51** wird nunmehr eine spezielle Konfiguration des Sampling-Signal-Erzeugungsschaltkreises **200**, wie er in **Fig. 49** gezeigt ist, erläutert. Der Sampling-Signal-Erzeugungsschaltkreis **200** hat vier Sätze DF/Fs in zwei Stufen, die in Serie geschaltet sind. Es werden in einer ersten Stufe Sampling-Vorsignale von dem Befehlsadressenausgeber **105a** an die vier Sätze DF/Fs zugeführt. Die DF/Fs in der ersten Stufe halten die Probenahmевorsignale in den Taktungen der Frequenz-geteilten 4-Phasenreferenzakte (CLKMC_0/90/180/270), zugeführt von dem Referenztakt-Erzeugungsschaltkreis **100**, sodann halten die DF/Fs in einer zweiten Stufe die Ausgaben der DF/Fs in der ersten Stufe zu Taktungen der internen MC-Lesedatendiskriminierungs-4-Phasentakte (DCLKMC_0/90/180/270), zugeführt von dem Taktvergleichs- und -diskriminierungsschaltkreis **107**. Die Ausgaben der DF/Fs in der zweiten Stufe werden von den DF/Fs in einer dritten Stufe zu den Taktungen der internen MC-Datenphasentakte DCLKMC, die von dem MC-Datenempfangstaktgenerator **102** zugeführt und als Sampling-Signale ausgegeben sind, herausgenommen. Dies bedeutet, daß die Sampling-Vorsig-

nale von dem Befehlsadressenausgeber **105a** von den Zeitabläufen von CLKMC_0/90/180/270 des Referenztakt-Erzeugungsschaltkreises **100** auf die Zeitabläufe der Datensignalempfangsdatenphasentakte DCLKMC in der MC übermittelt werden.

[0301] Der Betrieb eines Speichersystems gemäß einer vierten Ausführungsform der vorliegenden Erfindung, die die DRAMs und die MC, wie sie in **Fig. 48 bis 51** dargestellt sind, wird unter Bezugnahme auf die Zeitablaufdarstellungen, die in **Fig. 52 und 53** gezeigt sind, beschrieben.

[0302] Zunächst wird unter Bezugnahme auf **Fig. 52** angenommen, daß die MC bei der Initialisierung Taktsignale an Taktleitungen (Takt@MC) und ein kontinuierlich reversierendes Datensignal an eine Datenleitung über einen Datenanschluß DQ0 (siehe DQ0@MC) ausgibt. Bei diesem Zustand wird ein Befehl zum Anhalten des kontinuierlich reversierenden Datensignals von dem Befehlsadressenausgeber **105a**, der in **Fig. 49** gezeigt ist, ausgegeben, indem eine Abstimmung mit dem Taktsignal (siehe Befehl@MC) ausgegeben. In diesem Fall wird in der MC, wie sie in **Fig. 52** gezeigt ist, ein MC-interner Datenphasentakt erzeugt. Das vorerwähnte Taktsignal und das kontinuierlich reversierende Datensignal werden einem DRAM **18** durch Taktleitungen mit verschiedenen Topologien und Datenleitungen (s. Takt@DRAM18 und DQ0@DRAM18) zugeführt. Indessen wird der Befehl zum Anhalten des kontinuierlich reversierenden Datensignals dem DRAM **18** (Befehl@DRAM18) durch Befehls-/Adressenleitungen mit der gleichen Topologie wie der der Taktleitungen zugeführt. Wie zuvor erwähnt, wird in dem DRAM **18** ein interner DRAM-Datenphasentakt auf der Basis des kontinuierlich reversierenden Datensignals erzeugt, das früher als ein Befehl durch den Datenanschluß DQ0 ankommt. Der DRAM **18** empfängt den angekommenen Befehl zum Anhalten des kontinuierlich reversierenden Datensignals durch Abstimmen desselben mit internen Datenphasentakte, zählt eine vorbestimmte Anzahl (in diesem Beispiel 6) der internen Datenphasentakte und hält sodann das kontinuierlich reversierende Datensignal, das von dem Datenanschluß DQ0 (siehe DQ0@DRAM18) empfangen ist, an.

[0303] In der MC werden, nachdem der Befehl zum Anhalten des kontinuierlich reversierenden Datensignals ausgegeben ist, die Taktsignale bis 8 gezählt, sodann wird die Ausgabe des kontinuierlich reversierenden Datensignals angehalten, und der Datenanschluß DQ0 wird auf den Datenanschluß DQ2 umgeschaltet. In diesem Fall werden, wenn der Befehl zum Anhalten des kontinuierlich reversierenden Datensignals an den DRAM (siehe Befehl@MC) abgegeben ist, die Sampling-Takte von dem DRAM danach zwischen dem DRAM und der MC gemäß einem Zählwert, der während der Initialisierung gesetzt wird,

übermittelt.

[0304] In der in **Fig. 49** gezeigten MC beginnt, nachdem der Befehl zum Anhalten des kontinuierlich reversierenden Datensignals ausgesandt ist, der Zähler des Befehlsadressenausgebers **105a** das Zählen von internen Befehlsadrestakten, und wenn der Zählwert des Zählers einen vorbestimmten Wert ($T(5 + 256n + 64)$ in diesem Fall) erreicht, gibt der Zähler ein Sampling-Vorsignal an den Probenahmesignalerzeugungsschaltkreis **200**, wie er in **Fig. 49** gezeigt ist, aus. Folglich schaltet in Reaktion auf ein Eingabeschaltsignal die MC Datensignalüberwachungsanschlüsse von DQ0, 1 auf DQ2, 3 um. Bei dem $6 + 256n + 64$ -ten Takt gibt der DRAM Sampling-Takte an DQ2, 3 für jede 256 Takte aus. Die MC empfängt die Sampling-Takte, um eine Datenphase einzustellen bzw. abzugleichen.

[0305] Indessen zählt bei Empfang des Befehls zum Anhalten des kontinuierlich reversierenden Signals der DRAM **18** interne DRAM-Datenphasentakte durch einen in **Fig. 48** gezeigten Zähler CNT, und wenn ein vorbestimmter Zählwert ($T(6 + 256n + 64)$ in diesem Beispiel) erreicht wird, wird ein Sampling-Signal an den Datenanschluß DQ2 ausgegeben, und das Sampling-Signal wird durch den Datenanschluß DQ2 der MC in der Taktung von ($T(7 + 256n + 64)$) empfangen.

[0306] Wie unter Bezugnahme auf **Fig. 51** beschrieben, wird in dem Sampling-Signalerzeugungsschaltkreis **200** der MC das Sampling-Vorsignal von den Taktungen von CLKMC 0/90/180/270 an die Taktungen der internen MC-Datenphasentakte DCLKMC übermittelt, um ein Sampling-Signal (siehe **Fig. 52**) zu schaffen. Es wird ein interner MC-Datenphasentakt, basierend auf der Phasendifferenz zwischen einem Sampling-Signal (DQ2@MC) von dem DRAM **18**, zugeführt durch den Datenanschluß DQ2, und einem in der MC erzeugten Sampling-Signal erzeugt, wie dies in **Fig. 52** gezeigt ist.

[0307] Es wird in dem DRAM ein Sampling-Ausgabesignal durch den in **Fig. 48** gezeigten Zähler CNT erzeugt. Betrachtet man die Zeitsteuerung der Sampling-Takte von dem DRAM, so wird das in **Fig. 49** gezeigte Sampling-Vvorsignal an den Zeitverlauf der internen MC-Datenphasentakte durch den Sampling-Signalerzeugungsschaltkreis, der in **Fig. 51** gezeigt ist, übermittelt, und die Phase wird durch einen internen MC-Datenphasentaktreproduktionsblock **1021a**, in **Fig. 50** gezeigt, bestimmt.

[0308] Wie vorstehend erörtert, werden ein Eingabeschaltsignal und ein Zählerrücksetzsignal als Befehle von der MC an einen DRAM-Reproduktionsblock **711a**, der in **Fig. 48** gezeigt ist, geliefert. Der Zähler CNT wird bei Empfang eines Zählerrücksetzsignals zurückgesetzt, und er startet das Zählen der

internen DRAM-Datenphasenfrequenz-geteilten Takte von einem Taktreproduktionsschaltkreis CKR. In dessen schaltet ein Phasenbestimmungsschaltkreis PDa zwischen den Datenanschlüssen DQ0, 1 und den Datenanschlüssen DQ2, 3 in Reaktion auf das Eingangsschaltssignal um. Die restlichen Konfigurationen des Taktreproduktionsschaltkreises CKR und des Phasenbestimmungsschaltkreises PDb sind jenen, die in **Fig. 14** gezeigt sind, identisch, so daß eine Beschreibung davon nicht wiederholt zu werden braucht.

[0309] Es wird nunmehr ein Umriss der Operation des internen DRAM-Datenphasenreproduktionsblocks **711a**, wie er in **Fig. 48** gezeigt ist, unter Bezugnahme auf das Zeitschaubild der **Fig. 53** abgegeben. Zuerst werden bei Initialisierung interne Datenphasentakte unter Verwendung eines Pseudo-Taktsignals, das den Datenanschlüssen DQ0, 1, wie oben beschrieben, zugeführt wird, erzeugt.

[0310] Die MC gibt ein Taktsignal (Takt@MC) an den DRAM durch eine Taktleitung und ebenso einen Phasenrückhaltebefehl und einen Zählerrücksetzbehehl (siehe Befehl@MC) an eine Befehlsleitung als Befehle aus. In dem Beispiel werden die Befehle bei einem mit einem Taktsignal T1 abgestimmten Zeitablauf ausgegeben. Während dessen werden kontinuierlich reversierende Datensignale als Pseudo-Taktsignale (s. T1 bis T6) an den Datenanschluß DQ0 oder 1 (in diesem Fall DQ0) ausgegeben. Die Taktsignale und die Befehle werden von dem DRAM **18** mit praktisch der gleichen Verzögerungszeit (s. Takt@DRAM18 und Befehl@DRAM18) empfangen, während die Pseudo-Taktsignale den DRAM **18** zu einem früheren Zeitpunkt als dem der Taktsignale und der Befehle (s. DQ0@DRAM18) erreichen. Die MC beginnt das Zählen der Taktsignale durch den Zähler des Befehlsadressenausgebers **105a** nach vier Takten. Nach 256 Takten wird ein Samplingverhältnis-Setzsignal an den Datenanschluß DQ2 bei einer Taktung T261(5 + 256) ausgegeben. Sampling-Setzsignal ist hier ein Signal zum Setzen der Frequenz für Sampling-Datensignale nach Initialisierung. Die MC setzt das Sampling-Setzsignal in einem DRAM durch ein Adreßsignal oder dergleichen bei Initialisierung gemäß dem Systemaufbau. In diesem Beispiel wird das Setzen so durchgeführt, daß Datensignale alle 256 Takte als Probe entnommen werden. (Während der Initialisierung wird das Sampling bei einer höheren Frequenz ausgeführt, z.B. bei jedem Takt oder bei jeweils wenigen Takten und bei hoher Geschwindigkeit verriegelt).

[0311] Wie im Fall der oben beschriebenen Beispiele erzeugt der in **Fig. 48** gezeigte Reproduktionsblock **711a** interne Datentaktsignale, basierend auf den Pseudo-Taktsignalen, die durch die Datenanschlüsse DQ0, 1 (s. die internen DRAM-Phasentakte, die in **Fig. 53** gezeigt sind) zugeführt werden. Wäh-

rend dessen wird der Befehl zum Zurückhalten einer Phase und zum Rücksetzen des Zählers, das heißt ein Initialisierungsvervollständigungssignal, durch einen internen DRAM-Befehl empfangen, indem eine Abstimmung bei einem Takt T2 unter den internen DRAM-Datenphasentakten stattfindet.

[0312] In dem DRAM werden bei Empfang des internen DRAM-Befehls das Eingabeschaltungssignal und das Zählerrücksetzsignal auf hohes Niveau umgeschaltet, wenn eine vorbestimmte Anzahl Takte (in diesem Beispiel 4 Takte) erreicht wird. Bei diesem Zustand wird der Zähler CNT zurückgesetzt und gestartet, um das Zählen von Takten zu beginnen, während der Datenanschluß DQ0 auf den Datenanschluß DQ2 zur gleichen Zeit umgeschaltet wird (siehe DQ0@DRAM18 und DQ2@DRAM18).

[0313] Somit schaltet der Reproduktionsblock **711a** in dem in **Fig. 48** gezeigten DRAM den Datenphasenüberwachungsanschluß in Reaktion auf ein Eingabeumschaltssignal auf DQ2, 3. Dies ist notwendig, um DQ0, 1 zum Initialisieren einer Datenphase von dem DRAM in bezug auf die MC zu verwenden. Damit ist der Phasenbestimmungsschaltkreis PDa, der in **Fig. 48** gezeigt ist, konfiguriert, um den Datenanschluß DQ0, 1 auf den Datenanschluß DQ2, 3 in Reaktion auf ein Eingabeumschaltssignal umzuschalten.

[0314] Wie vorstehend beschrieben, wird in diesem Beispiel das Samplingverhältnis-Setzsignal an den Zähler CNT durch den Datenanschluß DQ2 (DQ2@DRAM18) bei der Taktung eines internen DRAM-Datenphasentakts T262 zugeführt. In dem DRAM wird bei Empfang des Sampling-Setzsignals ein Sampling-Signal von dem Zähler CNT für jede 256 Takte und ein Sampling-Datenausgangssignal ausgegeben.

[0315] Damit werden die Takte in der MC und dem DRAM synchron gezählt. Für jede 256 Takte wird ein Sampling-Takt von der MC an die DQ2, 3 ausgegeben, und der DRAM bezieht sich auf den Takt, um eine Taktphase einzustellen bzw. abzugleichen. Wenn die Phase eines Datensignals mit Hinblick auf ein Taktsignal zurückgehalten wird, kann die Frequenz der erzeugenden Takte für das Datensignal periodisch reduziert werden, und die Sampling-Frequenz in der Taktreproduktionsschaltung kann ebenfalls verringert werden, um danach eine Datenphase einzustellen abzugleichen. In diesem Fall wird eine normale Datenübertragung zwischen den Sampling-Takten durchgeführt.

[0316] Die MC hat einen Zähler in dem Befehlsadressenausgeber **105a** in der MC, um die Takte nach Zurückhalten einer Phase zu zählen, und der Befehl zum Rücksetzen des Zählers wird ausgegeben. Wenn eine vorbestimmte Anzahl Takte erreicht ist, wird ein Sampling-Datenausgabesignal erzeugt, um

Sampling-Taktdaten auszugeben, und es werden Sampling-Takte ausgegeben.

[0317] Die Zeitverläufe werden um 64 Takte verschoben, um geeignete Intervalle zwischen den Sampling-Takten von der MC an den DRAM und den Sampling-Takten von dem DRAM an die MC vorzusehen.

[0318] Fig. 54 zeigt Sampling-Takte, die beobachtet werden, wenn die vorliegende Erfindung auf ein Speichersystem zweier Ränge angewendet wird. In Fig. 54 soll ein DRAM eines Ranges **1** in einem ersten Schlitz und der DRAM des Rangs **2** in einem zweiten Schlitz als installiert angesehen werden. In diesem Fall gibt, wenn ein Sampling-Takt von der MC an den DRAM in dem ersten Schlitz bei einer Taktung $T(6 + 256n)$ ausgegeben ist, der DRAM in dem ersten Schlitz einen Sampling-Takt bei einer Taktung $T(6 + 256n + 64)$ an die MC aus. Genauer gesagt wird bei den 64 Taktintervallen der Sampling-Takt an einen DRAM-Datenanschluß DQ2 oder DQ3 des ersten Schlitzes (DQ2@DRAM) für jeweils 256 Takte zugeführt. Indessen gibt der DRAM in dem zweiten Schlitz den Sampling-Takt an DQ2, 3 bei der Zeitgabe $T(6 + 256n + 128)$ bei den 64 Taktintervallen aus. Damit werden die Datenanschlüsse DQ2, 3 unter den DRAMs aller Ränge gemeinsam verteilt, um Sampling-Takte zu übertragen. Daher wird im normalen Betrieb, wie in Fig. 54 gezeigt, ein Schreiben oder Lesen in einer Zeitdauer ohne Sampling-Takte durchgeführt.

[0319] Bei dem in Fig. 48 bis 54 gezeigten Beispiel wird eine Beschreibung der Phaseneinstellung, die unter Bezugnahme auf einen einzelnen Sampling-Takt durchgeführt wird, vorgenommen. Jedoch kann, wie in Fig. 55 gezeigt, eine Mehrzahl Takte zum Sampling verwendet werden (siehe DQ2@MC und DQ2DRAM18).

[0320] Das beschriebene Beispiel ermöglicht es, die Frequenz des Sampling der Phasen der Datensignale nach Initialisierung zu reduzieren und immer eine Datenphasenabstimmung durchzuführen, während im normalen Betrieb ein Datenstoß ermöglicht wird, wodurch eine höhere Zuverlässigkeit eines Speichersystems ermöglicht wird. Es ist verständlich, daß bei diesem Beispiel, nachdem eine Phase durch einen DRAM rückgehalten ist, bei dem es sich um eine Einrichtung handelt, die Frequenz der Erzeugung der Takte für Datensignale von der MC periodisch verringert wird, und die Datenphase wird in dem DRAM danach eingestellt.

[0321] In dem zuvor beschriebenen vierten Beispiel wird der Sampling-Anschluß von dem Datenanschluß DQ0, 1 nach Initialisierung auf den Datenanschluß DQ2, 3 umgeschaltet. Dieses beschränkt die Lese- oder Schreibzeitverläufe während der norma-

len Operation geringfügig. Um dieses Problem zu lösen, werden ausgewählte Sampling-Anschlüsse (Datenwiederherstellungsanschlüsse DCR, CDRB), die nach Initialisierung verwendet werden, in einem fünften Beispiel bereitgestellt, das nummehr beschrieben werden soll.

[0322] Unter Bezugnahme auf Fig. 56 unterscheidet sich ein Speichersystem gemäß dem Beispiel von dem Speichersystem gemäß den anderen Beispielen darin, daß Taktdatenwiederherstellungsleitungen, die die gleiche Topologie wie die von Datenleitungen haben, zwischen der MC und DRAMs vorgesehen sind, und daß jeder DRAM mit Taktdatenwiederherstellungs(kontakt)stiften bzw. -anschlüssen CDR/CDRB ausgestattet ist.

[0323] Der Verfahrensablauf dieses Beispiels ist der des vorangehenden vierten Beispiels identisch. Jedoch ist das fünfte Beispiel mit den ausgewählten Signalleitungen versehen, so daß während des Normalbetriebes keine Beschränkungen in Bezug auf die Lese- oder Schreiboperation besteht. Dies erlaubt die Erhöhung der Sampling-Frequenz mit einer sich daraus ergebenden höheren Zuverlässigkeit.

[0324] Unter Bezugnahme auf Fig. 57 sind die in Fig. 56 gezeigten DRAMs die gleichen wie die in Fig. 48 mit der Ausnahme, daß ein interner DRAM-Datenphasentaktreproduktionsblock **711** mit Taktdatenwiederherstellungs(kontakt)stiften bzw. -anschlüssen CDR/CDRB anstelle der Datenanschlüsse DQ2 und DQ3, die in Fig. 48 gezeigt sind, ausgerüstet ist, und die Stifte DCR/DCRB mit einer Phasenbestimmungsschaltung verbunden. Das Speichersystem gemäß dem fünften Beispiel unterscheidet sich von dem in Fig. 50 gezeigten auch darin, daß die Taktdatenwiederherstellungs(kontakt)stifte CDR/CDRB ebenfalls in einem internen MC-Datenphasentaktreproduktionsblock **1021b** der in Fig. 58 gezeigten MC vorgesehen sind. Der Verfahrensablauf des Systems, das in Fig. 57 und 58 gezeigt ist, ist dem in Fig. 48 und 49 gezeigten identisch mit der Ausnahme der Benutzung der Taktdatenwiederherstellungs(kontakt)stifte CDR/CDRB anstelle der Datenanschlüsse DQ2, 3; deshalb kann eine Beschreibung fortgelassen werden. Demgemäß kann in diesem Fall ebenfalls, nachdem eine Phase in einem DRAM zurückgehalten ist, ein Pseudo-Taktsignal, dessen Frequenz reduziert ist, an eine ausgesuchte Sampling-Datenleitung (Standleitung) von der MC übertragen werden, und die Sampling-Frequenz kann ebenfalls verringert werden, um die Datenphase in einer DRAM-Taktreproduktionsschaltung einzustellen, oder es kann ein Pseudo-Taktsignal, dessen Takterzeugungsfrequenz periodisch reduziert ist, an die Sampling-Daten-Standleitung übertragen werden, so daß der DRAM eine Datenphase durch das Pseudo-Taktsignal einstellen kann.

[0325] Das in **Fig. 56 bis 58** gezeigte Beispiel kann so aufgebaut sein, daß es ein Sampling durch Verwendung einer Mehrzahl Takte eher als ein 1-Takt-Sampling anwendet.

[0326] Bei dem unter Bezugnahme auf **Fig. 48 bis 58** beschriebenen Beispiel wurde die Beschreibung eines Falles vorgenommen, in dem eine Übertragungsleitung verwendet wird, um Sampling-Takte nur in einer Richtung von der MC an die DRAMs zu übertragen. Die vorliegende Erfindung kann jedoch auch auf einen Fall angewendet werden, in dem die Sampling-Takte unter einer Mehrzahl DRAMs durch eine Übertragungsleitung geteilt werden. Darüber hinaus kann die Signalleitung auch für das Übertragen von Steuerdaten von den DRAMs verwendet werden, und zwar eher als daß sie lediglich zum Übertragen von Sampling-Takten der DRAMs von der MC verwendet wird.

[0327] In den oben beschriebenen Ausführungsformen und Beispielen sind nur Speichersysteme beschrieben worden, die MCs und DRAMs einschließen. Die vorliegende Erfindung kann jedoch auch auf ein System, das mit einer Steuerung und einer Einrichtung ausgerüstet ist, die mit einer Taktleitung und einer Datenleitung verbunden sind, und auf ein Steuerungsverfahren dafür angewendet werden. Die Einrichtungen sind nicht auf DRAMs beschränkt. In diesem Fall ist vorzugsweise eine Mehrzahl Einrichtungen in einer verstreuten oder vereinzelter An und Weise auf einem Modul angeordnet.

[0328] Weiterhin können Frequenz-geteilte Takte und Frequenz-geteilte Pseudo-Taktsignale zwischen einer MC und einem DRAM nur während Initialisierung übermittelt werden, und nach Vervollständigung der Initialisierung können Daten unter Verwendung von Signalen, die nicht Frequenz-geteilt sind, gelesen oder geschrieben werden. Die vorliegende Erfindung kann ebenfalls auf ein Speichersystem angewendet werden, das bei niedriger Taktfrequenz arbeitet, so daß der Zeitverzug zwischen Takten und Befehls-/Adreßsignalen und Datensignalen zu keinem Problem führt, und zwar eher als daß eine restriktive Anwendung auf ein Speichersystem mit hohen Taktfrequenzen stattfindet.

[0329] Damit haben gemäß der vorliegenden Erfindung in einem System, bei dem Einrichtungen mit Datenleitungen verbunden sind, die in verstreuter vereinzelter Art und Weise auf einer Mehrzahl Module angeordnet sind, Datenleitungen eine unterschiedliche Topologie zu der von Taktleitungen und Befehls-/Adreßleitungen, und die Taktleitungen und Befehls-/Adreßleitungen werden für jeden Modul exklusiv angeordnet, während die Datenleitungen gemeinsam mit den Einrichtungen auf der Mehrzahl Module verbunden werden. Diese Anordnung ermöglicht es, daß ein Taktsignal an jeden Modul verteilt wird, was

es möglich macht, die Zahl der Taktsignale zu reduzieren und die Frequenzen der Taktsignale zu erhöhen.

[0330] Zusätzlich können gemäß der vorliegenden Erfindung die Einflüsse, die auf die verschiedenen Verzögerungszeiten der Taktsignale und Datensignale zurückzuführen sind, eingeschränkt werden, indem man ein kontinuierlich reversierendes Datensignal bei Initialisierung übermittelt, um separate interne Datentakte in einer Steuerung und einer Vorrichtung so zu setzen, daß sie separat auf der Basis der internen Datentakte betrieben werden können. Darüber hinaus ermöglicht es das Ausführen eines Sampling bei gleichmäßigen Intervallen, Fehlfunktionen, die durch Phasenänderungen hervorgerufen werden, zu begrenzen.

Patentansprüche

1. Speichersystem umfassend:
eine Speichereinrichtung und
eine Speichersteuerung zum Steuern der Speichereinrichtung, wobei
die Speichersteuerung ein Mittel zum Ausgeben eines mit einem Taktsignal abgestimmten Befehls-/Adresssignals an die Speichereinrichtung zusammen auch mit einem Datensignal umfaßt, und
die Speichereinrichtung ein Mittel zum Empfangen des Befehls-/Adresssignals umfaßt, um ein internes Befehls-/Adresssignal, basierend auf dem Datensignal, zu erzeugen.

2. Speichersystem nach Anspruch 1, wobei die Speichersteuerung ein Mittel zum Ausgeben eines Pseudo-Taktsignals an eine Datenleitung beim Initialisieren des Systems umfaßt, um eine Zeitsteuerung für das Datensignal zu ergeben, und die Speichereinrichtung ein Mittel zum internen Erzeugen eines internen, die Phase des Datensignals aufweisenden Takts unter Verwendung des Pseudo-Taktsignals als Quelle/Taktgeber in Reaktion auf das Pseudo-Signal umfaßt, wodurch die Zeitsteuerung des Datensignals in der Speichereinrichtung (fest- bzw. zurück-)gehalten wird.

3. Speichersystem nach Anspruch 1, wobei die Speichereinrichtung umfaßt:
Ein Mittel zum Erzeugen eines ersten Multiphasentakts mit verschobener Phase, erhalten durch Dividieren der Frequenz des intern von der Speichersteuerung zugeführten Taktsignals;
ein Mittel zum Erzeugen eines internen Takts der Speichereinrichtung mit der Phase des Datensignals;
ein Mittel zum Erzeugen eines zweiten Multiphasentakts mit verschobener Phase, erhalten durch Dividieren des internen Takts durch den gleichen Zyklus wie dem des Taktsignals; und
ein Mittel zum Erzeugen eines internen Befehls-/Adresssignals einer Datensignalphase, in-

dem die ersten und zweiten Multiphasentakts einander auf einer eins-zu-eins-Basis entsprechen.

4. Speichersystem nach Anspruch 1, wobei die Speichersteuerung ein Mittel zum Erzeugen erster und zweiter Pseudo-Frequenz-geteilter Takte umfaßt, indem die Frequenzen des Befehls-/Adressensignals bzw. des Datensignals geteilt werden, und die Speichereinrichtung ein Mittel zum Vergleichen der ersten und zweiten Pseudo-Frequenz-geteilten Takte miteinander aufweist, um sie einander entsprechen zu lassen.

5. Speichersystem nach Anspruch 3, wobei die Speichersteuerung ein Mittel zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als Frequenz-geteilter Takt umfaßt, und die Speichereinrichtung ein Mittel zum Vergleichen eines Empfangstakts, erhalten von einem empfangenen Befehls-/Adressensignal, mit dem Frequenz-geteilten Takt umfaßt, um den Frequenz-geteilten Takt und den Empfangstakt einander entsprechen zu lassen.

6. Speichersystem nach Anspruch 1, wobei die Speichersteuerung ein Mittel zum Ausgeben sowohl eines durch Frequenzteilen eines Datensignals erhaltenen Pseudo-Taktsignals als auch eines Taktsignals zum Erzeugen von Zeitsteuerung für das Datensignal durch Frequenzteilen des Datensignals umfaßt, und die Speichereinrichtung ein Mittel zum internen Erzeugen von Multiphasentakten, erhalten durch Verschiebung der Phasen von individuellen Frequenz-geteilten Takten, sowie ein Mittel zum Erzeugen eines internen Befehls/Adressensignals aufweist, das die Phase eines Datensignals durch Zuordnen der Multiphasentakts hat.

7. Speichersystem nach Anspruch 6, wobei die Speichereinrichtung ein Mittel zum Übertragen eines Datensignals an die Speichersteuerung im Takt des internen Datenphasentakts hat.

8. Speichersystem nach Anspruch 7, wobei die Speichersteuerung ein Mittel zum Erzeugen einer Zeitsteuerung/einer Taktgabe zum Diskriminieren/Unterscheiden eines Datensignals auf der Basis eines Pseudo-Frequenz-geteilten Taktes in Reaktion auf den Pseudo-Frequenz-geteilten Takt, erzeugt im Takt des internen Datenphasentakts der Speichereinrichtung, umfaßt.

9. Speichersystem nach Anspruch 1, wobei die Speichereinrichtung ein DRAM ist.

10. Speichersystem umfassend:
Eine Mehrzahl Speichereinrichtungen, die gemeinsam in Reaktion auf ein Befehls-/Adressensignal zu betätigen sind; und
eine Speichersteuerung zum Steuern der Speichereinrichtungen, wobei

jede der Mehrzahl Speichereinrichtungen ein Mittel zum Empfangen von Datensignalen, die alle einander entsprechend ausgeführt sind, und ein Mittel zum Erzeugen eines internen Befehls-/Adressensignals auf der Basis jeder Zeitsteuerung der Datensignale umfaßt.

11. Speichersystem nach Anspruch 10, wobei die Speichersteuerung ein Mittel zum Ausgeben eines Pseudo-Taktsignals an eine Datensignalleitung bei Initialisierung des Systems umfaßt, um eine Zeitsteuerung/Taktgabe für das Datensignal zu ergeben, und die Speichereinrichtung ein Mittel zum internen Erzeugen eines internen Takts, der die Phase des Datensignals hat, umfaßt, indem das Pseudo-Taktsignal als Quelle in Reaktion auf das Pseudo-Signal verwendet wird, wodurch die Zeitsteuerung/Taktgabe des Datensignals in der Speichereinrichtung erhalten/zurückgehalten wird.

12. Speichereinrichtung nach Anspruch 10, wobei die Speichereinrichtung umfaßt:
Ein Mittel zum Erzeugen eines Multiphasentakts einer verschobenen Phase, erhalten durch Teilen der Frequenz des intern von der Speichersteuerung zugeführten Taktsignals;
ein Mittel zum Erzeugen eines internen Takts der Speichereinrichtung mit der Phase des Datensignals;
ein Mittel zum Erzeugen eines zweiten Multiphasentakts einer verschobenen Phase, erhalten durch Teilen des internen Takts durch den gleichen Zyklus wie den des Taktsignals; und
ein Mittel zum Erzeugen eines internen Befehls/Adressensignals einer Datensignalphase, indem man die ersten und zweiten Multiphasentakts einander auf einer eins-zu-eins-Basis entsprechen läßt.

13. Speichersystem nach Anspruch 10, wobei die Speichersteuerung ein Mittel zum Erzeugen erster und zweiter Pseudofrequenz-geteilter Takte durch Dividieren der Frequenzen des Befehls/Adressensignals bzw. Datensignals umfaßt, und die Speichereinrichtung ein Mittel zum Vergleichen der ersten und zweiten Pseudofrequenz-geteilten Takte miteinander hat, um sie einander entsprechen zu lassen.

14. Speichersystem nach Anspruch 11, wobei die Speichersteuerung ein Mittel zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als einen Frequenz-geteilten Takt umfaßt, und die Speichereinrichtung ein Mittel zum Vergleichen eines von einem empfangenen Befehls-/Adressensignal erhaltenen Empfangstakts mit dem Frequenz-geteilten Takt umfaßt, um den Frequenz-geteilten Takt und den Empfangstakt einander entsprechen zu lassen.

15. Speichersystem nach Anspruch 10, wobei die Speichersteuerung ein Mittel zum Ausgeben sowohl eines durch Frequenzteilen eines Datensignals

erhaltenen Pseudo-Taktsignals als auch eines Taktsignals zum Erzeugen der Zeitsteuerung/Taktgabe für das Datensignal durch Frequenzteilen des Datensignals umfaßt, und

die Speichereinrichtung ein Mittel zum internen Erzeugen von Multiphasentakten, erhalten durch Verschieben der Phasen von individuellen Frequenz-geteilten Takten, und ein Mittel zum Erzeugen eines internen Befehls/Adressensignals, der/das die Phase eines Datensignals aufweist, durch Zuordnen der Multiphasentakts hat.

16. Speichersystem nach Anspruch 15, wobei die Speichereinrichtung ein Mittel zum Übertragen eines Datensignals an die Speichersteuerung in der Zeitsteuerung/im Takt des internen Datenphasentakts aufweist.

17. Speichersystem nach Anspruch 16, wobei die Speichersteuerung ein Mittel zum Erzeugen einer Zeitsteuerung zum Diskriminieren eines Datensignals auf der Basis eines Pseudofrequenz-geteilten Taktes in Reaktion auf den Pseudofrequenzgeteilten Takt, erzeugt im Takt des internen Datenphasentakts der Speichereinrichtung, umfaßt.

18. Speichersystem nach Anspruch 10, wobei die Speichereinrichtung ein DRAM ist.

19. Speichersystem umfassend:

Eine Speichersteuerung zum Erzeugen eines Pseudo-Taktsignals auf einer Datensignalleitung und eine Einrichtung, geeignet zum (Rück-)Halten einer Phase eines Taktsignals im Verhältnis zu einem Taktsignal, von dem Pseudo-Taktsignal, wobei die Speichersteuerung ein Mittel zum periodischen Erzeugen eines Probetaktes nach Rückhalten der Phase umfaßt, und die Einrichtung ein Phaseneinstellmittel zum Einstellen der Phase folgender Datensignale entsprechend den Probetakten nach Rückhalten der Phase umfaßt.

20. Speichersystem nach Anspruch 19, wobei die Speichersteuerung die Taktfrequenz eines Datensignals und auch eine Probefrequenz nach Rückhalten der Phase vermindert, und das Phaseneinstellmittel der Einrichtung ein Mittel zum Einstellen nachfolgender Datenphasen gemäß dem Probetakt nach Rückhalten der Phase umfaßt, um eine normale Datenübertragung während der Erzeugung des Probetakts auszuführen.

21. Speichersystem umfassend:

Eine Speichersteuerung zum Erzeugen eines Pseudo-Taktsignals auf einer Datensignalleitung, und eine Einrichtung, geeignet zum Rück- bzw. Erhalten einer Phase eines Taktsignals im Verhältnis zu einem Taktsignal, von dem Pseudo-Taktsignal, wobei die Speichersteuerung periodisch die Takterzeugungsfrequenz eines Datensignals und ebenso

eine Probefrequenz in einer Takterzeugungsschaltung der Einrichtung vermindert, und zwar nach Zurück- bzw. Erhalten der Phase, um so danach die Datenphase einzustellen und dadurch eine normale Datenübertragung während der Erzeugung des Probetakts auszuführen.

22. Speichersystem nach Anspruch 19, weiter umfassend ein Mittel zum periodischen Erzeugen eines Taktes oder einer Mehrzahl Takte nach Erhalten der Phase.

23. Speichersystem nach Anspruch 19, wobei das Übermittlungsverfahren für die Probetakte für eine bidirektionale Übertragung von Datensignalen verwendet wird.

24. Speichersystem nach Anspruch 19, wobei eine Datenleitung zum Rück- bzw. Erhalten einer Initialphase sich von einer Datenleitung zur Probenahme nach Rück- bzw. Erhalten der Phase unterscheidet.

25. Speichersystem, umfassend eine in Reaktion auf ein durch eine Datensignalleitung übertragenes Pseudo-Taktsignals betätigbare Einrichtung zum Rück- bzw. Aufrechterhalten der Phase eines Datensignals in bezug auf ein Taktsignal auf der Basis des Pseudo-Taktsignals durch eine Taktsynchronisierungs- und -reproduktionsschaltung, wobei ein Pseudo-Taktsignal mit verminderter Frequenz an eine ausgewählte Probedatenleitung nach Rück- bzw. Erhalten der Phase übertragen und auf die Einrichtung bezogen wird, die Taktsynchronisierungs- und -reproduktionsschaltung die Datenphaseneinstellung mit der verminderten Probefrequenz ausführt.

26. Speichersystem umfassend eine zum Übertragen eines Pseudo-Taktsignals an eine Datensignalleitung und zum Zurück- bzw. Erhalten der Phase eines Datensignals relativ zu einem Taktsignal auf der Basis des Pseudo-Taktsignals durch eine Taktsynchronisierungs- und -reproduktionsschaltung geeignete Einrichtung, wobei das Pseudo-Taktsignal mit einer periodisch verminderten Takterzeugungsfrequenz an eine Probedatenstandleitung nach Rück-/Erhalten der Phase übertragen wird, auf das Signal in der Einrichtung Bezug genommen wird und die Probenahmefrequenz in der Taktsynchronisierungs- und -reproduktionsschaltung ebenfalls vermindert wird, um danach Datenphasen einzustellen.

27. Speichereinrichtung nach Anspruch 26, wobei ein Takt oder eine Mehrzahl Takte periodisch nach Rück-/Erhalten der Phase erzeugt werden.

28. Speichersystem nach Anspruch 25, wobei ein Übermittlungsverfahren für Pseudo-Taktsignale unter Verwendung einer Probedatenleitung für die bidirek-

tionale Übertragung von Datensignalen verwendet wird.

29. Speichersystem nach Anspruch 19, wobei bidirektionale Probetakte und andere Stufen bzw. Ebenen von Probetakten in vorbestimmten Intervallen auf derselben Signalleitung übertragen werden.

30. Steuerverfahren, verwendet für ein Speichersystem umfassend eine Speichereinrichtung und eine Speichersteuerung zum Steuern der Speichereinrichtung, wobei das Verfahren umfaßt:

Einen Schritt zum Ausgeben eines Befehls-/Adresssignals von der Speichersteuerung an die Speichereinrichtung synchron mit einem Taktsignal und ebenfalls zum Ausgeben eines Datensignals und einen Schritt zum Empfangen des Befehls-/Adresssignals zum Erzeugen eines internen Befehls-/Adresssignals auf der Basis des empfangenen Datensignals in der Einrichtung.

31. Steuerverfahren für ein Speichersystem nach Anspruch 30, umfassend:

Einen Schritt zum Ausgeben eines Pseudo-Taktsignals von der Speichersteuerung an eine Datensignalleitung beim Initialisieren des Systems, um eine Zeitsteuerung/Taktgabe für das Datensignal zuzuführen, und

einen Schritt zum internen Erzeugen eines internen Takts, basierend auf der Phase des Datensignals, unter Verwendung des Pseudo-Taktsignals als Quelle, wenn die Speichereinrichtung das Pseudo-Taktsignal empfängt, wodurch die Zeitsteuerung/Taktgabe des Datensignals in der Speichereinrichtung (zurück) gehalten wird.

32. Steuerverfahren für ein Steuersystem gemäß Anspruch 30, umfassend:

Einen Schritt zum Erzeugen eines ersten Multiphasentakts verschobener Phase, erhalten durch Dividieren der Frequenz des von der Speichersteuerung zugeführten Taktsignals;

einen Schritt zum Erzeugen eines internen Takts der Speichereinrichtung, der die Phase des Datensignals aufweist;

einen Schritt zum Erzeugen eines zweiten Multiphasentakts verschobener Phase, erhalten durch Dividieren des internen Takts durch denselben Zyklus wie den des Taktsignals; und

einen Schritt zum Erzeugen eines internen Befehls/Adresssignals, eingestellt auf eine Datensignalleitung durch Zuordnen der ersten und zweiten Multiphasentakts auf einer eins-zu-eins-Basis, wobei die Schritte in der Speichereinrichtung durchgeführt werden.

33. Steuerverfahren für ein Speichersystem gemäß Anspruch 32, wobei die Speichersteuerung ausführt:

Einen Schritt zum Erzeugen erster und zweiter Pseu-

do-Frequenz-geteilter Takte durch Teilen der Frequenzen des Befehls/Adresssignals bzw. des Datensignals, während die Speichereinrichtung ausführt:

Einen Schritt zum Vergleichen der ersten und zweiten Frequenz-geteilten Takte miteinander, um sie einander entsprechen zu lassen.

34. Steuerverfahren für ein Speichersystem gemäß Anspruch 33, umfassend:

Einen Schritt zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als Frequenz-geteilter Takt von der Speichersteuerung, und

einen Schritt zum Vergleichen eines Empfangstakts, erhalten von einem empfangenen Befehl/Adresssignal mit dem Frequenz-geteilten Takt, um den Frequenzgeteilten Takt und das Empfangssignal einander in der Speichereinrichtung entsprechen zu lassen.

35. Steuerverfahren für ein Speichersystem, umfassend eine Mehrzahl Speichereinrichtungen, die beim gemeinsamen Empfangen eines Befehls/Adresssignals zu betätigen sind; und eine Speichersteuerung zum Steuern der Speichereinrichtungen, wobei

jede der Mehrzahl Speichereinrichtungen einen Schritt zum Empfangen von Datensignalen ausführt, die dazu gebracht sind, einander zu entsprechen, und einen Schritt zum Erzeugen einer internen Befehlsadresse, basierend auf der Phase jedes empfangenen Datensignals.

36. Steuerverfahren für Speichersystem nach Anspruch 35, umfassend:

Einen Schritt zum Ausgeben eines Pseudo-Taktsignals aus der Speichersteuerung an eine Datensignalleitung beim Initialisieren des Systems, um eine Zeitsteuerung/Taktgabe für das Datensignal einzuführen, und

einen Schritt zum internen Erzeugen eines internen Takts, basierend auf der Phase des Datensignals unter Verwendung des Pseudo-Taktsignals als Quelle, wenn die Speichereinrichtung das Pseudo-Taktsignal empfängt, wodurch die Zeitsteuerung des Datensignals in der Speichereinrichtung (zurück)gehalten wird.

37. Steuerverfahren für ein Speichersystem gemäß Anspruch 34, umfassend:

Einen Schritt zum Erzeugen eines ersten Multiphasentakts verschobener Phase, erhalten durch Dividieren der Frequenz des Taktsignals, das von der Speichersteuerung zugeführt ist;

einen Schritt zum Erzeugen eines internen Takts der Speichereinrichtung, der die Phase des Datensignals aufweist;

einen Schritt zum Erzeugen eines zweiten Multiphasentakts verschobener Phase, erhalten durch Dividieren des internen Takts durch denselben Zyklus wie den des Taktsignals; und

einen Schritt zum Erzeugen eines internen Befehls-/Adreßsignals, eingestellt auf eine Datensignalleitung, durch Zuordnen der ersten und zweiten Multiphasentakts auf einer eins-zu-eins-Basis, wobei die Schritte in der Speichereinrichtung durchgeführt werden.

38. Steuerverfahren für ein Speichersystem nach Anspruch 37, wobei die Speichersteuerung ausführt: Einen Schritt zum Erzeugen erster und zweiter Pseudo-Frequenz-geteilter Takte durch Dividieren der Frequenzen des Befehls-/Adreßsignals bzw. des Datensignals, während die Speichereinrichtung ausführt: Einen Schritt zum Vergleichen der ersten und zweiten Frequenz-geteilten Takte miteinander, um sie einander entsprechen zu lassen.

39. Steuerverfahren für ein Speichersystem nach Anspruch 36, umfassend: Einen Schritt zum Ausgeben eines Pseudo-Taktsignals bei Initialisierung als Frequenz-geteilter Takt von der Speichersteuerung, und einen Schritt zum Vergleichen eines von einem empfangenen Befehls-/Adreßsignal erhaltenen Empfangstakts mit dem Frequenz-geteilten Takt, um den Frequenzgeteilten Takt und den Empfangstakt einander in der Speichereinrichtung entsprechen zu lassen.

40. Steuerverfahren für ein Speichersystem gemäß Anspruch 34, weiter umfassend: Einen Schritt zum Ausgeben eines Pseudo-Taktsignals, erhalten durch Dividieren der Übertragungsfrequenz eines Taktsignals von der Speichersteuerung; einen Schritt zum Ausgeben eines Taktsignals zum Erzeugen einer Zeitsteuerung/Taktgabe für ein Datensignal in Form des Taktsignals, erhalten durch das Dividieren der Übertragungsfrequenz des Datensignals von der Speichersteuerung; einen Schritt zum Erzeugen von Multiphasentakten, erhalten durch Verschieben der Phasen des Pseudo-Taktsignals und des Taktsignals in der Speichereinrichtung; und einen Schritt zum Erzeugen eines internen Befehls-/Adreßsignals, das die Phase des Datensignals aufweist, durch Zuordnen der Multiphasentakts in der Speichereinrichtung.

41. Steuerverfahren für ein Speichersystem nach Anspruch 40, weiter umfassend einen Schritt zum Übertragen eines Datensignals aus der Speichereinrichtung an die Speichersteuerung im Takt des internen Datenphasentakts.

42. Steuerverfahren für ein Speichersystem gemäß Anspruch 41, weiter umfassend: Einen Schritt zum Empfangen eines Pseudofrequenz-geteilten Takts, erzeugt im Zeitablauf des internen Datenphasentakts in der Speichereinrichtung,

in der Speichersteuerung; und einen Schritt zum Erzeugen eines Takts zum Diskriminieren eines Datensignals auf der Basis des Pseudo-Frequenz-geteilten Takts.

43. Steuerverfahren für ein Speichersystem umfassend eine Einrichtung, geeignet zum Übertragen eines Pseudo-Taktsignals an eine Datensignalleitung, und zum Er- bzw. Rückhalten einer Phase eines Datensignals im Verhältnis zu einem Taktsignal, erhalten von dem Pseudo-Taktsignal, durch eine Taktreproduktionsschaltung, wobei das Steuerverfahren einen Schritt zum periodischen Erzeugen eines Probetakts nach Zurückhalten der Phase und danach zum Einstellen der Phasen von Datensignalen in der Einrichtung umfaßt.

44. System, umfassend eine Einrichtung und eine die Einrichtung steuernde Steuerung, die miteinander über eine Datenleitung und eine Taktleitung verbunden sind, wobei die Topologie der Datenleitung sich von der Topologie der Taktleitung unterscheidet.

45. System nach Anspruch 44, wobei die Einrichtung und die Steuerung weiter über eine Befehls-/Adressenleitung verbunden sind und die Befehls-/Adressenleitung die gleiche Topologie wie die der Taktleitung hat.

46. System nach Anspruch 44, wobei die Topologie der Datenleitung derart vorgesehen ist, daß die Distanz zwischen der Einrichtung und der Steuerung im Vergleich mit der Distanz in der Topologie der Taktleitung oder der Befehls-/Adressenleitung kürzer ist.

47. System nach Anspruch 44, wobei die Einrichtung einzeln auf einer Mehrzahl Module angeordnete DRAMs umfaßt, wobei die DRAMs auf jedem Modul einzeln die Taktleitung und die Befehls-/Adressenleitung aufweisen, während entsprechende der DRAMs auf jedem Modul gemeinsame Datenleitungen haben.

48. System nach Anspruch 46, wobei die Taktleitung und die Befehls-/Adressenleitung sich vom proximalen Ende zum distalen Ende jeden Moduls erstrecken und die DRAMs an jedem Modul mit der Taktleitung und der Befehls-/Adressenleitung verbunden sind.

49. System nach Anspruch 46, wobei die Taktleitung oder die Befehls-/Adressenleitung in zwei Teile im Zentralbereich jedes Moduls verzweigt und mit den DRAMs an jedem Modul verbunden sind.

50. System nach Anspruch 46, wobei die Einrichtung in jeder einer Mehrzahl Module vorgesehen ist nach Rangfolge angeordnete DRAMs, auf

die gleichzeitig zugegriffen wird, aufweist, die Datenleitung in der Rangfolge mit entsprechenden der DRAMs verbunden ist und die DRAMs jeder Rangfolge mit einer gemeinsamen Taktleitung und Adreßleitung versehen sind.

51. System nach Anspruch 47, wobei die Steuerung bzw. jeder der DRAMs ein Mittel zum Abstimmen der Steuerseite und ein Mittel zum Abstimmen der DRAM-Seite umfassen, um die Taktgabe des Datensignalsausgangs an die Datenleitung mit der Taktgabe eines auf die Taktleitung oder die Befehls-/Adressenleitung ausgegebenen Taktsignals oder Befehls abzustimmen.

52. System nach Anspruch 51, wobei das Steuerseiten-Abstimmungsmittel umfaßt:
Ein Mittel zum Ausgeben eines kontinuierlichen reversierenden Datensignals als Pseudo-Taktsignal auf die Datenleitung;
ein Mittel zum Ausgeben eines Taktsignals auf die Taktleitung und
ein Mittel zum Ausgeben eines Befehls synchron mit dem Taktsignal auf die Befehls-/Adreßleitung, und wobei das Mittel zum Abstimmen der DRAM-Seite umfaßt:
Ein internes Datentakterzeugungsmittel zum Erzeugen eines Datentakts in dem DRAM auf der Basis des durch die Datenleitung zugeführten Pseudo-Taktsignals, und
ein Mittel zum Weiterleiten des Befehls, übertragen synchron mit dem Taktsignal auf der Taktleitung von dem Takten des Taktsignals, auf den Datentakt in dem DRAM.

53. System nach Anspruch 52, wobei die Speichersteuerung weiter ein Probetakterzeugungsmittel zum periodischen Erzeugen eines Probetakts unter Verwendung des Pseudo-Taktsignals umfaßt, nachdem die Phase in der Einrichtung und der Speichersteuerung (zurück)gehalten ist, und die Einrichtung ein Phaseneinstellmittel zum Einstellen der Phase des Datensignals danach auf der Basis des Probetakts nach Halten der Phase umfaßt.

54. System nach Anspruch 53, wobei das Probetakterzeugungsmittel umfaßt:
Ein Mittel zum Erzeugen des Probetakts durch Verringern entweder der Takterzeugungsfrequenz oder der Taktfrequenz des Datensignals und
ein Mittel zum Ausgeben des Probetakts an die Datenleitung.

55. System nach Anspruch 53, wobei das Probetakterzeugungsmittel umfaßt:
Ein Mittel zum Erzeugen des Probetakts durch Verringern entweder der Takterzeugungsfrequenz oder der Taktfrequenz eines Datensignals und
ein Mittel zum Ausgeben des Probetakts an eine Datenleitung, die exklusiv für Probenbetrieb verwendet

wird.

56. System nach Anspruch 54, wobei die Datenleitung zum Übertragen des Probetakts gemeinsam von einer Mehrzahl Einrichtungen benutzt wird.

57. System nach Anspruch 54, wobei die Datenleitung zum Übertragen des Probetakts für eine bidirektionale Übertragung zwischen der Speichersteuerung und der Einrichtung verwendet wird.

Es folgen 58 Blatt Zeichnungen

Anhängende Zeichnungen

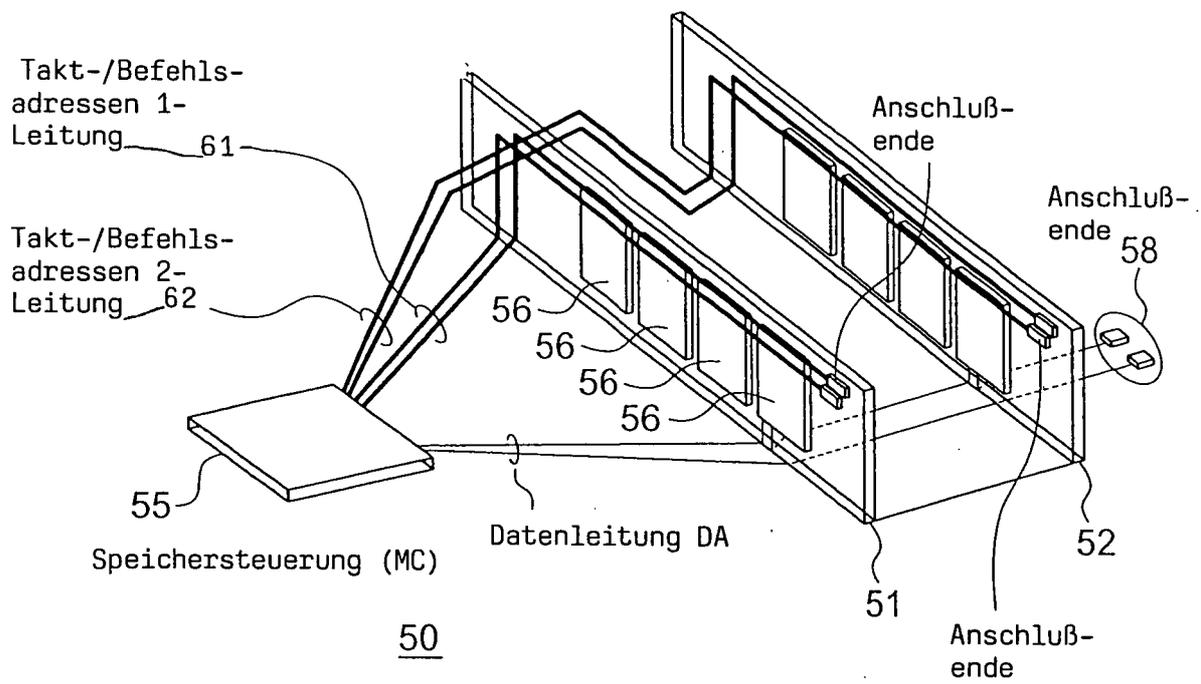


FIG. 1

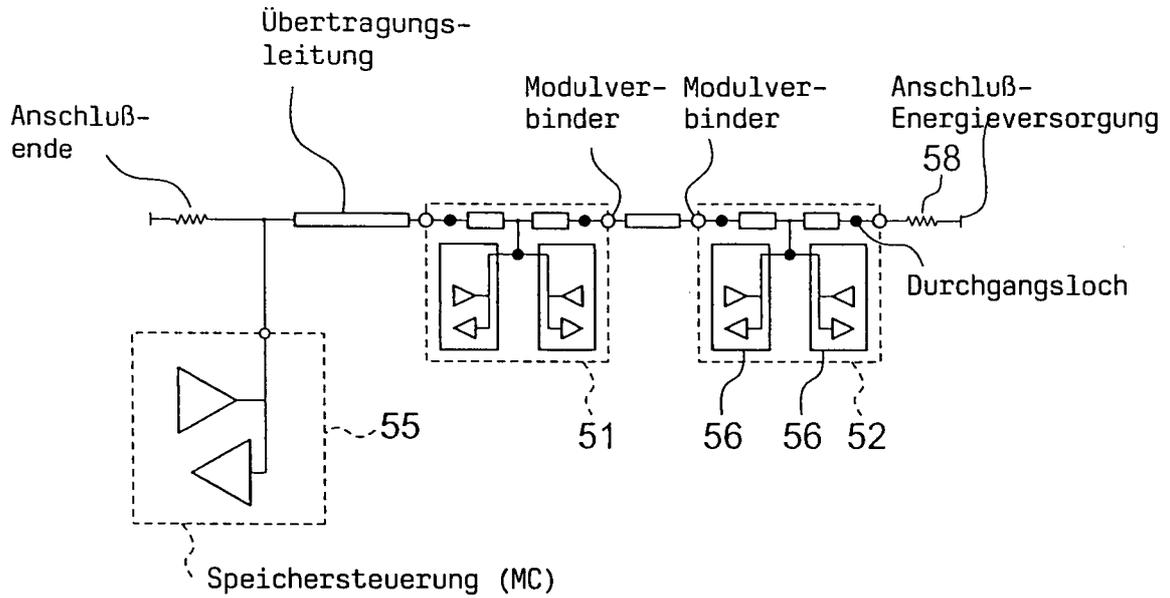


FIG. 2

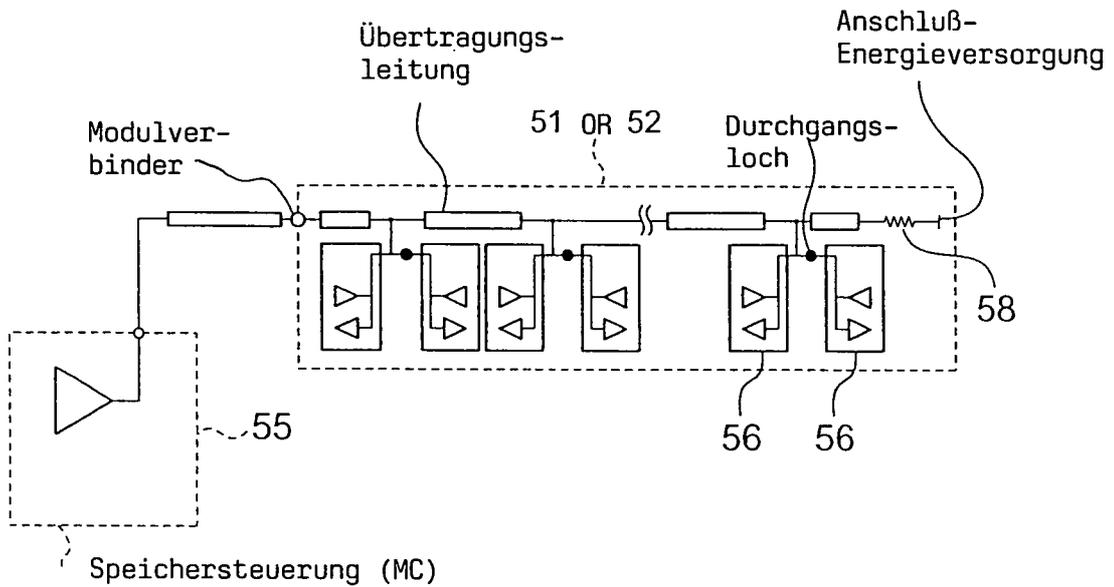


FIG. 3

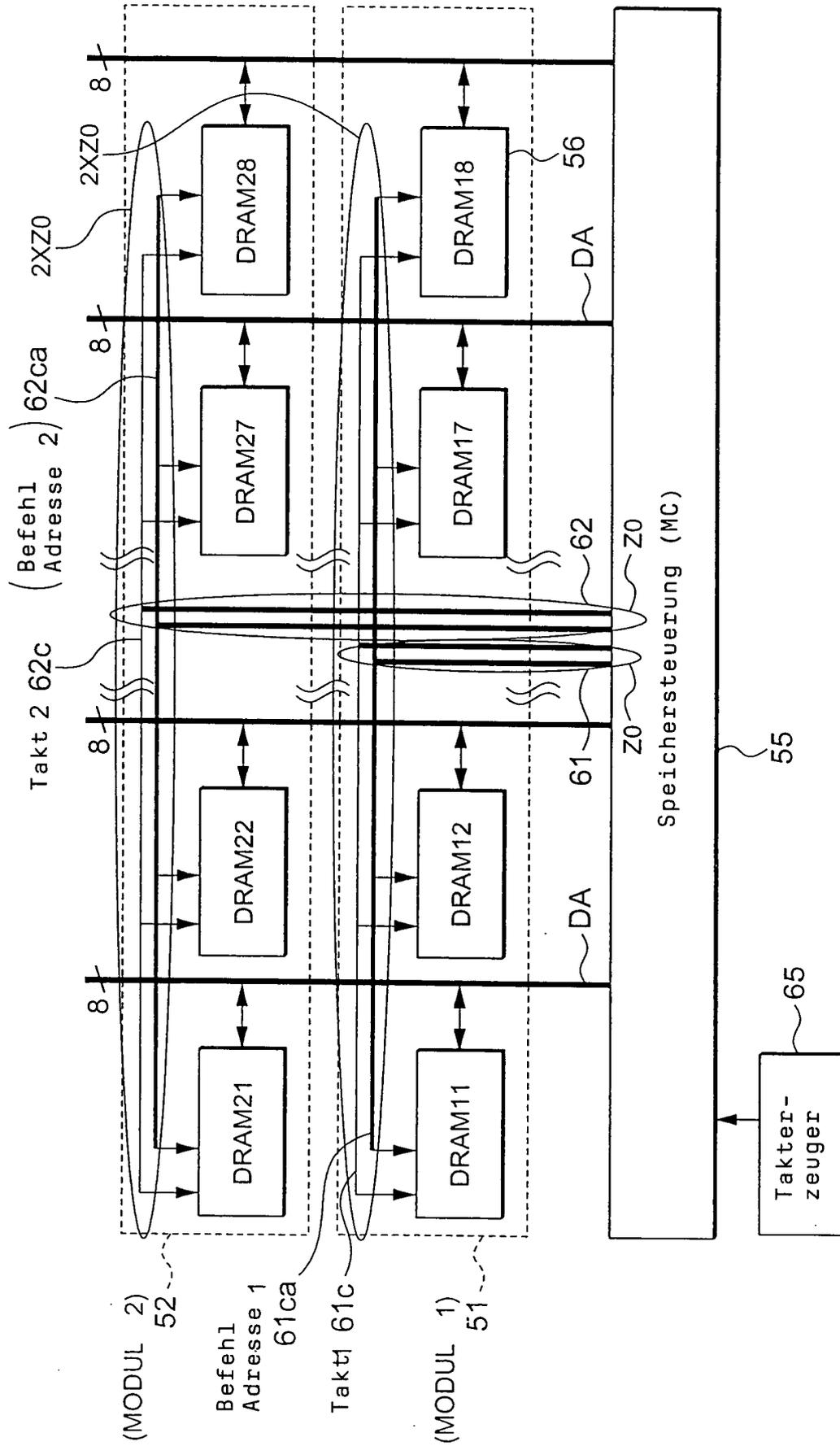


FIG. 5

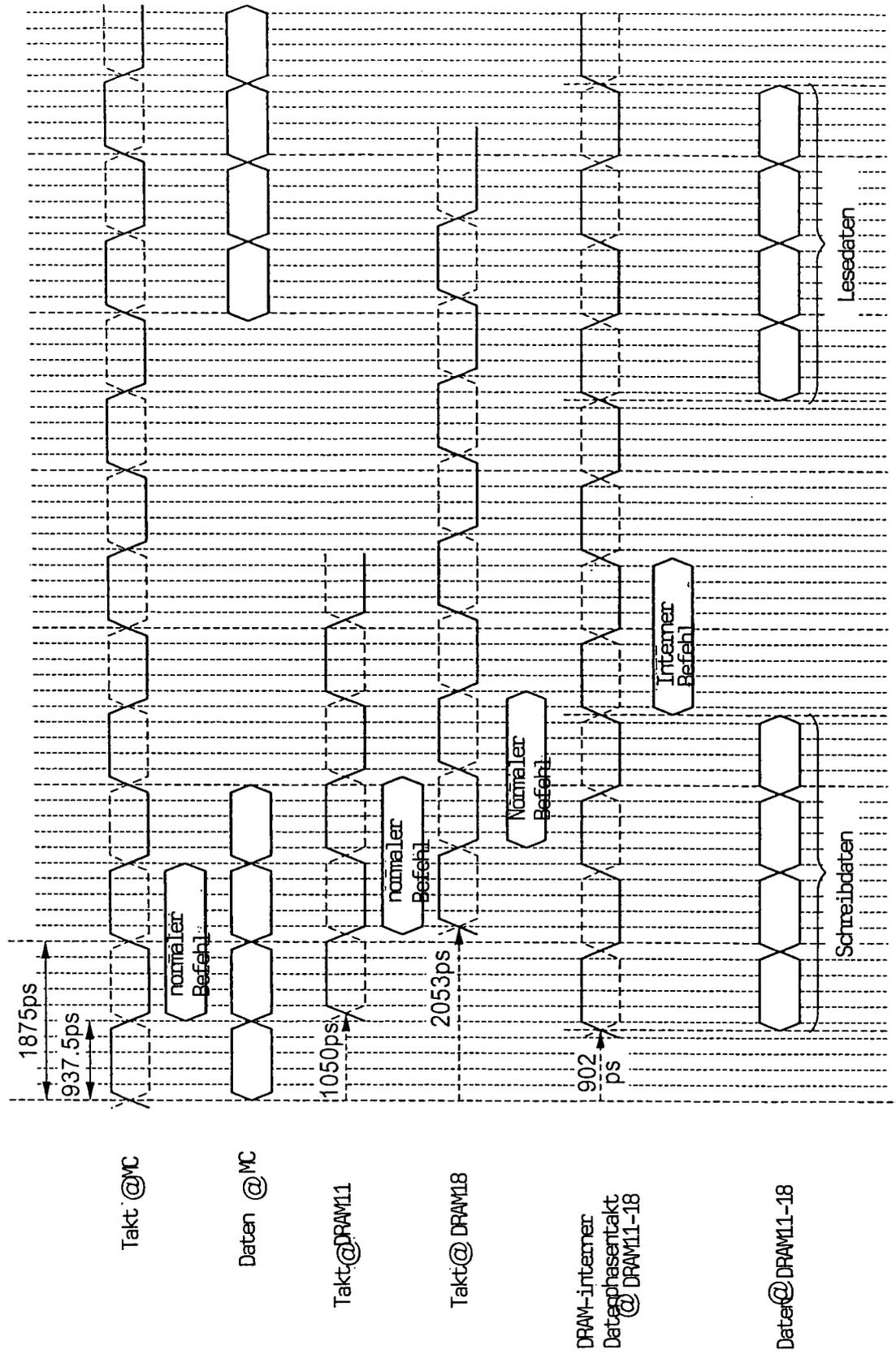


FIG. 7

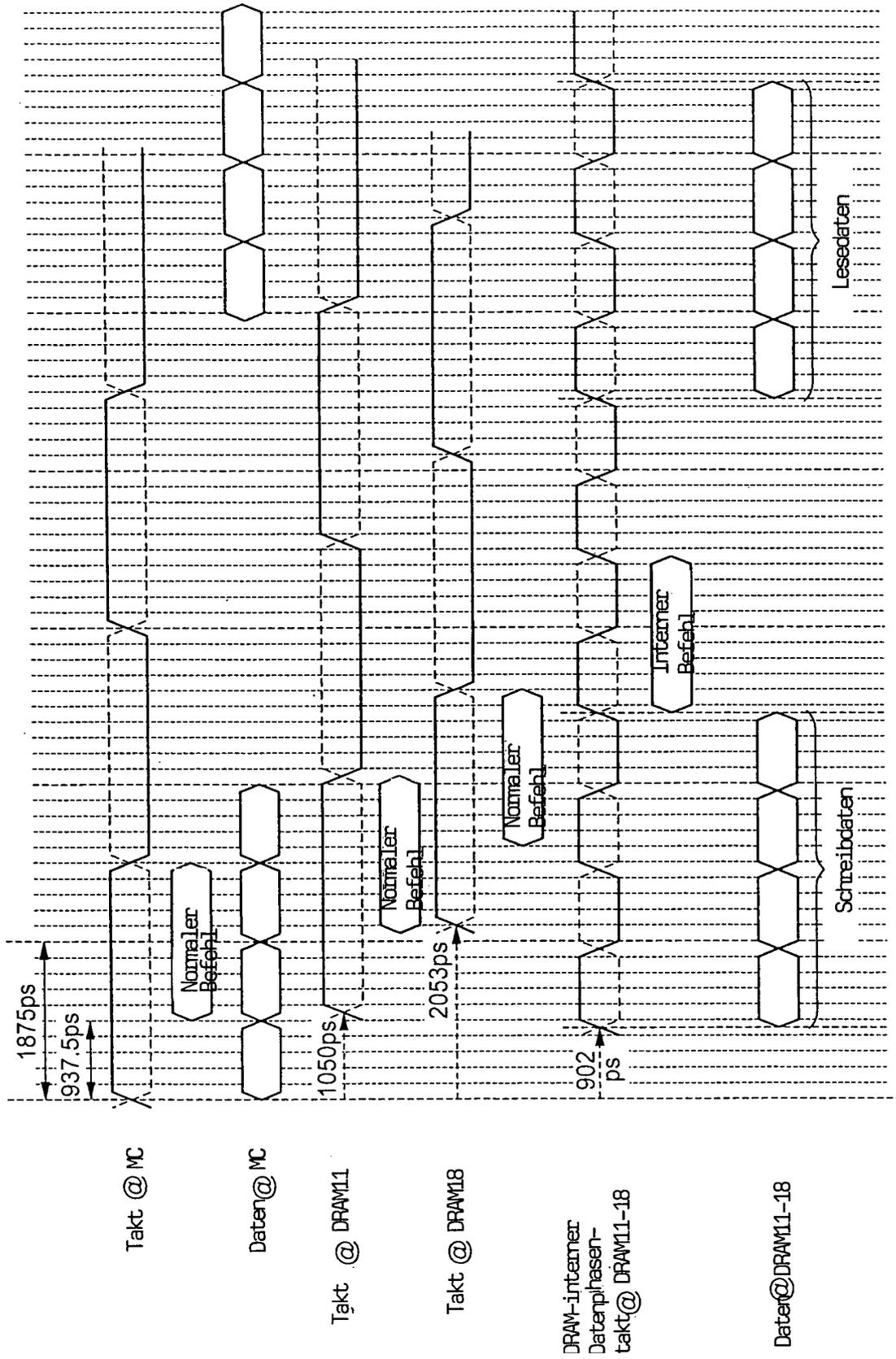


FIG. 8

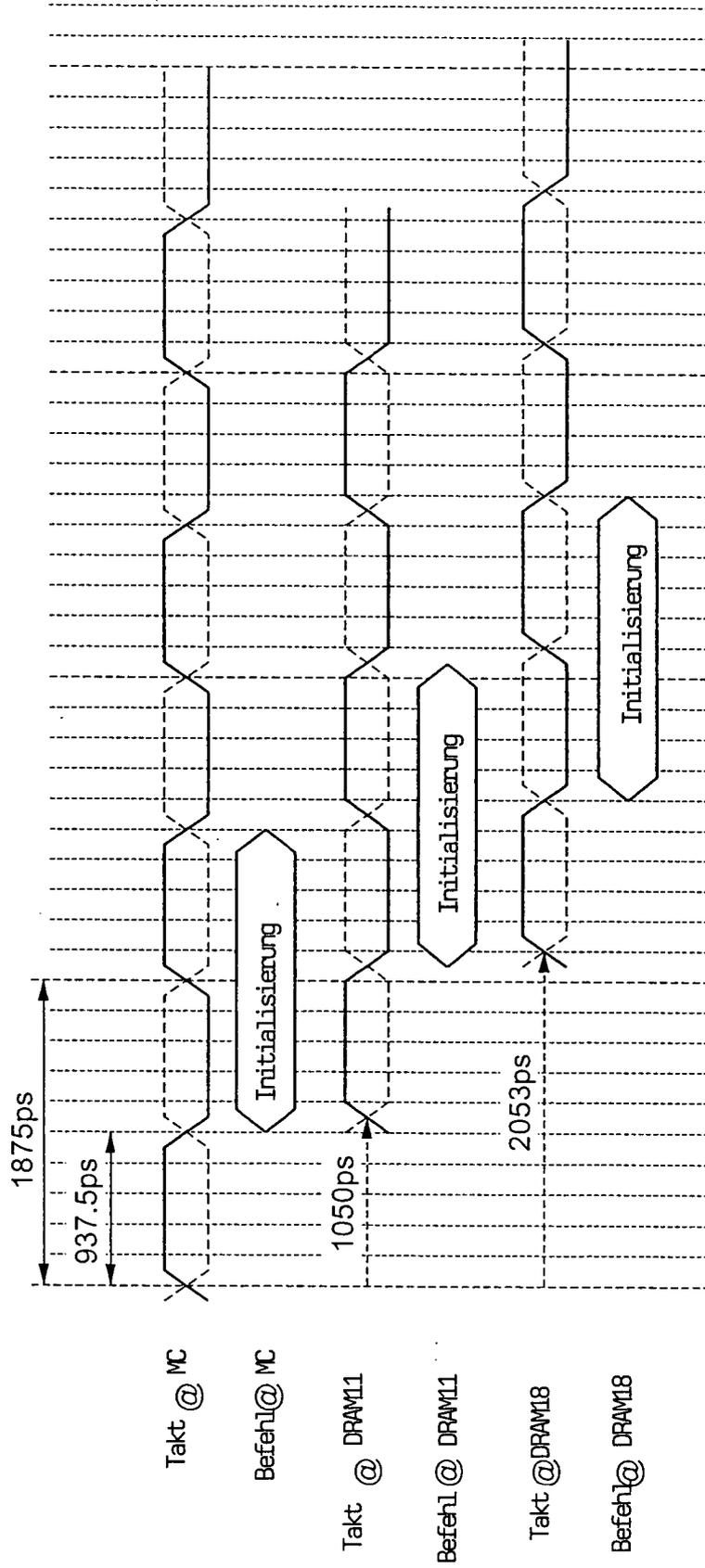


FIG. 9

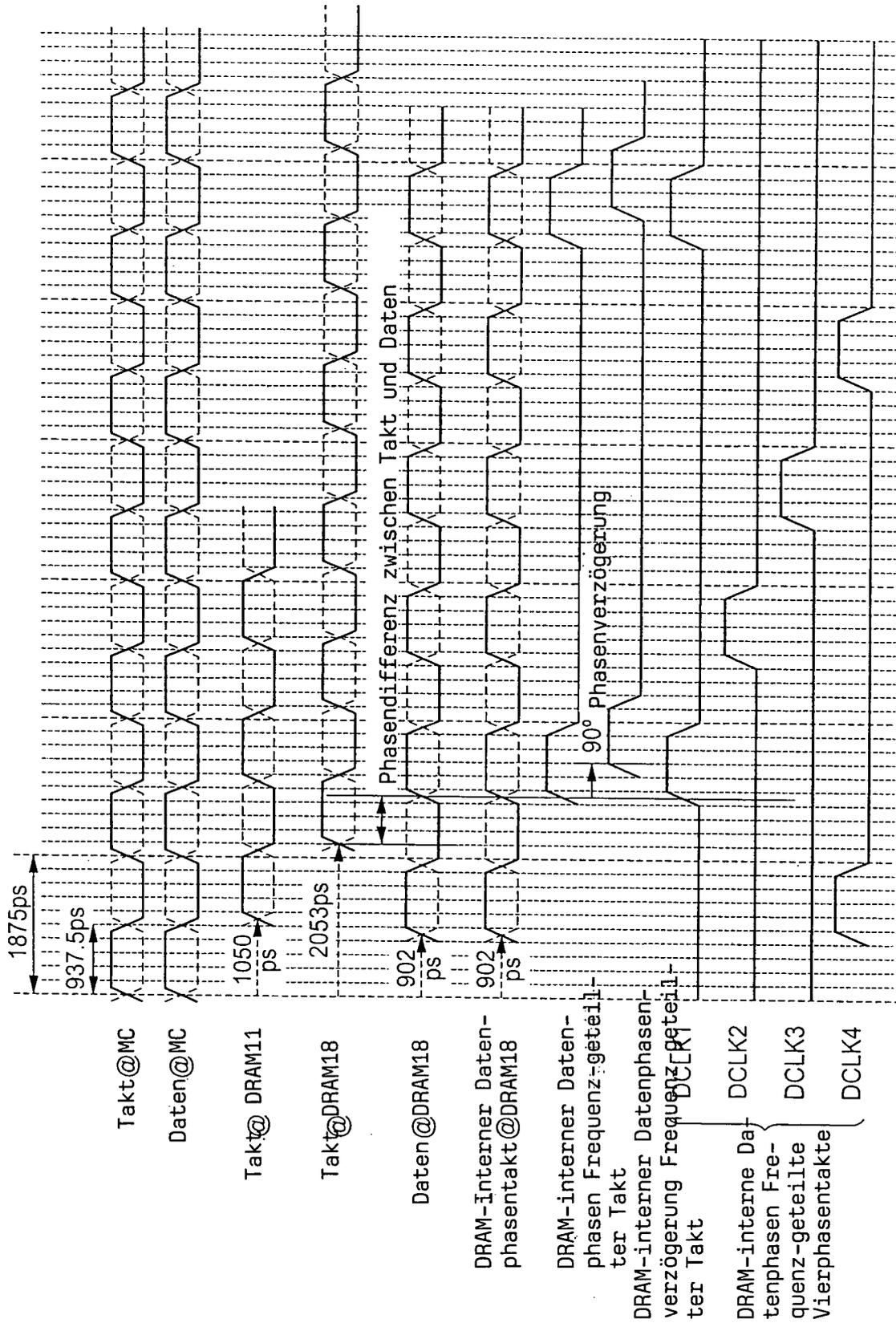


FIG. 10

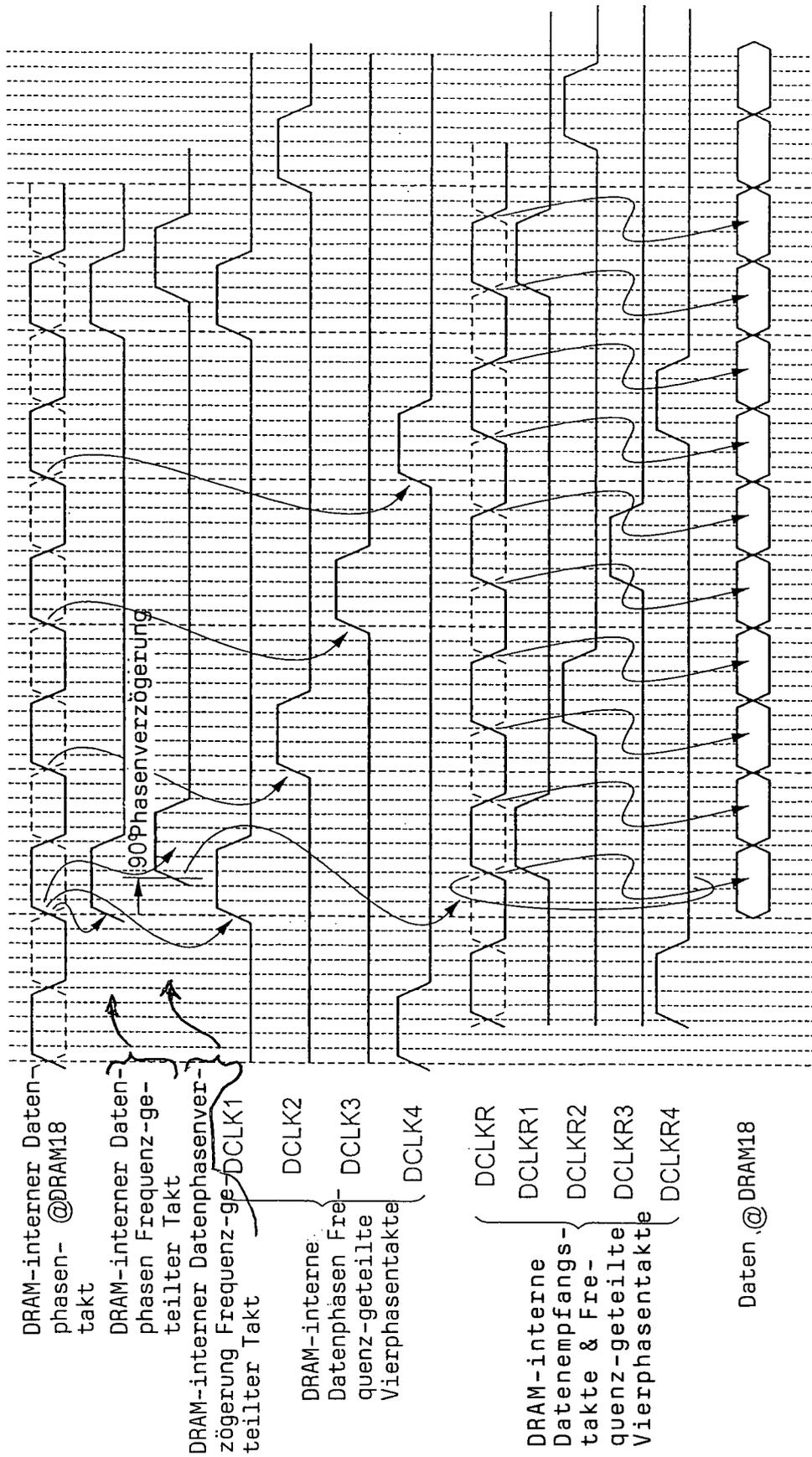


FIG. 11

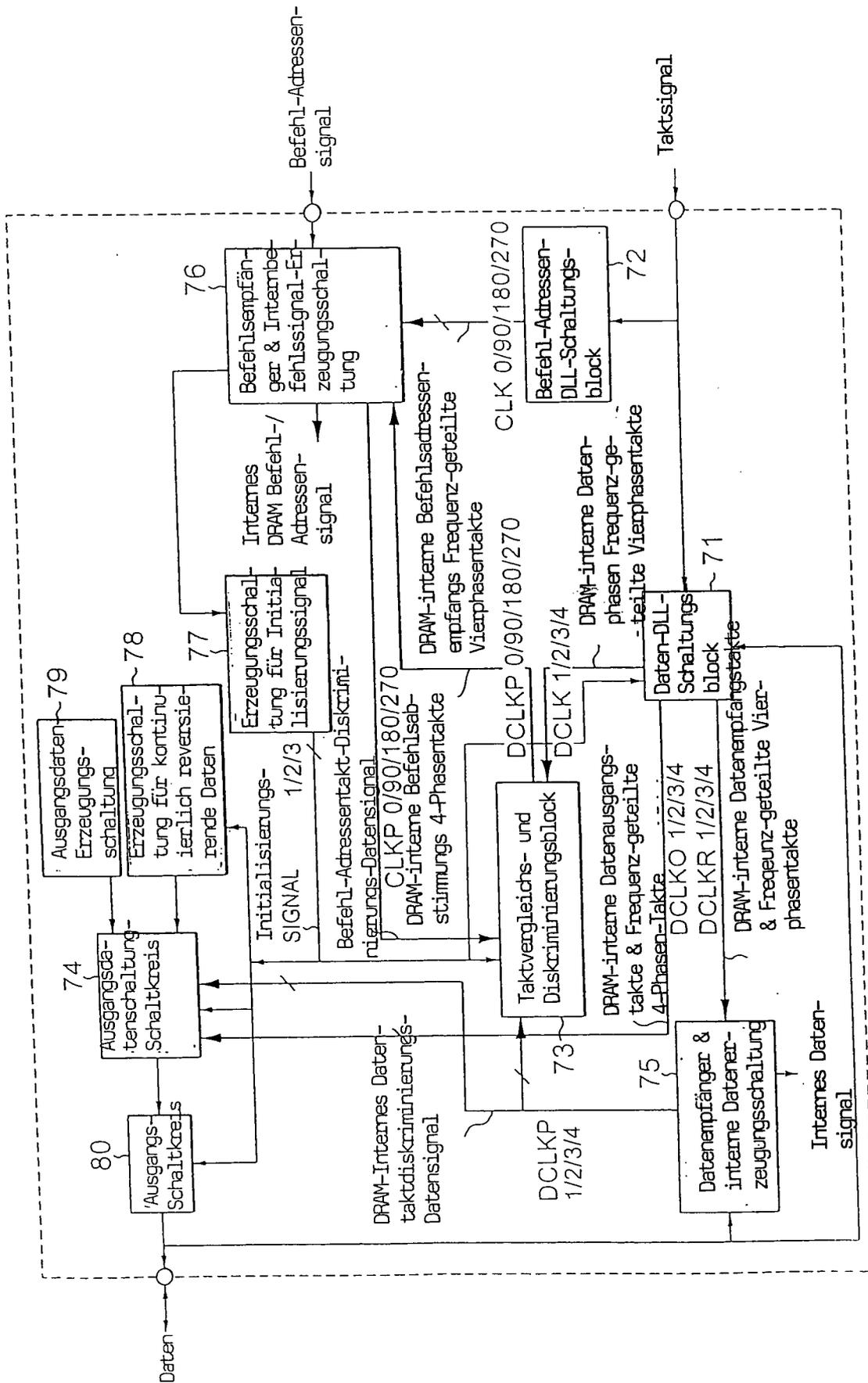


FIG. 13

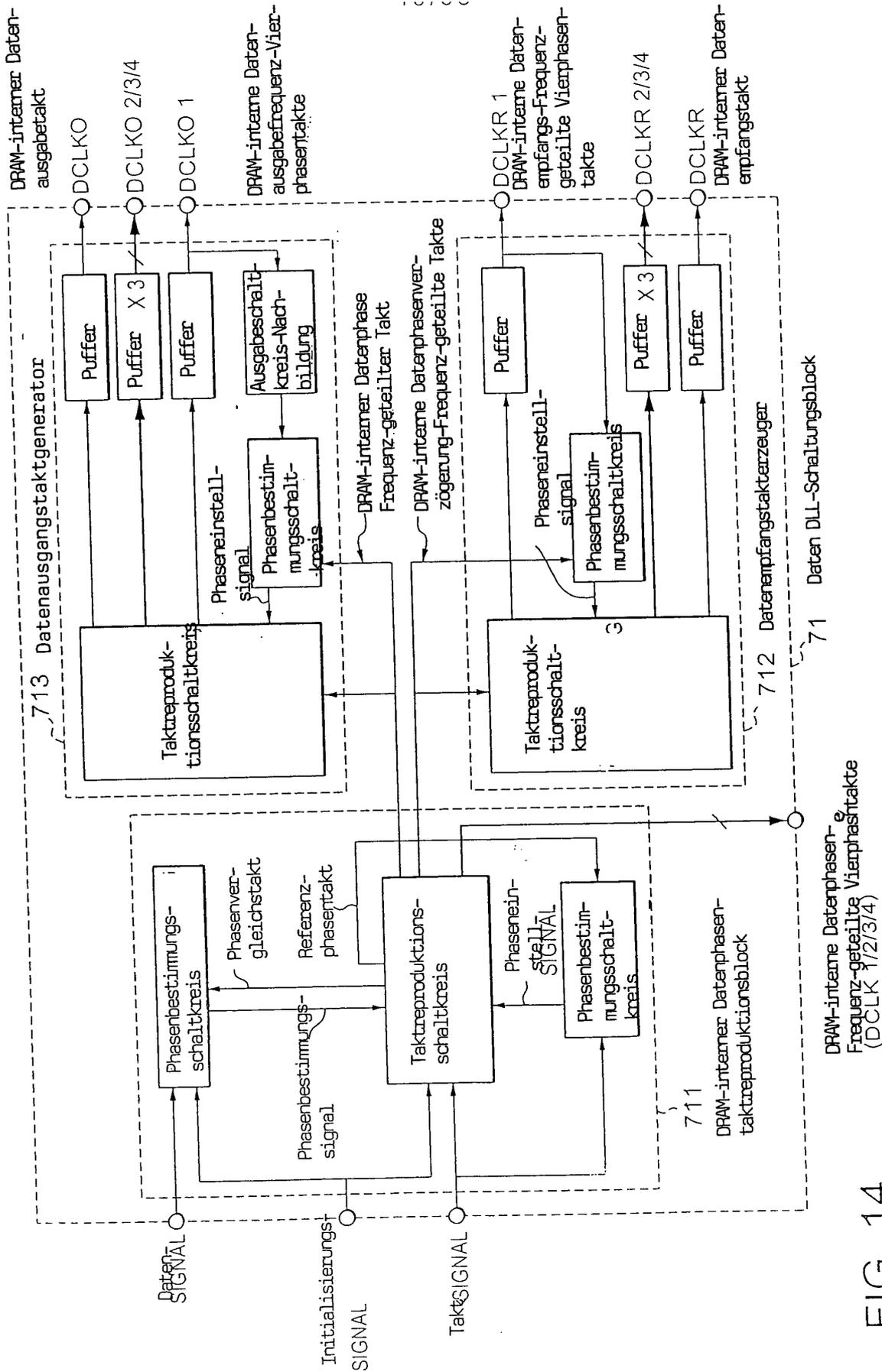


FIG. 14

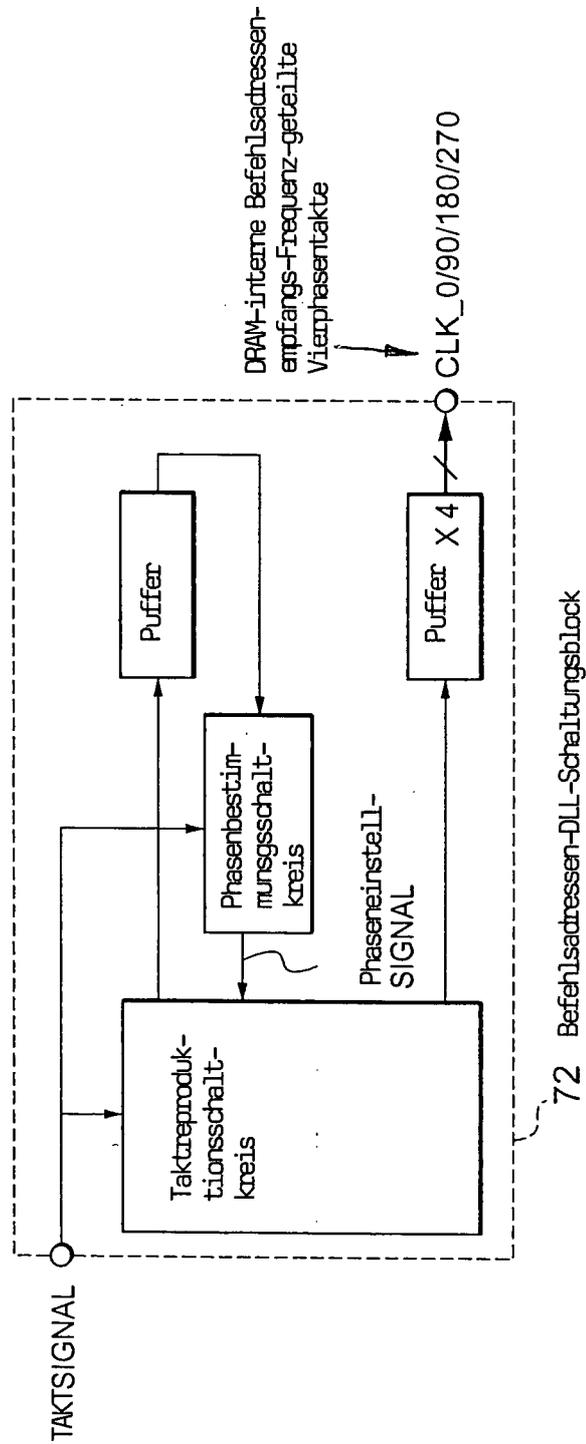


FIG. 15

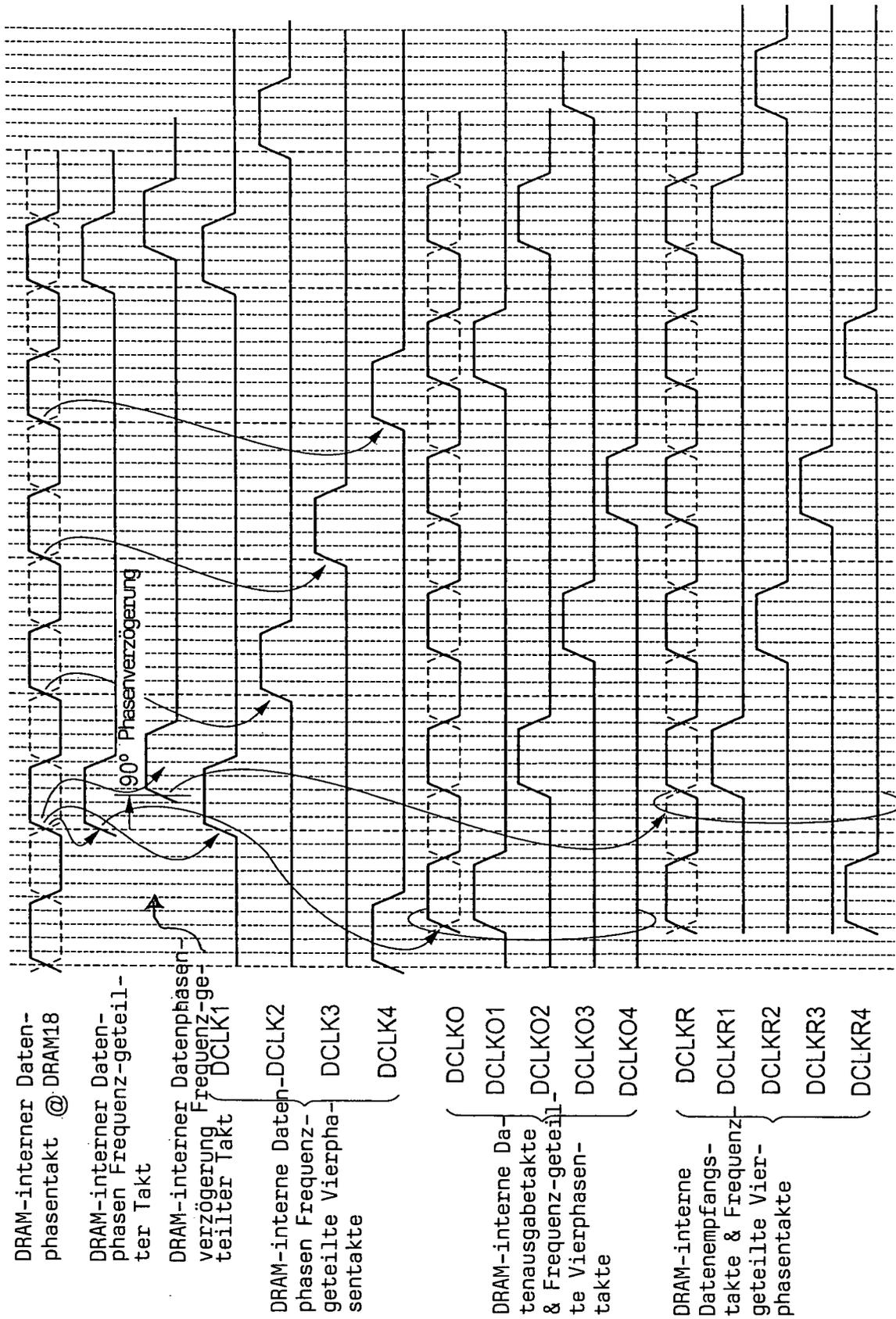


FIG. 16

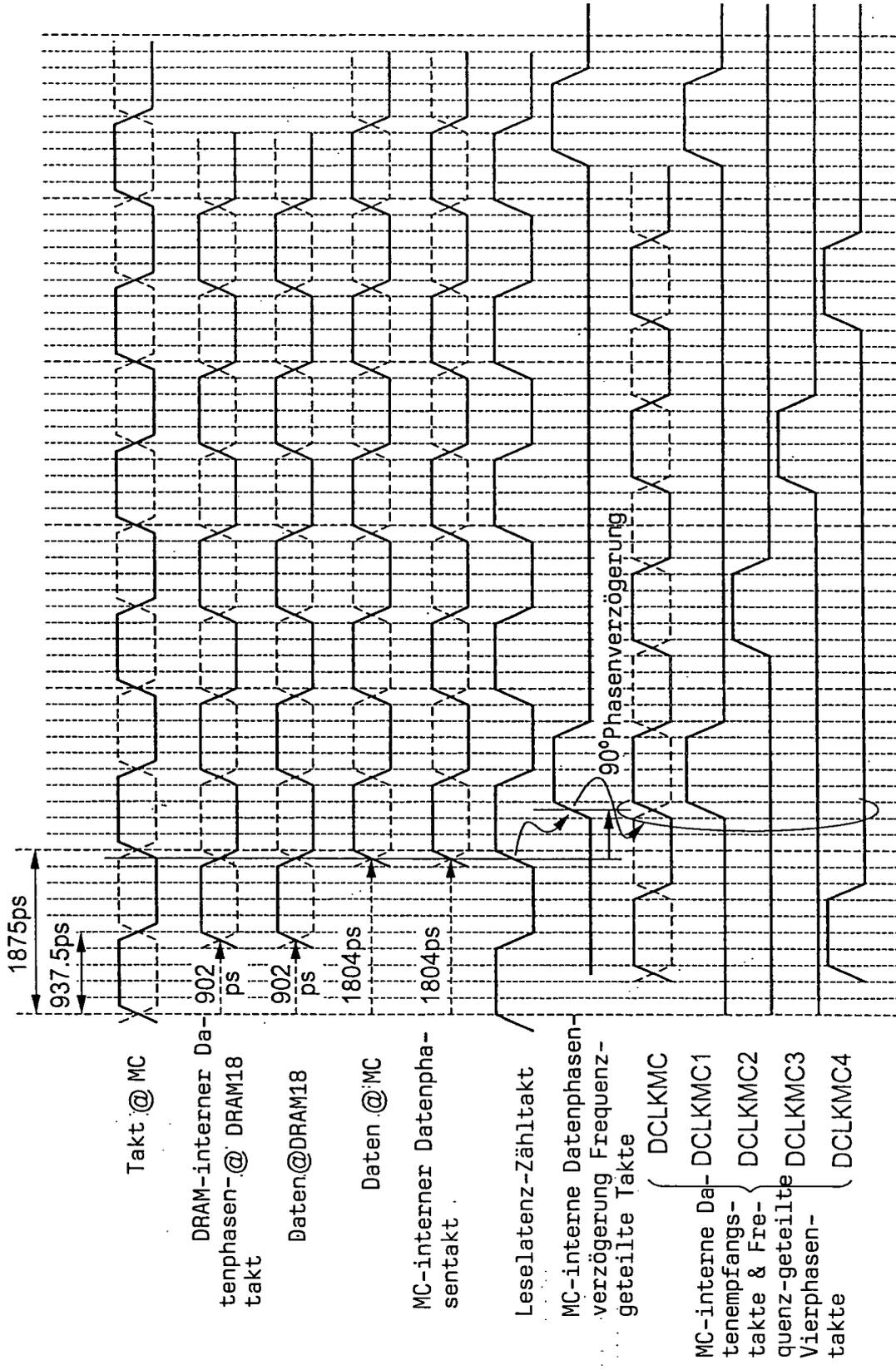


FIG. 17

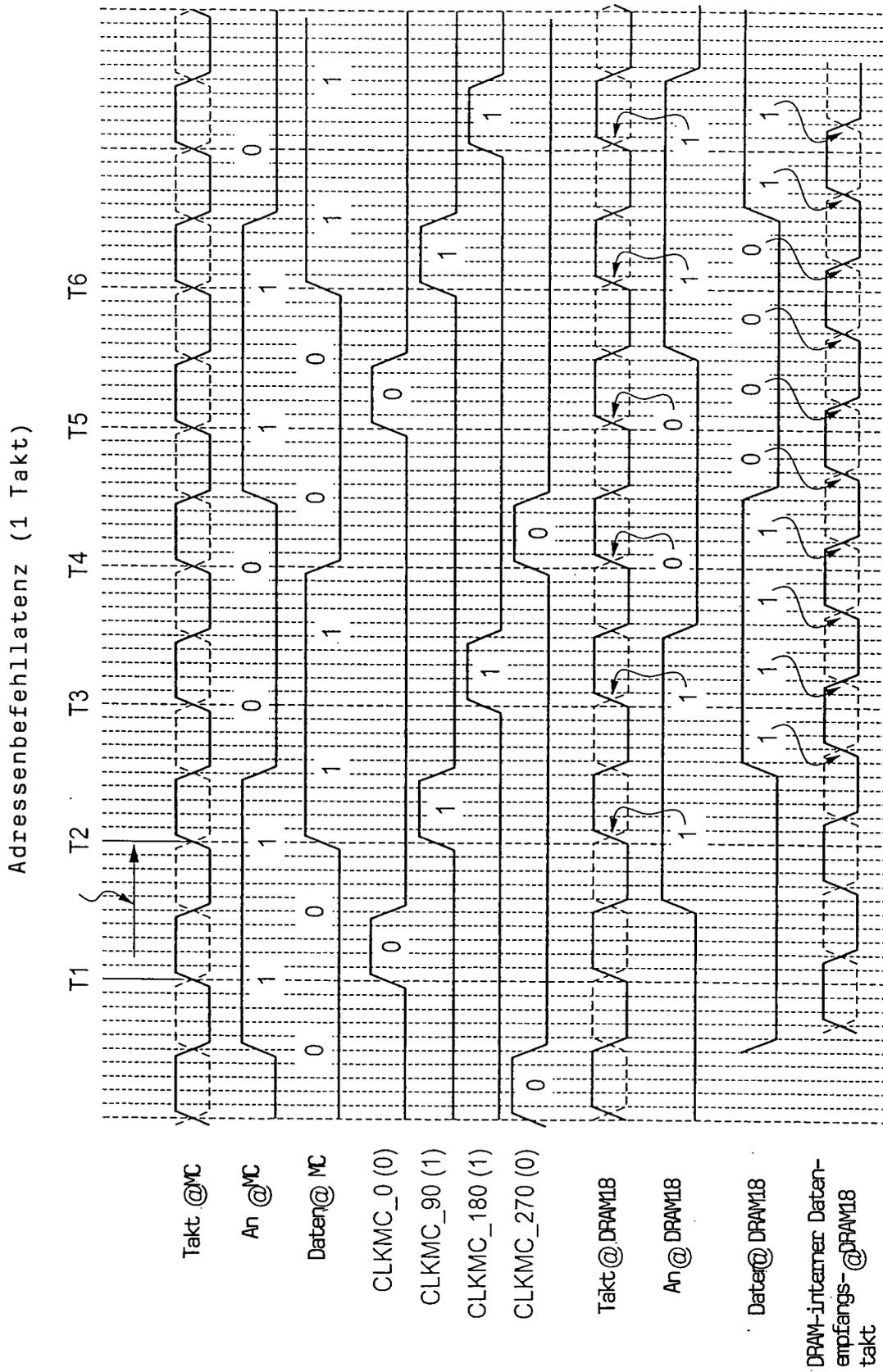


FIG. 18

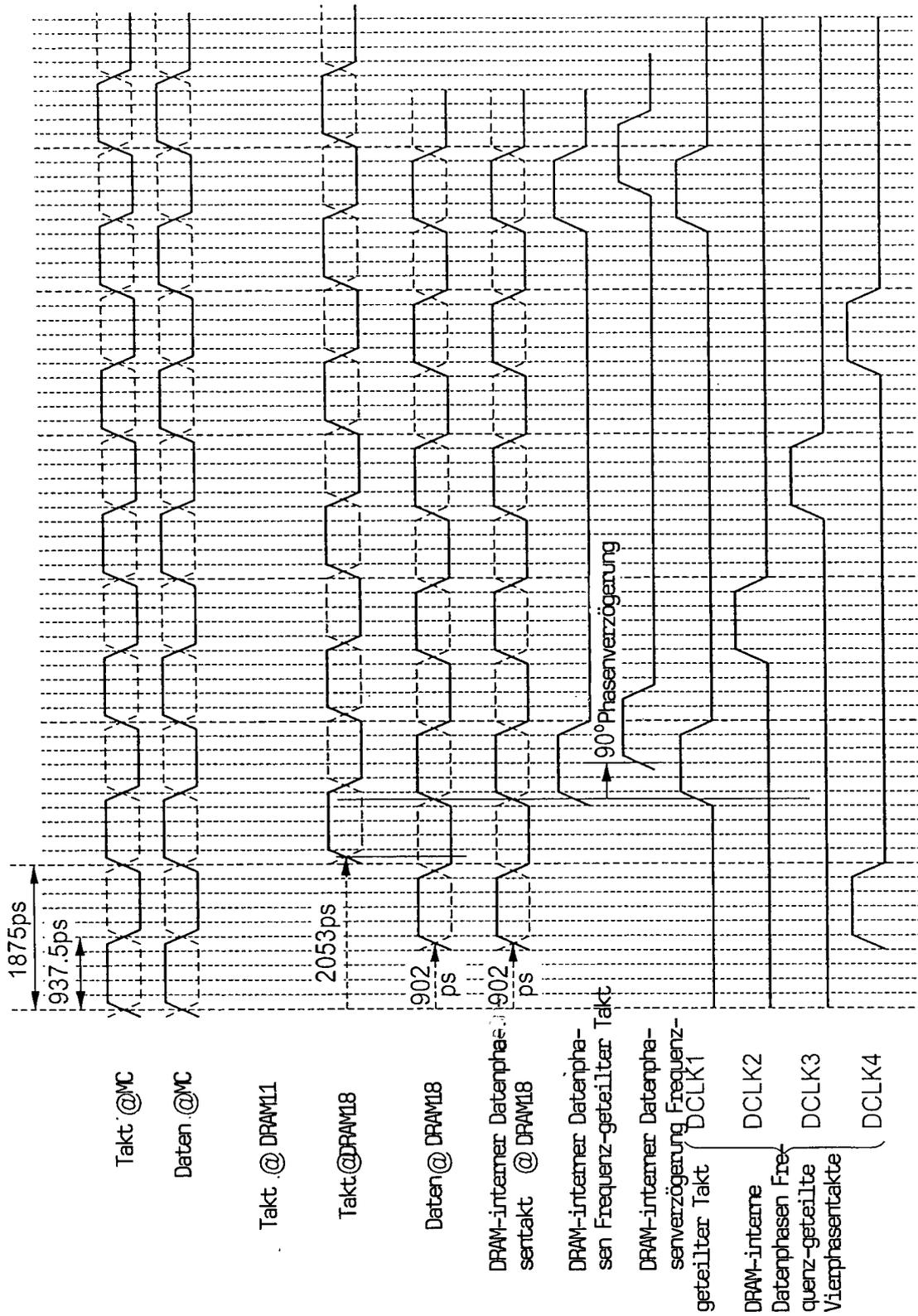


FIG. 19

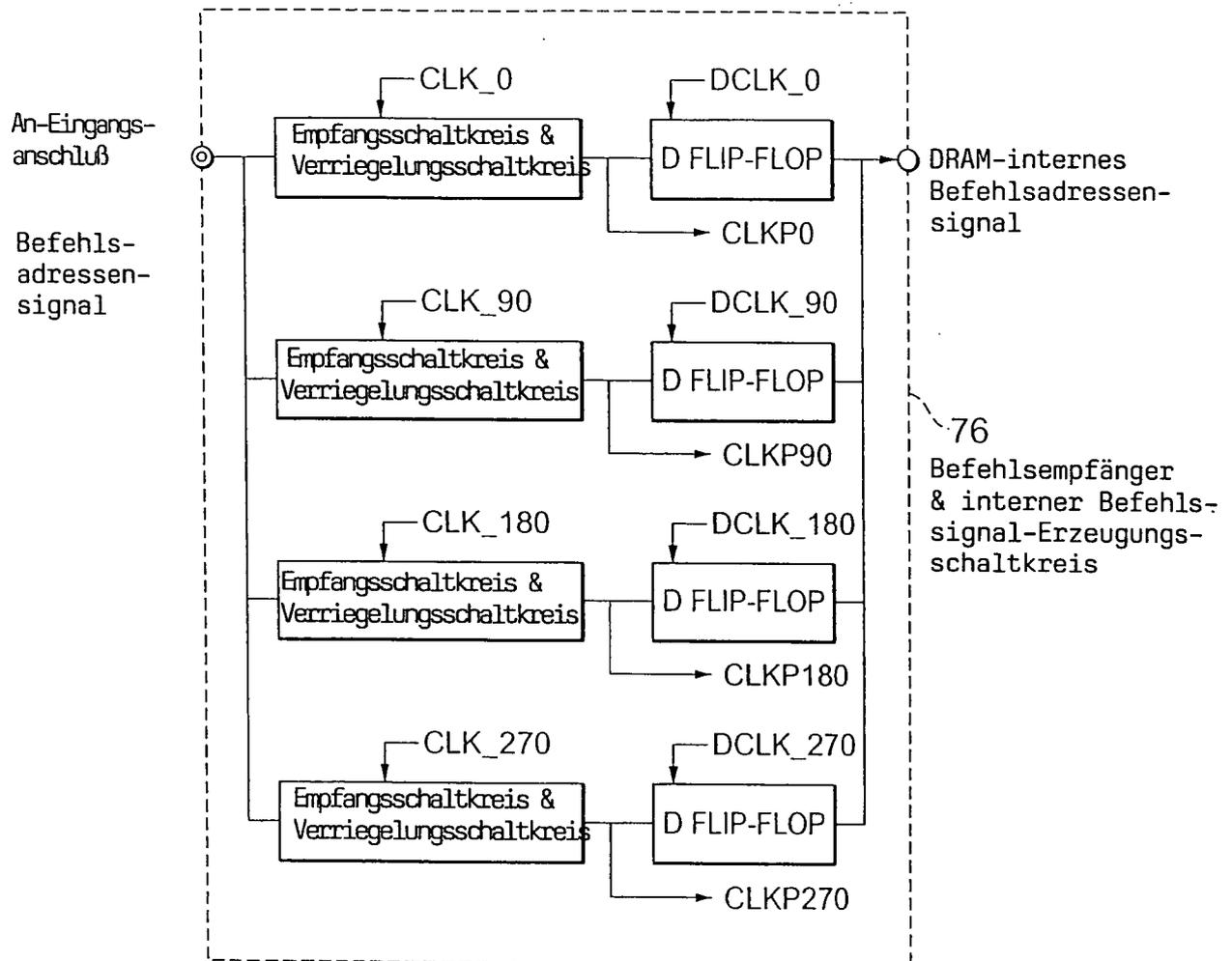


FIG. 20

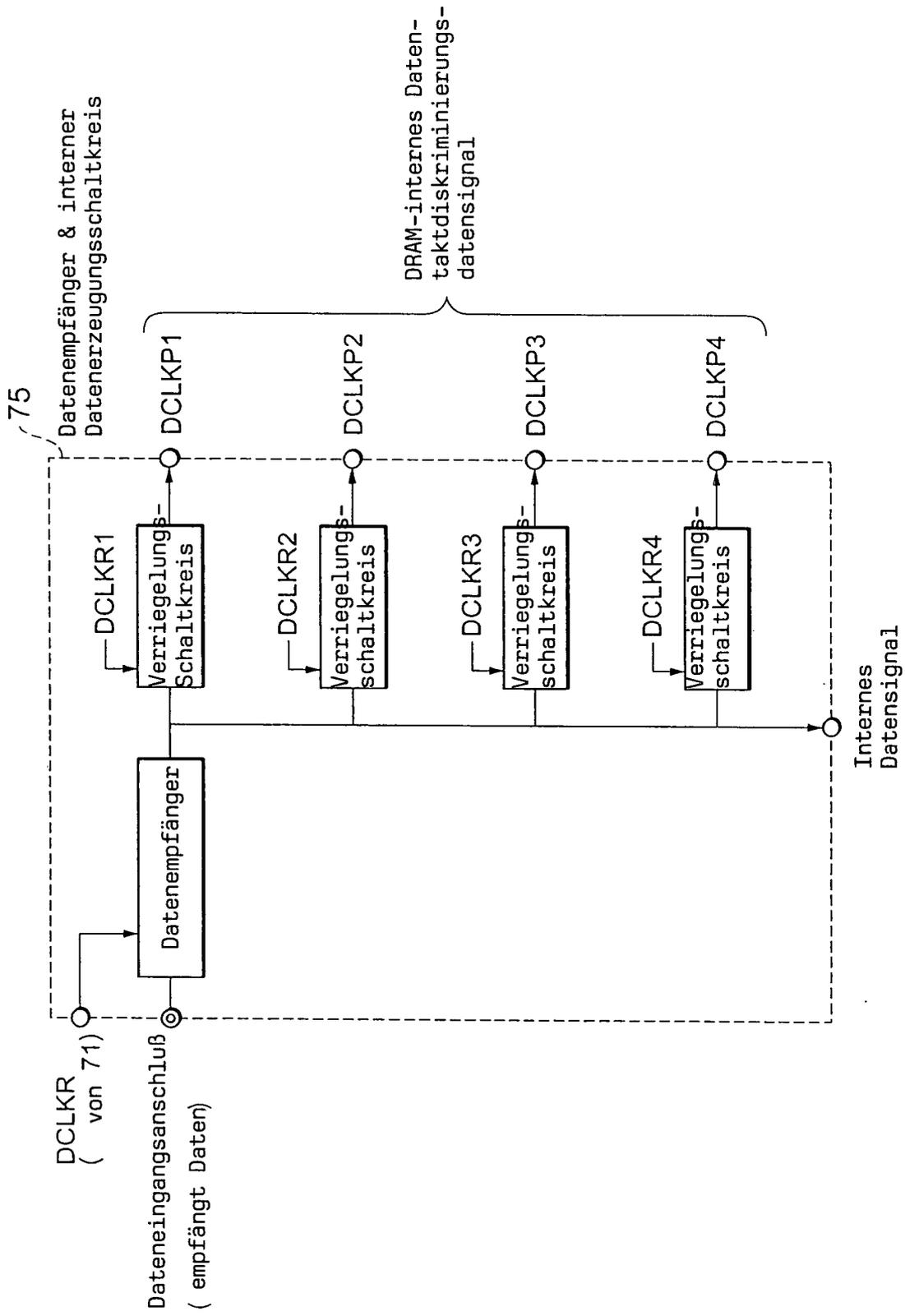


FIG. 22

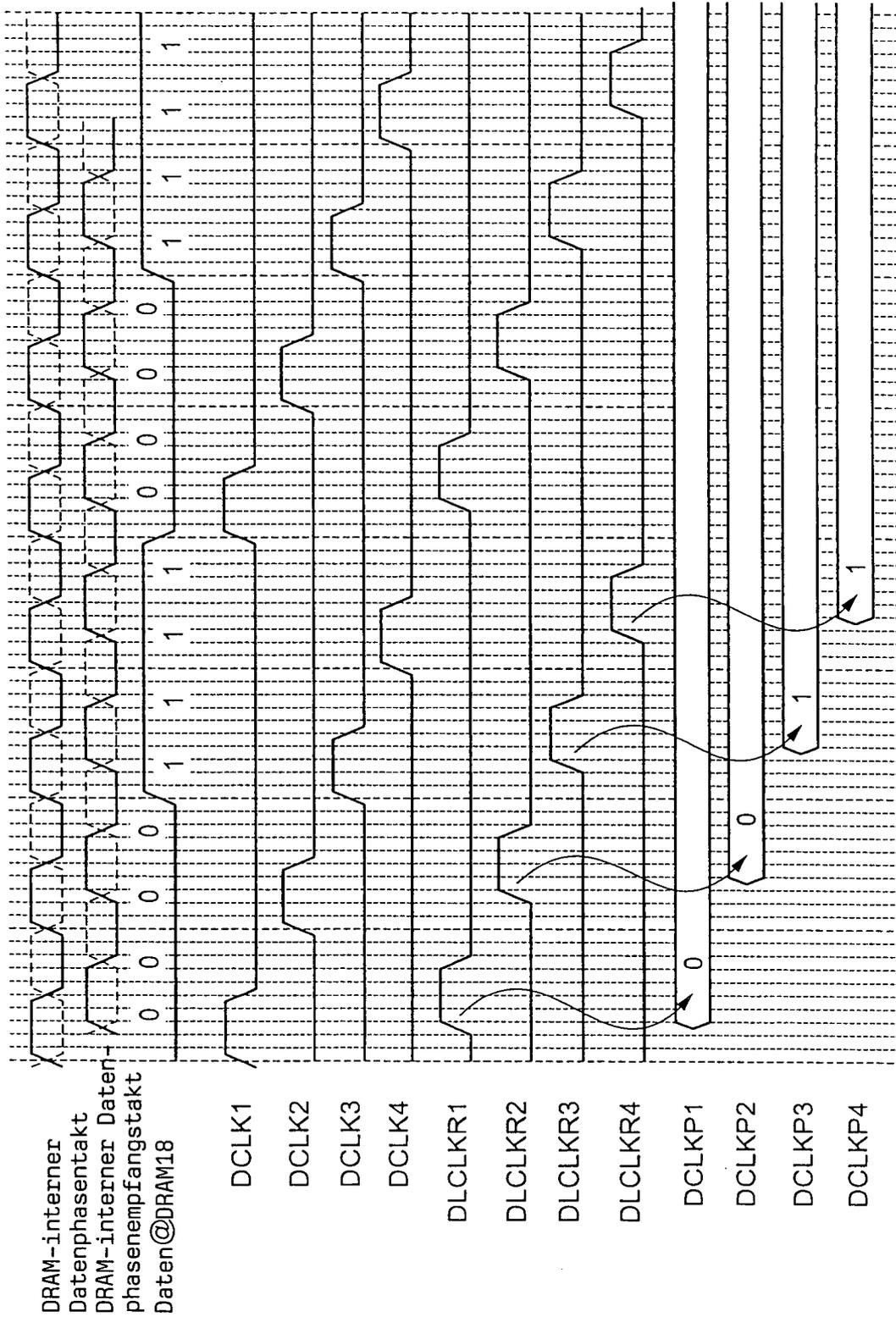


FIG. 23

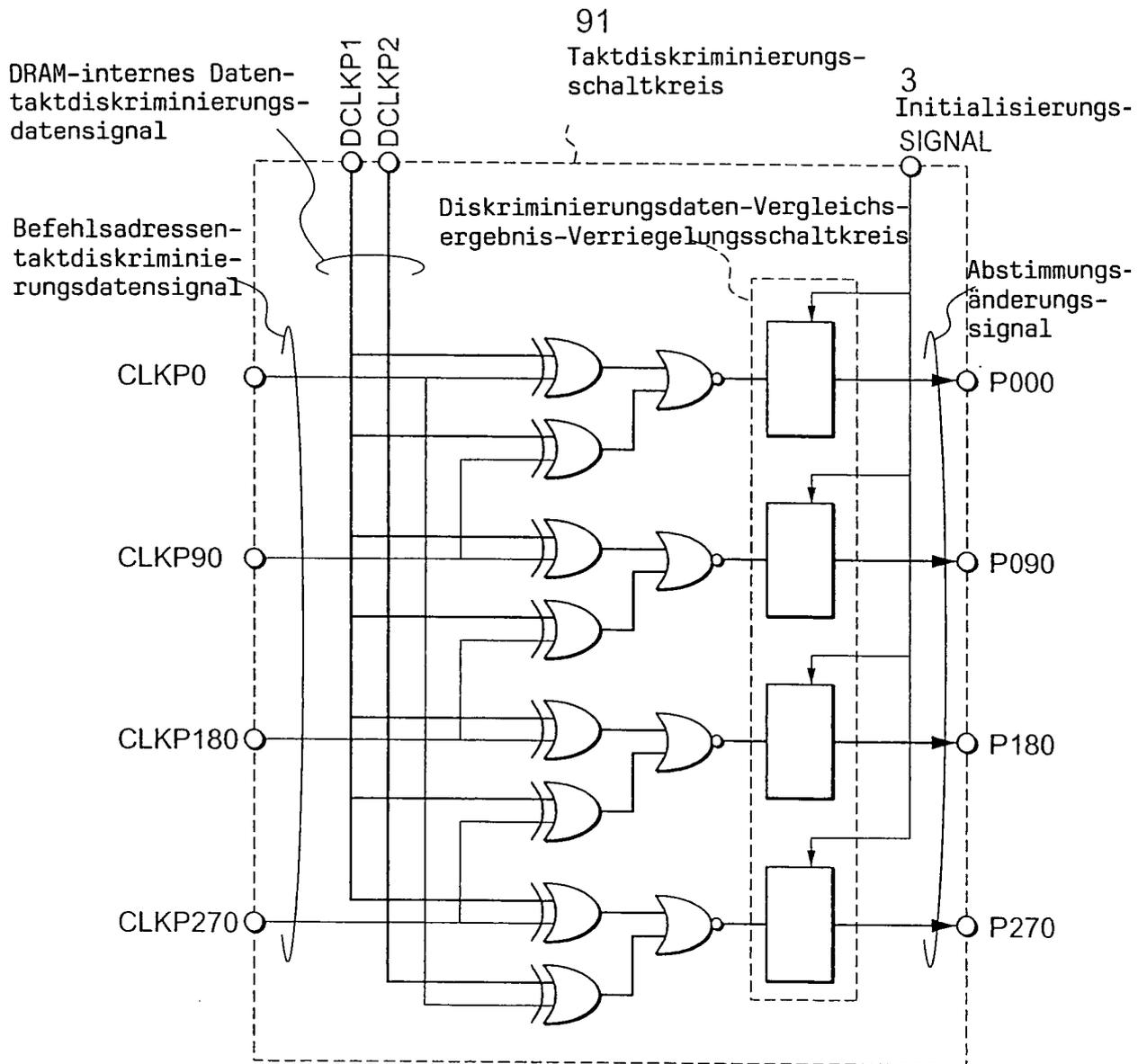


FIG. 24

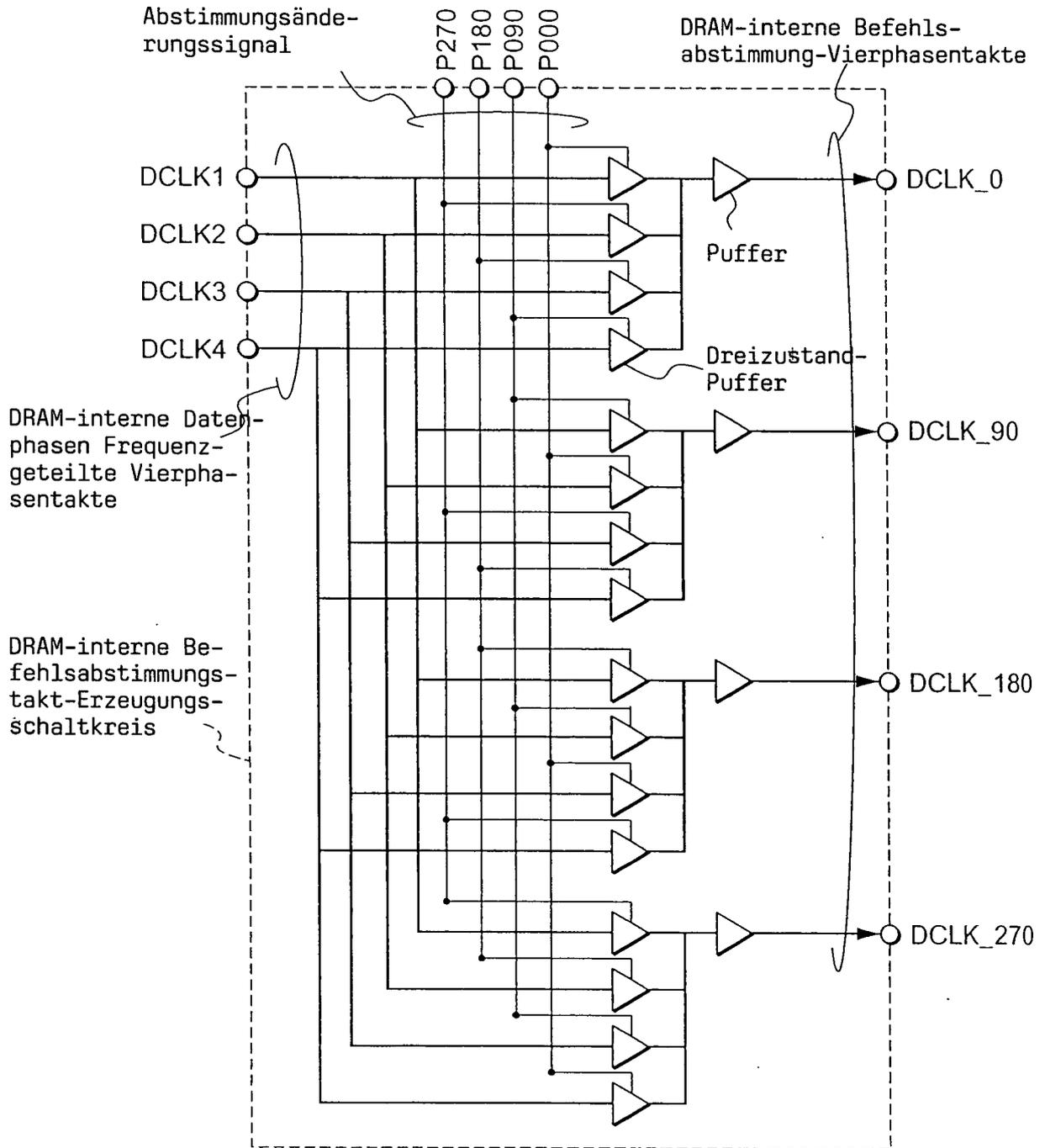


FIG. 25

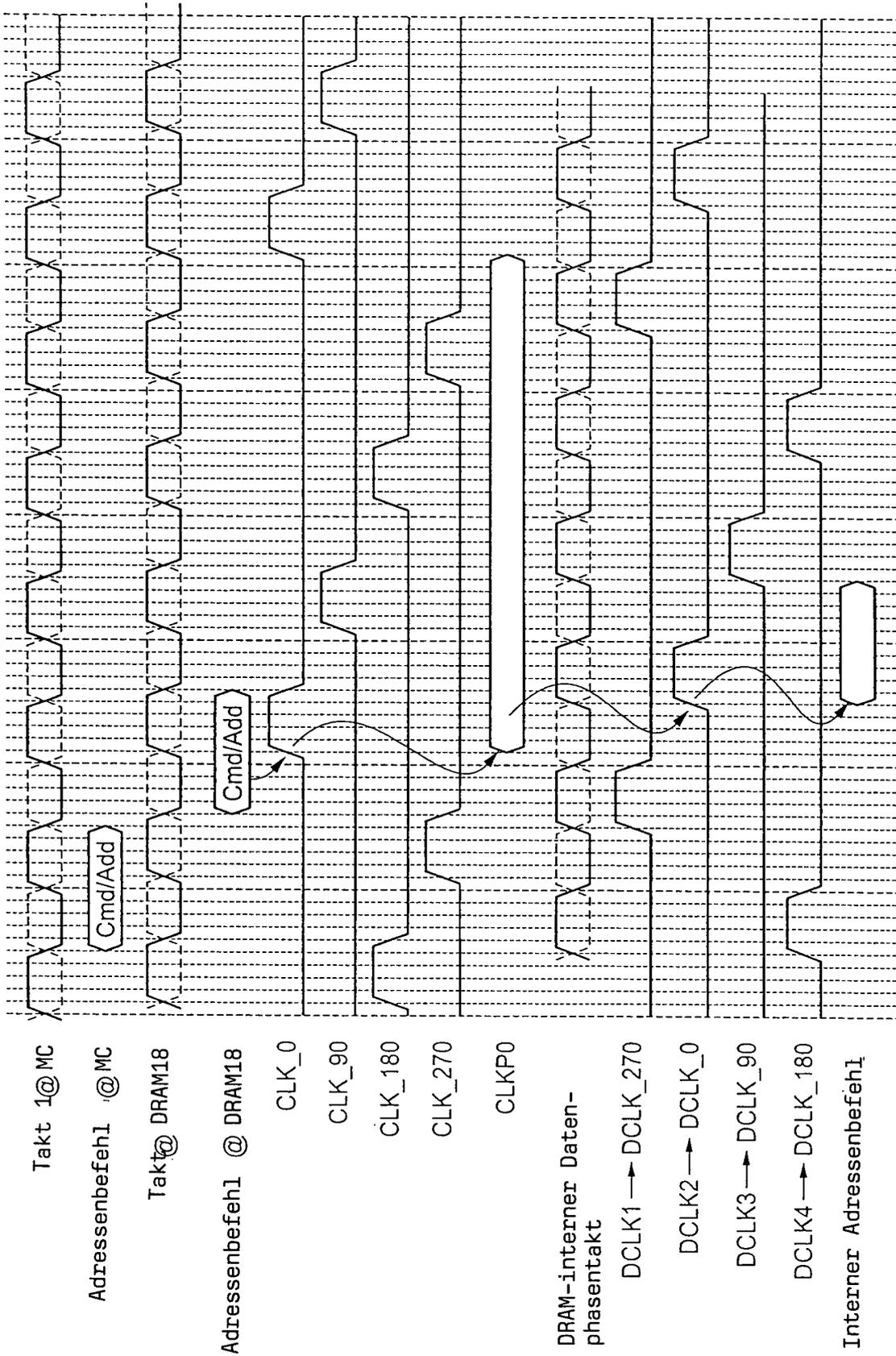


FIG. 26

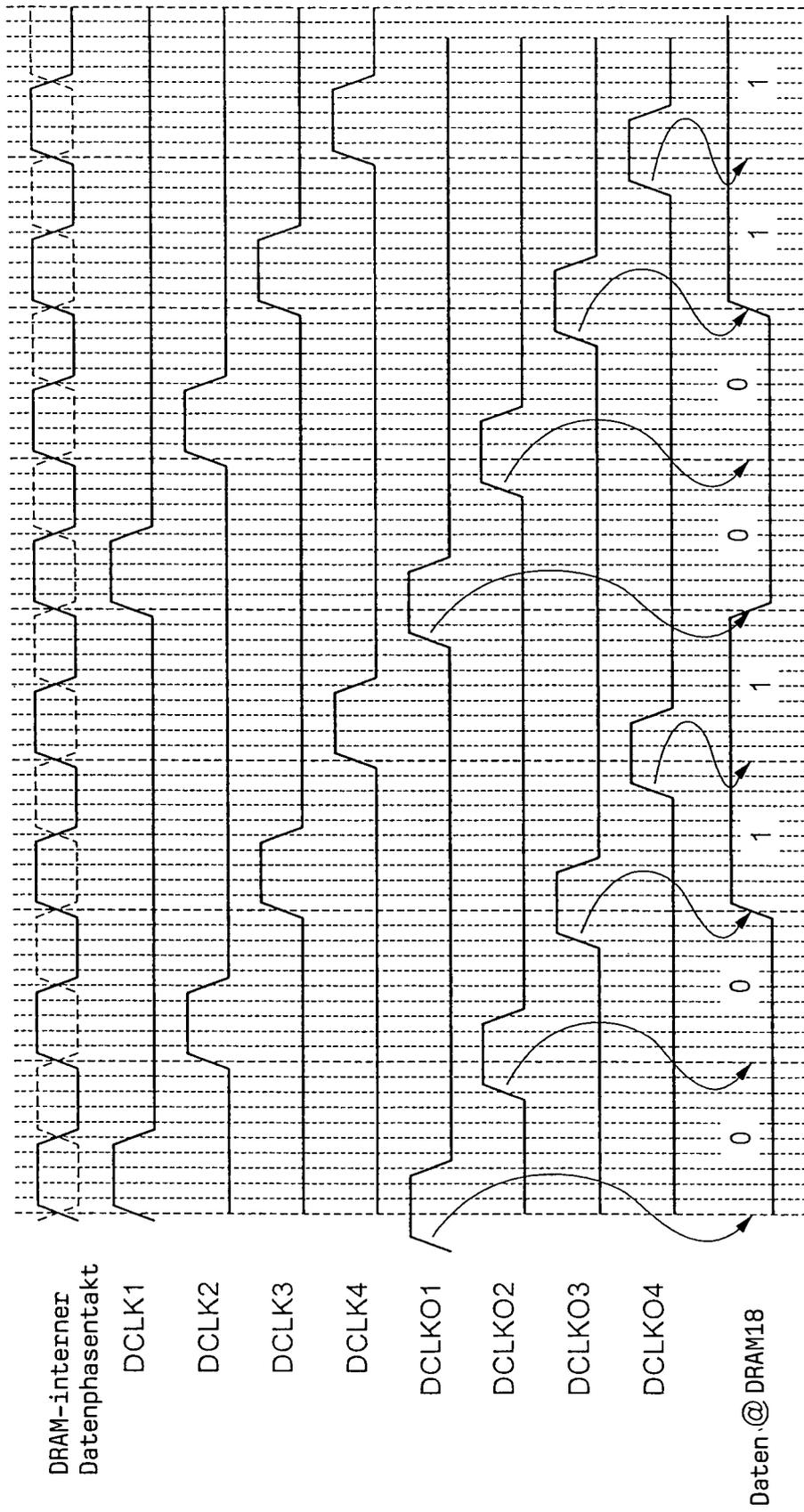


FIG. 27

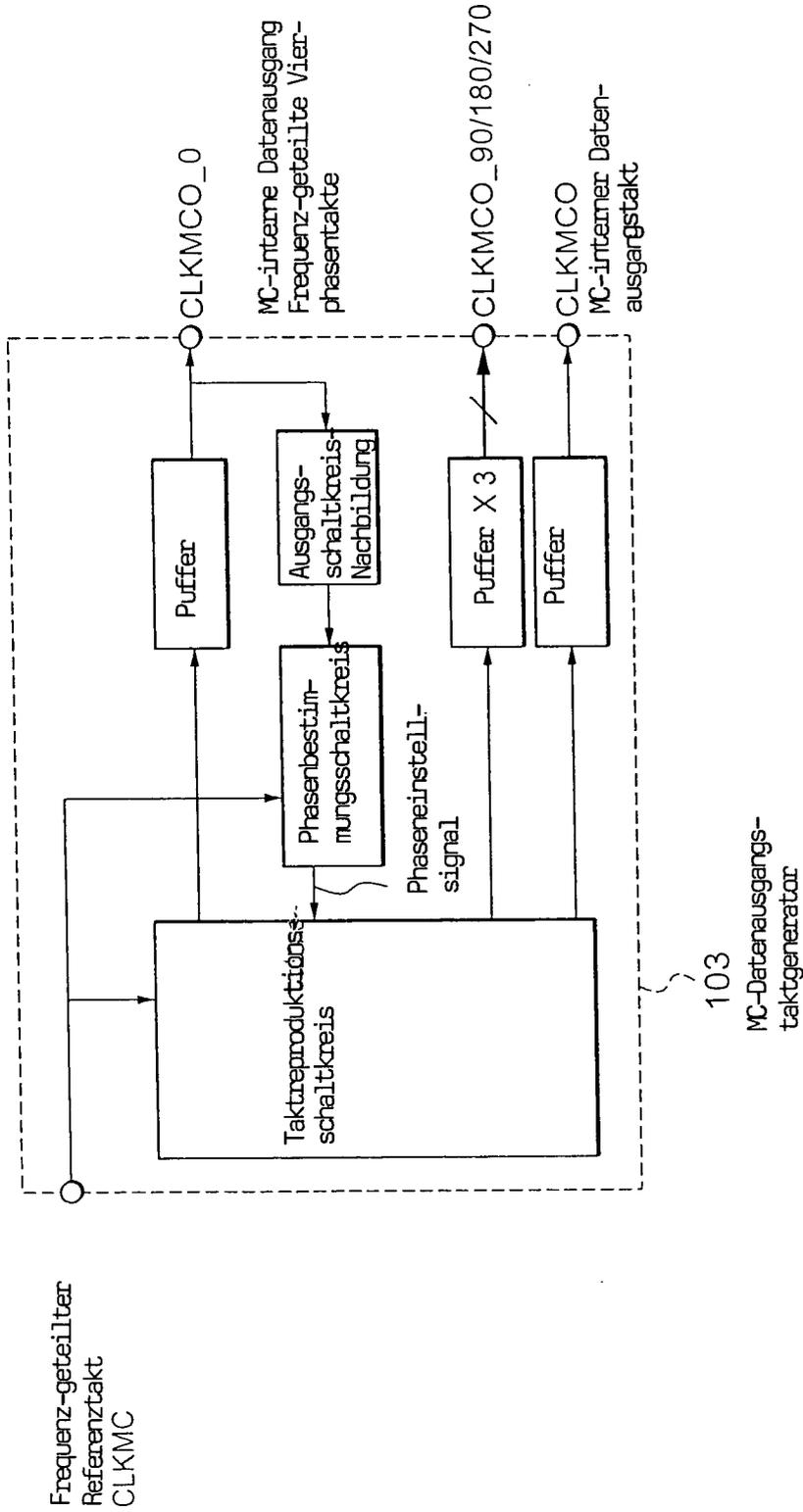


FIG. 30

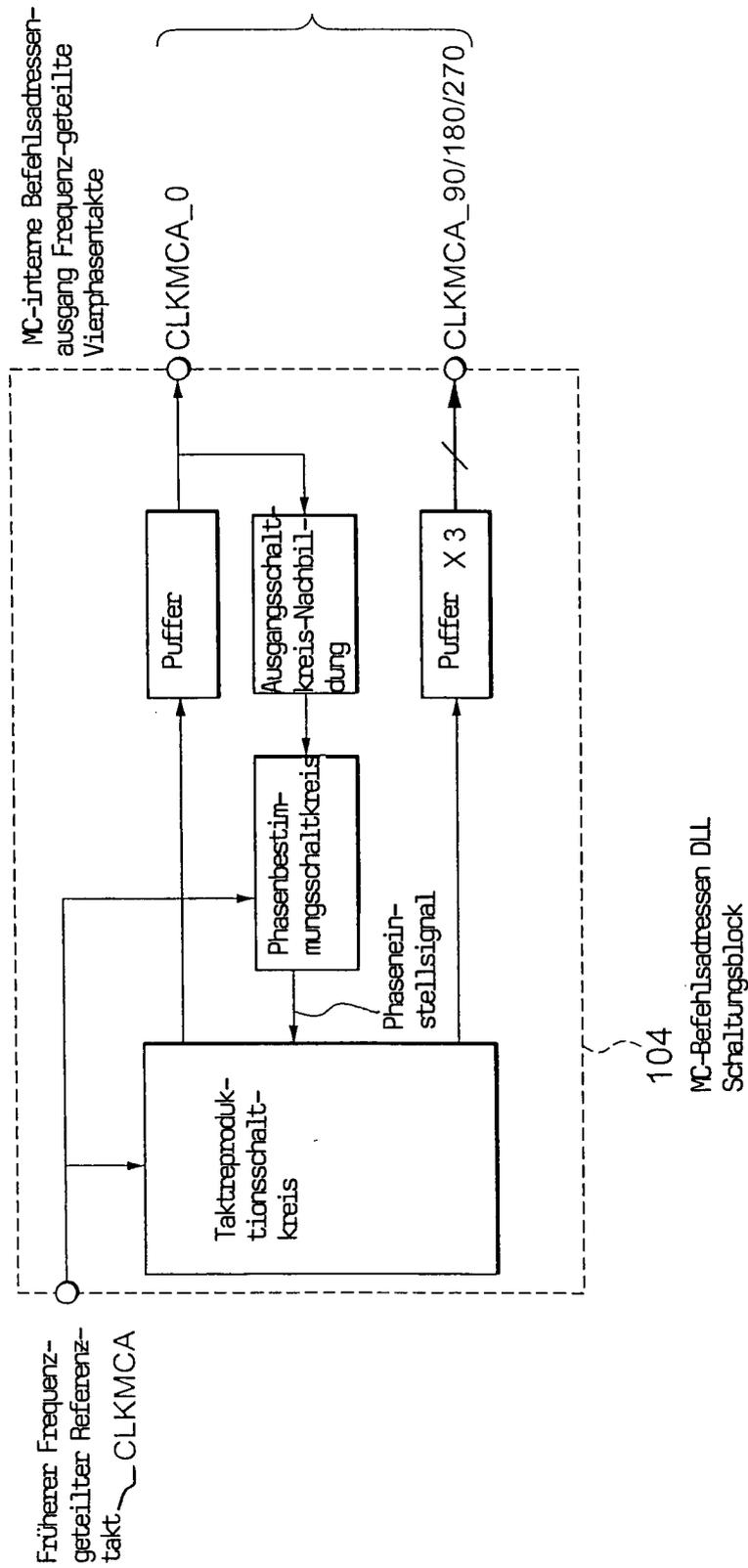


FIG. 31

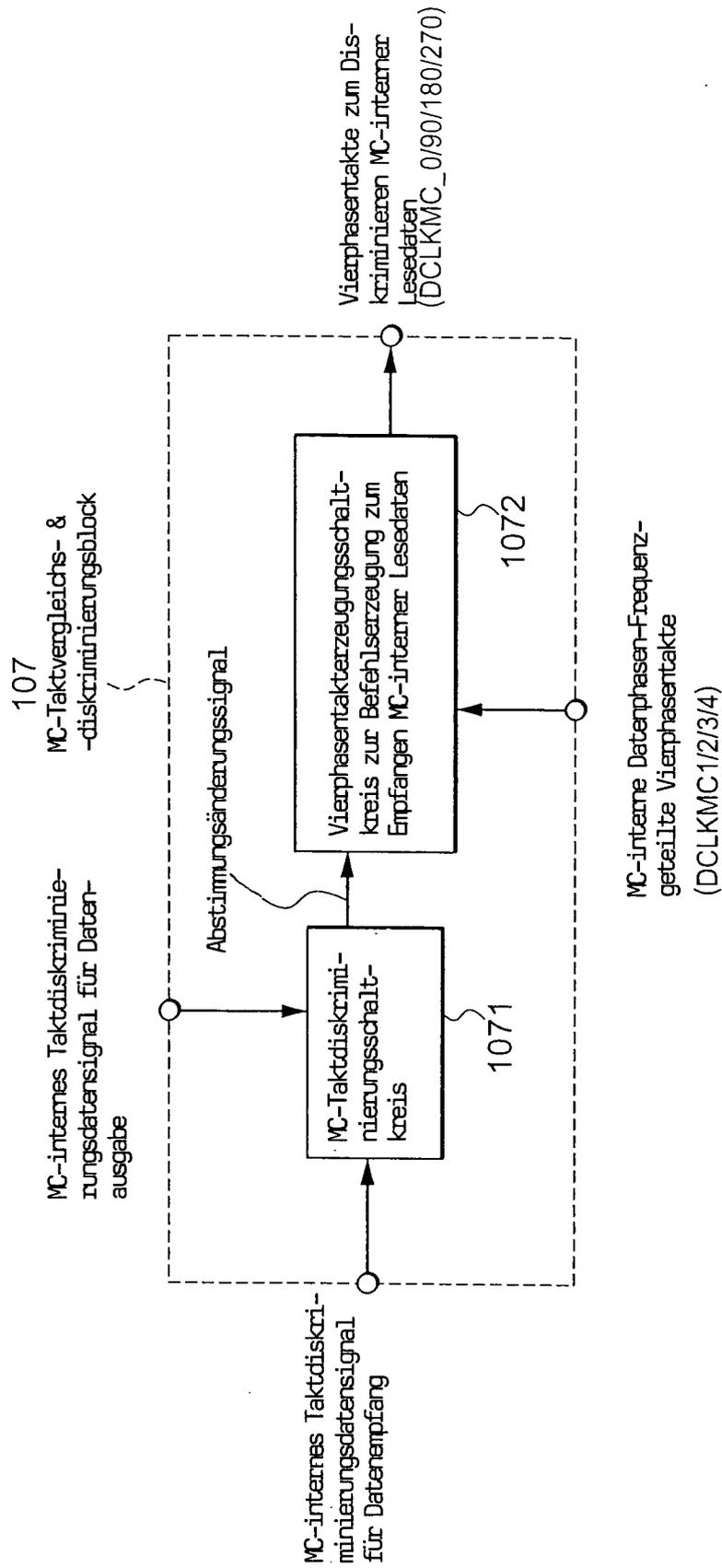


FIG. 32

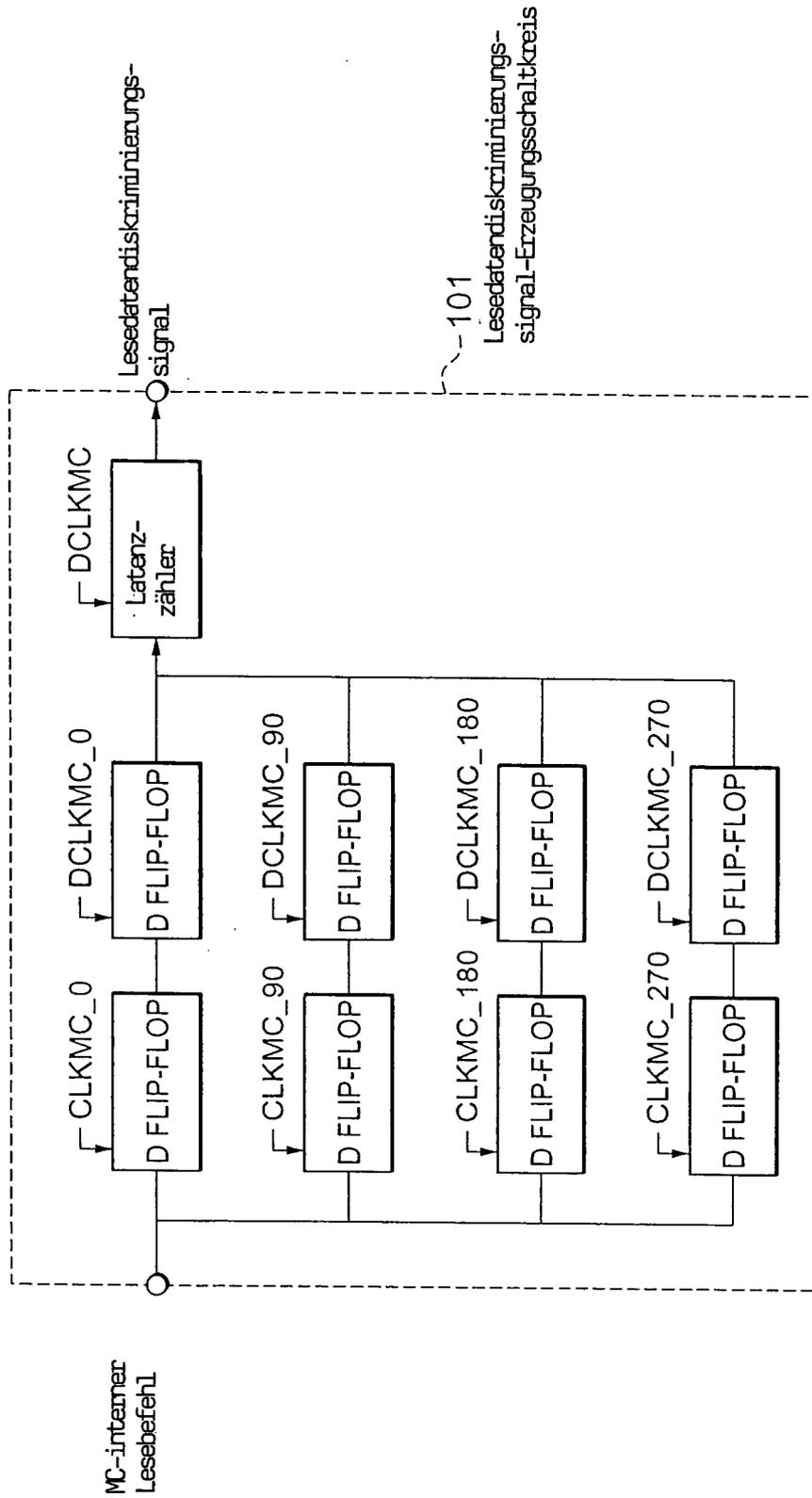


FIG. 33

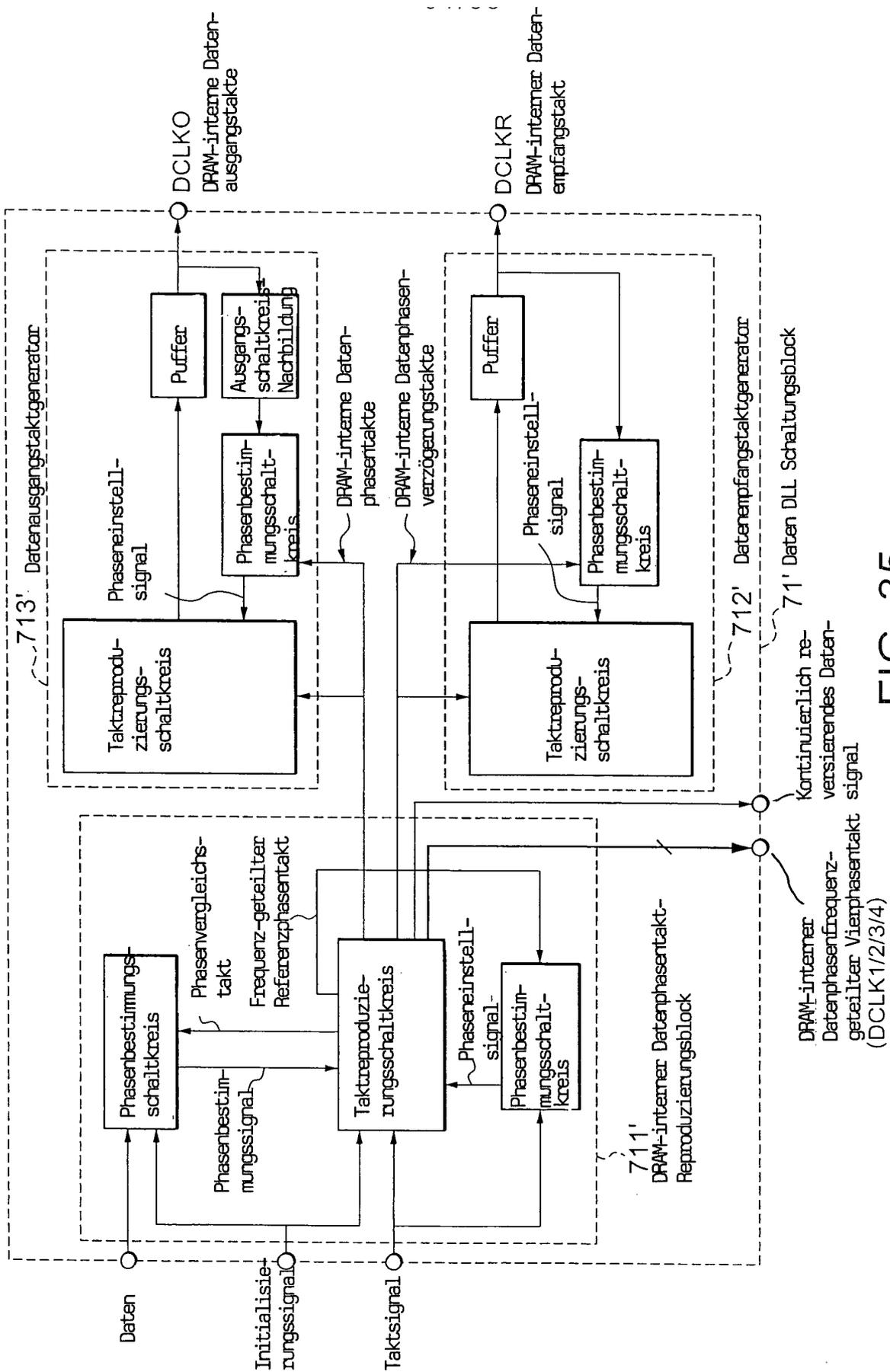


FIG. 35

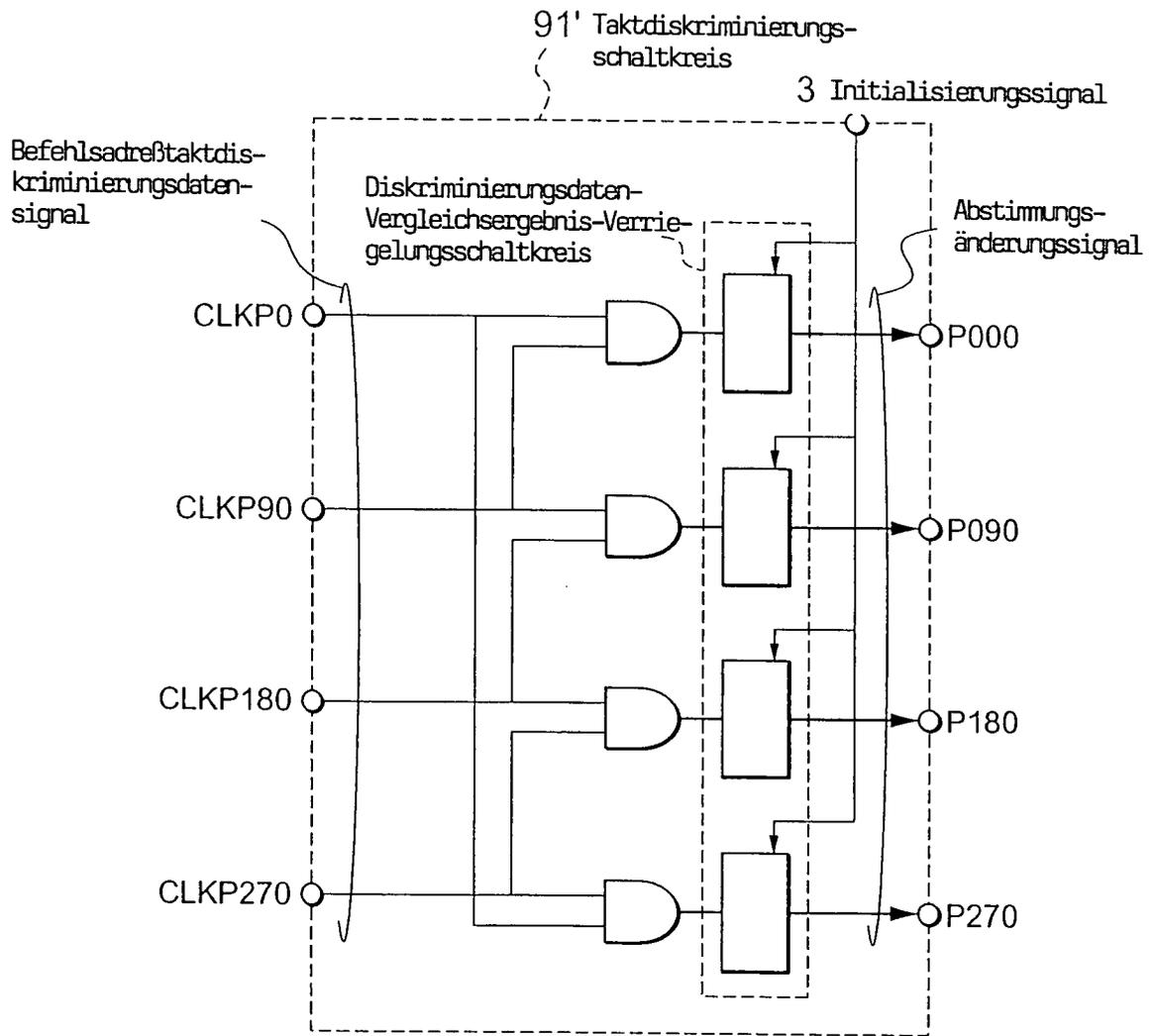


FIG. 36

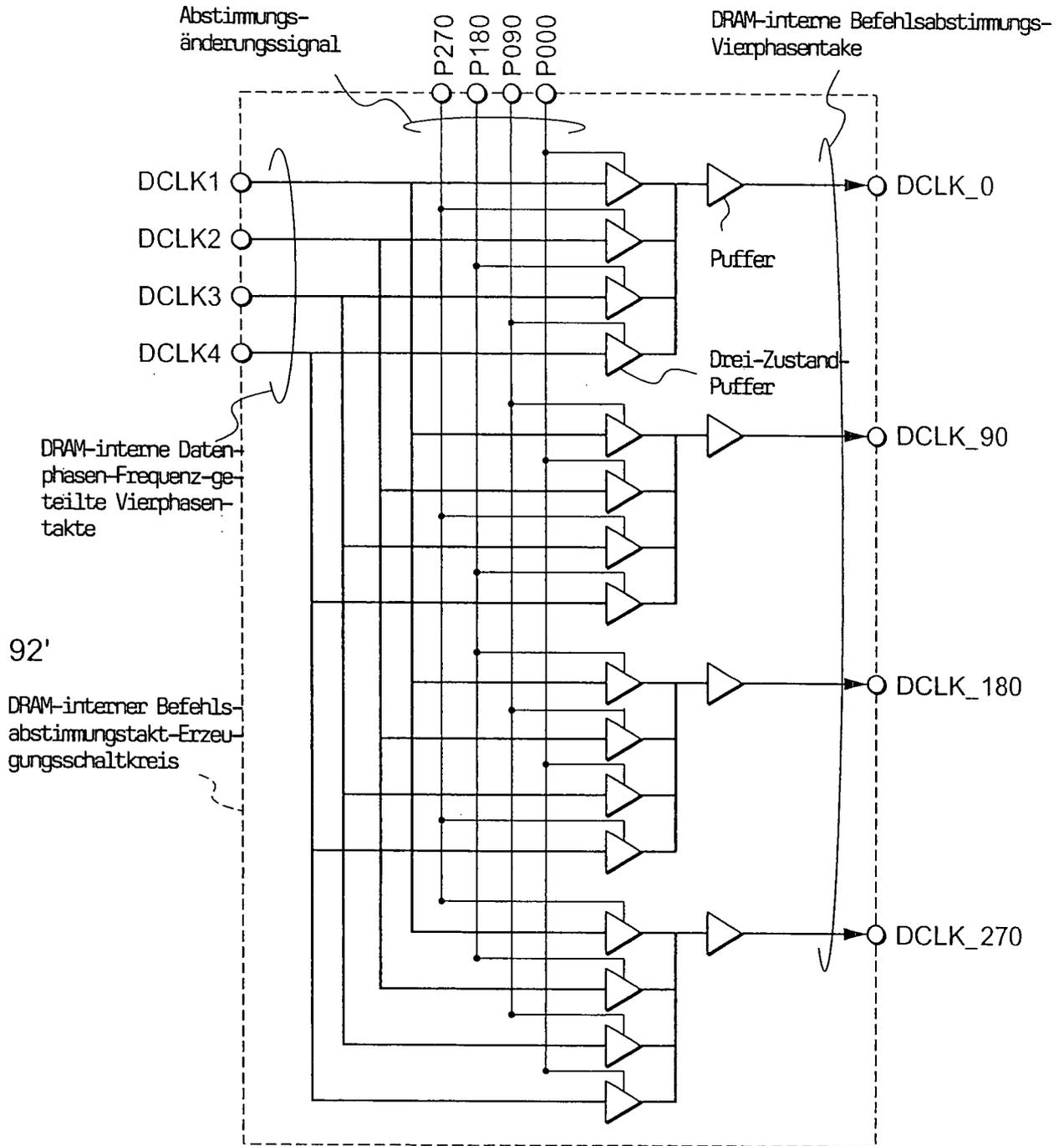


FIG. 37

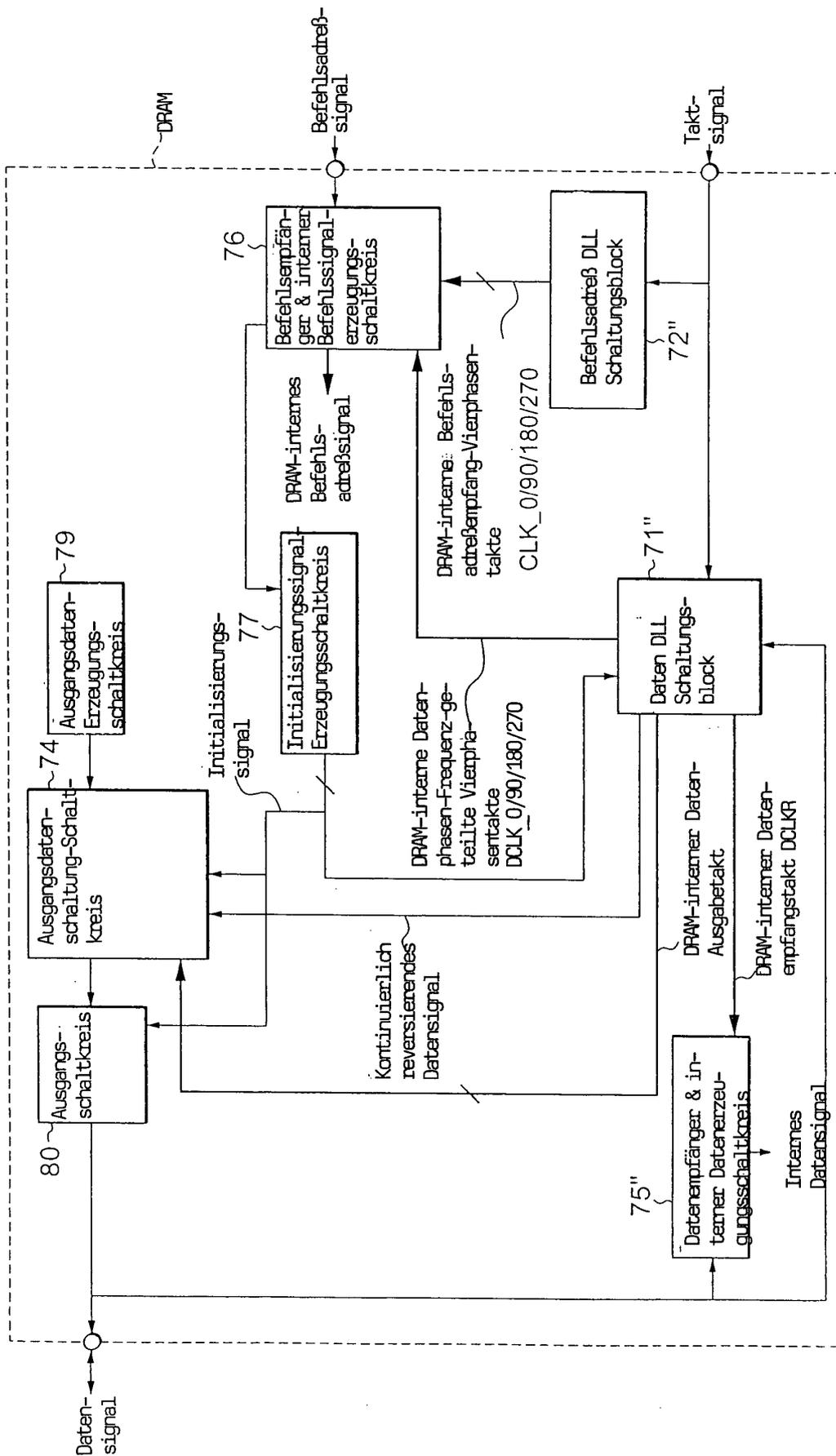


FIG. 38

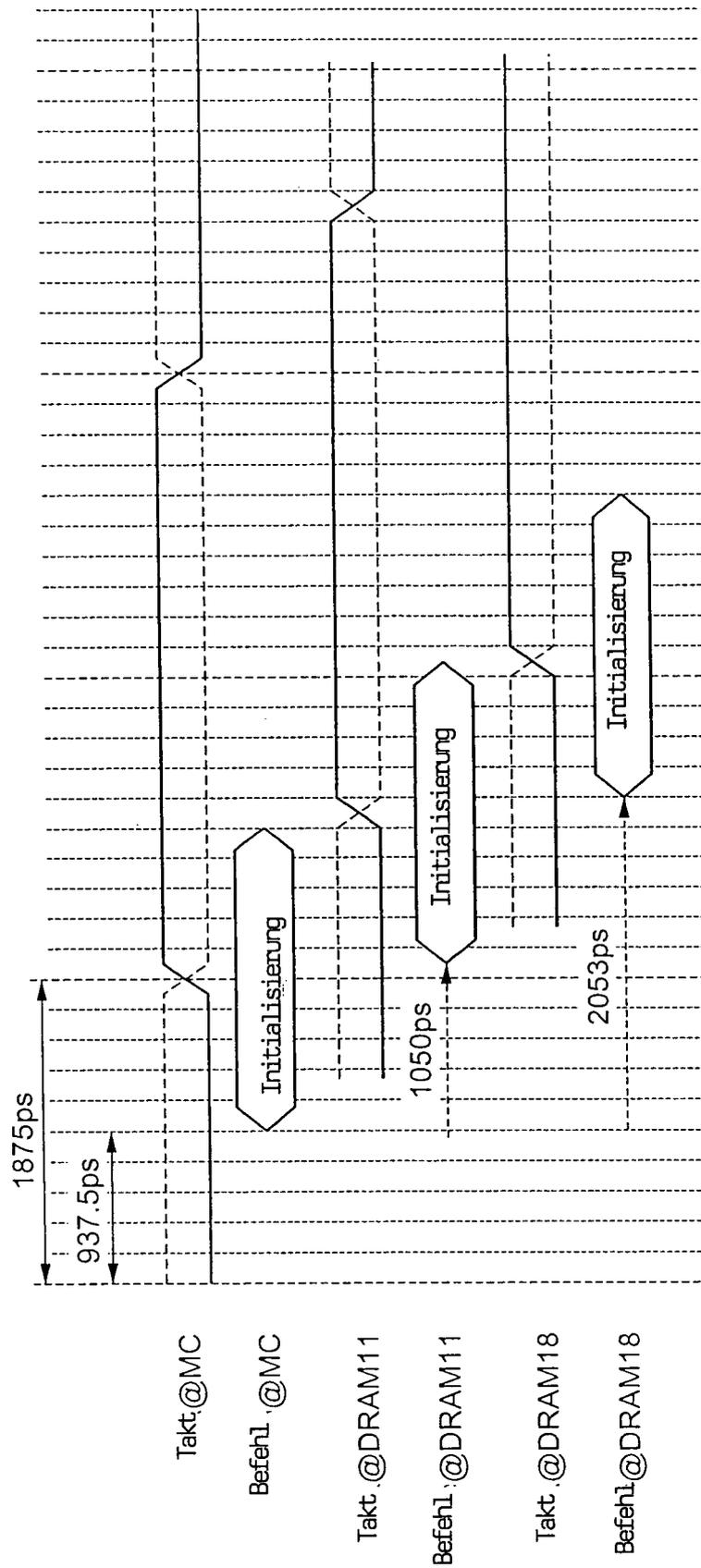


FIG. 39

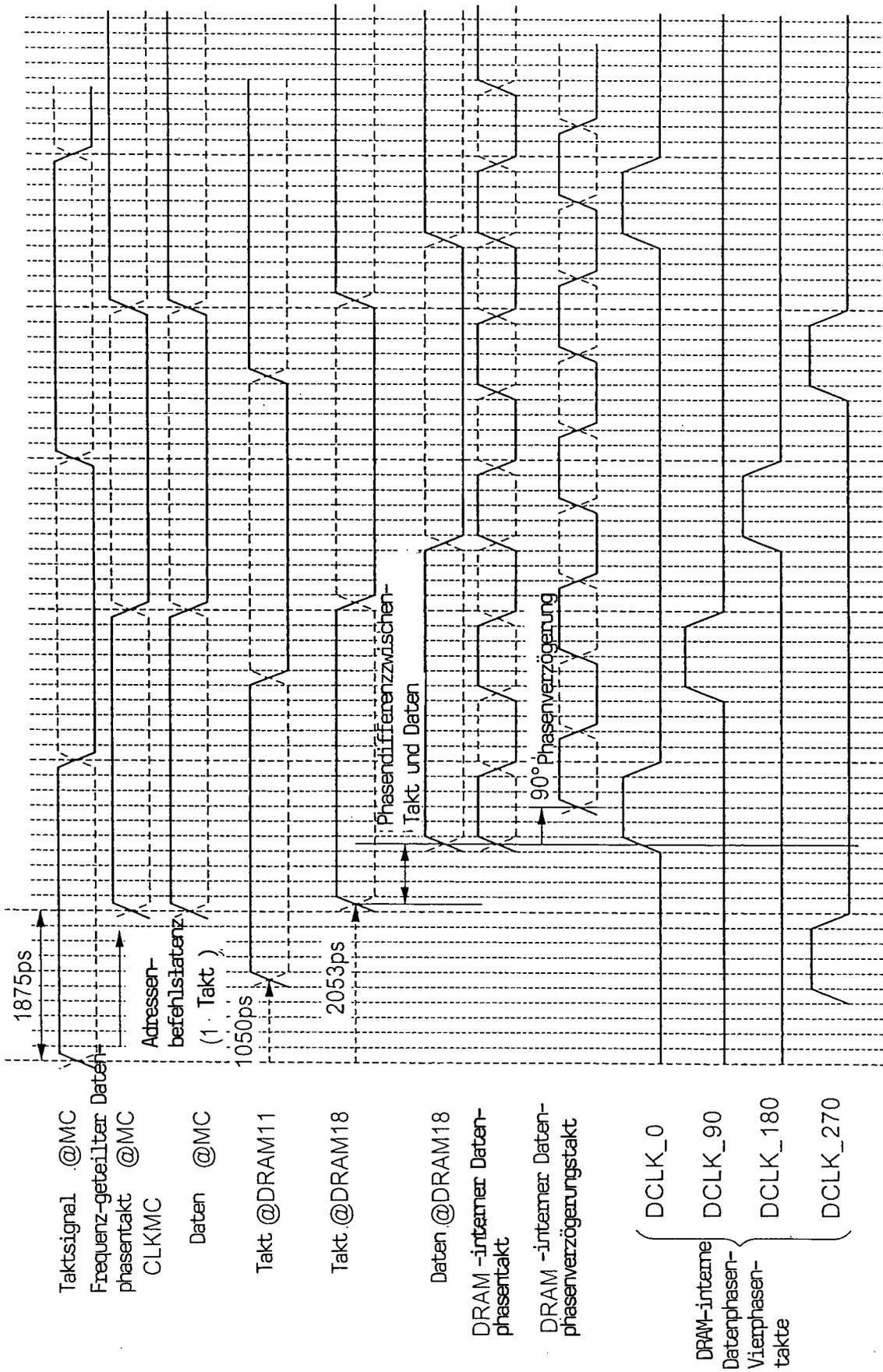


FIG. 40

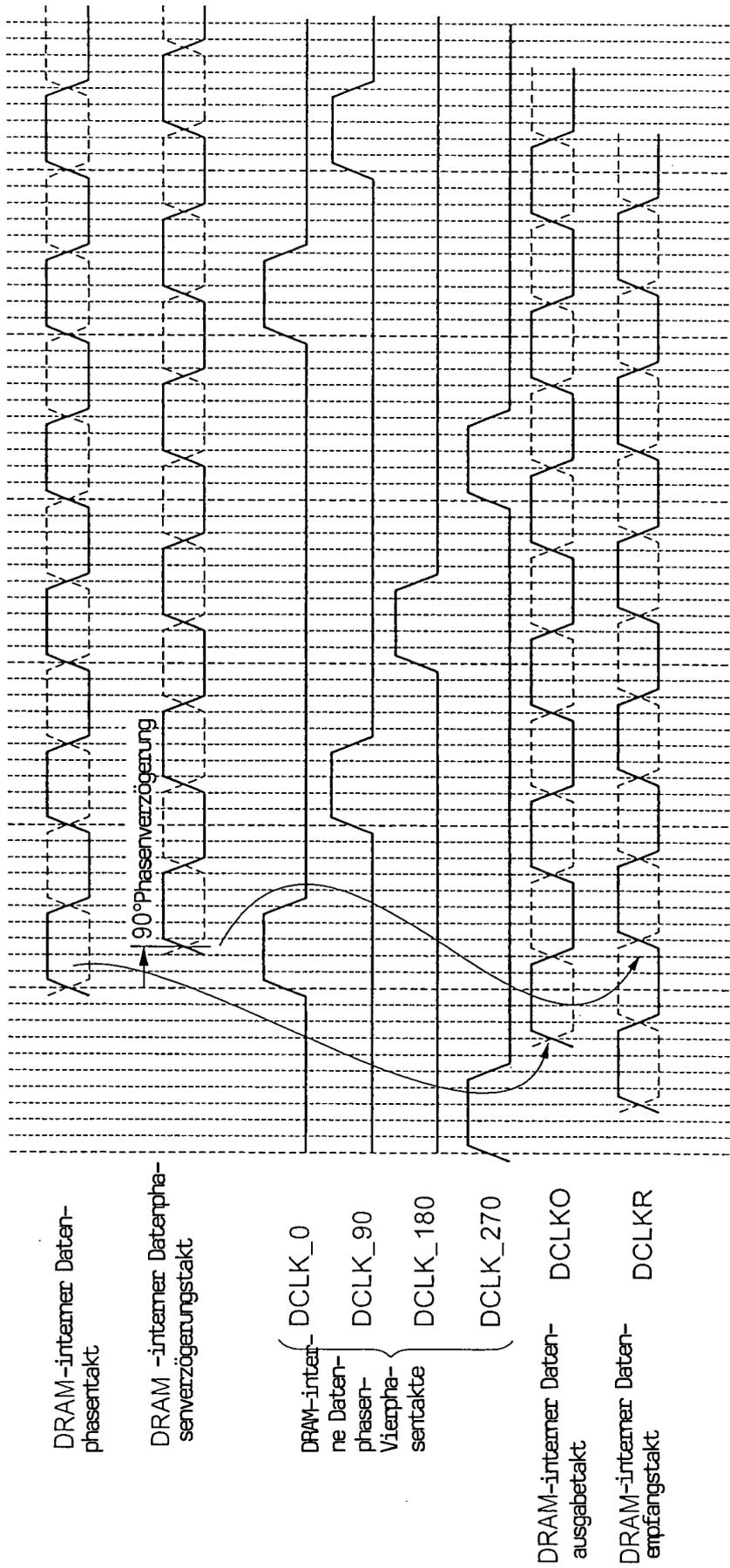


FIG. 41

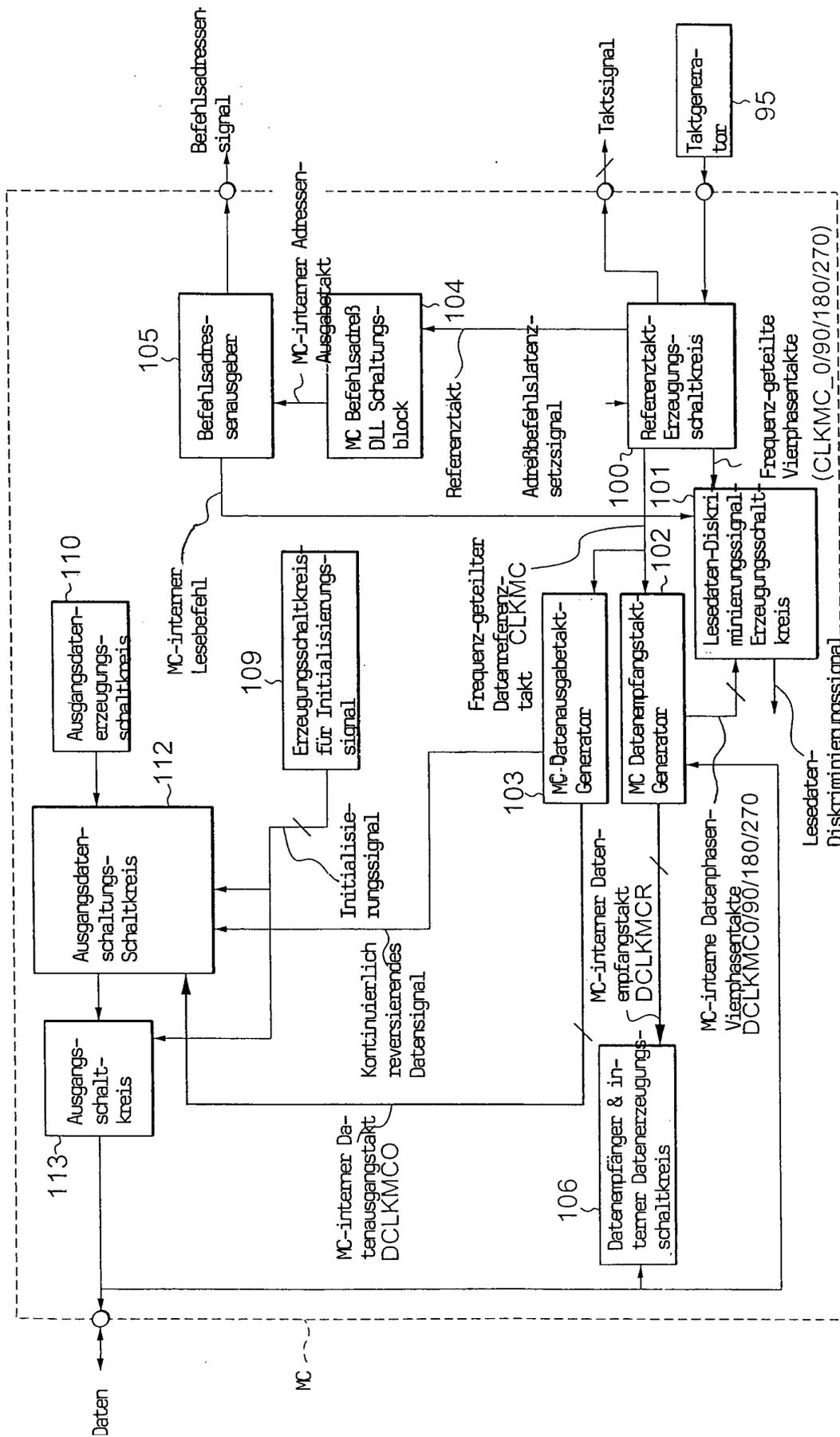


FIG. 42

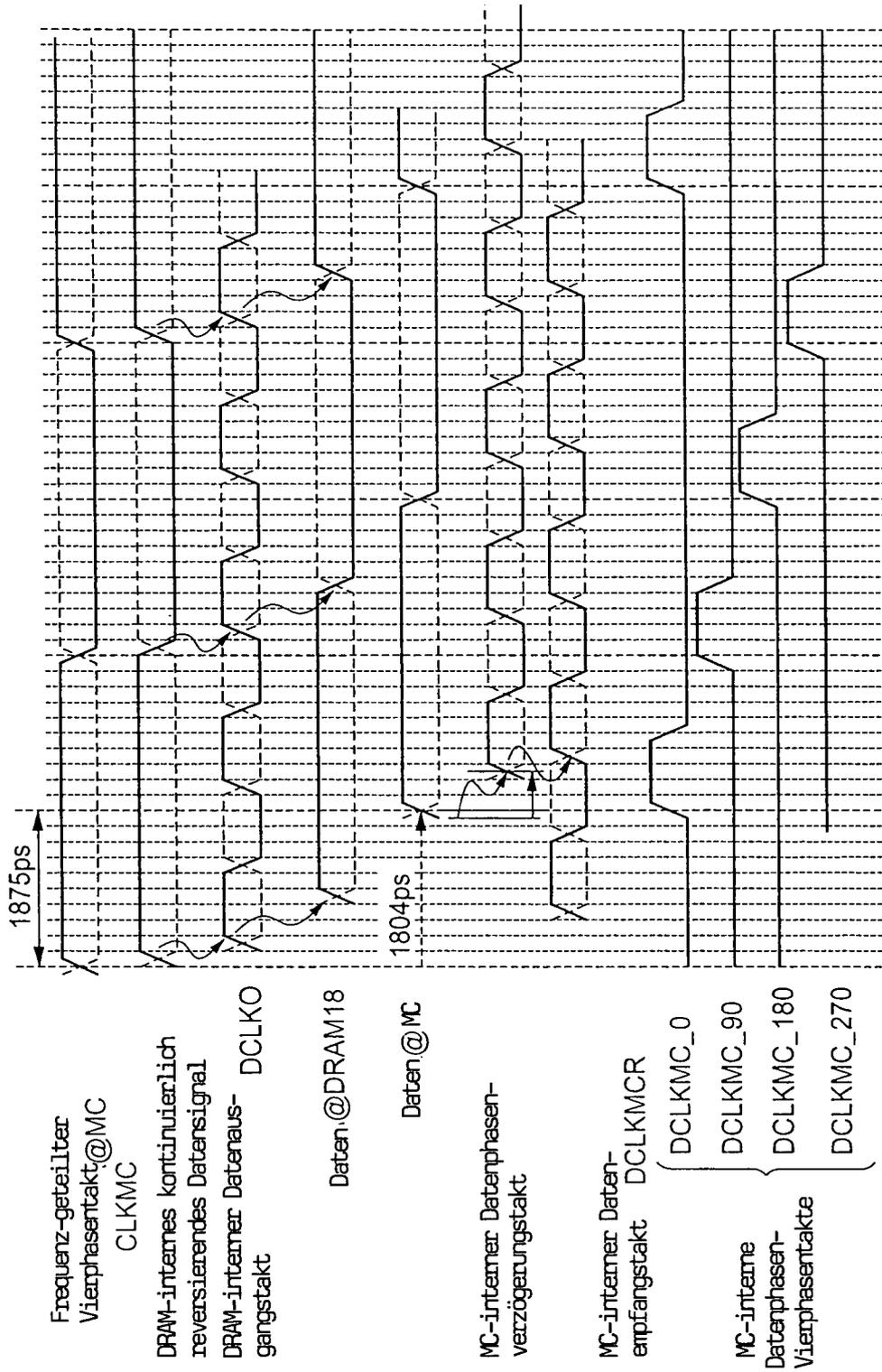


FIG. 43

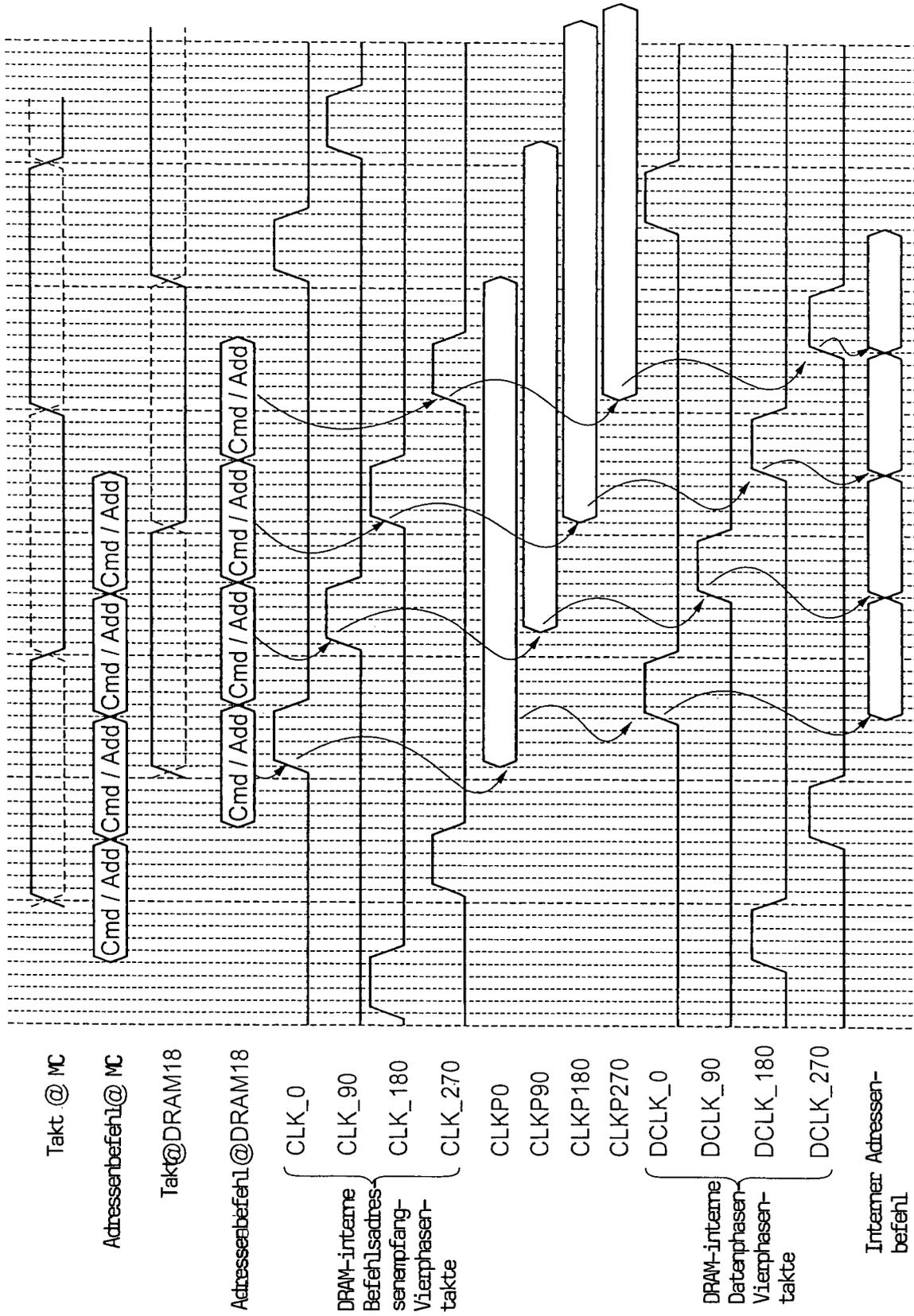


FIG. 44

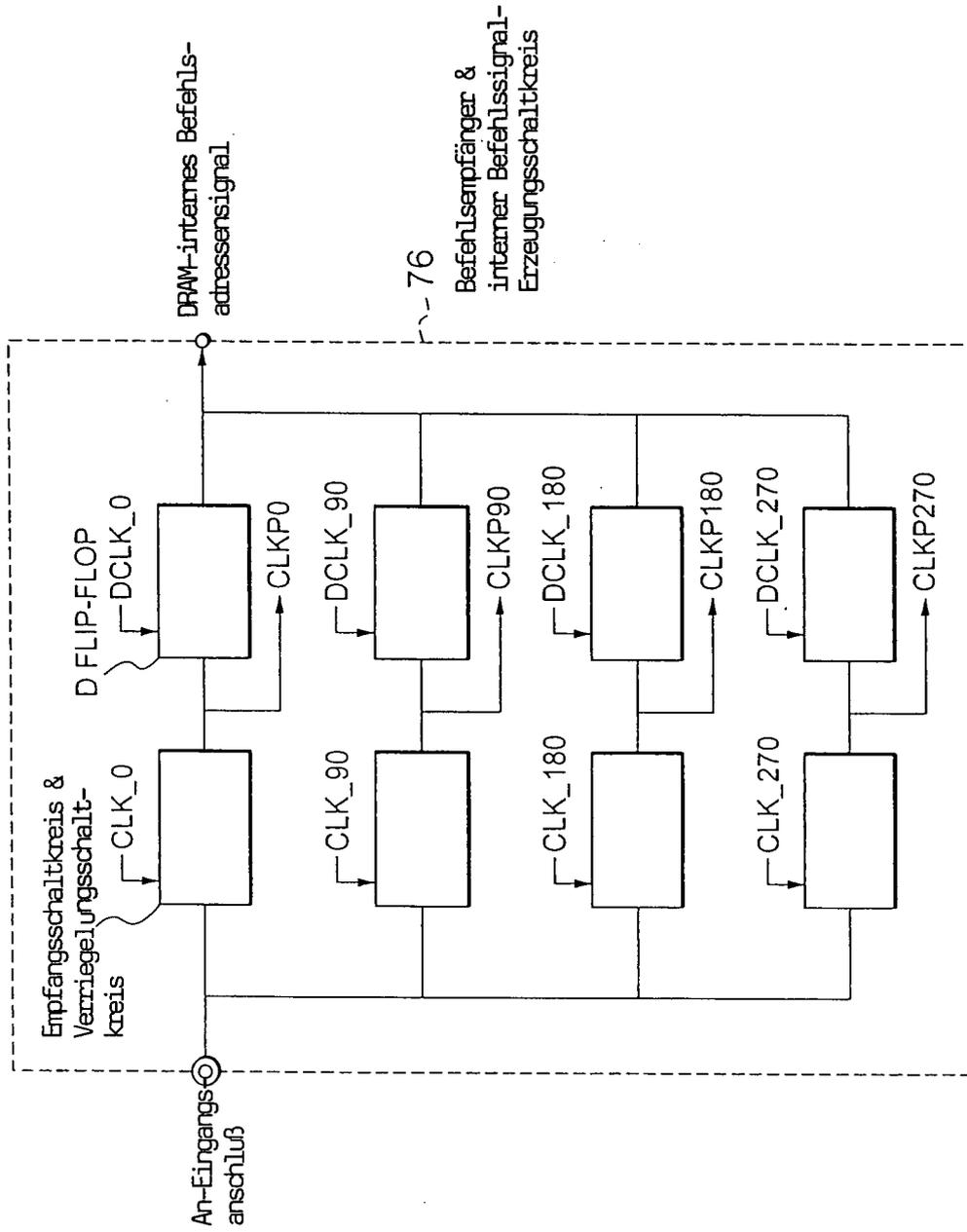


FIG. 45

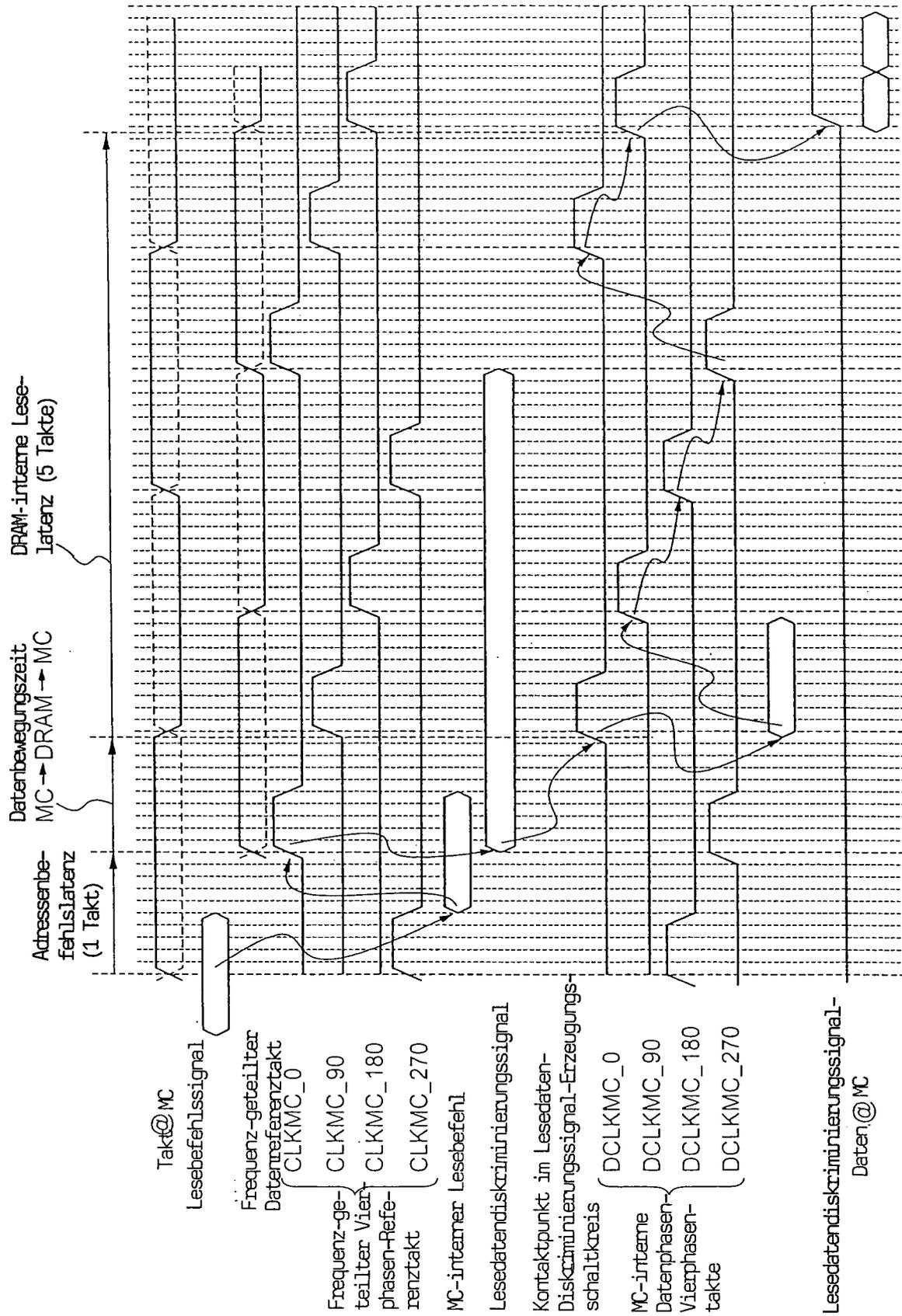


FIG. 46

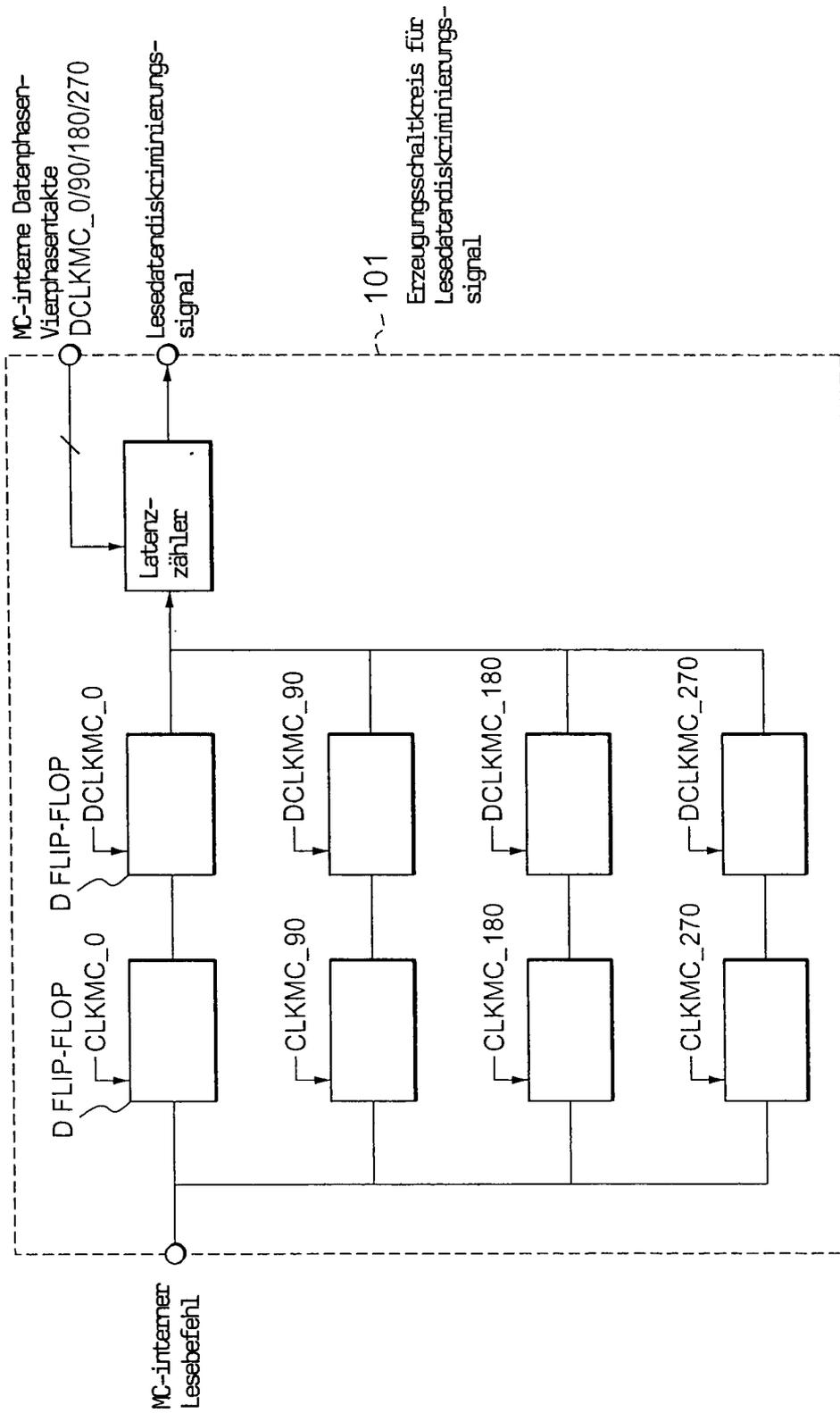


FIG. 47

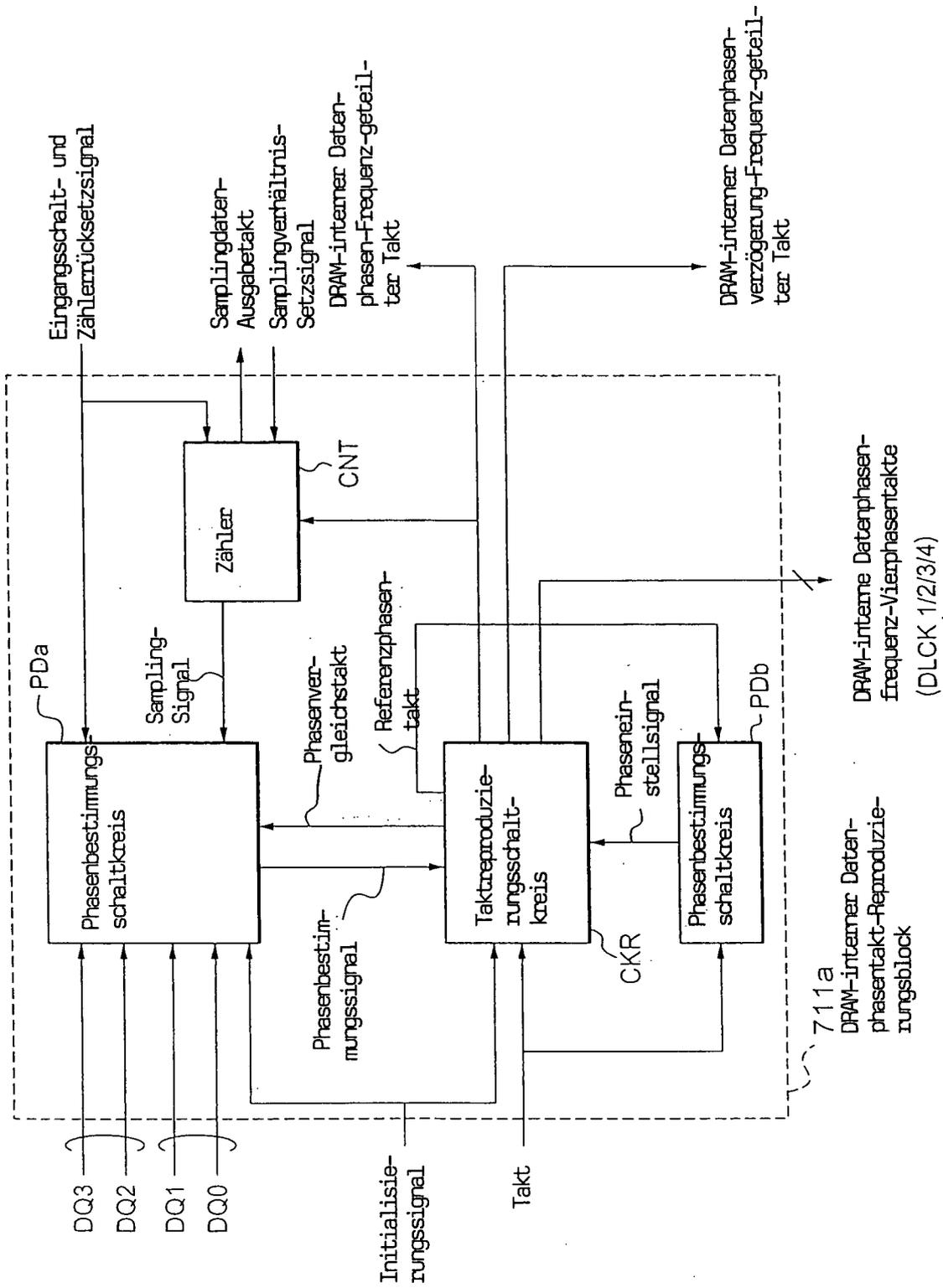


FIG. 48

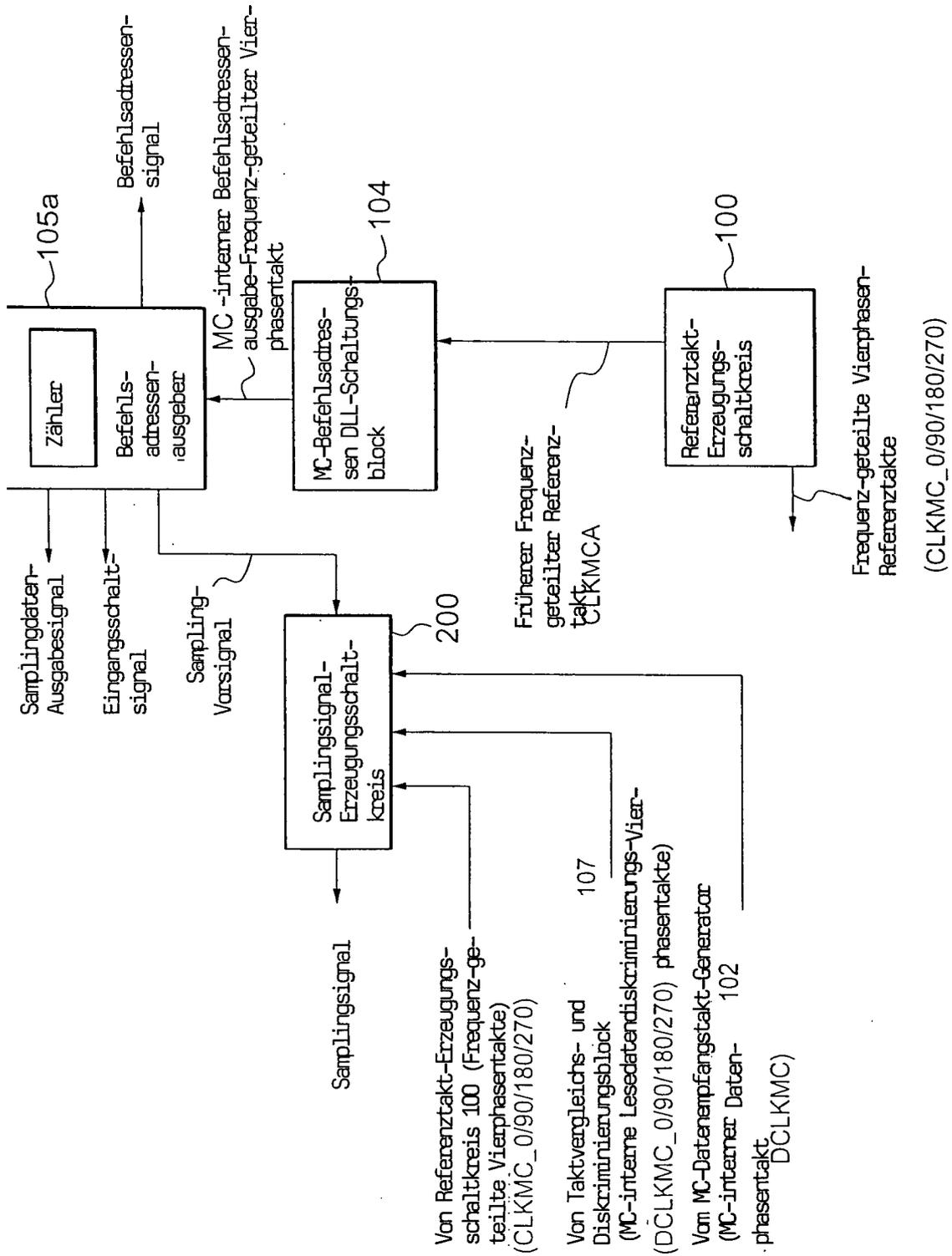


FIG. 49

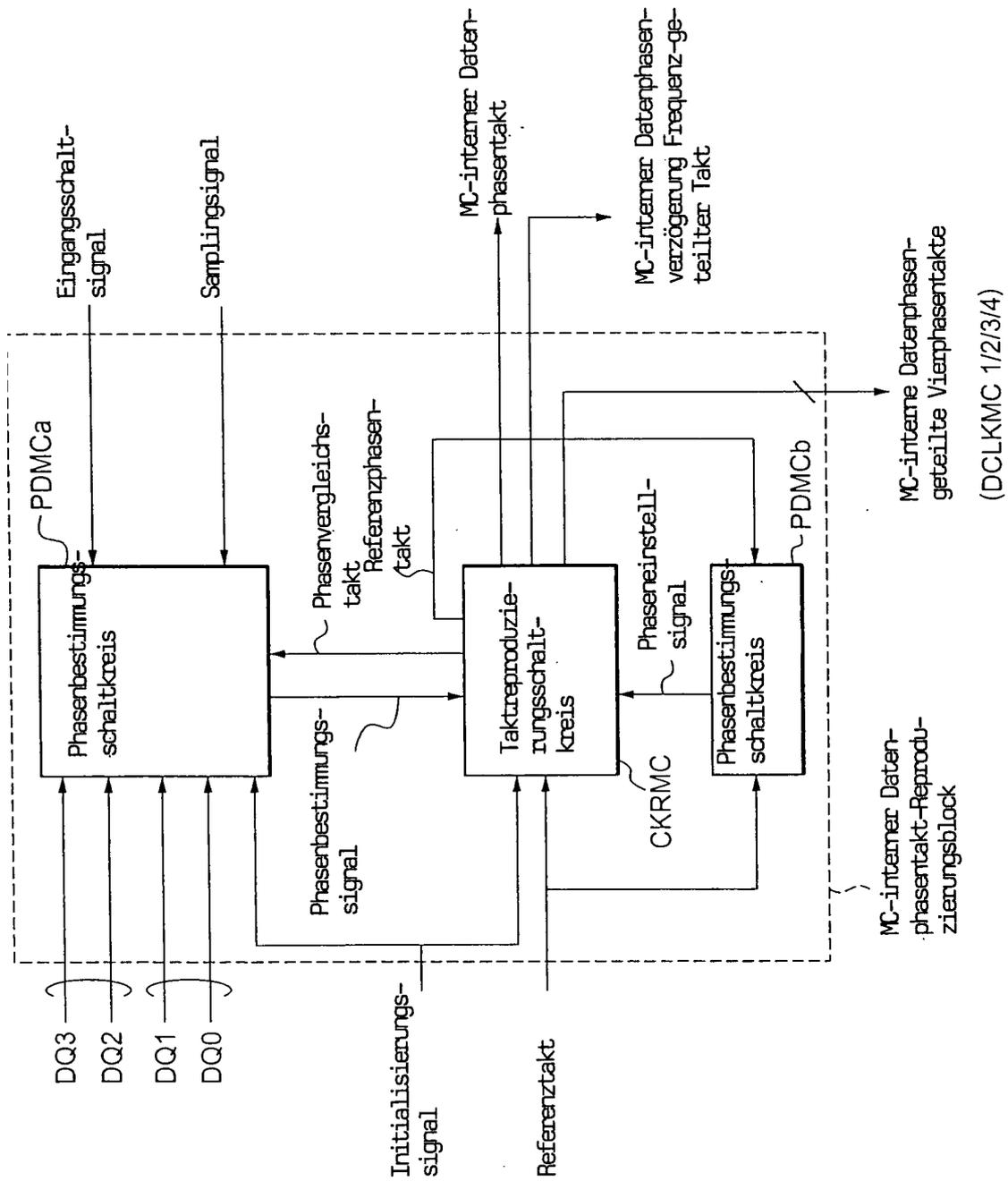


FIG. 50

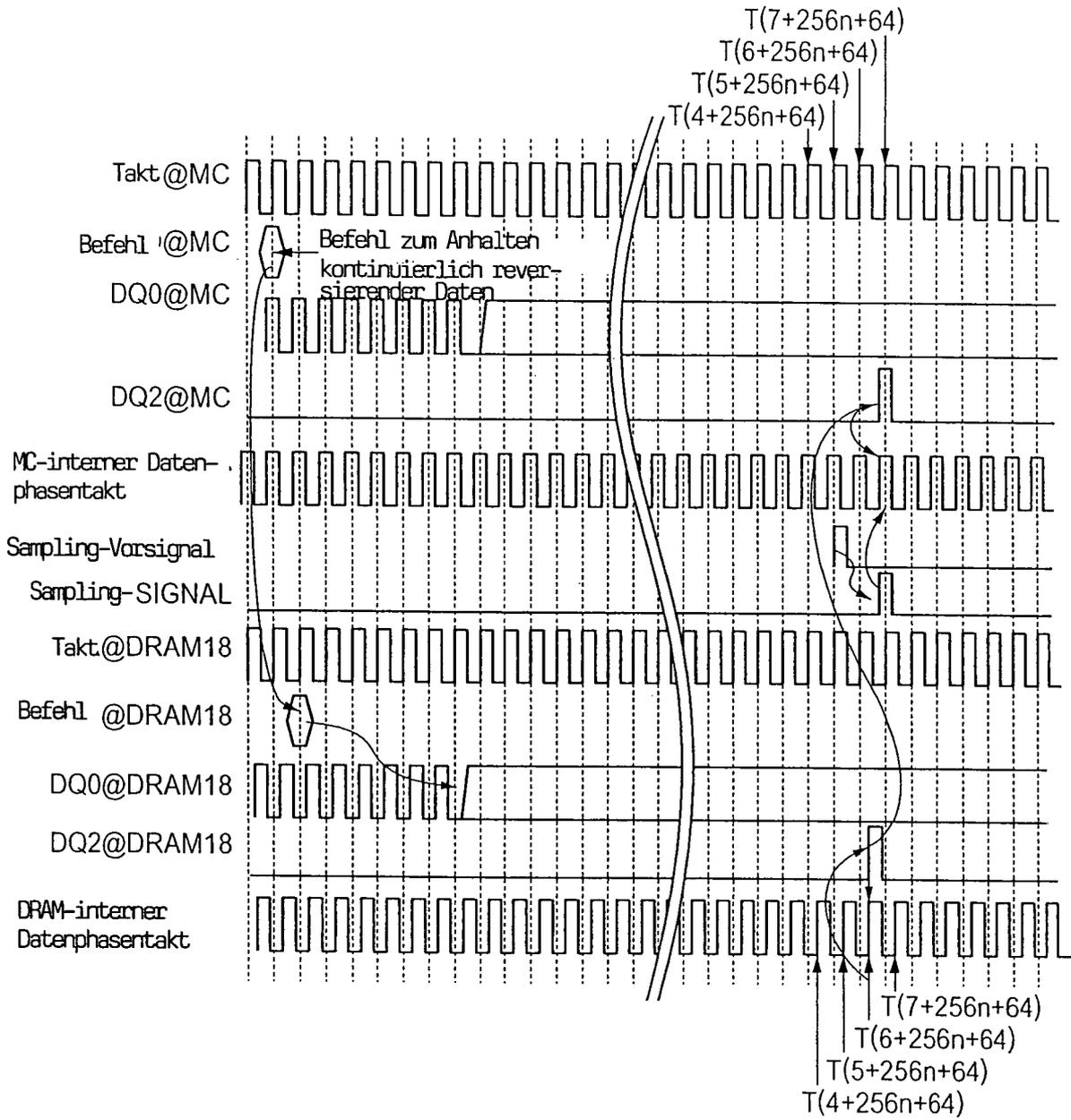


FIG. 52

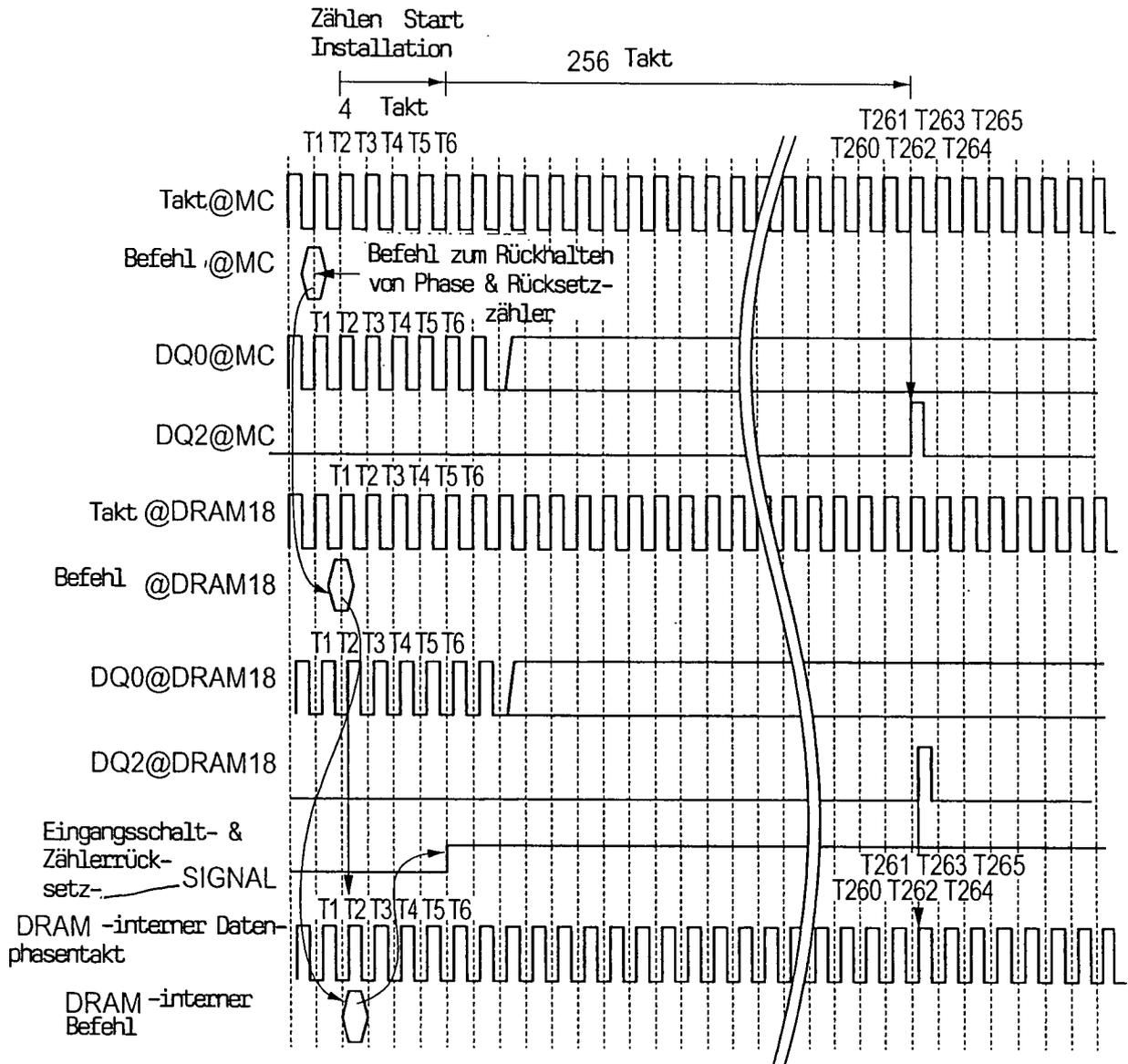


FIG. 53

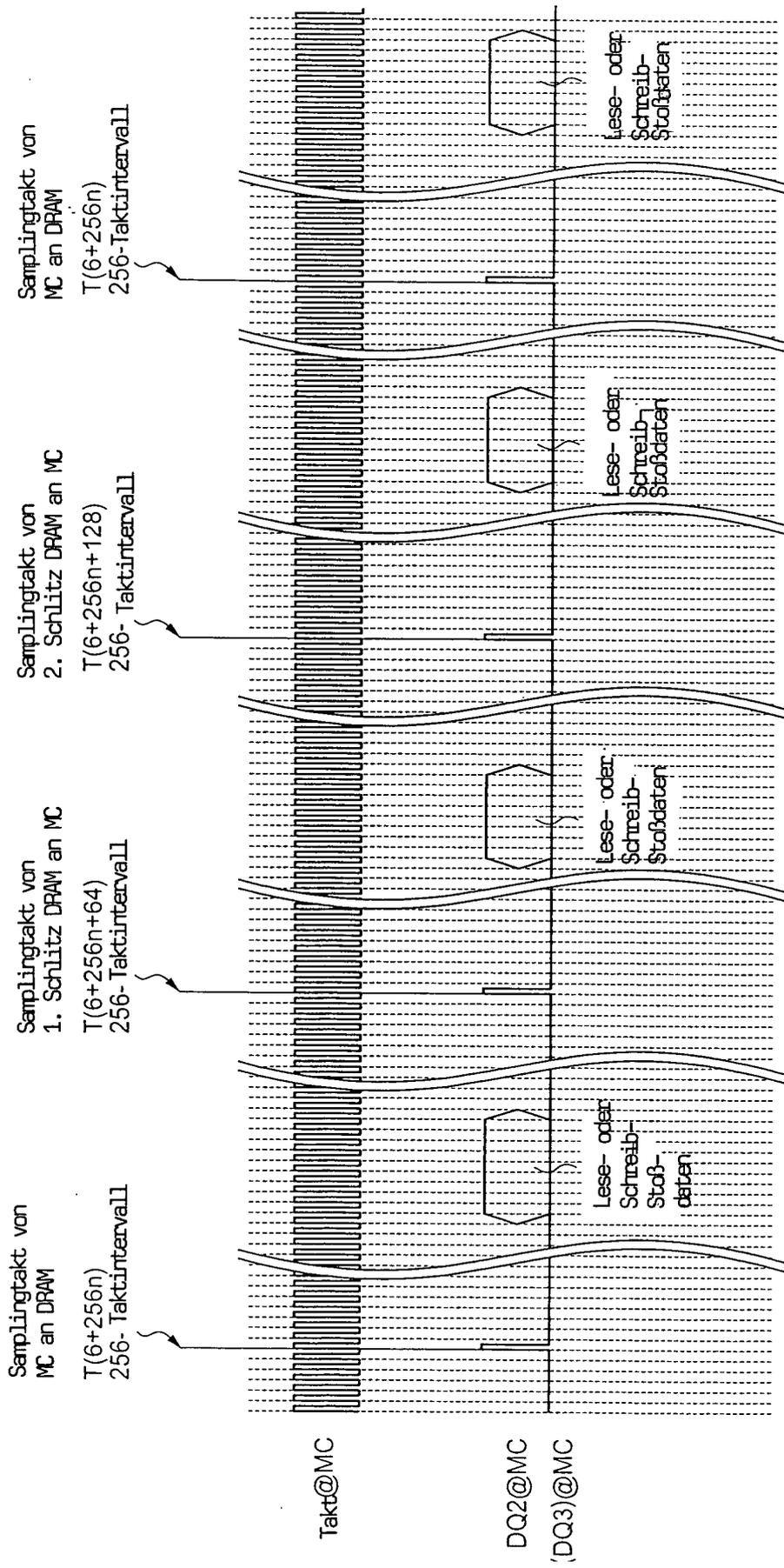


FIG. 54

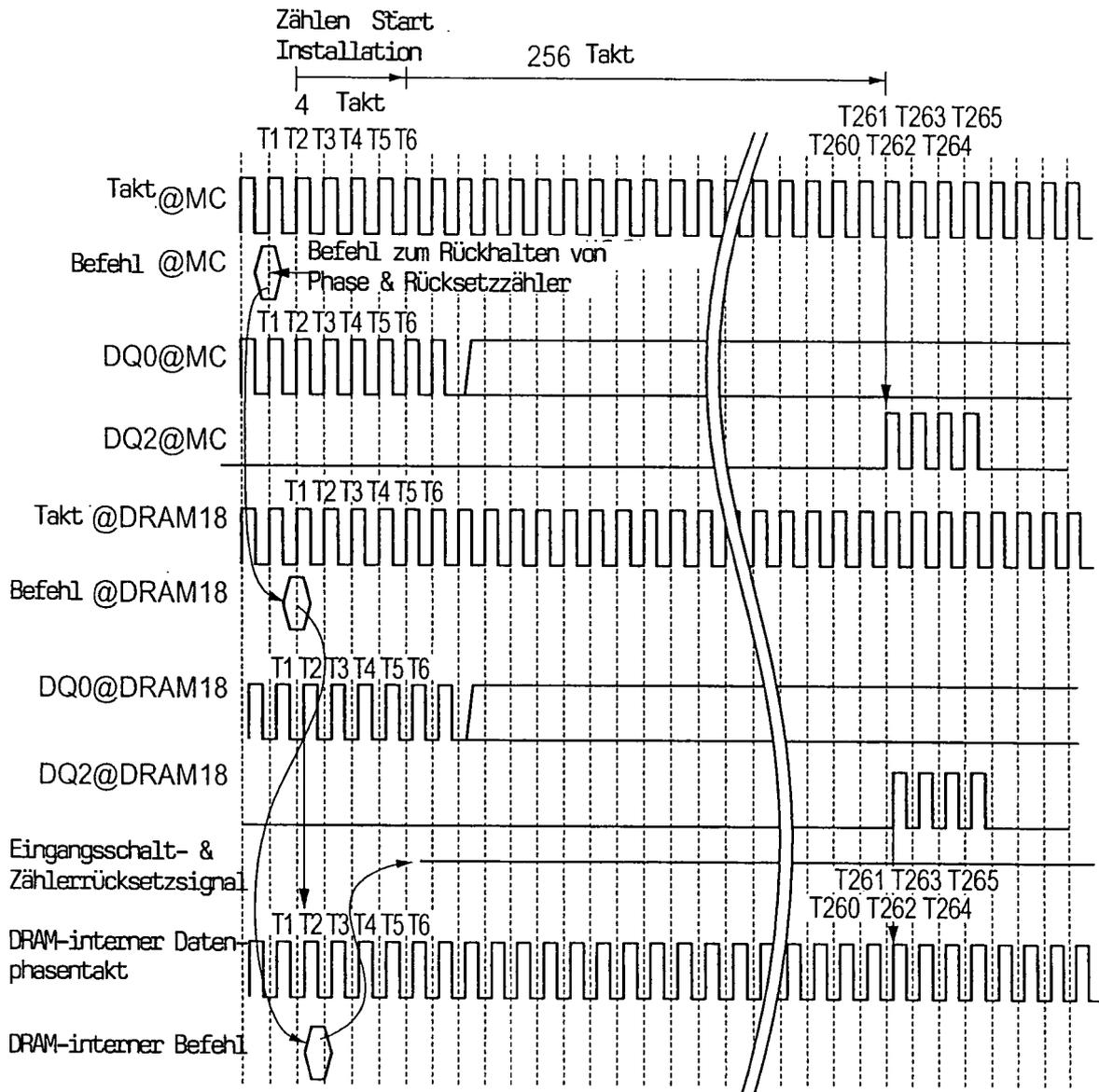


FIG. 55

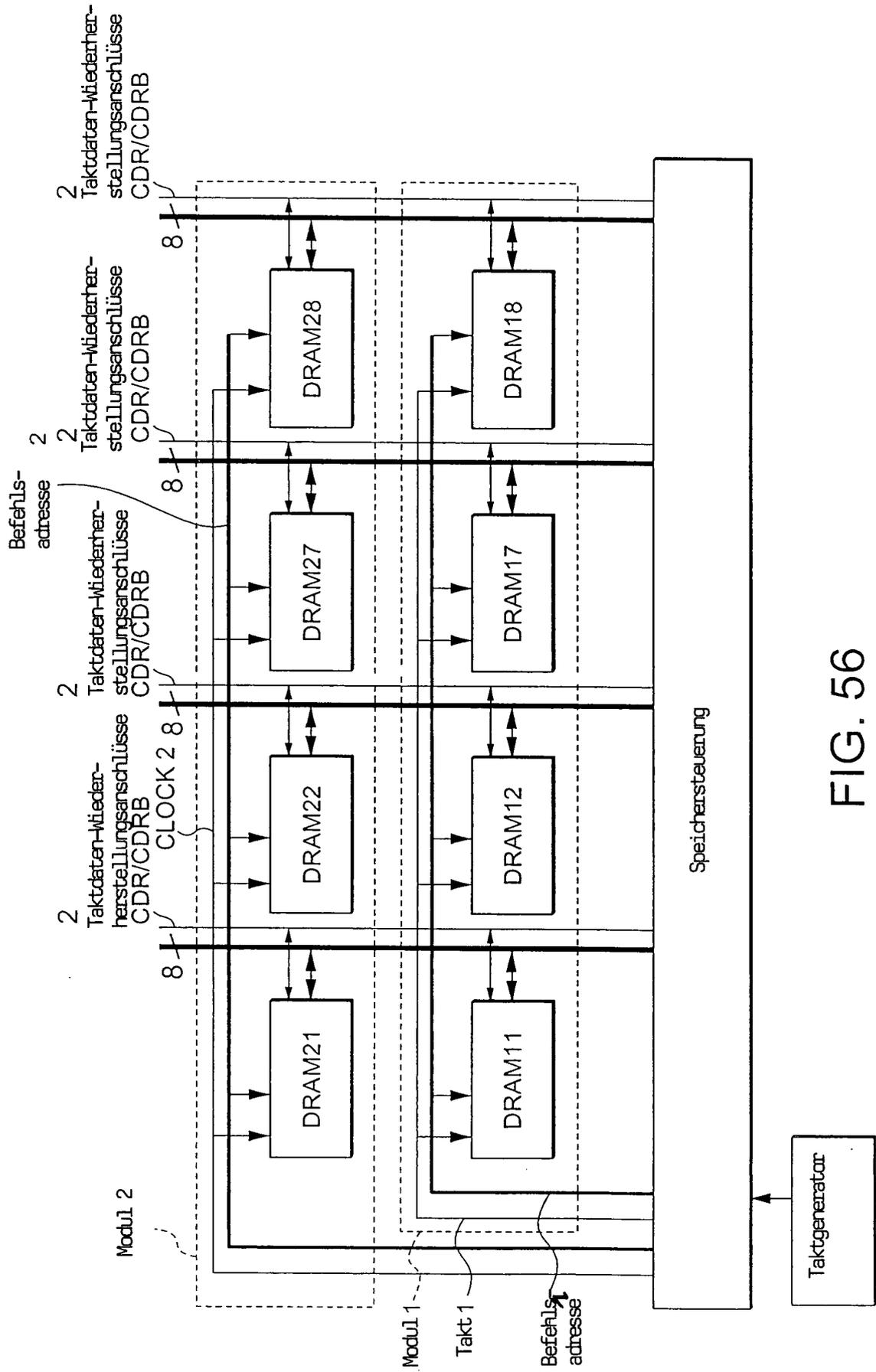


FIG. 56

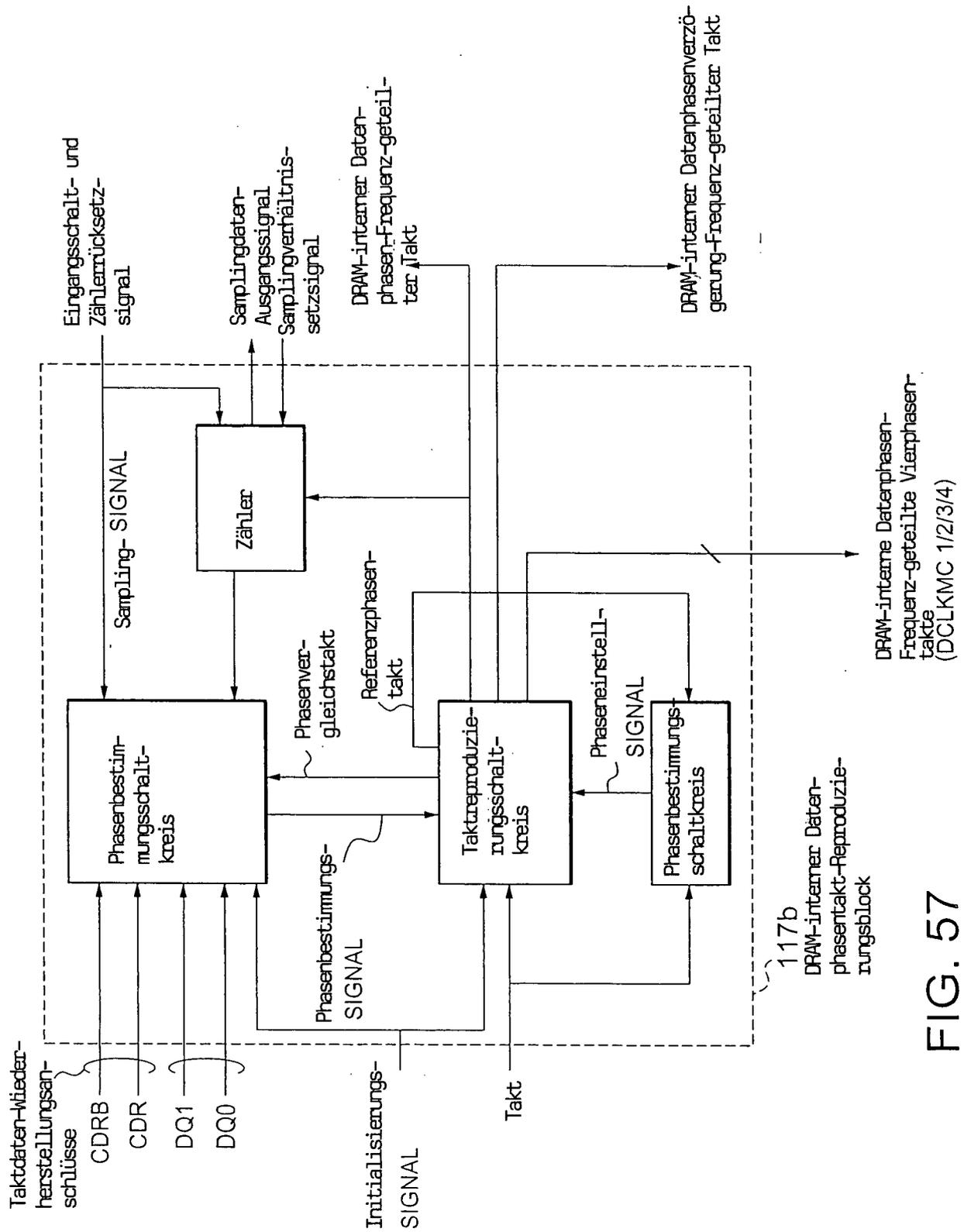


FIG. 57

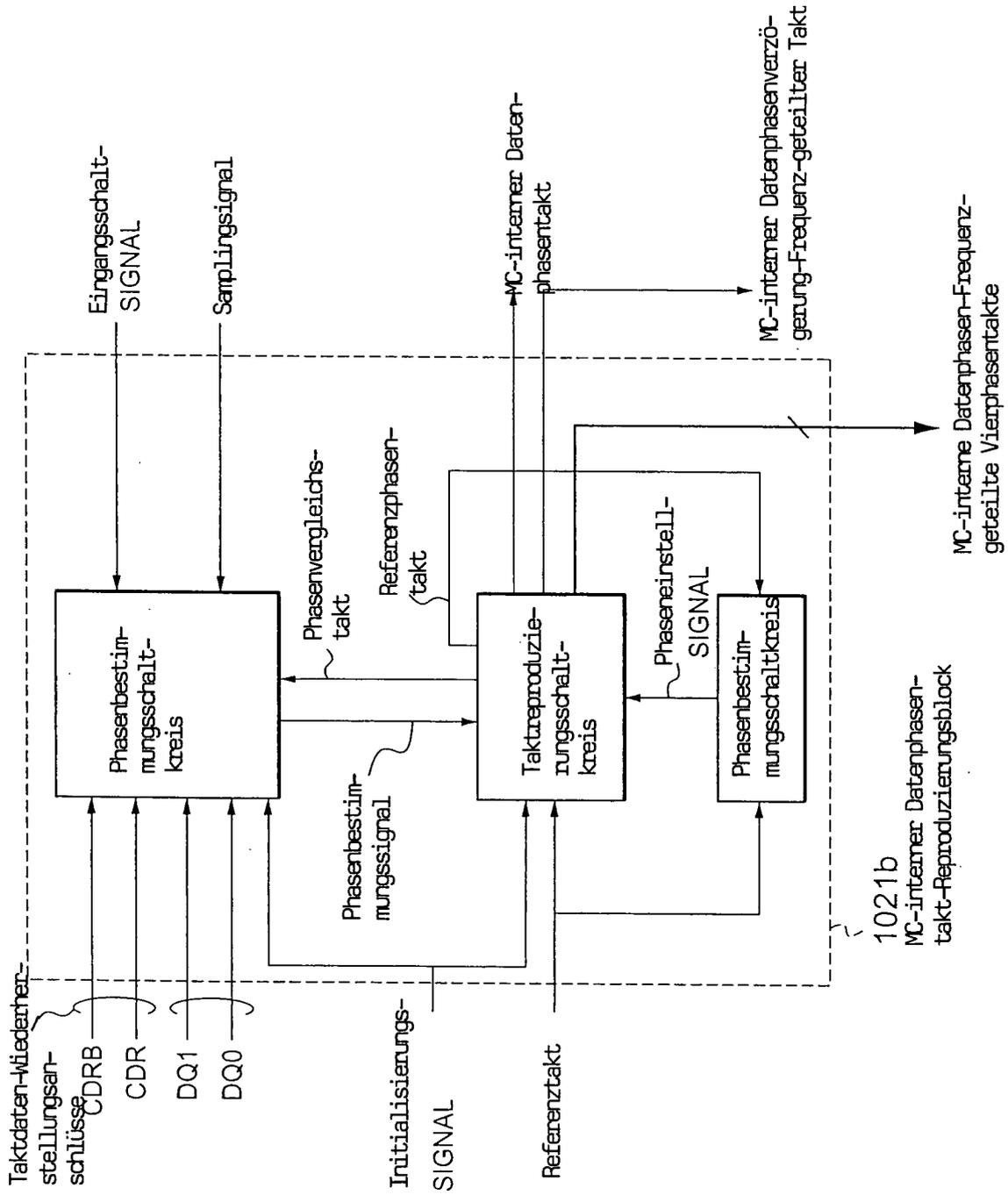


FIG. 58 (DCLKMC 1/2/3/4)

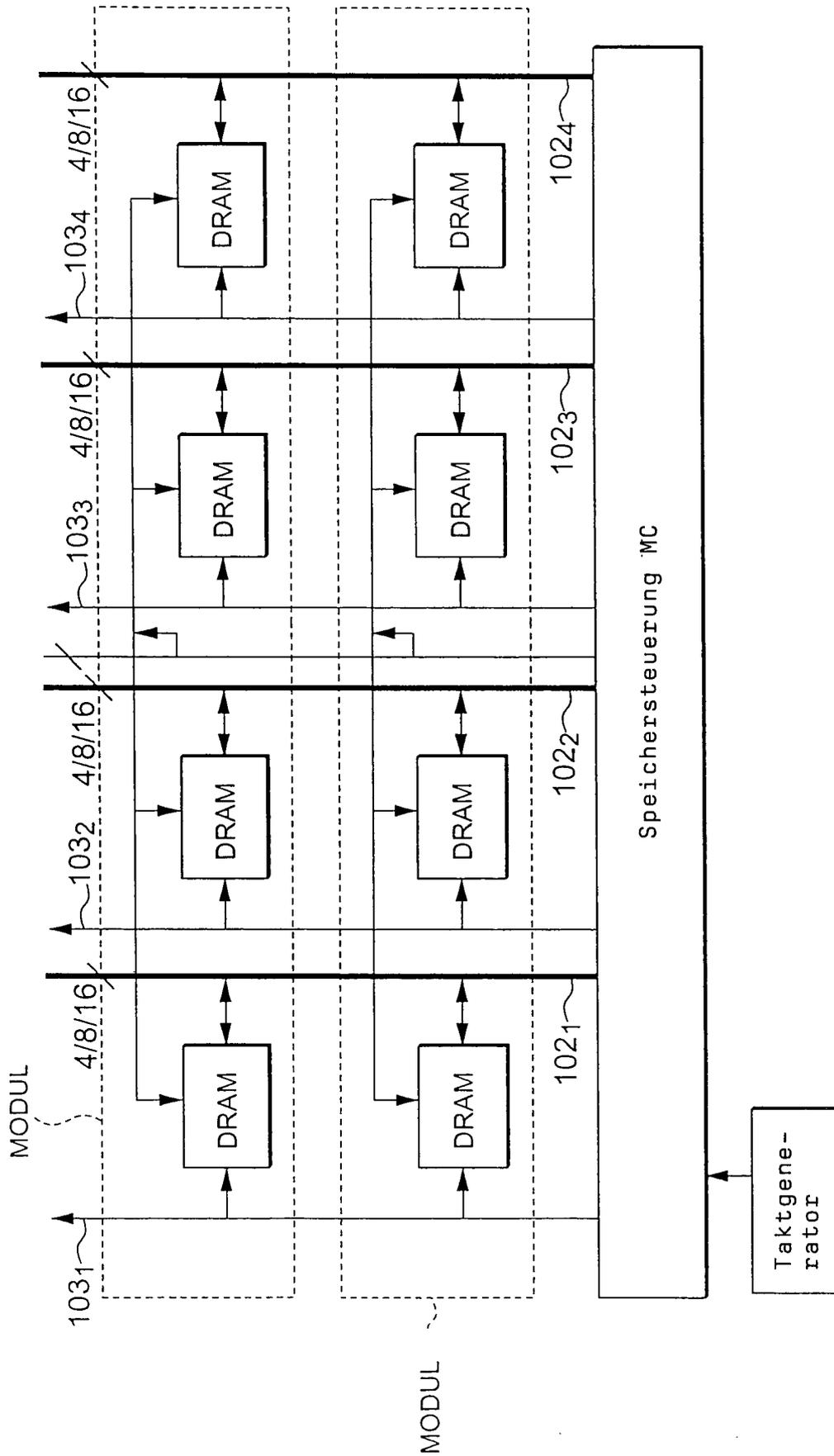


FIG. 59