



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0112356
(43) 공개일자 2014년09월23일

(51) 국제특허분류(Int. Cl.)
G05F 3/02 (2006.01) G05F 3/24 (2006.01)
(21) 출원번호 10-2013-0103810
(22) 출원일자 2013년08월30일
심사청구일자 2013년08월30일
(30) 우선권주장
13/833,975 2013년03월15일 미국(US)
61/778,479 2013년03월13일 미국(US)

(71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완 300-77, 신쥬, 사이언스-베이스드 인터스트리얼 파크, 리신 로드, 6, 8호
(72) 발명자
황 티엔-시양
중화민국 대만 신쥬 시티 300 이스트 디스트릭트 싱슈에 스트리트 넘버 96 5에프
신 루에이-빈
중화민국 대만 타이쑹 시티 403 웨스트 디스트릭트 지유 로드 섹터 1 넘버 28-5 7에프-2
(74) 대리인
김태홍

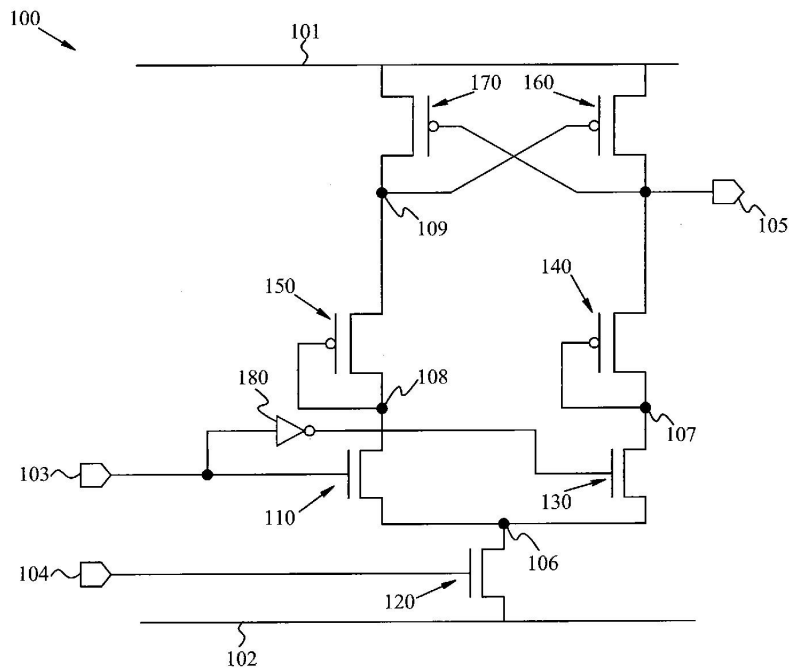
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **고밀도 집적 회로를 위한 레벨 시프터**

(57) 요약

코어 전압 범위의 전압들과 I/O 전압 범위 내의 전압들 사이에서 전환하기 위한 레벨 시프터. 레벨 시프터는 코어 전압 범위 내에서 동작 가능한 코어 디바이스들로서 구현된 상호접속된 트랜지스터들을 갖는다. 레벨 시프터는 I/O 전압 범위에 있는 제 1 전원 연결부 및 제 2 전원 연결부에 연결된다. 코어 디바이스로서 구현된 전압 클램핑 요소는 I/O 전압 범위와 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖고 트랜지스터들이 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하도록 구성된다. 레벨 시프터에 대한 입력은 코어 전압 범위 내에 있다. 레벨 시프터 출력 신호는 I/O 전압 범위 중 고전압에 있는 높은 레벨 및 코어 전압 범위 중 저전압 레벨보다 위에 있는 대략 하나의 문턱값 전압인 낮은 레벨을 갖는다.

대표도



특허청구의 범위

청구항 1

코어 전압 범위 내의 전압들과 상기 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하기 위한 레벨 시프터에 있어서,

상기 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들;

상기 코어 전압 범위 내의 전압을 갖는 입력 신호를 상기 복수의 상호접속된 트랜지스터들에 제공하기 위한 입력 연결부;

상기 복수의 상호접속된 트랜지스터들에 결합된 출력 연결부;

상기 I/O 전압 범위 중 고전압 레벨에 있는 제 1 전압 공급부에 상기 복수의 상호접속된 트랜지스터들을 결합시키기 위한 제 1 전원 연결부;

상기 코어 전압 범위 중 저전압 레벨에 있는 제 2 전압 공급부에 상기 복수의 상호접속된 트랜지스터들을 결합시키기 위한 제 2 전원 연결부; 및

코어 디바이스로서 구현되고 상기 I/O 전압 범위와 상기 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는 전압 클램핑 요소로서, 상기 전압 클램핑 요소는 상기 복수의 상호접속된 트랜지스터들이 상기 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합되는 것인 클램핑 요소를 포함하고,

상기 전압 클램핑 요소 및 상기 복수의 상호접속된 트랜지스터들은 상기 I/O 전압 범위 중 고전압 레벨에 있는 고출력 신호를 상기 출력 연결부에 제공하고 상기 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 상기 문턱값 전압인 저출력 신호를 상기 출력 연결부에 제공하는 것인 레벨 시프터.

청구항 2

제 1 항에 있어서, 상기 전압 클램핑 요소는 한 쌍의 전압 클램핑 요소들 중 하나이고, 상기 복수의 상호접속된 트랜지스터들은,

상기 제 2 전원 연결부와 상기 한 쌍의 전압 클램핑 요소들 사이에 캐스캐이드로 각각 연결되고 상기 입력 연결부와 한쌍의 입력 트랜지스터들 중 하나의 입력 트랜지스터 사이에 연결된 코어 디바이스 인버터를 갖는 한 쌍의 입력 트랜지스터들; 및

상기 전압 클램핑 요소들 및 상기 제 1 전원 연결부 사이에 캐스캐이드로 각각 연결된 한 쌍의 교차 결합된 트랜지스터들을 포함하는 것인 레벨 시프터.

청구항 3

제 1 항에 있어서, 상기 복수의 상호접속된 트랜지스터들은 상기 제 1 전원 연결부 및 상기 제 2 전원 연결부 중 하나와 상기 복수의 상호접속된 트랜지스터들의 나머지 트랜지스터들을 연결하는 인에이블 트랜지스터를 포함하는 것인 레벨 시프터.

청구항 4

제 1 항에 있어서, 상기 전압 클램핑 요소는 다이오드인 것인 레벨 시프터.

청구항 5

제 1 항에 있어서, 상기 전압 클램핑 요소는 함께 단락된 게이트 단자와 드레인 단자를 갖는 MOS 코어 디바이스인 것인 레벨 시프터.

청구항 6

제 1 항에 있어서, 상기 레벨 시프터는 와이드 I/O 애플리케이션을 위해 구성되는 것인 레벨 시프터.

청구항 7

집적 회로 실리콘 다이를 갖는 시스템에 있어서,

상기 집적 회로 실리콘 다이 밖에 배치되고 I/O 전압 범위에 걸쳐 동작하도록 구성된 오프 코어 회로; 및

상기 집적 회로 실리콘 다이에 배치되고 코어 전압 범위에 걸쳐 동작하도록 구성된 복수의 코어 디바이스들을 포함하는 코어 회로로서, 상기 코어 회로는 상기 오프 코어 회로에 상기 코어 회로를 결합시키기 위한 복수의 레벨 시프터들을 포함하고 상기 코어 전압 범위에 걸쳐 동작하도록 구성된 코어 디바이스들을 이용하여 구현되고, 상기 코어 전압 범위는 상기 I/O 전압 범위보다 작으며, 상기 복수의 레벨 시프터들 중 적어도 하나의 레벨 시프터는,

코어 디바이스로서 구현된 복수의 상호접속된 트랜지스터들;

상기 코어 전압 범위 내의 전압을 갖는 입력 신호를 상기 복수의 상호접속된 트랜지스터들에 제공하기 위한 입력 연결부;

상기 복수의 상호접속된 트랜지스터들에 결합된 출력 연결부;

상기 I/O 전압 범위 중 고전압 레벨에 있는 제 1 전압 공급부에 상기 복수의 상호접속된 트랜지스터들을 결합시키기 위한 제 1 전원 연결부;

상기 코어 전압 범위 중 저전압 레벨에 있는 제 2 전압 공급부에 상기 복수의 상호접속된 트랜지스터들을 결합시키기 위한 제 2 전원 연결부; 및

상기 I/O 전압 범위와 상기 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는 전압 클램핑 요소로서, 상기 전압 클램핑 요소는 상기 복수의 상호접속된 트랜지스터들이 상기 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합되는 것인 클램핑 요소를 포함하고,

상기 전압 클램핑 요소 및 상기 복수의 상호접속된 트랜지스터들은 상기 I/O 전압 범위 중 고전압 레벨에 있는 고출력 신호를 상기 출력 연결부에 제공하고 상기 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 상기 문턱값 전압인 저출력 신호를 상기 출력 연결부에 제공하는 것인 집적 회로 실리콘 다이를 갖는 시스템.

청구항 8

코어 전압 범위 내의 전압들과 상기 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하도록 구성된 레벨 시프터를 동작하는 방법에 있어서,

상기 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들, 입력 연결부, 출력 연결부, 제 1 전원 연결부, 제 2 전원 연결부, 및 상기 I/O 전압 범위와 상기 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖고 상기 복수의 상호접속된 트랜지스터들이 상기 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합된 전압 클램핑 요소를 포함하는 상기 레벨 시프터를 제공하는 단계;

상기 I/O 전압 범위 중 고전압 레벨을 상기 제 1 전원 연결부에 공급하는 단계;

상기 코어 전압 범위 중 저전압 레벨을 상기 제 2 전원 연결부에 공급하는 단계;

상기 코어 전압 범위 중 고전압 레벨의 높은 레벨 및 상기 코어 전압 범위 중 저전압 레벨의 낮은 레벨 내의 입력 신호를 상기 제 1 입력 연결부에 인가하는 단계; 및

상기 I/O 전압 범위 중 고전압 레벨의 높은 레벨 및 상기 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 상기 문턱값 전압인 낮은 레벨 내의 출력 신호가 상기 레벨 시프터로부터 수신되는 단계

를 포함하는 것인 레벨 시프터를 동작하는 방법.

청구항 9

제 8 항에 있어서, 상기 입력 신호를 상기 코어 전압 범위 중 고전압 레벨로 전이시킴으로써 상기 출력 신호를 풀업(pull up)시키는 단계로서, 상기 레벨 시프터의 출력 신호를 상기 I/O 전압 범위 중 고전압 레벨로 전이시키는 것인, 풀업 단계를 더 포함하는 것인 레벨 시프터를 동작하는 방법.

청구항 10

제 8 항에 있어서, 상기 입력 신호를 상기 코어 전압 범위 중 저전압 레벨로 전이시킴으로써 상기 출력 신호를 풀다운(pull down)시키는 단계로서, 상기 레벨 시프터의 출력 신호를 상기 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 상기 문턱값 전압으로 전이시키는 것인, 풀다운 단계를 더 포함하는 것인 레벨 시프터를 동작하는 방법.

명세서

기술 분야

- [0001] 관련 출원의 상호 참조
- [0002] 이 출원은 2013년 3월 13일자에 출원된 계류중인 미국 가특허 출원서 제61/778,479호로부터 35 U.S.C. § 119(e) 규정 하에서 우선권을 주장한다.
- [0003] 기술 분야
- [0004] 본 발명개시는 일반적으로 회로에 관한 것으로, 보다 구체적으로 시스템 온 칩(system-on-a-chip; SOC) 및/또는 3D 집적 회로(3D integrated circuit; 3D IC)와 같은 고밀도 집적 회로에 이용되는 레벨 시프터에 관한 것이다.

배경 기술

- [0005] 다양한 고밀도 집적 회로 상황에서, 아날로그 회로 또는 고주파(radiofrequency; RF) 회로와 같은 일부 컴포넌트들은 때때로 SOC 주요 다이로 지정되는 집적 회로의 주요 다이에 위치하지 않는다. 통상적으로, SOC 주요 다이 상에 오직 고속 디지털 회로[예컨대, 표준 셀, SRAM, 디지털 PLL 및 고속 메모리 입출력(I/O)]만이 존재한다. 코어 디바이스는 고속 디지털 회로를 제공하기 위해 이와 같은 다이 상에 형성되는 디바이스로서, 일반적으로 빠르게 동작하고, 저전압을 이용하고, 고밀도를 갖고, 과부하 및 손상에 더 민감하다.
- [0006] 시스템의 I/O 요구사항은 일반적으로 집적 회로 다이와 큰 커패시턴스(예컨대, 집적 회로 다이 내에서 발생하는 시그널링보다 더욱 큰 구동 전원 및 전압을 요구하는 인쇄 회로 기판 트레이스, 케이블 등과 연관된 커패시턴스)를 갖는 컴포넌트 연결부 사이에서 신호 전달을 다룬다. I/O 디바이스는 주요 다이의 더욱 빠르고 작은 신호를 다른 고속 커패시턴스 컴포넌트에 인터페이스하고, 일반적으로 고전압에서 신호를 전달한다.
- [0007] 반도체 표준 단체 JEDEC는 3D IC 애플리케이션을 위한 I/O에 관계된 적어도 2 개의 사양, 즉 와이드 I/O 및 와이드 I/O 2를 제공하고, 이들은 일반적으로 총괄하여 와이드 I/O로서 본 명세서에 나타난다. 와이드 I/O 사양은 메모리 디바이스와 제어기 디바이스 간에 직접적인 칩 대 칩 부착 방법을 이용하는 수천 개의 와이드 I/O 채널이 있는 SDRAM(모놀리식 밀도) 디바이스를 갖는 와이드 I/O 애플리케이션에 관한 것이다. 와이드 I/O에서, 데이터 입출력 버퍼를 위한 전원은 1.2 V ± 5%로 명시된다. 그러나, 일반적인 주요 다이 상의 코어 디바이스는 저전압 예를 들어 0.9 V에서 동작하고 I/O 전압 레벨에서 동작되면 과부하될 수 있다.

발명의 내용

해결하려는 과제

- [0008] 다양한 상황에서, SOC 및 3D IC 애플리케이션에서 발견되는 바와 같은, 고밀도 집적 회로의 I/O 요구사항을 위해 레벨 시프터를 제공하는 것이 필요하다.

과제의 해결 수단

- [0009] 제 1 양태에서, 코어 전압 범위 내의 전압들과 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하기 위한 레벨 시프터가 개시된다. 레벨 시프터는 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들을 갖는다. 레벨 시프터는 코어 전압 범위 내의 전압을 갖는 입력 신호를 복수의 상호접속된 트랜지스터들에 제공하기 위한 입력 연결부를 갖는다. 출력 연결부가 복수의 상호접속된 트랜지스터들에 결합된다. 제 1 전원 연결부는 I/O 전압 범위 중 고전압 레벨에 있는 제 1 전압 공급부에 복수의 상호접속된 트랜지스터들을 결합시키기 위한 것이고, 제 2 전원 연결부는 코어 전압 범위 중 저전압 레벨에 있는 제 2 전압 공급부에 복수의 상호접속된 트랜지스터들을 결합시키기 위한

것이다. 레벨 시프터는 I/O 전압 범위와 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는 전압 클램핑 요소를 갖는다. 전압 클램핑 요소는 복수의 상호접속된 트랜지스터들이 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합된다. 전압 클램핑 요소 및 복수의 상호접속된 트랜지스터들은 I/O 전압 범위 중 고전압 레벨에 있는 고출력 신호를 출력 연결부에 제공하고, 코어 전압 범위 중 저전압 레벨보다 위에 있는 대략 하나의 문턱값 전압인 저출력 신호를 출력 연결부에 제공한다.

[0010] 제 2 양태에서, 시스템은 적어도 하나의 집적 회로 실리콘 다이를 갖는다. 시스템은 집적 회로 실리콘 다이 밖에 배치된 오프 코어 회로 및 집적 회로 실리콘 다이에 배치된 코어 회로를 갖는다. 코어 회로는 코어 전압 범위에 걸쳐 동작하도록 구성된 복수의 코어 디바이스들을 포함하고, 이는 코어 회로를 오프 코어 회로에 결합시키기 위한 복수의 레벨 시프터들을 포함한다. 레벨 시프터들은 코어 전압 범위에 걸쳐 동작하도록 구성된 코어 디바이스를 이용하여 구현되고, 레벨 시프터들 중 적어도 하나의 레벨 시프터는 제 1 양태에 관하여 기술된 바와 같이 구현된다.

[0011] 제 3 양태에서, 코어 전압 범위 내의 전압들과 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하도록 구성된 레벨 시프터를 동작하는 방법이 개시된다. 방법은 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들을 갖는 레벨 시프터를 제공하는 단계를 포함한다. 제공된 레벨 시프터는 입력 연결부, 출력 연결부, 제 1 전원 연결부, 제 2 전원 연결부, 및 전압 클램핑 요소를 더 포함한다. 전압 클램핑 요소는 I/O 전압 범위와 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는다. 전압 클램핑 요소는 복수의 상호접속된 트랜지스터들이 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합된다. 방법은 I/O 전압 범위 중 고전압을 제 1 전원 연결부에 공급하는 단계, 및 코어 전압 범위 중 저전압을 제 2 전원 연결부에 공급하는 단계를 더 포함한다. 방법은 코어 전압 범위 중 고전압 레벨의 높은 레벨 및 코어 전압 범위 중 저전압 레벨의 낮은 레벨 내에서 입력 신호를 제 1 입력 연결부에 인가하는 단계를 포함한다. I/O 전압 범위 중 고전압 레벨의 높은 레벨 및 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 문턱값 전압인 낮은 레벨 내에서 출력 신호가 레벨 시프터로부터 수신된다.

발명의 효과

[0012] 본 발명에 따르면, 고밀도 집적 회로를 위한 레벨 시프터를 제공하는 것이 가능하다.

도면의 간단한 설명

[0013] 다음은 예시적인 목적을 위해 제공되고 반드시 실척도로 도시되는 것은 아닌 도면들의 요소로부터 명백해질 것이다.

- 도 1은 코어 디바이스 MOSFET를 이용하여 구현되는 레벨 시프터의 도면이다.
- 도 2는 도 1에 도시된 복수의 레벨 시프터를 이용하는 시스템의 도면이다.
- 도 3은 도 1에 도시된 레벨 시프터의 동작을 나타내는 흐름도이다.
- 도 4는 도 1에 도시된 레벨 시프터의 동작을 모델링하는 파형을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 어떤 예시적인 실시예의 설명은 첨부 도면과 함께 읽혀지기 위한 것으로, 이는 전체 기록된 설명의 일부로 간주될 것이다. "접속" 및 "상호접속"과 같은 부착, 결합 등을 고려하는 용어 및 묘사는 관계를 나타내고, 명시적으로 달리 설명하지 않는 한, 이 관계에서 구조물은 직접적으로 또는 간접적으로 개입 구조물을 통해 서로 고정 또는 부착되고, 또한 탈착형 또는 고정형 부착 또는 관계도 나타낸다. 마찬가지로, "결합", "접속" 및 "상호접속"과 같은 전기적 결합 등을 고려하는 용어 및 묘사는 관계를 나타내고, 명시적으로 달리 설명하지 않는 한, 이 관계에서 구조물은 직접적으로 또는 간접적으로 개입 구조물을 통해 서로 통신한다. 유사하게, "패드", "레일", 또는 "단말"과 같은 회로의 접점을 고려하는 용어 및 묘사는 명시적으로 달리 설명하지 않는 한, 전자 접속의 모든 형태를 포함하는 것으로 이해되어야 하며 물리적으로 식별 가능한 패드, 레일, 또는 단말로 제한되지 않는다.

[0015] 다양한 실시예들에서, 코어 디바이스는 특정한 크기 및 트랜지스터 밀도를 위해 명시된 주요 공정의 일부로 구현될 수 있다. 예를 들어, 제조 방법은 네트워킹, 테블릿, 및 모바일 소비재와 같은 애플리케이션들에 적

합한 고밀도 집적 회로를 위해 존재한다.

- [0016] 이와 같은 주요 공정은 통상적인 I/O 전압(V_{ddq})과 상이한 코어 전압(V_{dd})을 갖는다. 예를 들어, 일부 실시예들에서, 코어 전압은 대략 0.85 V, 0.9 V, 1.0 V, 1.05 V 등일 수 있는 반면, 통상적인 I/O 전압은 더욱 높다. 예를 들어, 일부 실시예들에서, I/O 전압은 1.8 V I/O 이고, 초과 및 미만의 구동 변화, 예를 들어 1.8 V UD 1.2 V, 1.8 V UD 1.5 V를 포함한다. 다른 실시예들에서, I/O 전압은 2.5 V I/O 이고, 2.5 V UD 1.8V, 2.5 V OD 3.3 V와 같은 초과 및 미만의 구동 변화를 포함한다. 추가의 실시예들에서, I/O 전압은 와이드 I/O 및 와이드 I/O 2를 위해 JEDEC에 의해 명시된 1.2 V ± 5% 이다. 본 발명개시에서 명시된 코어 전압 및 I/O 전압은 사실상 예시적인 것이고, 다른 전압들이 본 발명개시의 범위 내에 고려된다.
- [0017] 일부 실시예들에서, 개시된 레벨 시프터는 0.9 V ± 10%에 있는 V_{dd} 고전압 레벨 및 0 V의 그라운드에 있는 V_{ss} 저전압 레벨이 명시된 코어 전압 범위에 걸쳐 동작하는 프로세스를 이용하여 구현 및 모델링된다.
- [0018] 도 1은 일부 실시예들에 따라 코어 디바이스 MOSFET를 이용하여 구현되는 레벨 시프터(100)의 도면이다. 이 예에서, 레벨 시프터(100)는 0.9 V ± 10%에 있는 V_{dd} 및 0 V의 그라운드에 있는 V_{ss}의 코어 전압으로 동작하는 코어 디바이스로 설계된다. 레벨 시프터(100)는 1.2 V ± 5%로 전원을 공급하는 제 1 전압 공급부(V_{ddq} 레일, 101)로부터 제 1 전원 연결부를 통해 전원을 수신한다. 레벨 시프터(100)는 제 2 전원 연결부를 통해, 0 V의 그라운드에 있는 제 2 전압 공급부(V_{ss} 레일, 102)에 연결된다. 다양한 대안적인 실시예들에서, V_{ss} 및/또는 V_{ssq}는 실제 그라운드, 0 V, 공통 기준 전압 또는 상이한 기준 전압일 수 있다.
- [0019] 이하에 더욱 기술되는 도 3 및 도 4는 전압 신호(V_{in} 33, V_{en} 44, V_{out} 55, V_{outb} 99 및 V_{nd} 77)의 예들을 나타낸다. 도 1, 도 3 및 도 4를 참조하여, 레벨 시프터(100)는 전압 입력 신호(V_{in} 33)(도 3, 및 도 4)를 수신하기 위한 입력 연결부(103), 인에이블 신호(V_{en} 44)(도 3, 및 도 4)를 수신하기 위한 인에이블 연결부(104), 및 전압 출력 신호(V_{out} 55)(도 3, 및 도 4)를 제공하기 위한 출력 연결부(105)를 갖는다. 레벨 시프터(100)는 연결 노드(106, 107, 108 및 109)를 갖는다. V_{nd} 77(도 4)로 지정된 전압 레벨 신호는 연결 노드(107)에서의 전압이다. V_{outb} 99(도 4)로 지정된 전압 레벨 신호는 연결 노드(109)에서의 전압이다. 출력 패드(105)는 I/O 전압 범위 내의 출력 전압(V_{out} 55)(도 3, 및 도 4)을 제공하기 위한 출력 연결부 역할을 한다. 설명 및 첨부 도면의 관점에서 기술 분야의 당업자에 의해 이해되는 바와 같이, "b"로 지정된 컴포넌트 및 전압 레벨은 대응하는 컴포넌트 또는 전압 레벨에 대칭적이고 상보적이다.
- [0020] 도 1에 도시된 바와 같이, 레벨 시프터는 V_{ddq} 레일(101)과 V_{ss} 레일(102) 사이에 연결된 복수의 MOS 코어 디바이스들을 갖는다. 이 예에서, I/O 전압은 1.2 V ± 5%인 고전압 및 그라운드인 저전압으로 정의된다. 1.2 V ± 5%의 I/O 전압은 앞서 기술된 코어 전압 범위보다 크고, 전체 1.2 V ± 5%가 코어 디바이스 트랜지스터들 중 하나에 걸쳐 인가되면, 트랜지스터는 과부하될 것이고, 신뢰성은 감소하여, 잠재적으로 실패 동작 및 영구적 손상을 야기한다.
- [0021] 도시된 실시예에서, 3개의 NMOS 코어 디바이스(110, 120 및 130) 및 4개의 PMOS 코어 디바이스(140, 150, 160 및 170)가 있다. MOS 코어 디바이스들은 다음과 같이 연결된다.
- [0022] MNDB로도 지정된, NMOS 코어 디바이스(110)는 입력 연결부(103) 및 인버터(180)의 입력 단자에 연결된 게이트 단자, 노드(108)에서 PMOS 코어 디바이스(150)의 드레인 및 게이트에 연결된 드레인 단자, 및 노드(106)에서 NMOS 코어 디바이스(120)의 드레인 단자에 연결된 소스 단자를 갖는다. 인버터(180)는 코어 디바이스로서 구현된다.
- [0023] MNS로도 지정된, NMOS 코어 디바이스(120)는 인에이블 연결부(104)에 연결된 게이트 단자, 노드(106)에서 NMOS 코어 디바이스들(110, 130)의 소스 단자들에 연결된 드레인 단자, 및 V_{ss} 레일(102)에 연결된 소스 단자를 갖는다.
- [0024] MND로도 지정된, NMOS 코어 디바이스(130)는 인버터(180)의 출력에 연결된 게이트 단자, 노드(106)에 연결된 소스 단자, 및 노드(107)에서 PMOS 코어 디바이스(140)의 게이트 및 드레인 단자에 연결된 드레인 단자를 갖는다.
- [0025] MPI로도 지정된, PMOS 코어 디바이스(140)는 드레인 단자에 단락되고, 함께 노드(107)에서 NMOS 코어 디바이스(130)의 드레인 단자에 연결되는 게이트 단자, 및 출력 연결부(105)를 갖는 노드에서 PMOS 코어 디바이스(160)의 드레인 단자 및 PMOS 코어 디바이스(170)의 게이트에 연결된 소스 단자를 갖는다.
- [0026] MPIB로도 지정된, PMOS 코어 디바이스(150)는 드레인 단자에 단락되고, 함께 노드(108)에서 NMOS 코어 디바이스(110)의 드레인 단자에 연결되는 게이트 단자, 및 노드(109)에서 PMOS 코어 디바이스(170)의 드레인 단자

및 PMOS 코어 디바이스(160)의 게이트 단자에 연결된 소스 단자를 갖는다.

- [0027] MPU로도 지정된, PMOS 코어 디바이스(160)는 노드(109)에서 PMOS 코어 디바이스(170)의 드레인 단자 및 PMOS 코어 디바이스(150)의 소스 단자에 연결된 게이트 단자, 출력 연결부(105)를 갖는 노드에서 PMOS 코어 디바이스(170)의 게이트 단자 및 PMOS 코어 디바이스(140)의 소스 단자에 연결된 드레인 단자, 및 Vddq 레일(101)에 연결된 소스 단자를 갖는다.
- [0028] MPUB로도 지정된, PMOS 코어 디바이스(170)는 출력 연결부(105)를 갖는 노드에서 PMOS 코어 디바이스(160)의 드레인 단자 및 PMOS 코어 디바이스(140)의 소스 단자에 연결된 게이트 단자, 노드(109)에서 PMOS 코어 디바이스(160)의 게이트 단자 및 PMOS 코어 디바이스(150)의 소스 단자에 연결된 드레인 단자, 및 Vddq 레일(101)에 연결된 소스 단자를 갖는다.
- [0029] 레벨 시프터(100)는 코어 전압 범위의 레벨에 있는 Vin 33을 I/O 전압 범위의 대응하는 레벨에 있는 Vout 55로 전환하기 위해서 오직 코어 디바이스들만을 이용하여 구현되고, Vddq에서의 높은 레벨, 및 Vss보다 높은 미리 결정된 문턱값 전압 레벨(Vth)에서의 낮은 레벨을 갖는다.
- [0030] 레벨 시프터(100)는 Vddq 레일(101)에 연결된 소스 단자들 갖는 교차 결합된 PMOS 코어 디바이스들(160, 170)로 구현된, 2개의 교차 결합된 MOS 코어 디바이스들을 갖는다.
- [0031] 레벨 시프터(100)는 게이트 및 드레인 단자가 단락되어 다이오드로 기능하고 선택된 PMOS 코어 디바이스들(140, 150)에 대해 미리 정의된 문턱값 전압(Vth) 특성에 따라 대응하는 전압 클램핑 기능을 제공하는, 2개의 PMOS 코어 디바이스들(140, 150)로 구현된, 2개의 전압 클램핑 MOS 디바이스들을 갖는다. 유리하게, Vth는 I/O 전압 범위의 높은 레벨과 코어 전압 범위의 높은 레벨 간의 차이보다 크도록 선택된다. SVT 디바이스들을 위한 통상적인 Vth 값은 0.5 V 내지 0.4 V일 수 있다. 이 실시예에서, Vth는 1.2V + 5% (즉, 1.26 V)에서 Vdd의 가장 낮은 기대 값(즉, 0.9V - 10%, 또는 0.81V)을 뺀 것보다 크다. Vddq 및 Vdd의 허용오차를 고려하면, PMOS 코어 디바이스들(140, 150)은 적어도 0.45 V의 Vth 특성을 갖도록 선택된다. 이 예에서, Vth는 0.5 V이다. 이러한 PMOS 코어 디바이스들의 소스 단자들은 교차 결합된 MOS 코어 디바이스들의 드레인 단자들에 캐스캐이드(cascade)된다.
- [0032] 레벨 시프터(100)는 Vin 33을 수신하기 위한 입력 연결부(103)에 연결된 게이트를 갖지만, NMOS 코어 디바이스(130)의 게이트에 인가하기 전에 Vin 33의 극성을 뒤집는 인버터(180)를 갖는, NMOS 코어 디바이스들(130, 110)로 구현된 2개의 입력 MOS 코어 디바이스들을 갖는다. 2개의 입력 MOS 코어 디바이스들의 드레인 단자들은 전압 클램핑 MOS 코어 디바이스들의 드레인 단자들에 캐스캐이드된다.
- [0033] 레벨 시프터(100)는 Ven 44를 수신하기 위한 인에이블 연결부(104)에 연결된 게이트를 갖는, NMOS 코어 디바이스(120)로 구현된 하나의 인에이블 MOS 코어 디바이스를 더 갖는다. NMOS 코어 디바이스(120)는 Vss에 연결된 소스 및 입력 MOS 코어 디바이스에 연결된 드레인을 구비하여, 제한된 누설 전류를 제공한다.
- [0034] 동작 시에, 레벨 시프터(100)는 Vin 33(코어 동작 전압)을 Vout 55[하이(high)(Vddq)와 로우(low)(Vss 보다 높은 Vth) 사이의 I/O 전압]로 전환한다. Ven 44는 NMOS 코어 디바이스(120)가 턴온되도록 높게 설정되어, Vns 66은 Vss 레일(102)로의 연결로 인해 대략 0 V가 된다. 인에이블 상태에서, 레벨 시프터(100)는 이제 Vout 55의 폴다운에 대해 기술될 것이고, 이는 Vin 33을 로우로 전이시킴으로써, 즉, Vin 33을 하이(Vdd)로부터 로우(0 V)로 전이시킴으로써 개시된다. 폴업 이벤트의 경우, 회로는 폴다운 이벤트의 설명으로 이해될 대칭적이고 상보적인 방식으로 동작한다.
- [0035] Vin 33이 로우로 전이할 때, NMOS 코어 디바이스(110)는 컷오프되고, 인버터(180)의 출력은 하이(Vdd) 전압을 NMOS 코어 디바이스(130)에 인가하여 턴온시키고, Vss 레일(102)을 통한 연결 때문에 Vnd 77을 거의 0 V로 구동한다. 초기에, Vout 55는 1.2 V이므로, PMOS 코어 디바이스(140)에 걸친 전압차는 대략 그 양이다. Vnd 77가 거의 0 V로 감에 따라, PMOS 코어 디바이스(140)는 턴오프되어 Vout 55를 Vnd 77을 향해 폴다운하기 시작할 것이다. 그러나, 이것이 다이오드로 연결되기 때문에, 소스 전압(Vout 55)과 드레인 전압(Vnd 77) 간의 차이가 Vth보다 작거나 같으면 PMOS 코어 디바이스(140)는 턴오프될 것이다. 따라서, Vout이 Vth와 Vnd 77의 합으로 폴다운되면, PMOS 코어 디바이스(140)는 턴오프될 것이고, Vout은 Vnd 77보다 높은 Vth의 전압으로 제한될 것이다. Vnd 77이 0 V 또는 거의 0 V이기 때문에, Vout은 간단히 Vth로 제한된다. 이 상태에서, PMOS 코어 디바이스(160)에 걸친 전압차는 ddq (1.2 V ± 5%) 빼기 Vth이다. 예를 들어, 1.2 V의 Vddq 및 0.4 V의 Vth의 경우, PMOS 코어 디바이스(160)는 대략 0.8 Vds로 응력이 가해지고, 이는 과부하 조건이 아니다.
- [0036] 도 2는 집적 회로 실리콘 다이(2001) 및 집적 회로 실리콘 다이(2001)에서 벗어나 배치된 오프-코어 회로

(2003)의 도면이다. 일부 실시예들에서, 회로는 직접적인 칩 대 칩 부착 방법을 이용하여 연결된다. 전자 시스템(2000)은 접적 회로 실리콘 다이(2001) 상에 배치된 코어 회로(2002)를 갖고, 도 1에 관하여 기술된 바와 같이, 코어 전압(Vdd 및 Vss)으로 동작하는 복수의 코어 디바이스들을 포함한다.

- [0037] 코어 디바이스들은 복수의 레벨 시프터들(2200, 2300, 2400)을 포함한다. 레벨 시프터(2200)는 입력 전압 연결부(2203), 인에이블 연결부(2204), 출력 전압 연결부(2205)를 갖고, 도 1을 참조하여 레벨 시프터(100)에서 논의된 바와 같이, Vddq 레일(2201), 및 Vss 레일(2202)에 연결된다. 물리적 패드의 필요성이 출력 연결부(2205)에 존재하지 않고 연결부들은 트레이스 및 다른 종래의 연결 수단에 의해 만들어질 수 있다는 것이 이해될 것이다. 레벨 시프터들(2300 및 2400)은 유사한 참조 번호를 이용하는 유사한 연결부를 갖는다. 레벨 시프터 각각의 내부 컴포넌트들은 도 1에 관하여 도시되고 기술된 바와 같다. 3개의 레벨 시프터들이 오직 예시적인 목적을 위해서 도 2에 도시되었다. 실제로, 시스템(2000)은 실용적인 목적을 위해 도시되지 않은 대규모 어레이의 레벨 시프터들을 갖는다. 레벨 시프터는 코어 회로(2002)를 오프 코어 회로(2003)에 결합한다. 유리하게, 전체 내용이 참조용으로 본 명세서에 통합된, 2013년 2월 27일자에 출원된 미국 특허 출원서 제13/778,380호에 기술된 바와 같이, 각각의 레벨 시프터의 출력은 코어 디바이스 전용 포스트 드라이버의 하나 이상의 입력 연결부에 인가될 수 있다. 이와 같은 일부 실시예들(도시되지 않음)에서, 코어 디바이스 전용 포스트 드라이버는 집적 회로 실리콘 다이(2001) 상에 배치되고, 코어 회로(2002)의 일부일 수 있고, 레벨 시프터들(2200, 2300, 및 2400)과 오프 코어 회로(2003)의 사이에 있을 수 있다.
- [0038] 도 3은 도 1에 도시된 레벨 시프터(100)의 동작을 도시하는 흐름도이다. 단계(3100)에서, 레벨 시프터(100)가 도 1에 관하여 도시되고 기술된 바와 같이 제공된다. 단계(3125)에서, $1.2\text{ V} \pm 5\%$ 인 고전압이 Vddq 레일(101)에 공급된다. 단계(3150)에서, Vss인 낮은 기준 전압이 레일(102)에 공급된다.
- [0039] 단계(3175)에서, 인에이블 연결부(104)에 인가된 인에이블 신호(Ven 44)가 하이(Vdd)로 설정된다. Ven 44이 로우로 설정될 때, NMOS 코어 디바이스는 컷오프 영역에 있어, 레벨 디바이스(100)를 디스에이블시킨다.
- [0040] 단계(3200)에서, 입력 전압 신호(Vin 33)가 제 1 연결부(103)에 인가되고, 이 입력 전압 신호는 Vdd인 높은 레벨 및 Vss인 낮은 레벨을 갖는다. 동작 시에, 레벨 시프터(100)는 Vddq인 대응하는 높은 레벨 및 Vss보다 높은 Vth인 낮은 레벨로 Vout 55를 출력한다.
- [0041] 도 4는 레벨 시프터(100)의 동작을 위해 모델링된 파형을 도시한다. 파형은 나노초 단위의 시간의 함수로서 볼트 및 밀리볼트(표시) 단위의 진폭으로 도시된다. 도 4는 Ven 44가 하이로 설정된 레벨 시프터(100)의 모델링된 동작을 도시하고, 이는 $1 \times \text{Vdd}$ 및 $25\text{ }^\circ\text{C}$ 의 보통 보통 과정을 이용하는 보통의 공정 과정으로 모델링된다. 도 4의 그래프(4100)는 Vin 33에 대한 입력 파형을 도시한다. 그래프(4200)는 Vout 55 파형 및 Voutb 파형을 도시하고, 이들은 그래프(4100)에 도시된 입력 파형으로부터 생긴다. 그래프(4300)는 Vnd 77과 비교하여 Vout 55 파형을 도시하고, 이는 노드(107)에서 전압 클램핑 파형이다. 그래프(4300)는 Vout 55과 Vnd 77의 차이가 PMOS 코어 디바이스(140)의 문턱값 전압으로 제한된다는 것을 확인하고, 이것은 회로 동작의 설명이 유효하며, 0 V의 레일과 Vddq 사이에서 동작하더라도 MOS 코어 디바이스들 중 어느 것도 과부하되지 않는다는 것을 나타낸다.
- [0042] 전압 클램핑 요소들(140, 150)이 없으면, Vout은 0 V만큼 낮아질 수 있고, PMOS 코어 디바이스(160)는 Vddq($1.2\text{ V} \pm 5\%$)의 Vds로 과부하될 수 있다. 마찬가지로, Vout이 Vddq이면, NMOS 코어 디바이스(130)는 Vddq의 전체 값의 Vds로 과부하될 수 있다. 유사하게, 상보성 MOS 디바이스들(170, 110)은 상보적 상태로 과부하될 수 있다. 유리하게, 전압 클램핑 요소들(140, 150)은 코어 디바이스들이 과부하되는 것을 방지한다. 그래프(4300)에 도시된 바와 같이, 레벨 시프터(100)를 위한 모델링된 파형은 Vout이 Vddq에서 Vth 사이인 것을 확인한다. 따라서, 도 4에 도시된 모델은 레벨 시프터(100)가 코어 디바이스의 동작 범위 밖의 I/O 전압을 이용할지라도 레벨 시프터(100)가 동작 동안에 MOS 코어 디바이스들을 과부하시키지 않을 것임을 나타낸다.
- [0043] 출원인은 레벨 시프터(100)의 동작을 위해 모든 노드에서 항상 전압을 추가 계산하여 모델링된 레벨 시프터가 MOS 코어 디바이스들 중 어느 것도 과부하시키지 않고 다양한 공정 과정 동안에 충분히 신뢰성 있게 유지된다는 것을 확인한다. 계산된 공정 과정은, (a) $1 \times \text{Vdd}$ 및 $25\text{ }^\circ\text{C}$ 에서 동작하는 보통 보통으로 정의되는, 보통의 과정, (b) $0.9 \times \text{Vdd}$ 및 $-40\text{ }^\circ\text{C}$ 의 느림 느림으로 정의되는, 최악의 저온 과정, 및 (c) $1.1 \times \text{Vdd}$ 및 $125\text{ }^\circ\text{C}$ 의 빠름 빠름으로 정의되는, 최대 누설 과정을 포함한다.
- [0044] 대안적인 실시예들에서, 본 명세서의 설명에 따라 적응되는 컴포넌트들의 나머지를 이용하여, MOS 코어 디바이스들의 임의의 문턱값 전압이 채택될 수 있다. 마찬가지로, 개시된 실시예들은 최대 동작 전압과 문턱값

전압의 합이 I/O 전압 범위보다 크도록 문턱값 전압을 이용하여, 임의의 공정의 코어 디바이스의 최대 동작 전압으로 적용될 수 있다. 대안적인 실시예들에서, 전압 클램핑 요소는 다이오드 또는 다른 압축된 회로와 같은, 유사한 전압 클램핑(Vth)을 제공하는 컴포넌트로 교체될 수 있다. 일부 실시예들에서, MOS 코어 디바이스들은 표준 문턱값 전압 트랜지스터(standard threshold voltage transistor; SVT)로 구현된다. 설계 목적, 통상적으로 누설 및 속도에 따라, 대안적인 실시예들은 MOS 코어 디바이스를 이용하고, MOS 코어 디바이스는 낮은 문턱값 전압 트랜지스터(low threshold voltage transistor; LVT), 높은 문턱값 전압 트랜지스터(high threshold voltage transistor; HVT), 다른 이용 가능한 문턱값 레벨, 및 이들의 조합을 이용하여 구현될 수 있다. 기술 분야의 당업자에 의해 이해되는 바와 같이, 다른 실시예들이 MOSFET 이외의 다른 트랜지스터 기술들을 이용하여 구현될 수 있다. 마찬가지로, 도 1에 도시된 회로의 상보적 회로가 상보적 전압 및 컴포넌트를 이용하여 개발될 수 있다. 여기에서, Vss 레일이 0 V의 그라운드에 연결되어 있는 것으로 기술되었다. 용어 "그라운드"는 공통 기준 전압 노드를 포함하는데 이용되는 것으로 실제 그라운드에 연결될 필요는 없다. 대안적인 실시예들에서, Vss 및 Vssq는 공통 전압 도메인에 연결된다. 대안적으로, Vssq는 일부 실시예들에서 Vss와 교환될 수 있다. 대안적인 실시예들에서, I/O 전압 범위 및/또는 코너 전압 범위 중 낮은 전압 레벨이 음의 전압을 포함하는 일부 다른 기준 전압 레벨에 있을 수 있다. 대안적인 실시예들에서, 레벨 시프터(100)는 I/O 전압 범위를 이용하는 입력 신호를 코어 동작 전압으로 하향 전환하고, 다른 코어 디바이스에 의한 이용을 위해 코어 전압으로 신호를 출력한다. 기술 분야의 당업자는 설계 변화가 주어진 I/O 문제를 위한 특정한 속도, 구동 요건 및 신뢰성 요건, 사양 또는 설계 파라미터를 충족하도록 만들어 질 수 있다는 것을 이해할 것이다.

[0045] 대안적인 기술들과 비교하여, 다양한 실시예들은 I/O 디바이스들을 SOC 또는 3D IC 다이와 함께 이용하여 감소된 테이프아웃 마크스 비용, 제조 시간, 및 요구되는 회로 영역으로 개발될 수 있도록 한다. 예를 들어, 종래의 I/O 디바이스에서 다이 밖에 배치된 큰 컴포넌트 대신에 코어 디바이스를 이용하여 레벨 드라이버를 구현하는 것은 제조 시간의 절약을 야기한다. 이득은 I/O 채널 단위로 주어지며, 주어진 시스템에 구현된 레벨 시프터들의 수와 곱해진다. 어떤 실시예들은 테이프아웃 마스크 비용을 4배 내지 5배 감소할 수 있다. 다양한 실시예들은 각각의 I/O 셀에서 추가의 중간 바이어스 전압의 제공을 요구하지 않고 코어 디바이스 레벨 시프터를 SOC 또는 3D IC 다이와 함께 이용할 수 있도록 하여, 요구되는 영역, 전원 및 안정성 문제를 감소시킬 수 있다. 마찬가지로, 포팅 이득이 공정 이동 동안에 증가되는데, 왜냐하면 코어 디바이스가 통상적으로 오프-다이 I/O 디바이스들보다 더욱 양호한 수축 요소가 있기 때문이다.

[0046] 유리하게, 어떤 실시예들은 추가적인 정전기(electrostatic discharge; ESD) 보호 디바이스를 요구하지 않는다. 예를 들어, 새로운 추가의 중간 바이어스 전압이 코어 디바이스 레벨 시프터를 구현하는데 요구되면, 추가적인 ESD 보호 디바이스가 중간 바이어스 전압과 기존의 전압 레일들(Vdd, Vss, Vddq, 및 Vssq) 각각 사이에 상호접속될 필요가 있고, 이는 결과적으로 ESD 네트워크를 약화시킨다.

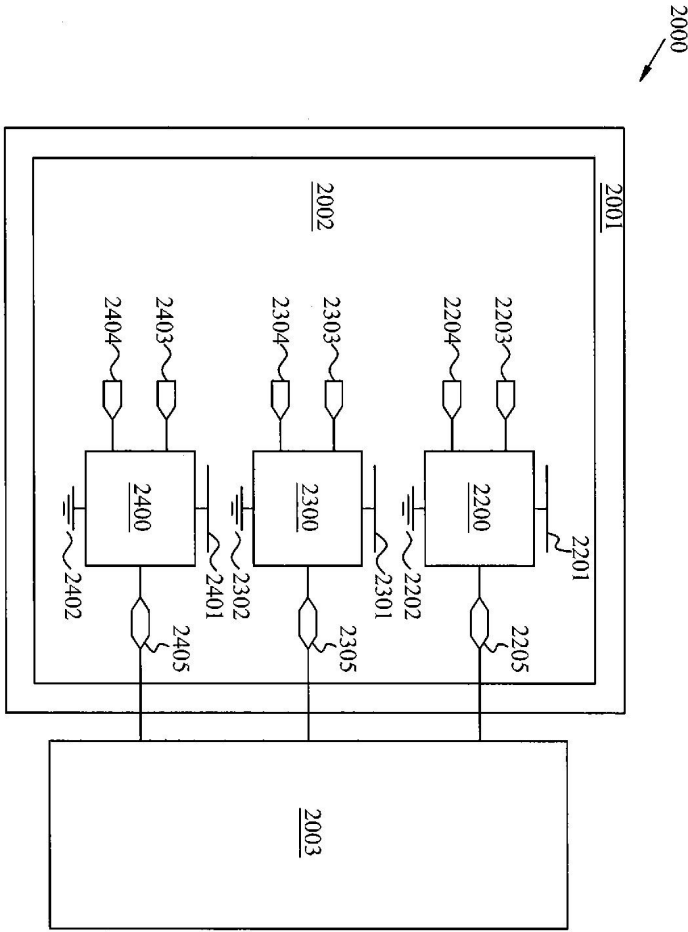
[0047] 어떤 양태 및 실시예들에서, 레벨 시프터, 레벨 시프터를 이용하는 시스템, 및 레벨 시프터를 동작시키는 방법이 개시된다. 제 1 양태에서, 코어 전압 범위 내의 전압들과 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하기 위한 레벨 시프터가 개시된다. 레벨 시프터는 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들을 갖는다. 레벨 시프터는 코어 전압 범위 내의 전압을 갖는 입력 신호를 복수의 상호접속된 트랜지스터들에 제공하기 위한 입력 연결부를 갖는다. 출력 연결부가 복수의 상호접속된 트랜지스터들에 결합된다. 제 1 전원 연결부는 I/O 전압 범위 중 고전압 레벨에 있는 제 1 전압 공급부에 복수의 상호접속된 트랜지스터들을 결합시키기 위한 것이고, 제 2 전원 연결부는 코어 전압 범위 중 저전압 레벨에 있는 제 2 전압 공급부에 복수의 상호접속된 트랜지스터들을 결합시키기 위한 것이다. 레벨 시프터는 I/O 전압 범위와 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는 전압 클램핑 요소를 갖는다. 전압 클램핑 요소는 복수의 상호접속된 트랜지스터들이 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합된다. 전압 클램핑 요소 및 복수의 상호접속된 트랜지스터들은 I/O 전압 범위 중 고전압 레벨에 있는 고출력 신호를 출력 연결부에 제공하고, 코어 전압 범위 중 저전압 레벨보다 위에 있는 대략 하나의 문턱값 전압인 저출력 신호를 출력 연결부에 제공한다.

[0048] 제 2 양태에서, 시스템은 적어도 하나의 집적 회로 실리콘 다이를 갖는다. 시스템은 집적 회로 실리콘 다이 밖에 배치된 오프 코어 회로 및 집적 회로 실리콘 다이에 배치된 코어 회로를 갖는다. 코어 회로는 코어 전압 범위에 걸쳐 동작하도록 구성된 복수의 코어 디바이스들을 포함하고, 이는 코어 회로를 오프 코어 회로에 결합시키기 위한 복수의 레벨 시프터들을 포함한다. 레벨 시프터들은 코어 전압 범위에 걸쳐 동작하도록 구성된 코어 디바이스를 이용하여 구현되고, 레벨 시프터들 중 적어도 하나의 레벨 시프터는 제 1 양태에 관하

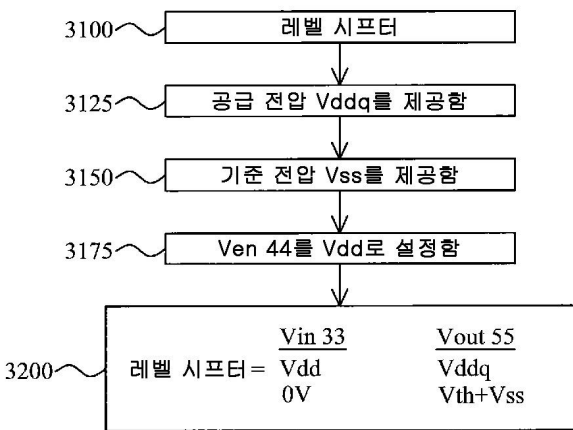
여 기술된 바와 같이 구현된다.

- [0049] 제 3 양태에서, 코어 전압 범위 내의 전압들과 코어 전압 범위보다 큰 I/O 전압 범위 내의 전압들 사이에서 전환하도록 구성된 레벨 시프터를 동작하는 방법이 개시된다. 방법은 코어 전압 범위 내의 전압들에서 동작하도록 구성된 코어 디바이스들로서 구현된 복수의 상호접속된 트랜지스터들을 갖는 레벨 시프터를 제공하는 단계를 포함한다. 제공된 레벨 시프터는 입력 연결부, 출력 연결부, 제 1 전원 연결부, 제 2 전원 연결부, 및 전압 클램핑 요소를 더 포함한다. 전압 클램핑 요소는 I/O 전압 범위와 코어 전압 범위 간의 차이보다 크거나 같은 문턱값 전압을 갖는다. 전압 클램핑 요소는 복수의 상호접속된 트랜지스터들이 코어 전압 범위를 넘어서는 전압들로 과부화되는 것을 방지하기 위해 결합된다. 방법은 I/O 전압 범위 중 고전압을 제 1 전원 연결부에 공급하는 단계, 및 코어 전압 범위 중 저전압을 제 2 전원 연결부에 공급하는 단계를 더 포함한다. 방법은 코어 전압 범위 중 고전압 레벨의 높은 레벨 및 코어 전압 범위 중 저전압 레벨의 낮은 레벨 내에서 입력 신호를 제 1 입력 연결부에 인가하는 단계를 포함한다. I/O 전압 범위 중 고전압 레벨의 높은 레벨 및 코어 전압 범위 중 저전압 레벨보다 위에 있는 하나의 문턱값 전압인 낮은 레벨 내에서 출력 신호가 레벨 시프터로부터 수신된다.
- [0050] 일부 실시예들에서, 전압 클램핑 요소는 한 쌍의 전압 클램핑 요소들 중 하나이고, 복수의 상호접속된 트랜지스터들은 한 쌍의 입력 트랜지스터들 및 한 쌍의 교차 결합된 트랜지스터들을 포함한다. 한 쌍의 입력 트랜지스터들은 제 2 전원 연결부와 한 쌍의 전압 클램핑 요소들 사이에 캐스캐이드로 각각 연결되고, 레벨 시프터의 입력 연결부와 입력 트랜지스터들 중 하나의 입력 트랜지스터 사이에 연결된 코어 디바이스 인버터를 갖는다. 한 쌍의 교차 결합된 트랜지스터들은 전압 클램핑 요소들 및 제 1 전원 연결부 사이에 캐스캐이드로 각각 연결된다. 일부 실시예들에서, 한 쌍의 입력 트랜지스터들은 NMOS 코어 디바이스들이고, 한 쌍의 교차 결합된 트랜지스터들은 PMOS 코어 디바이스들이다.
- [0051] 일부 실시예들에서, 복수의 상호접속된 트랜지스터들은 제 1 전원 연결부 및 제 2 전원 연결부 중 하나와 복수의 상호접속된 트랜지스터들의 나머지 트랜지스터들을 연결하는 인에이블 트랜지스터를 포함한다. 일부 실시예들에서, 인에이블 트랜지스터는 제 2 전원 연결부에 복수의 상호접속된 트랜지스터들의 나머지 트랜지스터들을 연결하는 NMOS 코어 디바이스이다. 일부 실시예들에서, 전압 클램핑 요소는 다이오드이다. 일부 실시예들에서, 전압 클램핑 요소는 함께 단락된 게이트 단자와 드레인 단자를 갖는 MOS 코어 디바이스이다. 어떤 실시예들에서, 레벨 시프터는 와이드 I/O 애플리케이션을 위해 구성된다.
- [0052] 일부 실시예들에서, 레벨 시프터의 출력 신호는 입력 신호를 코어 전압 범위 중 고전압으로 전이시킴으로써 풀업되어, 레벨 시프터의 출력 신호를 I/O 전압 범위 중 고전압으로 전이시킨다. 어떤 실시예들에서, 레벨 시프터의 출력 신호는 입력 신호를 코어 전압 범위 중 저전압으로 전이시킴으로써 풀다운되어, 레벨 시프터의 출력 신호를 코어 전압 범위 중 저전압보다 위에 있는 대략 하나의 문턱값 전압으로 전이시킨다. 일부 실시예들에서, 레벨 시프터는 자신의 인에이블 연결부에 인에이블 신호를 인가함으로써 인에이블된다.
- [0053] 주제가 예시적인 실시예에 따라 설명되어 있지만, 이에 한정되는 것은 아니다. 오히려, 첨부된 특허청구범위가 기술 분야의 당업자에 의해 행해질 수 있는 다른 변형 및 실시예들을 포함하도록 광범위하게 해석되어야 한다.

도면2



도면3



도면4

