

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成18年12月28日(2006.12.28)

【公開番号】特開2005-165706(P2005-165706A)

【公開日】平成17年6月23日(2005.6.23)

【年通号数】公開・登録公報2005-024

【出願番号】特願2003-404063(P2003-404063)

【国際特許分類】

G 0 6 F 17/50 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 6 F 17/50 6 5 8 E

G 0 6 F 17/50 6 5 8 A

H 0 1 L 21/82 C

H 0 1 L 27/04 D

【手続補正書】

【提出日】平成18年11月10日(2006.11.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Mビット幅の信号を信号処理する回路を設計する回路設計装置において、

前記Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定手段と、

前記条件設定手段により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割手段と、

前記分割手段により分割されたブロック毎に、複数の素子を配置する配置手段と、

前記配置手段により配置された前記素子同士の間を配線する素子配線手段と、

前記素子配線手段により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線手段と

を備えることを特徴とする回路設計装置。

【請求項2】

Mビット幅の信号を信号処理する回路を設計する回路設計装置の回路設計方法において

前記Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、

前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ス

テップと、

前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とする回路設計方法。

【請求項 3】

Mビット幅の信号を処理する回路を設計する回路設計処理をコンピュータに実行させるプログラムであって、

前記Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、

前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、

前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とするプログラムが記録される記録媒体。

【請求項 4】

Mビット幅の信号を処理する回路を設計する回路設計処理をコンピュータに実行させるプログラムであって、

前記Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、

前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、

前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とするプログラム。

【請求項 5】

Mビット幅の信号を処理する回路を有する半導体集積回路であって、

前記回路は、Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎にそれぞれ信号処理するN個のブロックに分割されて構成される

ことを特徴とする半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【 0 0 1 4 】

本発明の回路設計装置は、Mビット幅の信号について、N (N < M) ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定手段と、条件設定手段により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割手段と、分割手段により分割されたブロック毎に、複数の素子を配置する配置手段と、配置手段により配置された素子同士の間を配線する素子配線手段と、素子配線手段により素子同士が配線されたブロック同士の間を配線するブロック配線手段とを備えることを特徴とする。

【 手続補正 3 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 5

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 5 】

本発明の回路設計方法は、Mビット幅の信号について、N (N < M) ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定ステップと、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【 手続補正 4 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 6

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 6 】

本発明の記録媒体に記録されるプログラムは、Mビット幅の信号について、N (N < M) ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定ステップと、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【 手続補正 5 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 7

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 7 】

本発明のプログラムは、Mビット幅の信号について、N (N < M) ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎

に信号処理するように信号条件を設定する条件設定ステップと、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の半導体集積回路は、回路は、Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎にそれぞれ信号処理するN個のブロックに分割されて構成されることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明においては、回路が、Mビット幅の信号について、N(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎にそれぞれ信号処理するN個のブロックに分割される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の回路設計装置は、Mビット幅の信号(例えば、図4の入力信号71)を処理する回路(例えば、図5のLSI101)を設計する回路設計装置(例えば、図2の回路設計装置21)において、Mビット幅(例えば、6144ビット幅)の信号について、N(例えば、8)(N<M)ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組(例えば、図4の信号組91-1)にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定手段(例えば、図2の条件設定部32)と、条件設定手段により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロック(例えば、図5のブロック111-1乃至111-8)に、回路を分割する分割手段(例えば、図3のブロック分割部33)と、分割手段により分割されたブロック毎に、複数の素子を配置する配置手段(例えば、図2のレイアウト部35)と、配置手段により配置された素子同士の間を配線する素子配線手段(例えば、図2のセル配線部36)と、素子配線手段により素子同士が配線されたブロック同士の間を配線するブロック配線手段(例えば、図2のブロック配線部37)とを備えることを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の回路設計方法は、Mビット幅の信号（例えば、図4の入力信号71）を処理する回路（例えば、図5のLSI101）を設計する回路設計方法において、Mビット幅（例えば、6144ビット幅）の信号について、N（例えば、8）（ $N < M$ ）ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他にも同様にすることで、1組目乃至N組目からなるN個の信号組（例えば、図4の信号組91-1）にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定ステップ（例えば、図3のステップS1）と、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロック（例えば、図5のブロック111-1乃至111-8）に、回路を分割する分割ステップ（例えば、図3のステップS2）と、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップ（例えば、図3のステップS4）と、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップ（例えば、図3のステップS5）と、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップ（例えば、図3のステップS6）とを含むことを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の半導体集積回路は、Mビット幅の信号（例えば、図4の入力信号71）を処理する回路（例えば、図5のLSI101）を有する半導体集積回路であって、回路は、Mビット幅（例えば、6144ビット幅）の信号について、N（例えば、8）（ $N < M$ ）ビット毎の1ビット目のみを1組目としてまとめ、Nビット目のみをN組目としてまとめ、他にも同様にすることで、1組目乃至N組目からなるN個の信号組（例えば、図4の信号組91-1）にまとめて、まとめられたN個の信号組毎にそれぞれ信号処理するN個のブロック（例えば、図5のブロック111-1乃至111-8）に分割されて構成されることを特徴とする。