

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月19日(19.01.2017)



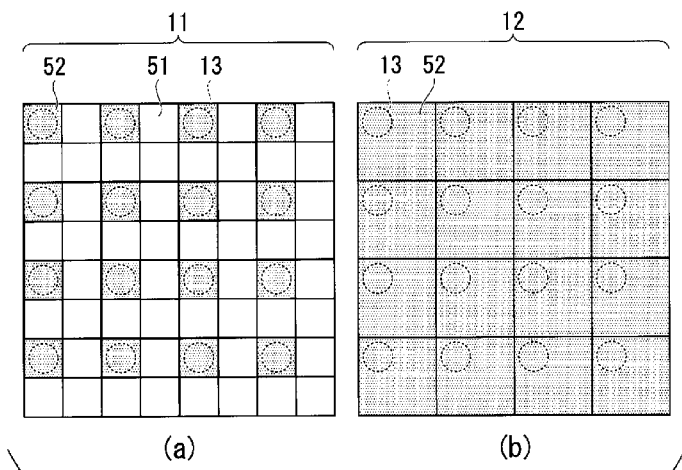
(10) 国際公開番号
WO 2017/009944 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/345 (2011.01)
- (21) 国際出願番号: PCT/JP2015/070129
- (22) 国際出願日: 2015年7月14日(14.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 Tokyo (JP).
- (72) 発明者: 近藤 亨 (KONDO Toru); 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内 Tokyo (JP). 田宮 公成 (TAMIYA Kosei); 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内 Tokyo (JP). 渡辺 伸之 (WATANABE Nobuyuki); 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 固体撮像装置



(57) **Abstract:** The present invention has: a first semiconductor substrate on which light is incident; a second semiconductor substrate that is layered on a surface located on the opposite side of a surface on which side the light is incident on the first semiconductor substrate; n-number of first photoelectric conversion elements that are disposed on the first semiconductor substrate at a certain interval, and that each generate a first charge signal obtained through photoelectric conversion of the incident light; n-number of first retrieval circuits that are disposed on the first semiconductor substrate in a corresponding manner with the respective n-number of first photoelectric conversion elements, that each accumulate the first charge signal generated by a corresponding one of the first photoelectric conversion elements, and that each output, as a first pixel signal, a signal voltage in accordance with the accumulated first charge signal; a drive circuit that successively drives each of the n-number of first retrieval circuits and causes each thereof to output the first pixel signal; m-number of second photoelectric conversion elements that are disposed on the second semiconductor substrate at a certain interval, and

that each generate a second charge signal obtained through photoelectric conversion of the incident light; and m-number of second retrieval circuits that each successively output a second pixel signal representing a change in, among the m-number of second photoelectric conversion elements, the second charge signal generated by a corresponding one of the second photoelectric conversion elements, wherein each of the m-number of second retrieval circuits has: a detection circuit that detects a temporal change in the second charge signal generated by the corresponding one of the second photoelectric conversion elements and that outputs, when a change exceeding a predetermined threshold is detected, an event signal representing the direction of the change; and a pixel signal generation circuit that is disposed on the

[続葉有]



WO 2017/009944 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

second semiconductor substrate and that outputs a second pixel signal obtained by adding, to the event signal, address information representing the position where the corresponding one of the second photoelectric conversion elements is disposed, wherein n is a natural number equal to or larger than 2 and m is a natural number equal to or larger than 2.

(57) 要約: 光が入射する第 1 の半導体基板と、第 1 の半導体基板に光が入射する側の面と反対側の面に積層される第 2 の半導体基板と、第 1 の半導体基板に周期的に配置され、入射した光を光電変換した第 1 の電荷信号を発生する n 個の第 1 の光電変換素子と、第 1 の半導体基板に、 n 個の第 1 の光電変換素子のそれぞれに対応して配置され、対応する 1 個の第 1 の光電変換素子が発生した第 1 の電荷信号を蓄積し、蓄積した第 1 の電荷信号に応じた信号電圧を第 1 の画素信号として出力する n 個の第 1 の読み出し回路と、 n 個の第 1 の読み出し回路のそれぞれを順次駆動して第 1 の画素信号のそれぞれを出力させる駆動回路と、第 1 の半導体基板および第 2 の半導体基板のいずれか一方に周期的に配置され、入射した光を光電変換した第 2 の電荷信号を発生する m 個の第 2 の光電変換素子と、 m 個の第 2 の光電変換素子の内、対応する 1 個の第 2 の光電変換素子が発生した第 2 の電荷信号の変化を表す第 2 の画素信号を逐次出力する m 個の第 2 の読み出し回路と、を有し、 m 個の第 2 の読み出し回路のそれぞれは、対応する 1 個の第 2 の光電変換素子が発生した第 2 の電荷信号の時間的な変化を検出し、予め定めた閾値を超え変化を検出したときに、変化した方向を表すイベント信号を出力する検出回路と、第 2 の半導体基板に配置され、イベント信号に、対応する 1 個の第 2 の光電変換素子が配置された位置を表すアドレス情報を付加した第 2 の画素信号を出力する画素信号生成回路と、を有し、 n は 2 以上の自然数であり、 m は 2 以上の自然数である。

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、固体撮像装置に関する。

背景技術

[0002] 従来から、被写体の動きを検出する動き検出の技術がある。従来の動き検出では、予め定めたフレームの間隔で撮影したそれぞれの画像の差分をとることによって、動いている被写体を捕らえている。このため、従来の動き検出では、被写体の動きをフレームの間隔でしか検出することができない。つまり、被写体の動きを逐次検出することができない。

[0003] そこで、近年では、例えば、非特許文献1に開示されたように、被写体の動きに応じた信号の変化を検出することによって、被写体の動きを逐次検出する動き検出と、通常の撮影とを両立する固体撮像装置の技術が提案されている。非特許文献1に提案された固体撮像装置では、それぞれの画素に、入射した光を光電変換する1個の光電変換素子（フォトダイオード）を備え、通常の撮影による電荷信号を読み出すAPS（Active Pixel Sensor）読み出しと、動き検出のための電荷信号を読み出すAER（Address Event Representation）読み出しとを非同期に行うことができる。

[0004] 非特許文献1に提案された固体撮像装置では、動き検出の際に、フォトダイオードが光電変換している電荷信号の時間的な変化を検出し、電荷信号の大きさが予め定めた閾値を超えた画素からのみ、電荷信号が変化した方向、つまり、電荷信号の大きさの増減を表すパルス信号をAER読み出しで出力している。このとき、AER読み出しによって出力されるパルス信号には、パルス信号を出力する画素、つまり、被写体の動きを検出した画素の位置を表すアドレス情報も付加されている。

[0005] これにより、非特許文献1に提案された固体撮像装置では、被写体の動き

を検出した画素の位置を、通常の撮影において電荷信号を読み出すフレームのタイミングとは関係しない非同期のタイミングで抽出することができる。このことにより、非特許文献1に提案された固体撮像装置では、通常の撮影におけるフレームレートよりも高速に、動いている被写体を捕らえることができる。

先行技術文献

非特許文献

- [0006] 非特許文献1：“A 240×180 10mW 12us latency sparse-output vision sensor for mobile applications”, VLSI Circuits (VLSIC), 2013 Symposium on, Publication Year: 2013, Page(s): C186 – C187

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、非特許文献1に提案された固体撮像装置では、電荷信号が変化した方向を検出する論理回路や、パルス信号にアドレス情報を付加するための論理回路を、それぞれの画素に備える必要がある。このため、非特許文献1に提案された固体撮像装置では、画素への論理回路の追加に伴って、フォトダイオードの面積を小さくすることが必要になってしまう。これにより、非特許文献1に提案された固体撮像装置では、フォトダイオードが入射した光を光電変換する電荷信号のレベルが低下してしまう。このため、非特許文献1に提案された固体撮像装置では、APS読み出しによって読み出す通常の撮影で得る電荷信号のレベルの低下によって、撮影した通常の画像の画質が低下してしまう。
- [0008] また、電荷信号が変化した方向を検出する論理回路や、パルス信号にアドレス情報を付加するための論理回路をそれぞれの画素に備えるということは

、フォトダイオードの面積を小さくして画素数を増加することも困難になるため、固体撮像装置の高画素化を阻害する要因にもなる。

[0009] また、フォトダイオードが光電変換する電荷信号のレベルが低下するということは、動き検出において時間的な変化を検出するための電荷信号のレベルも低下するということであり、動き検出の精度が低下してしまうことにもつながる。そこで、動き検出の精度の低下を抑えるために、パルス信号を増幅して出力する増幅回路（アンプ）をさらに設けることも考えられるが、この場合、さらに設けたアンプも論理回路に含まれるため、フォトダイオードの面積をさらに小さくすることが必要となり、上述したような、通常の撮影における画質の低下や、固体撮像装置の高画素化の問題がより顕著になってしまう。

[0010] 本発明は、上記の課題に基づいてなされたものであり、被写体の動きを逐次検出する動き検出と通常の撮影とを両立する固体撮像装置において、動き検出の精度を低下させることなく、通常の撮影における画質を向上させることができる固体撮像装置を提供することを目的としている。

課題を解決するための手段

[0011] 本発明の第1の態様によれば、固体撮像装置は、光が入射する第1の半導体基板と、前記第1の半導体基板に光が入射する側の面と反対側の面に積層される第2の半導体基板と、前記第1の半導体基板に周期的に配置され、入射した光を光電変換した第1の電荷信号を発生するn個の第1の光電変換素子と、前記第1の半導体基板に、前記n個の第1の光電変換素子のそれぞれに対応して配置され、対応する1個の前記第1の光電変換素子が発生した前記第1の電荷信号を蓄積し、蓄積した前記第1の電荷信号に応じた信号電圧を第1の画素信号として出力するn個の第1の読み出し回路と、前記n個の第1の読み出し回路のそれぞれを順次駆動して前記第1の画素信号のそれぞれを出力させる駆動回路と、前記第1の半導体基板および前記第2の半導体基板のいずれか一方に周期的に配置され、入射した光を光電変換した第2の電荷信号を発生するm個の第2の光電変換素子と、前記m個の第2の光電変

換素子の内、対応する1個の前記第2の光電変換素子が発生した前記第2の電荷信号の変化を表す第2の画素信号を逐次出力するm個の第2の読み出し回路と、を有し、前記m個の第2の読み出し回路のそれぞれは、対応する1個の前記第2の光電変換素子が発生した前記第2の電荷信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出したときに、変化した方向を表すイベント信号を出力する検出回路と、前記第2の半導体基板に配置され、前記イベント信号に、対応する1個の前記第2の光電変換素子が配置された位置を表すアドレス情報を付加した前記第2の画素信号を出力する画素信号生成回路と、を有し、前記nは2以上の自然数であり、前記mは2以上の自然数である。

[0012] 本発明の第2の態様によれば、上記第1の態様の固体撮像装置において、前記m個の第2の読み出し回路のそれぞれは、前記第2の半導体基板に配置され、対応する1個の前記第2の光電変換素子が発生した前記第2の電荷信号を増幅するアンプ回路、をさらに有し、前記検出回路は、前記アンプ回路によって増幅された後の前記第2の電荷信号の変化を検出してもよい。

[0013] 本発明の第3の態様によれば、上記第1の態様の固体撮像装置において、前記mは前記nよりも小さく、前記m個の第2の光電変換素子のそれぞれが光を受光する面積は、前記n個の第1の光電変換素子のそれぞれが光を受光する面積よりも大きくてもよい。

[0014] 本発明の第4の態様によれば、上記第1の態様の固体撮像装置において、前記m個の第2の光電変換素子のそれぞれは、前記第2の半導体基板に配置され、前記n個の第1の光電変換素子の内、対応するp個の前記第1の光電変換素子を透過した光を光電変換した第2の電荷信号を発生し、前記pは1以上の自然数であってもよい。

[0015] 本発明の第5の態様によれば、上記第1の態様の固体撮像装置において、前記第1の半導体基板と前記第2の半導体基板との間に形成され、前記第1の半導体基板の回路要素と前記第2の半導体基板の回路要素とを電気的に接続する接続部、をさらに有し、前記mは前記nよりも小さく、前記m個の第

2の光電変換素子のそれぞれは、前記第1の半導体基板に配置され、前記接続部は、前記m個の第2の読み出し回路のそれぞれが有する前記検出回路と、対応する1個の前記第2の光電変換素子とを電気的に接続してもよい。

[0016] 本発明の第6の態様によれば、上記第1の態様の固体撮像装置において、前記第1の半導体基板と前記第2の半導体基板との間に形成され、前記第1の半導体基板の回路要素と前記第2の半導体基板の回路要素とを電気的に接続する接続部、をさらに有し、前記第2の光電変換素子は、前記第1の光電変換素子であり、前記m個の第2の読み出し回路のそれぞれは、前記n個の第1の光電変換素子の内、対応するs個の前記第1の光電変換素子が発生した前記第1の電荷信号の変化を表す前記第2の画素信号を逐次出力し、前記m個の第2の読み出し回路のそれぞれが有する前記検出回路は、対応するs個の前記第1の光電変換素子が発生した前記第1の電荷信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出したときに、前記イベント信号を出力し、前記接続部は、前記m個の第2の読み出し回路のそれぞれが有する前記検出回路と、対応するs個の前記第1の光電変換素子とを電気的に接続し、前記sは1以上の自然数であってもよい。

[0017] 本発明の第7の態様によれば、上記第6の態様の固体撮像装置において、前記mは前記nよりも小さく、前記sは2以上の自然数であり、前記m個の第2の読み出し回路のそれぞれは、対応するs個の前記第1の光電変換素子が発生したそれぞれの前記第1の電荷信号を加算する加算回路、をさらに有し、前記検出回路は、前記加算回路によって加算された後の前記第1の電荷信号の変化を検出してもよい。

[0018] 本発明の第8の態様によれば、上記第7の態様の固体撮像装置において、前記m個の第2の読み出し回路のそれぞれは、前記第2の半導体基板に配置され、前記加算回路によって加算された後の前記第1の電荷信号を増幅するアンプ回路、をさらに有し、前記検出回路は、前記アンプ回路によって増幅された後の前記第1の電荷信号の変化を検出してもよい。

[0019] 本発明の第9の態様によれば、上記第7の態様の固体撮像装置において、

前記加算回路は、前記第 1 の半導体基板に配置され、前記接続部は、前記 m 個の第 2 の読み出し回路のそれぞれが有する前記検出回路と、対応する前記加算回路とを電氣的に接続してもよい。

発明の効果

[0020] 上記各態様によれば、被写体の動きを逐次検出する動き検出と通常の撮影とを両立する固体撮像装置において、動き検出の精度を低下させることなく、通常の撮影おける画質を向上させることができる固体撮像装置を提供することができる。

図面の簡単な説明

[0021] [図1]本発明の第 1 の実施形態における固体撮像装置の概略構成を示した概観図である。

[図2]本発明の第 1 の実施形態における固体撮像装置の概略構成を示したブロック図である。

[図3A]本発明の第 1 の実施形態の固体撮像装置における画素の構成の一例を示した回路図である。

[図3B]本発明の第 1 の実施形態の固体撮像装置における画素の構成の一例を示した回路図である。

[図4]本発明の第 1 の実施形態の固体撮像装置における画素の配置の一例を模式的に示した図である。

[図5]本発明の第 1 の実施形態の固体撮像装置の構造の一例を示した断面図である。

[図6]本発明の第 1 の実施形態の固体撮像装置における画素の配置の別の一例を模式的に示した図である。

[図7]本発明の第 1 の実施形態の固体撮像装置の別の構造の一例を示した断面図である。

[図8A]本発明の第 2 の実施形態の固体撮像装置における画素の構成の一例を示した回路図である。

[図8B]本発明の第 2 の実施形態の固体撮像装置における画素の構成の一例を

示した回路図である。

[図9]本発明の第2の実施形態の固体撮像装置における画素の配置の一例を模式的に示した図である。

[図10]本発明の第2の実施形態の固体撮像装置における画素の配置の別の一例を模式的に示した図である。

[図11]本発明の第2の実施形態の固体撮像装置の構造の一例を示した断面図である。

[図12]本発明の第3の実施形態の固体撮像装置における画素の構成の一例を示した回路図である。

[図13]本発明の第3の実施形態の固体撮像装置において画素を駆動するタイミングの一例を示したタイミングチャートである。

[図14]本発明の第3の実施形態の固体撮像装置における画素の構成の別の一例を示した回路図である。

[図15]本発明の第3の実施形態の固体撮像装置の別の構造の一例を示した断面図である。

[図16]本発明の第3の実施形態の固体撮像装置における画素の構成のさらに別の一例を示した回路図である。

[図17]本発明の第3の実施形態の固体撮像装置における画素の構成のさらに別の一例を示した回路図である。

発明を実施するための形態

[0022] (第1の実施形態)

以下、本発明の実施形態について、図面を参照して説明する。図1は、本発明の第1の実施形態における固体撮像装置の概略構成を示した概観図である。第1の実施形態の固体撮像装置1は、複数の半導体基板を積層（接合）して構成する。図1において、固体撮像装置1は、第1の半導体基板11と、第2の半導体基板12とを、チップ接続部13によって接合している。

[0023] 固体撮像装置1は、固体撮像装置1の機能を実現するための回路を、第1の半導体基板11または第2の半導体基板12のいずれか一方の半導体基板

上に形成する。固体撮像装置 1 の機能を実現するための回路は、入射してきた光（光線）を光電変換するフォトダイオードなどの光電変換素子、および光電変換素子が発生した電荷信号を読み出す読み出し回路を含む画素が二次元の行列状に複数配置された画素アレイ部、画素アレイ部内の画素を駆動するための駆動回路などがある。

[0024] なお、固体撮像装置 1 の機能を実現するためのそれぞれの回路は、第 1 の半導体基板 1 1 または第 2 の半導体基板 1 2 のいずれか一方の半導体基板上に形成する構成のみではなく、第 1 の半導体基板 1 1 および第 2 の半導体基板 1 2 の両方の半導体基板上に形成する構成であってもよい。

[0025] それぞれの半導体基板上に形成された固体撮像装置 1 の機能を実現するためのそれぞれの回路は、チップ接続部 1 3 によって電氣的に接続する。そして、第 1 の半導体基板 1 1 に形成した回路と第 2 の半導体基板 1 2 に形成した回路とは、チップ接続部 1 3 を介して信号の送受信を行う。

[0026] チップ接続部 1 3 は、例えば、蒸着法、めっき法で作製されるマイクロバンプなどを用いる。なお、それぞれの半導体基板上に形成された固体撮像装置 1 の機能を実現するためのそれぞれの回路を接続する方法は、マイクロバンプを用いた方法に限定されるものではなく、例えば、シリコン貫通電極（TSV: Through-Silicon-Via）を用いた方法であってもよい。

[0027] 次に、第 1 の実施形態の固体撮像装置 1 の構成の一例について説明する。図 2 は、本発明の第 1 の実施形態における固体撮像装置 1 の概略構成を示したブロック図である。図 2 において、固体撮像装置 1 は、制御回路 1 0 と、垂直走査回路 2 0 と、水平走査回路 3 0 と、複数の画素 5 0 が配置された画素アレイ部 4 0 とを備えている。なお、図 1 に示した固体撮像装置 1 では、複数の画素 5 0 が、7 行 8 列に 2 次元的に配置された画素アレイ部 4 0 の例を示している。

[0028] 制御回路 1 0 は、垂直走査回路 2 0、水平走査回路 3 0 を制御する。

垂直走査回路 2 0 は、制御回路 1 0 からの制御に応じて、画素アレイ部 4

0内のそれぞれの画素50を制御し、それぞれの画素50の画素信号を垂直信号線60に出力させる駆動回路である。垂直走査回路20は、画素50を駆動するための制御信号を、画素アレイ部40に備えた画素50の行ごとに出力する。

[0029] 水平走査回路30は、画素アレイ部40に備えたそれぞれの画素50から行ごとに出力された画素信号を順次、固体撮像装置1の外部に出力させる駆動回路である。

[0030] 画素アレイ部40内に配置されたそれぞれの画素50は、入射してきた光（光線）を光電変換した電荷信号を発生させる。画素アレイ部40内に配置された画素50には、通常の撮影による電荷信号を発生させる構成の画素50と、動き検出のための電荷信号を発生させる構成の画素50とがある。

[0031] 通常の撮影による電荷信号を発生させる構成の画素50は、垂直走査回路20から入力された制御信号に応じたAPS（Active Pixel Sensor）読み出し（以下、「通常読み出し」という）によって、発生させた電荷信号に応じた画素信号を行ごとに、垂直信号線60に出力する。そして、垂直信号線60に出力されたそれぞれの行の画素信号は、水平走査回路30による制御に応じて、固体撮像装置1の外部に出力される。すなわち、通常の撮影による電荷信号を発生させる構成の画素50の画素信号は、通常の撮影におけるフレームごとに、固体撮像装置1の外部に出力される。なお、以下の説明においては、通常の撮影による電荷信号を発生させる構成の画素50、つまり、通常の撮影の画素信号を出力する画素50を「通常画素51」という。

[0032] また、動き検出のための電荷信号を発生させる構成の画素50は、AER（Address Event Representation）読み出し（以下、「動き検出読み出し」という）によって、電荷信号の時間的な変化および変化した方向を表すパルス信号を、垂直走査回路20による通常画素51の駆動とは同期せずに、つまり、非同期で出力する。このとき、動き検出のための電荷信号を発生させる構成の画素50は、画素50自身の位置を

表すアドレス情報をパルス信号に付加し、画素信号として出力する。なお、以下の説明においては、動き検出のための電荷信号を発生させる構成の画素50、つまり、動き検出の画素信号を出力する画素50を「動き検出画素52」という。

[0033] 通常画素51および動き検出画素52のそれぞれを構成する回路要素は、第1の半導体基板11または第2の半導体基板12のいずれか一方または両方の半導体基板に形成し、チップ接続部13によって画素アレイ部40内で接続する。

[0034] 次に、第1の実施形態の固体撮像装置1において画素アレイ部40内に配置する通常画素51および動き検出画素52の構成について説明する。図3Aおよび図3Bは、本発明の第1の実施形態の固体撮像装置1における画素50（通常画素51および動き検出画素52）の構成の一例を示した回路図である。図3Aには、固体撮像装置1の画素アレイ部40内に配置する通常画素51の構成の一例を示し、図3Bには、固体撮像装置1の画素アレイ部40内に配置する動き検出画素52の構成の一例を示している。

[0035] まず、図3Aを用いて、通常画素51の構成を説明する。図3Aにおいて、通常画素51は、光電変換素子PD1と、電荷転送トランジスタ511、画素リセットトランジスタ512、増幅トランジスタ513、および選択トランジスタ514とを備えている。なお、図3Aにおいては、通常画素51に備えた増幅トランジスタ513のゲート端子に接続されたノードに付随する容量であるノード容量FD1を、通常画素51の回路要素としてキャパシタの記号で示している。

[0036] 通常画素51においては、電荷転送トランジスタ511、画素リセットトランジスタ512、増幅トランジスタ513、および選択トランジスタ514と、ノード容量FD1とで、光電変換素子PD1が発生させた電荷信号に応じた画素信号を読み出す読み出し回路を構成している。固体撮像装置1では、光電変換素子PD1と読み出し回路とを、第1の半導体基板11に形成する。

- [0037] 光電変換素子PD1は、入射してきた光（光線）を光電変換して電荷信号を発生させ、発生させた電荷信号を蓄積するフォトダイオードである。
- [0038] 電荷転送トランジスタ511は、垂直走査回路20から入力された制御信号TXに応じて、光電変換素子PD1が発生して蓄積した電荷信号を、増幅トランジスタ513のゲート端子に転送する。これにより、電荷転送トランジスタ511によって転送された電荷信号が、ノード容量FD1に蓄積される。
- [0039] 増幅トランジスタ513は、ゲート端子に転送された電荷信号、すなわち、ノード容量FD1に蓄積された電荷信号に応じた信号電圧を、選択トランジスタ514に出力する。
- [0040] 画素リセットトランジスタ512は、垂直走査回路20から入力された制御信号RSTに応じて、通常画素51内の電荷信号を、電源電圧VDDにリセットする。
- [0041] 選択トランジスタ514は、垂直走査回路20から入力された制御信号SELに応じて、増幅トランジスタ513から出力される信号電圧を、通常画素51の画素信号として垂直信号線60に出力する。これにより、通常画素51に備えた光電変換素子PD1が発生した電荷信号に応じた画素信号が、垂直信号線60に読み出される。
- [0042] このような構成によって、通常画素51では、光電変換素子PD1が入射した光を光電変換した電荷信号に応じたそれぞれの信号電圧を、画素信号として垂直信号線60に読み出す。
- [0043] 続いて、図3Bを用いて、動き検出画素52の構成を説明する。図3Bにおいて、動き検出画素52は、光電変換素子PD2と、アンプ521と、バイアストランジスタ522と、スイッチトキャパシタアンプ回路523と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525と、AER回路526とを備えている。また、スイッチトキャパシタアンプ回路523は、キャパシタ5231と、アンプ5232と、キャパシタ5233と、スイッチ5234とを備えている。

- [0044] 動き検出画素52において、アンプ521およびバイアストランジスタ522で、光電変換素子PD2が発生させた電荷信号を出力する出力回路を構成している。また、動き検出画素52においては、スイッチトキャパシタアンプ回路523、スレッシュホールドアンプ524、スレッシュホールドアンプ525、およびAER回路526で、光電変換素子PD2が発生させた電荷信号を読み出す読み出し回路を構成している。固体撮像装置1では、光電変換素子PD2および出力回路を第1の半導体基板11に形成し、読み出し回路を第2の半導体基板12に形成する。
- [0045] 光電変換素子PD2は、通常画素51に備えた光電変換素子PD1と同様に、入射してきた光（光線）を光電変換して電荷信号を発生させ、発生させた電荷信号を蓄積するフォトダイオードである。光電変換素子PD2は、発生させた電荷信号を逐次、アンプ521に出力する。
- [0046] アンプ521は、光電変換素子PD2が発生して出力した電荷信号を、増幅する。アンプ521は、増幅した電荷信号を、チップ接続部13を介してスイッチトキャパシタアンプ回路523に出力する。これにより、光電変換素子PD2が発生する電荷信号の変化が、スイッチトキャパシタアンプ回路523に入力される。また、アンプ521は、増幅した電荷信号を、バイアストランジスタ522のゲート端子に転送する。
- [0047] バイアストランジスタ522は、ゲート端子に転送された電荷信号に応じて光電変換素子PD2に流れる電流が一定の電流になるように制御する。これにより、光電変換素子PD2が発生する電荷信号が変化した場合、電荷信号の大きさが逐次、変化した後の大きさに安定する。つまり、光電変換素子PD2の出力がクリップされる。
- [0048] スwitchトキャパシタアンプ回路523は、アンプ521からチップ接続部13を介して入力された電荷信号の変化、つまり、光電変換素子PD2が発生する電荷信号の増減を、予め定めた電圧の範囲の電圧信号に変換し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力する。また、スイッチトキャパシタアンプ回路523の動作は、AER

回路526によってリセットされる。

[0049] より具体的には、アンプ521からチップ接続部13を介して入力された電荷信号は、キャパシタ5231の第1の端子に入力されて蓄積される。これにより、キャパシタ5231の第2の端子から、蓄積した電荷信号に応じた電圧の電圧信号が出力されてアンプ5232に出力される。

[0050] アンプ5232は、入力された電圧信号の電圧を増幅し、増幅した電圧信号を、スイッチトキャパシタアンプ回路523の出力としてスレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれにて出力する。また、アンプ5232が出力した電圧信号は、キャパシタ5233の第1の端子に入力されて蓄積される。これにより、キャパシタ5233の第2の端子から、蓄積した電圧信号に応じた電圧の信号が、フィードバック信号としてアンプ5232に出力される。そして、アンプ5232は、フィードバック信号の電圧に応じた一定の電圧の電圧信号を出力し続ける。つまり、アンプ5232は、アンプ521からチップ接続部13を介してスイッチトキャパシタアンプ回路523に入力された電荷信号に応じた電圧の電圧信号を、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力し続ける。ここで、アンプ5232がスレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力する電圧信号は、光電変換素子PD2が発生する電荷信号が増減した大きさを表す電圧の信号である。

[0051] また、アンプ5232の出力端子（キャパシタ5233の第1の端子でもある）は、スイッチ5234の第1の端子に接続し、アンプ5232の入力端子（キャパシタ5233の第2の端子でもある）は、スイッチ5234の第2の端子に接続している。そして、スイッチ5234は、AER回路526から出力され、制御端子に入力されるリセット信号によって短絡と開放とが制御される。スイッチ5234は、AER回路526から出力されたリセット信号によって短絡するように制御されると、第1の端子と第2の端子とを短絡する。これにより、キャパシタ5233の両方の端子が短絡されて、

キャパシタ 5 2 3 3 の両方の端子の電圧が同じ電圧なってリセットされると共に、アンプ 5 2 3 2 による電圧信号の増幅動作もリセットされる。

[0052] なお、図 3 B には、キャパシタ 5 2 3 1、アンプ 5 2 3 2、キャパシタ 5 2 3 3、およびスイッチ 5 2 3 4 によって構成したスイッチトキャパシタアンプ回路 5 2 3 を示したが、スイッチトキャパシタアンプ回路 5 2 3 の構成は、図 3 B に示した構成に限定されるものではない。

[0053] スレッシュホールドアンプ 5 2 4 およびスレッシュホールドアンプ 5 2 5 のそれぞれは、スイッチトキャパシタアンプ回路 5 2 3 内のアンプ 5 2 3 2 から入力された電圧信号の電圧の変化と、変化した方向とを検出する。

[0054] より具体的には、スレッシュホールドアンプ 5 2 4 およびスレッシュホールドアンプ 5 2 5 のそれぞれは、スイッチトキャパシタアンプ回路 5 2 3 内のアンプ 5 2 3 2 から入力された電圧信号の電圧と、予め定めた閾値電圧（スレッシュホールド電圧）とを比較する。そして、スレッシュホールドアンプ 5 2 4 およびスレッシュホールドアンプ 5 2 5 のそれぞれは、入力された電圧信号の電圧がスレッシュホールド電圧を超えた場合に、スレッシュホールド電圧を超えた変化があることを表すイベント信号を、A E R 回路 5 2 6 に出力する。

[0055] なお、スレッシュホールドアンプ 5 2 4 およびスレッシュホールドアンプ 5 2 5 のそれぞれには、予め定めた正方向の電圧または負方向の電圧のいずれか一方の電圧が、スレッシュホールド電圧として設定されている。図 3 B に示した構成では、スレッシュホールドアンプ 5 2 4 に、予め定めた電圧値の正方向の電圧がスレッシュホールド電圧として設定され、スレッシュホールドアンプ 5 2 5 に、予め定めた電圧値の負方向の電圧がスレッシュホールド電圧として設定されている。このため、スレッシュホールドアンプ 5 2 4 は、アンプ 5 2 3 2 から入力された電圧信号の電圧が、正方向のスレッシュホールド電圧よりも多く正方向（増加する方向）に変化したか否かを検出する。また、スレッシュホールドアンプ 5 2 5 は、アンプ 5 2 3 2 から入力された電圧信号の電圧が、負方向のスレッシュホールド電圧よりも多く負方向（減少する方向）に変化したか否かを検出する。

[0056] このように、スレッシュホールドアンプ 5 2 4 とスレッシュホールドアンプ 5 2 5

との構成によって、スイッチトキャパシタアンプ回路523によって予め定めた電圧の範囲に変換された電圧信号のスレッシュホールド電圧を超える変化および変化した方向とを検出する。これは、光電変換素子PD2が発生した電荷信号の予め定めた閾値を超えた変化および変化した方向を検出することに相当する。そして、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれがAER回路526に出力するイベント信号が、光電変換素子PD2が発生した電荷信号の変化と変化した方向（正方向または負方向）とを表している。つまり、スレッシュホールドアンプ524がイベント信号を出力した場合には、光電変換素子PD2が発生した電荷信号に、正方向の予め定めた閾値を超える変化があったことを表し、スレッシュホールドアンプ525がイベント信号を出力した場合には、光電変換素子PD2が発生した電荷信号に、負方向の予め定めた閾値を超える変化があったことを表している。

[0057] なお、図3Bに示した構成では、スイッチトキャパシタアンプ回路523と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525との構成によって、光電変換素子PD2が発生した電荷信号の時間的な変化を検出している。しかし、光電変換素子PD2が発生した電荷信号の時間的な変化を検出する構成は、図3Bに示した構成に限定されるものではない。例えば、スレッシュホールドアンプ524とスレッシュホールドアンプ525とによって、光電変換素子PD2が発生した電荷信号の時間的な変化を検出する構成にしてもよい。

[0058] AER回路526は、スレッシュホールドアンプ524とスレッシュホールドアンプ525とのそれぞれから入力されたイベント信号に基づいて、光電変換素子PD2が発生させた電荷信号が正方向または負方向のいずれの方向に変化したか、つまり、電荷信号の大きさの増減を判定する。そして、AER回路526は、判定した結果を表すパルス信号を生成する。例えば、光電変換素子PD2が発生させた電荷信号が正方向（増加する方向）に変化した場合に正方向のパルス信号を生成し、光電変換素子PD2が発生させた電荷信号が

負方向（減少する方向）に変化した場合に負方向のパルス信号を生成する。そして、A E R回路5 2 6は、生成したパルス信号に、動き検出画素5 2自身の位置を表すアドレス情報を付加し、画素信号として出力する。なお、以下の説明においては、通常画素5 1が出力する画素信号と区別するため、A E R回路5 2 6、すなわち、動き検出画素5 2が出力する画素信号を、「イベント画素信号」という。

[0059] このような構成によって、動き検出画素5 2では、光電変換素子P D 2が入射した光を光電変換した電荷信号の変化とその変化した方向とを検出し、検出した情報と、動き検出画素5 2の位置を表すアドレス情報とを、動き検出画素5 2ごとに出力する。

[0060] なお、動き検出画素5 2が出力するイベント画素信号は、上述したように、それぞれの動き検出画素5 2ごとに出力する構成であってもよいが、それぞれの動き検出画素5 2がイベント画素信号を出力する構成は限定しない。例えば、それぞれの動き検出画素5 2が、水平走査回路3 0を介してイベント画素信号を出力する構成であってもよい。また、画素アレイ部4 0内の予め定めた範囲ごとにまとめた形式でイベント画素信号を出力する構成であってもよい。

[0061] また、動き検出画素5 2では、A E R回路5 2 6が、生成したパルス信号にアドレス情報を付加することによって、イベント画素信号として出力する構成を示したが、パルス信号にアドレス情報を付加する構成は、A E R回路5 2 6に限定されるものではない。例えば、固体撮像装置1に備えた不図示の構成要素が、それぞれの動き検出画素5 2に備えたA E R回路5 2 6が出力したパルス信号に、パルス信号を出力した動き検出画素5 2の位置を表すアドレス情報を付加し、イベント画素信号として出力する構成であってもよい。

[0062] また、動き検出画素5 2では、スイッチトキャパシタアンプ回路5 2 3によって、光電変換素子P D 2が発生した電荷信号を増幅してから予め定めた電圧の範囲の電圧信号に変換する構成を示した。しかし、動き検出画素5 2

において、光電変換素子PD2が発生した電荷信号を予め定めた電圧の範囲の電圧信号に変換する構成は、スイッチトキャパシタアンプ回路523による構成に限定しない。例えば、動き検出画素52を、スイッチトキャパシタアンプ回路523に備えたアンプ5232を備えない構成、いわゆる、スイッチトキャパシタ回路によって、光電変換素子PD2が発生した電荷信号を予め定めた電圧の範囲の電圧信号に変換する構成にしてもよい。この場合、動き検出画素52は、スイッチトキャパシタ回路と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525との構成によって、光電変換素子PD2が発生した電荷信号の時間的な変化を検出してもよい。

[0063] (第1の配置例)

次に、第1の実施形態の固体撮像装置1における画素アレイ部40内の通常画素51および動き検出画素52の配置の一例について説明する。図4は、本発明の第1の実施形態の固体撮像装置1における画素50（通常画素51および動き検出画素52）の配置の一例（第1の配置例）を模式的に示した図である。図4には、固体撮像装置1を構成するそれぞれの半導体基板に形成する画素アレイ部40内の通常画素51および動き検出画素52の配置の一例を示している。

[0064] 固体撮像装置1における画素の第1の配置例では、画素50、つまり、通常画素51と動き検出画素52とを平面状に配置する。このとき、固体撮像装置1では、上述したように、通常画素51を第1の半導体基板11に形成し、動き検出画素52を第1の半導体基板11と第2の半導体基板12とに分けて形成する。図4の(a)には、固体撮像装置1を構成する第1の半導体基板11の画素アレイ部40の領域内に画素50（通常画素51および動き検出画素52）を配置した一例を示している。また、図4の(b)には、固体撮像装置1を構成する第2の半導体基板12の画素アレイ部40の領域内に動き検出画素52を配置した一例を示している。

[0065] より具体的には、図4の(a)に示したように、第1の半導体基板11の画素アレイ部40の平面の領域には、通常画素51と動き検出画素52の光

電変換素子PD2および出力回路とを、行方向および列方向に周期的に配置する。このとき、通常画素51は、図4の(a)に示したように、動き検出画素52よりも多く配置する。なお、図4の(a)では、通常画素51と動き検出画素52の光電変換素子PD2および出力回路とを、交互に配置している。

[0066] また、図4の(b)に示したように、第2の半導体基板12の画素アレイ部40の平面の領域には、第1の半導体基板11に配置した動き検出画素52の光電変換素子PD2および出力回路に対応する動き検出画素52の読み出し回路を配置する。このとき、動き検出画素52の読み出し回路は、図4の(b)に示したように、第1の半導体基板11に配置した通常画素51に対応する第2の半導体基板12の画素アレイ部40の平面の領域を含めて形成する。つまり、固体撮像装置1では、通常画素51よりも多くの回路要素から構成されるため形成する際に多くの領域を必要とする動き検出画素52を、通常画素51を形成するために使用していない第2の半導体基板12の領域を利用して形成する。より具体的には、通常画素51に光が入射する側の面と反対側の面に積層された第2の半導体基板12において、第1の半導体基板11に形成された通常画素51の領域と重複している領域を含めて動き検出画素52の読み出し回路を形成する。そして、図4の(a)および図4の(b)に示したように、第1の半導体基板11に形成した出力回路と、第2の半導体基板12に形成した読み出し回路とを、チップ接続部13によって電氣的に接続する。

[0067] ここで、第1の実施形態の固体撮像装置1の構造について説明する。図5は、本発明の第1の実施形態の固体撮像装置1の構造の一例を示した断面図である。図5には、固体撮像装置1において通常画素51と動き検出画素52とが第1の配置例のように配置されている場合における画素アレイ部40の一部の縦構造を示している。より具体的には、第1の半導体基板11に形成された3個の通常画素51と、第1の半導体基板11および第2の半導体基板12に形成された1個の動き検出画素52との縦構造を示している。

[0068] 上述したように、固体撮像装置1では、動き検出画素52の読み出し回路を、第1の半導体基板11に形成された通常画素51の領域と重複している領域を含めた第2の半導体基板12の領域に形成する。図5には、第2の半導体基板12内に形成する動き検出画素52の読み出し回路に備えたスイッチトキャパシタアンプ回路523と、AER回路526とを形成している状態を示している。

[0069] そして、上述したように、固体撮像装置1では、動き検出画素52の出力回路と、対応する動き検出画素52の読み出し回路とを、第1の半導体基板11と第2の半導体基板12との間に形成するチップ接続部13によって電氣的に接続する。

[0070] なお、図5に示した固体撮像装置1の縦構造には、通常画素51と動き検出画素52とのそれぞれに光が入射する側に、カラーフィルタ（色フィルタ）CFを貼付している固体撮像装置1の構成を示している。すなわち、通常の撮影においてカラーの画像を生成するための画素信号を出力する固体撮像装置1の構成を示している。なお、通常画素51が配置された位置に貼付するカラーフィルタCFは、例えば、ベイヤー配列のカラーフィルタと同様なそれぞれの色、つまり、赤色（R）、緑色（G）、青色（B）の波長帯域の光に対応するカラーフィルタである。このとき、動き検出画素52が配置された位置に貼付するカラーフィルタCFは、例えば、白色（W）の波長帯域の光に対応するカラーフィルタであることが望ましい。これにより、動き検出画素52は、特定の波長帯域の光によってではなく、被写体の動きを検出することができる。しかし、本発明においては、固体撮像装置1に貼付するカラーフィルタCFの色や配列に関しては、特に規定しない。

[0071] また、例えば、動き検出画素52が配置された位置に貼付するカラーフィルタCFを近赤外の波長帯域の光を透過するカラーフィルタCFにすることによって、動き検出画素52は、近赤外の波長帯域の光によっても、被写体の動きを検出することができるようにしてもよい。なお、動き検出画素52に近赤外の波長帯域の光が入射するようにする方法は、カラーフィルタCF

の特性を用いた方法に限定されるものではなく、例えば、動き検出画素52の位置にのみ、近赤外の波長帯域の光を除去する赤外カットフィルタを配置しない構成にする方法であってもよい。

[0072] このように、固体撮像装置1では、通常の撮影による画素信号の出力に特化した通常画素51と、動き検出によるイベント画素信号の出力に特化した動き検出画素52とのそれぞれを画素アレイ部40内に配置することによって、被写体の動きを逐次検出する動き検出と通常の撮影とを両立することができる。このとき、固体撮像装置1では、通常画素51による通常の撮影における画素信号を、通常読み出しによってフレーム単位で順次読み出す。また、固体撮像装置1では、動き検出において被写体の動きを検出した際に、動き検出読み出しによって、通常の撮影においてフレーム単位で画素信号を読み出す通常読み出しとは関係しない非同期のタイミングで、逐次イベント画素信号を出力する。従って、固体撮像装置1では、通常読み出しと動き検出読み出しとを同時に行うことができる。

[0073] また、固体撮像装置1では、上述した第1の配置例のように、画素アレイ部40内に配置する通常画素51の数を、動き検出画素52よりも多くしている。言い換えれば、固体撮像装置1では、画素アレイ部40内に配置する動き検出画素52を、第1の半導体基板11と第2の半導体基板12とに分けて形成することによって、画素アレイ部40内に配置する通常画素51の数を多くすることができる。これにより、固体撮像装置1では、通常の撮影において生成する画像の画質の低下を抑えることができる。なお、固体撮像装置1から出力された通常の撮影における画素信号に基づいて画像を生成する画像処理部は、それぞれの画素信号に基づいた画像を生成する際に、固体撮像装置1において動き検出画素52が配置されている位置の画素信号、つまり、欠けている画素の画素信号を補間することによって、全ての画素の画素信号が含まれた画像を生成する。

[0074] より具体的には、通常画素51から通常読み出しによって読み出した画素信号から画像を生成する場合、動き検出画素52が配置されている位置に対

応する通常画素51の画素信号を、周辺の通常画素51の画素信号に基づいて補間する。なお、本発明においては、画像処理部が、動き検出画素52が配置されている位置に対応するそれぞれの通常画素51の画素信号を補間する方法（画素の補間演算の方法）に関しては、特に規定しない。

[0075] また、固体撮像装置1では、上述したように、画素アレイ部40内に配置する動き検出画素52を、第1の半導体基板11と第2の半導体基板12とに分けて形成する。これにより、固体撮像装置1では、動き検出画素52に備える光電変換素子PD2の面積を小さくすることなく形成することができる。このことにより、固体撮像装置1では、動き検出画素52に備えた光電変換素子PD2が、被写体の動きに応じたより大きな電荷信号を発生させることができる。これにより、固体撮像装置1では、動き検出の精度の低下を抑えることができる。

[0076] なお、上述した通常画素51と動き検出画素52との第1の配置例では、画素アレイ部40内に配置する動き検出画素52の数が、通常画素51の数よりも少ない。しかし、被写体の動きの検出では、通常の撮影において生成する画像ほど高い解像度、つまり、高画質は要求されない。むしろ、被写体の動きを逐次検出する動き検出では、動き検出画素52の光電変換素子PD2が、短い時間であってもより多くの電荷信号を発生し、動き検出の精度の低下を抑えることが望ましい。つまり、光電変換素子PD2の面積を大きくすることによって、動き検出の速度を向上することができる方が望ましい。

[0077] 一方、通常の撮影においては、画素アレイ部40に備える通常画素51の数を増加させることによって、高画素化を実現することが望ましい。第1の実施形態の固体撮像装置1では、画素アレイ部40内に配置する通常画素51の数をさらに多くすることによって、通常の撮影において生成する画像の画質を向上させる、つまり、高精細な出力を得る構成にすることもできる。

[0078] （第2の配置例）

ここで、第1の実施形態の固体撮像装置1における画素アレイ部40内の通常画素51および動き検出画素52の配置の別の一例について説明する。

図6は、本発明の第1の実施形態の固体撮像装置1における画素50（通常画素51および動き検出画素52）の配置の別の一例（第2の配置例）を模式的に示した図である。図6には、図4に示した通常画素51および動き検出画素52の第1の配置例と同様に、固体撮像装置1を構成するそれぞれの半導体基板に形成する画素アレイ部40内の通常画素51および動き検出画素52の配置の一例を示している。

[0079] 図6に示した固体撮像装置1における通常画素51および動き検出画素52の第2の配置例でも、図4に示した通常画素51および動き検出画素52の第1の配置例と同様に、通常画素51と動き検出画素52とを平面状に（行方向および列方向に周期的に）配置する。そして、図6に示した通常画素51および動き検出画素52の第2の配置例でも、図4に示した通常画素51および動き検出画素52の第1の配置例と同様に、通常画素51を第1の半導体基板11に形成し、動き検出画素52を第1の半導体基板11と第2の半導体基板12とに分けて形成する。図6の（a）には、固体撮像装置1を構成する第1の半導体基板11の画素アレイ部40の領域内に、高精細化した通常画素51と動き検出画素52とを配置した一例を示している。また、図6の（b）には、固体撮像装置1を構成する第2の半導体基板12の画素アレイ部40の領域内に動き検出画素52を配置した一例を示している。

[0080] 通常画素51を高精細化することにより、図6の（a）に示したように、1個の通常画素51を配置するために要する領域が小さくなり、第1の半導体基板11の画素アレイ部40の平面の領域に、より多くの通常画素51を配置することができる。

[0081] なお、動き検出画素52を配置するために要する領域は、図4に示した通常画素51および動き検出画素52の配置における動き検出画素52と同じ大きさである。従って、図6の（a）および図6の（b）に示したように、動き検出画素52は、より多くの通常画素51が配置されている領域を利用して形成することになる。

[0082] より具体的には、図4に示した通常画素51および動き検出画素52の第

1の配置例では、第1の半導体基板11において、動き検出画素52の光電変換素子PD2および出力回路を、通常画素51と同じ大きさの平面の領域を利用して形成(図4の(a)参照)し、第2の半導体基板12において、動き検出画素52の読み出し回路を、通常画素51の4個分の大きさの平面の領域を利用して形成(図4の(b)参照)していた。

[0083] これに対して、図6に示した通常画素51および動き検出画素52の第2の配置例では、図6の(a)に示したように、第1の半導体基板11の画素アレイ部40に、動き検出画素52の光電変換素子PD2および出力回路を、通常画素51の4個分の大きさの平面の領域を利用して形成する。また、図6に示した通常画素51および動き検出画素52の第2の配置例では、図6の(b)に示したように、第2の半導体基板12の画素アレイ部40に、動き検出画素52の読み出し回路を、通常画素51の16個分の大きさの平面の領域を利用して形成する。そして、図4に示した通常画素51および動き検出画素52の第1の配置例と同様に、第1の半導体基板11に形成した出力回路と、第2の半導体基板12に形成した読み出し回路とを、チップ接続部13によって電氣的に接続する(図6の(a)および図6の(b)参照)。

[0084] ここで、図6に示した第2の配置例における第1の実施形態の固体撮像装置1の構造について説明する。図7は、本発明の第1の実施形態の固体撮像装置1の別の構造の一例を示した断面図である。図7には、図5に示した固体撮像装置1の縦構造の一例と同様に、固体撮像装置1において通常画素51と動き検出画素52とが第2の配置例のように配置されている場合における画素アレイ部40の一部の縦構造を示している。より具体的には、第1の半導体基板11に形成された6個の通常画素51と、第1の半導体基板11および第2の半導体基板12に形成された1個の動き検出画素52との縦構造を示している。

[0085] 上述したように、図6に示した固体撮像装置1における第2の配置例では、第1の半導体基板11に高精細化した通常画素51を配置する。このため

、図7に示したように、第1の半導体基板11に形成された通常画素51の光電変換素子PD1の面積は、動き検出画素52の光電変換素子PD2の面積よりも小さくなっている。また、図6に示した固体撮像装置1における第2の配置例でも、動き検出画素52の読み出し回路は、第1の半導体基板11に形成された通常画素51の領域と重複している領域を含めた第2の半導体基板12の領域に形成する。図7には、図5に示した固体撮像装置1の縦構造の一例と同様に、第2の半導体基板12内に形成する動き検出画素52の読み出し回路に備えたスイッチトキャパシタアンプ回路523と、AER回路526とを形成している状態を示している。また、図7には、図5に示した固体撮像装置1の縦構造の一例と同様に、動き検出画素52の出力回路と、対応する動き検出画素52の読み出し回路とを、第1の半導体基板11と第2の半導体基板12との間に形成したチップ接続部13によって電氣的に接続している状態を示している。

[0086] なお、図7に示した固体撮像装置1の縦構造には、動き検出画素52の光が入射する側に、通常画素51と同じ大きさのマイクロレンズを形成している固体撮像装置1の構成を示している。すなわち、動き検出画素52の光電変換素子PD2には、2つのマイクロレンズのそれぞれから光が入射する固体撮像装置1の構成を示している。しかし、本発明においては、固体撮像装置1に配置された動き検出画素52の光が入射する側に形成するマイクロレンズの形状に関しては、特に規定しない。従って、例えば、動き検出画素52の光が入射する側に、通常画素51のそれぞれに対応するマイクロレンズと異なる大きさのマイクロレンズ、すなわち、動き検出画素52に対応した大きさのマイクロレンズを形成する構成であってもよい。

[0087] また、図7に示した固体撮像装置1の縦構造においても、通常画素51と動き検出画素52とのそれぞれに光が入射する側に、カラーフィルタCFを貼付している固体撮像装置1の構成を示しているが、上述したように、本発明においては、固体撮像装置1に貼付するカラーフィルタCFの色や配列に関しては、特に規定しない。例えば、図4の(b)に示したように、動き検

出画素52の読み出し回路を通常画素51の4個分の大きさの平面の領域を利用して形成した場合、動き検出画素52が配置された位置に貼付するカラーフィルタCFを、上述した白色(W)の波長帯域の光に対応するカラーフィルタにするのみではなく、赤色(R)、2つの緑色(G)、青色(B)の波長帯域の光に対応するそれぞれのカラーフィルタにしてもよい。また、動き検出画素52が配置された位置に貼付するカラーフィルタCFを、赤色(R)、緑色(G)、青色(B)、および白色(W)の波長帯域の光に対応するカラーフィルタにしてもよい。また、動き検出画素52が配置された位置に貼付するカラーフィルタCFを、赤色(R)、緑色(G)、青色(B)、および近赤外(Ir)の波長帯域の光に対応するカラーフィルタにしてもよい。

[0088] このように、固体撮像装置1における第2の配置例では、高精細化した通常画素51および動き検出画素52のそれぞれを画素アレイ部40内に配置することによって、被写体の動きを逐次検出する動き検出と通常の撮影とを両立すると共に、通常の撮影において生成する画像を高画素化して画質を向上させる。

[0089] 第1の実施形態によれば、光が入射する第1の半導体基板(第1の半導体基板11)と、第1の半導体基板11に光が入射する側の面と反対側の面に積層される第2の半導体基板(第2の半導体基板12)と、第1の半導体基板11に周期的に配置され、入射した光を光電変換した第1の電荷信号を発生するn個の第1の光電変換素子(光電変換素子PD1)と、第1の半導体基板11に、n個の光電変換素子PD1のそれぞれに対応して配置され、対応する1個の光電変換素子PD1が発生した第1の電荷信号を蓄積し、蓄積した第1の電荷信号に応じた信号電圧を第1の画素信号(通常画素51が出力する画素信号)として出力するn個の第1の読み出し回路(通常画素51の読み出し回路:電荷転送トランジスタ511、画素リセットトランジスタ512、増幅トランジスタ513、選択トランジスタ514、およびノード容量FD1)と、n個の通常画素51の読み出し回路のそれぞれを順次駆動

して第1の画素信号のそれぞれを出力させる駆動回路（垂直走査回路20および水平走査回路30）と、第1の半導体基板11および第2の半導体基板12のいずれか一方に周期的に配置され、入射した光を光電変換した第2の電荷信号を発生するm個の第2の光電変換素子（光電変換素子PD2）と、m個の光電変換素子PD2の内、対応する1個の光電変換素子PD2が発生した第2の電荷信号の変化を表す第2の画素信号（イベント画素信号）を逐次出力するm個の第2の読み出し回路（動き検出画素52の読み出し回路）と、を有し、m個の動き検出画素52の読み出し回路のそれぞれは、対応する1個の光電変換素子PD2が発生した第2の電荷信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出したときに、変化した方向を表すイベント信号を出力する検出回路（スレッシュホールドアンプ524およびスレッシュホールドアンプ525）と、第2の半導体基板12に配置され、イベント信号に、対応する1個の光電変換素子PD2が配置された位置を表すアドレス情報を付加したイベント画素信号を出力する画素信号生成回路（AER回路526）と、を有し、nは2以上の自然数であり、mは2以上の自然数である、固体撮像装置（固体撮像装置1）が構成される。

[0090] また、第1の実施形態によれば、m個の動き検出画素52の読み出し回路のそれぞれは、第2の半導体基板12に配置され、対応する1個の光電変換素子PD2が発生した第2の電荷信号を増幅するアンプ回路（スイッチトキャパシタアンプ回路523）、をさらに有し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525は、スイッチトキャパシタアンプ回路523によって増幅された後の第2の電荷信号の変化を検出する、固体撮像装置1が構成される。

[0091] また、第1の実施形態によれば、mはnよりも小さく、m個の光電変換素子PD2のそれぞれが光を受光する面積は、n個の光電変換素子PD1のそれぞれが光を受光する面積よりも大きい、固体撮像装置1が構成される。

[0092] また、第1の実施形態によれば、第1の半導体基板11と第2の半導体基板12との間に形成され、第1の半導体基板11の回路要素と第2の半導体

基板 1 2 の回路要素とを電氣的に接続する接続部（チップ接続部 1 3）、をさらに有し、 m は n よりも小さく、 m 個の光電変換素子 PD 2 のそれぞれは、第 1 の半導体基板 1 1 に配置され、チップ接続部 1 3 は、 m 個の動き検出画素 5 2 の読み出し回路のそれぞれが有するスレッシュホールドアンプ 5 2 4 およびスレッシュホールドアンプ 5 2 5 と、対応する 1 個の光電変換素子 PD 2 とを電氣的に接続する、固体撮像装置 1 が構成される。

[0093] 上記に述べたように、第 1 の実施形態の固体撮像装置 1 では、通常の撮影による画素信号の出力に特化した通常画素 5 1 と、動き検出によるイベント画素信号の出力に特化した動き検出画素 5 2 とのそれぞれを、画素アレイ部 4 0 における行方向および列方向に周期的に（平面状に）配置する。このとき、第 1 の実施形態の固体撮像装置 1 では、通常画素 5 1 を第 1 の半導体基板 1 1 に形成し、動き検出画素 5 2 を第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 とに分けて形成する。より具体的には、動き検出画素 5 2 の光電変換素子 PD 2 および出力回路を第 1 の半導体基板 1 1 に形成し、読み出し回路を第 2 の半導体基板 1 2 において第 1 の半導体基板 1 1 に形成された通常画素 5 1 の領域と重複している領域を含めて形成する。これにより、第 1 の実施形態の固体撮像装置 1 では、画素アレイ部 4 0 内に配置する通常画素 5 1 の数を、動き検出画素 5 2 よりも多くすることができ、通常の撮影において生成する画像の画質を向上させることができる。また、第 1 の実施形態の固体撮像装置 1 では、画素アレイ部 4 0 内に配置する動き検出画素 5 2 の光電変換素子 PD 2 を大きくすることができ、被写体の動きに応じたより大きな電荷信号を発生させて、動き検出の精度の低下を抑えることができる。

[0094] また、第 1 の実施形態の固体撮像装置 1 では、通常の撮影による画素信号の出力に特化した通常画素 5 1 と、動き検出によるイベント画素信号の出力に特化した動き検出画素 5 2 とのそれぞれを形成することによって、通常の撮影と被写体の動きを逐次検出する動き検出とを両立することができる。そして、第 1 の実施形態の固体撮像装置 1 では、通常読み出しによるフレーム単位での通常画素 5 1 からの通常の撮影の画素信号の読み出しと、動き検出

読み出しによる非同期のタイミングでの動き検出画素 5 2 からの動き検出の画素信号の読み出しとを同時に行うことができる。

[0095] (第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。なお、本発明の第 2 の実施形態における固体撮像装置 (以下、「固体撮像装置 2」という) の概観や概略構成は、図 1 および図 2 に示した第 1 の実施形態における固体撮像装置 1 の概観および概略構成を同様である。従って、以下の説明においては、固体撮像装置 2 の構成要素において、第 1 の実施形態の固体撮像装置 1 の構成要素と同様の構成要素には、同一の符号を用い、それぞれの構成要素や動作に関する詳細な説明は省略する。

[0096] ここで、第 2 の実施形態の固体撮像装置 2 において画素アレイ部 4 0 内に配置する通常画素 5 1 および動き検出画素 5 2 の構成について説明する。固体撮像装置 2 では、通常画素 5 1 を第 1 の半導体基板 1 1 に形成し、動き検出画素 5 2 を第 2 の半導体基板 1 2 に形成する。図 8 A および図 8 B は、本発明の第 2 の実施形態の固体撮像装置 2 における画素 5 0 (通常画素 5 1 および動き検出画素 5 2) の構成の一例を示した回路図である。図 8 A には、固体撮像装置 2 の画素アレイ部 4 0 内に配置する通常画素 5 1 の構成の一例を示し、図 8 B には、固体撮像装置 2 の画素アレイ部 4 0 内に配置する動き検出画素 5 2 の構成の一例を示している。

[0097] 通常画素 5 1 の構成は、図 8 A に示したように、図 3 A に示した第 1 の実施形態の固体撮像装置 1 における通常画素 5 1 と同様の構成である。従って、通常画素 5 1 の構成や動作に関する詳細な説明は省略する。

[0098] また、動き検出画素 5 2 の構成は、図 8 B に示したように、図 3 B に示した第 1 の実施形態の固体撮像装置 1 における動き検出画素 5 2 と同様の構成である。ただし、固体撮像装置 2 では、上述したように、動き検出画素 5 2 を第 2 の半導体基板 1 2 に形成する。つまり、固体撮像装置 2 では、第 1 の実施形態の固体撮像装置 1 のように動き検出画素 5 2 を第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 とに分けて形成するのではなく、第 2 の半導体基

板 1 2 のみに形成する。このため、固体撮像装置 2 における動き検出画素 5 2 には、チップ接続部 1 3 が含まれていない。なお、動き検出画素 5 2 に備えるその他の回路要素は、図 3 B に示した第 1 の実施形態の固体撮像装置 1 における動き検出画素 5 2 と同様である。従って、動き検出画素 5 2 の構成や動作に関する詳細な説明は省略する。

[0099] (第 3 の配置例)

次に、第 2 の実施形態の固体撮像装置 2 における画素アレイ部 4 0 内の通常画素 5 1 および動き検出画素 5 2 の配置の一例について説明する。図 9 は、本発明の第 2 の実施形態の固体撮像装置 2 における画素 5 0 (通常画素 5 1 および動き検出画素 5 2) の配置の一例 (第 3 の配置例) を模式的に示した図である。図 9 には、図 4 に示した第 1 の実施形態の固体撮像装置 1 における画素 5 0 の第 1 の配置例と同様に、固体撮像装置 2 を構成するそれぞれの半導体基板に形成する画素アレイ部 4 0 内の通常画素 5 1 および動き検出画素 5 2 の配置の一例を示している。

[0100] 固体撮像装置 2 でも、第 1 の実施形態の固体撮像装置 1 と同様に、通常画素 5 1 と動き検出画素 5 2 とを平面状に配置する。しかし、上述したように、固体撮像装置 2 では、通常画素 5 1 を第 1 の半導体基板 1 1 に形成し、動き検出画素 5 2 を第 2 の半導体基板 1 2 に形成する。つまり、固体撮像装置 2 では、動き検出画素 5 2 を、通常画素 5 1 に光が入射する側の面と反対側の面に積層するように配置する。言い換えれば、固体撮像装置 2 では、動き検出画素 5 2 を、通常画素 5 1 の裏側に配置する。そして、固体撮像装置 2 では、通常画素 5 1 を透過した光 (光線) が動き検出画素 5 2 に入射される。図 9 の (a) には、固体撮像装置 2 を構成する第 1 の半導体基板 1 1 の画素アレイ部 4 0 の領域内に通常画素 5 1 を配置した一例を示している。また、図 9 の (b) には、固体撮像装置 2 を構成する第 2 の半導体基板 1 2 の画素アレイ部 4 0 の領域内に動き検出画素 5 2 を配置した一例を示している。

[0101] より具体的には、図 9 の (a) に示したように、第 1 の半導体基板 1 1 の画素アレイ部 4 0 の平面の領域に、通常画素 5 1 を行方向および列方向に配

置する。また、図9の(b)に示したように、第2の半導体基板12の画素アレイ部40の平面の領域には、第2の半導体基板12の画素アレイ部40の平面の領域に、動き検出画素52を行方向および列方向に配置する。このとき、第2の半導体基板12の画素アレイ部40の平面の領域には、図9の(b)に示したように、動き検出画素52の光電変換素子PD2を、第1の半導体基板11の画素アレイ部40の平面の領域に配置した通常画素51と、行方向および列方向に周期的に重複するように配置する。そして、動き検出画素52の出力回路および読み出し回路を、動き検出画素52の光電変換素子PD2を重複して配置していない複数の通常画素51の領域を含めて形成する。つまり、固体撮像装置2では、通常画素51よりも多くの回路要素から構成されるため形成する際に多くの領域を必要とする動き検出画素52を、第1の半導体基板11に形成された複数の通常画素51の領域と重複した第2の半導体基板12の領域を利用して形成する。

[0102] 図9の(b)では、第1の実施形態の固体撮像装置1において第1の半導体基板11に動き検出画素52の光電変換素子PD2および出力回路を配置した位置に対応する第2の半導体基板12の画素アレイ部40の平面の領域に、動き検出画素52の光電変換素子PD2を周期的に配置している。なお、第2の半導体基板12に光電変換素子PD2を配置する領域には、第1の実施形態の固体撮像装置1と同様に、動き検出画素52の出力回路を含めて形成してもよい。

[0103] そして、第2の半導体基板12に配置されたそれぞれの動き検出画素52の光電変換素子PD2は、第1の半導体基板11に配置された通常画素51の光電変換素子PD1の領域を透過してきた光(光線)を光電変換した電荷信号を発生させる。これにより、固体撮像装置2では、第2の半導体基板12に配置されたそれぞれの動き検出画素52が、第1の実施形態の固体撮像装置1において第1の半導体基板11に配置された動き検出画素52と同様の位置で被写体の動きを検出したイベント画素信号を出力する。

[0104] このように、固体撮像装置2では、通常の撮影による画素信号の出力に特

化した通常画素51を第1の半導体基板11の画素アレイ部40内に配置し、動き検出によるイベント画素信号の出力に特化した動き検出画素52を第2の半導体基板12の画素アレイ部40内に配置することによって、第1の実施形態の固体撮像装置1と同様に、被写体の動きを逐次検出する動き検出と通常の撮影とを両立することができる。そして、固体撮像装置2でも、第1の実施形態の固体撮像装置1と同様に、通常読み出しと動き検出読み出しとを同時に行うことができる。このことにより、固体撮像装置2でも、第1の実施形態の固体撮像装置1と同様の効果を得ることができる。つまり、固体撮像装置2でも、通常の撮影において生成する画像の画質の低下を抑えると共に、動き検出の精度の低下を抑えることができる。

[0105] しかも、固体撮像装置2では、上述した第3の配置例のように、通常画素51を第1の半導体基板11に配置し、動き検出画素52を第2の半導体基板12に配置しているため、通常の撮影における画素信号を出力することができない通常画素51、つまり、欠けている画素の画素信号がない。このため、固体撮像装置2から出力された通常の撮影における画素信号に基づいて画像を生成する画像処理部は、それぞれの画素信号に基づいた画像を生成する際に、欠けている画素の画素信号を補間する演算を行う必要がない。

[0106] なお、固体撮像装置2でも、第1の実施形態の固体撮像装置1と同様に、画素アレイ部40内に配置する通常画素51の数をさらに多くすることによって、通常の撮影において生成する画像の画質を向上させる、つまり、高画素化を実現する構成にすることもできる。

[0107] (第4の配置例)

ここで、第2の実施形態の固体撮像装置2において通常の撮影において生成する画像の画質を向上させた構成の一例について説明する。図10は、本発明の第2の実施形態の固体撮像装置2における画素50（通常画素51および動き検出画素52）の配置の別の一例（第4の配置例）を模式的に示した図である。図10には、図9に示した通常画素51および動き検出画素52の第3の配置例と同様に、固体撮像装置2を構成するそれぞれの半導体基

板に形成する画素アレイ部40内の通常画素51および動き検出画素52の配置の一例を示している。

[0108] 図10に示した固体撮像装置2における通常画素51および動き検出画素52の第4の配置例でも、図9に示した通常画素51および動き検出画素52の第3の配置例と同様に、通常画素51を第1の半導体基板11に形成し、動き検出画素52を第2の半導体基板12に形成する。そして、通常画素51を形成した第1の半導体基板11と、動き検出画素52を形成した第2の半導体基板12を積層する。図10の(a)には、固体撮像装置2を構成する第1の半導体基板11の画素アレイ部40の領域内に、高精細化した通常画素51を行方向および列方向に配置した一例を示している。また、図10の(b)には、固体撮像装置2を構成する第2の半導体基板12の画素アレイ部40の領域内に動き検出画素52を行方向および列方向に配置した一例を示している。

[0109] 通常画素51を高精細化することにより、固体撮像装置2でも、図10の(a)に示したように、1個の通常画素51を配置するために要する領域が小さくなり、第1の半導体基板11の画素アレイ部40の平面の領域に、より多くの通常画素51を配置することができる。

[0110] なお、第2の半導体基板12において動き検出画素52を配置するために要する領域は、図9の(b)に示した動き検出画素52を配置するために要する領域と同じ大きさである。従って、図10の(a)および図10の(b)に示したように、動き検出画素52は、より多くの通常画素51が配置されている領域を利用して形成することになる。

[0111] より具体的には、図9に示した通常画素51および動き検出画素52の第3の配置例では、第1の半導体基板11に形成した4個分の通常画素51の領域と同じ大きさの第2の半導体基板12の領域に1個の動き検出画素52を形成していた。これに対して、図10に示した通常画素51および動き検出画素52の第4の配置例では、第1の半導体基板11に形成した16個分の通常画素51の領域と同じ大きさの第2の半導体基板12の領域に1個の

動き検出画素52を形成している。

[0112] そして、図10に示した通常画素51および動き検出画素52の第4の配置例では、第2の半導体基板12に配置されたそれぞれの動き検出画素52の光電変換素子PD2は、第1の半導体基板11に配置された4個分の通常画素51の光電変換素子PD1の領域を透過してきた光（光線）を光電変換した電荷信号を発生させる。これにより、図10に示した第4の配置例のように通常画素51および動き検出画素52が配置された固体撮像装置2では、第2の半導体基板12に配置されたそれぞれの動き検出画素52が、第1の実施形態の固体撮像装置1における通常画素51および動き検出画素52の第2の配置例と同様に、第1の半導体基板11に配置された動き検出画素52と同様の位置で被写体の動きを検出したイベント画素信号を出力する。

[0113] このように、固体撮像装置2における第4の配置例でも、第1の実施形態の固体撮像装置1における第2の配置例と同様に、第1の半導体基板11の画素アレイ部40内に配置する通常画素51を高精細化することによって、通常の撮影において生成する画像を高画素化して画質を向上させることができる。

[0114] ここで、第2の実施形態の固体撮像装置2の構造について説明する。図11は、本発明の第2の実施形態の固体撮像装置2の構造の一例を示した断面図である。図11には、固体撮像装置2において通常画素51と動き検出画素52とが第3の配置例のように配置されている場合における画素アレイ部40の一部の縦構造を示している。より具体的には、第1の半導体基板11に4個の通常画素51が形成され、第2の半導体基板12に1個の動き検出画素52が形成された図9に示した通常画素51と動き検出画素52との第3の配置例における縦構造を示している。なお、図10に示した第4の配置例の固体撮像装置2の構造は、図11に示した第3の配置例におけるそれぞれの画素の数が異なるのみで、同様に考えることができる。

[0115] 上述したように、図9に示した固体撮像装置2における第3の配置例では、第1の半導体基板11に通常画素51を配置し、通常画素51の領域と重

複している第2の半導体基板12の領域に形成する。より具体的には、通常画素51に光が入射する側（通常画素51の表側）の面と反対側（通常画素51の裏側）の面に積層された第2の半導体基板12に、第1の半導体基板11に形成された通常画素51の領域と重複している領域を含めて動き検出画素52を形成する。なお、図11には、第2の半導体基板12内に形成する動き検出画素52の光電変換素子PD2と、動き検出画素52の読み出し回路に備えたスイッチトキャパシタアンプ回路523およびAER回路526を形成している状態を示している。なお、固体撮像装置2では、第1の半導体基板11と第2の半導体基板12とを電氣的に接続しないため、チップ接続部13は形成しない。

[0116] また、上述したように、固体撮像装置2では、第2の半導体基板12に配置されたそれぞれの動き検出画素52の光電変換素子PD2が、第1の半導体基板11に配置された通常画素51の光電変換素子PD1の領域を透過してきた光（光線）を光電変換した電荷信号を発生させる。このため、光電変換素子PD2は、第1の半導体基板11をより多く透過する波長が長い光ほど、より大きな電荷信号を発生させる。

[0117] なお、図11に示した固体撮像装置2の縦構造には、通常画素51のそれぞれに光が入射する側に、カラーフィルタCFを貼付している固体撮像装置2の構成を示している。すなわち、通常の撮影においてカラーの画像を生成するための画素信号を出力する固体撮像装置2の構成を示している。このため、動き検出画素52の光電変換素子PD2には、光が入射する側に積層された第1の半導体基板11に配置された通常画素51に貼付されたカラーフィルタCFおよび通常画素51を透過した光が入射する。

[0118] 本発明においては、固体撮像装置2に貼付するカラーフィルタCFの色や配列に関しては、特に規定しない。しかし、上述したように、固体撮像装置2では、第2の半導体基板12に形成した光電変換素子PD2が、波長が長い光ほどより大きな電荷信号を発生させる。このため、固体撮像装置2では、第2の半導体基板12に形成する光電変換素子PD2を、例えば、波長が

長いため通常画素51をより多く透過する赤色(R)の波長帯域の光に対応するカラーフィルタCFが貼付された通常画素51に対応する位置に形成することが望ましい。この場合、例えば、固体撮像装置2を搭載した撮像システムに赤外光を発光する光源を備え、被写体の動きを検出する際に赤外光を照射することによって、動き検出の精度を向上させる構成にすることもできる。

[0119] なお、固体撮像装置2においても、第1の実施形態の固体撮像装置1と同様に、特定の波長帯域の光によってではなく、被写体の動きを検出することができることが望ましい。このため、図11において第2の半導体基板12に形成された光電変換素子PD2に第1の半導体基板11を透過して入射する光は、特定の波長帯域の光でないことが望ましい。例えば、固体撮像装置2において第1の半導体基板11に配置された通常画素51のそれぞれに赤色(R)、緑色(G)、青色(B)、および白色(W)の波長帯域の光に対応するいずれかのカラーフィルタCFが貼付されている場合には、第2の半導体基板12に形成する光電変換素子PD2を、白色(W)の波長帯域の光に対応するカラーフィルタCFが貼付された通常画素51に対応する位置に形成してもよい。また、第2の半導体基板12に形成する光電変換素子PD2を、例えば、緑色(G)の波長帯域の光に対応するカラーフィルタCFが貼付された通常画素51に対応する位置に形成してもよい。これにより、動き検出画素52は、通常の撮影で生成する画像において輝度を表すと考えることができる緑色(G)の波長帯域の光によって被写体の動きを検出することができる。

[0120] しかし、例えば、近赤外の波長帯域の光によって被写体の動きを検出するために赤外カットフィルタを配置しない構成である場合には、通常画素51に貼付されたカラーフィルタCFの色は関係しなくなる。また、例えば、図10の(b)に示したように、動き検出画素52の光電変換素子PD2を、複数(図10の(b)では4個)の通常画素51の大きさの平面の領域を利用して形成した場合には、通常画素51に貼付された全ての色を含む位置に

形成することによって、通常画素51に貼付されたカラーフィルタCFの色は関係しなくなる。

[0121] また、図11に示した固体撮像装置2の縦構造には、通常画素51のそれぞれに光が入射する側にマイクロレンズを形成している固体撮像装置2の構成を示している。このため、図10の(b)に示したように、動き検出画素52の光電変換素子PD2を通常画素51の4個分の大きさの平面の領域を利用して形成した場合には、4つのマイクロレンズのそれぞれから入射した光が、それぞれのマイクロレンズに対応する通常画素51を透過して、動き検出画素52の光電変換素子PD2に入射する。例えば、動き検出画素52の光電変換素子PD2には、赤色(R)、緑色(G)、青色(B)、および白色(W)の波長帯域の光に対応する通常画素51を透過した光が入射する。

[0122] 第2の実施形態によれば、m個の第2の光電変換素子(光電変換素子PD2)のそれぞれは、第2の半導体基板(第2の半導体基板12)に配置され、n個の第1の光電変換素子(光電変換素子PD1)の内、対応するp個の光電変換素子PD1を透過した光を光電変換した第2の電荷信号を発生し、pは1以上の自然数である、固体撮像装置(固体撮像装置2)が構成される。

[0123] 上記に述べたように、第2の実施形態の固体撮像装置2でも、第1の実施形態の固体撮像装置1と同様に、通常の撮影による画素信号の出力に特化した通常画素51と、動き検出によるイベント画素信号の出力に特化した動き検出画素52とのそれぞれを、画素アレイ部40における行方向および列方向に周期的に(平面状に)配置する。このとき、第2の実施形態の固体撮像装置2では、通常画素51を第1の半導体基板11に形成し、動き検出画素52を第2の半導体基板12に形成する。つまり、第2の実施形態の固体撮像装置2では、動き検出画素52を、通常画素51に光が入射する側(通常画素51の表側)の面と反対側(通常画素51の裏側)の面に配置する。これにより、第2の実施形態の固体撮像装置2でも、第1の実施形態の固体撮

像装置 1 と同様に、画素アレイ部 40 内に配置する通常画素 51 の数を、動き検出画素 52 よりも多くすることができ、通常の撮影において生成する画像の画質を向上させることができる。また、第 2 の実施形態の固体撮像装置 2 でも、第 1 の実施形態の固体撮像装置 1 と同様に、画素アレイ部 40 内に配置する動き検出画素 52 の光電変換素子 PD 2 を大きくすることができ、被写体の動きに応じたより大きな電荷信号を発生させて、動き検出の精度の低下を抑えることができる。

[0124] また、第 2 の実施形態の固体撮像装置 2 でも、第 1 の実施形態の固体撮像装置 1 と同様に、通常の撮影による画素信号の出力に特化した通常画素 51 と、動き検出によるイベント画素信号の出力に特化した動き検出画素 52 とのそれぞれを形成することによって、通常の撮影と被写体の動きを逐次検出する動き検出とを両立することができる。そして、第 2 の実施形態の固体撮像装置 2 でも、第 1 の実施形態の固体撮像装置 1 と同様に、通常読み出しによるフレーム単位での通常画素 51 からの通常の撮影の画素信号の読み出しと、動き検出読み出しによる非同期のタイミングでの動き検出画素 52 からの動き検出の画素信号の読み出しとを同時に行うことができる。

[0125] (第 3 の実施形態)

次に、本発明の第 3 の実施形態について説明する。なお、本発明の第 3 の実施形態における固体撮像装置（以下、「固体撮像装置 3」という）の概観や概略構成は、図 1 および図 2 に示した第 1 の実施形態における固体撮像装置 1 の概観および概略構成を同様である。従って、以下の説明においては、固体撮像装置 3 の構成要素において、第 1 の実施形態の固体撮像装置 1 の構成要素と同様の構成要素には、同一の符号を用い、それぞれの構成要素や動作に関する詳細な説明は省略する。

[0126] (第 1 の構成例)

ここで、第 3 の実施形態の固体撮像装置 3 において画素アレイ部 40 内に配置する画素 50 の構成について説明する。固体撮像装置 3 において画素アレイ部 40 内に配置する画素 50 も、第 1 の実施形態の固体撮像装置 1 およ

び第2の実施形態の固体撮像装置2と同様に、通常読み出しによる通常の撮影の画素信号と、動き検出読み出しによる動き検出のイベント画素信号とを出力する。ただし、固体撮像装置3において画素アレイ部40内に配置する画素50は、通常の撮影の画素信号とイベント画素信号とを、同じ光電変換素子が発生した電荷信号から得る。つまり、固体撮像装置3の画素アレイ部40内に配置する画素50に備える光電変換素子は、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2において画素アレイ部40内に配置する通常画素51に備えた光電変換素子PD1と動き検出画素52に備えた光電変換素子PD2とを兼用している。なお、以下の説明においては、固体撮像装置3の画素アレイ部40内に配置する、通常読み出しによる通常の撮影の画素信号の出力と、動き検出読み出しによる動き検出のイベント画素信号の出力とを行う画素50を「兼用画素53」という。

[0127] 図12は、本発明の第3の実施形態の固体撮像装置3における兼用画素53の構成の一例（第1の構成例）を示した回路図である。なお、兼用画素53を構成する回路要素には、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2において配置する通常画素51または動き検出画素52を構成する回路要素と同様の回路要素を含んでいる。従って、以下の説明においては、兼用画素53を構成する回路要素において、通常画素51または動き検出画素52を構成する回路要素と同様の回路要素には同一の符号を付与し、詳細な説明は省略する。

[0128] 図12において、兼用画素53は、光電変換素子PD12と、電荷転送トランジスタ511と、画素リセットトランジスタ512と、増幅トランジスタ513と、選択トランジスタ514と、アンプ521と、バイアストラジスタ522と、スイッチトキャパシタアンプ回路523と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525と、AER回路526とを備えている。また、スイッチトキャパシタアンプ回路523は、キャパシタ5231と、アンプ5232と、キャパシタ5233と、スイッチ5234とを備えている。なお、図12においては、兼用画素53に備えた増幅ト

ランジスタ513のゲート端子に接続されたノードに付随する容量であるノード容量FD1を、兼用画素53の回路要素としてキャパシタの記号で示している。

[0129] 兼用画素53では、光電変換素子PD12と、電荷転送トランジスタ511と、画素リセットトランジスタ512と、増幅トランジスタ513と、選択トランジスタ514と、ノード容量FD1との構成によって、通常の撮影による電荷信号を発生させる画素、つまり、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2における通常画素51と同様の画素を構成する。なお、以下の説明においては、通常の撮影による電荷信号を発生させる兼用画素53を「通常兼用画素531」という。通常兼用画素531においては、電荷転送トランジスタ511、画素リセットトランジスタ512、増幅トランジスタ513、および選択トランジスタ514と、ノード容量FD1とで、通常の撮影において光電変換素子PD12が発生させた電荷信号に応じた画素信号を読み出す読み出し回路を構成している。

[0130] また、兼用画素53では、光電変換素子PD12と、アンプ521と、バイアストラジスタ522と、スイッチトキャパシタアンプ回路523と、スレッシュヨルドアンプ524およびスレッシュヨルドアンプ525と、AER回路526との構成によって、動き検出のための電荷信号を発生させる画素、つまり、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2における動き検出画素52と同様の画素を構成する。なお、以下の説明においては、動き検出のための電荷信号を発生させる兼用画素53を「動き検出兼用画素532」という。動き検出兼用画素532においては、アンプ521およびバイアストラジスタ522で、動き検出のために光電変換素子PD12が発生させた電荷信号を出力する出力回路を構成し、スイッチトキャパシタアンプ回路523、スレッシュヨルドアンプ524、スレッシュヨルドアンプ525、およびAER回路526で、動き検出のために光電変換素子PD12が発生させた電荷信号を読み出す読み出し回路を構成している。

- [0131] 固体撮像装置3では、兼用画素53を、画素アレイ部40の平面の領域全体に均一に配置する。このとき、固体撮像装置3では、光電変換素子PD12と、通常兼用画素531の読み出し回路と、動き検出兼用画素532の出力回路とを、第1の半導体基板11に形成する。また、固体撮像装置3では、動き検出兼用画素532の読み出し回路を第2の半導体基板12に形成する。
- [0132] 光電変換素子PD12は、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2において、通常画素51に備えた光電変換素子PD1および動き検出画素52に備えた光電変換素子PD2と同様に、入射してきた光（光線）を光電変換して電荷信号を発生させ、発生させた電荷信号を蓄積するフォトダイオードである。光電変換素子PD12は、発生させた電荷信号を逐次、アンプ521に出力する。
- [0133] 兼用画素53は、通常の撮影による画素信号を出力する画素として動作する場合、つまり、通常読み出しによって通常兼用画素531から画素信号を垂直信号線60に出力する場合、アンプ521は、バイアスの制御に応じて、バイアストランジスタ522が常にON状態になるようにする電圧の電圧信号Vpを、バイアストランジスタ522のゲート端子に出力する。すなわち、兼用画素53において通常の撮影による画素信号を出力する場合には、バイアストランジスタ522によって、光電変換素子PD12が発生した電荷信号を、電荷転送トランジスタ511にそのまま伝送させる。これにより、電荷転送トランジスタ511は、垂直走査回路20から入力された制御信号TXに応じて、光電変換素子PD12が発生して蓄積し、バイアストランジスタ522を介して入力された電荷信号を、増幅トランジスタ513のゲート端子に転送する。これにより、電荷転送トランジスタ511によって転送された電荷信号が、ノード容量FD1に蓄積される。
- [0134] このような動作によって、兼用画素53（通常兼用画素531）では、光電変換素子PD12が入射した光を光電変換した電荷信号に応じたそれぞれの信号電圧を、画素信号として垂直信号線60に読み出す。

- [0135] 一方、兼用画素53は、動き検出のための電荷信号を発生させる画素として動作する場合、つまり、動き検出読み出しによって動き検出兼用画素532から動き検出のイベント画素信号とを出力する場合、垂直走査回路20は、画素リセットトランジスタ512が常にON状態になるように制御信号RSTを制御する。また、垂直走査回路20は、制御信号TXを固定のバイアス電圧に制御する。これにより、画素リセットトランジスタ512と電荷転送トランジスタ511とによって、バイアストランジスタ522に、固定のバイアス電圧に応じた固定の電圧が供給される。
- [0136] このような動作によって、兼用画素53（動き検出兼用画素532）では、光電変換素子PD12が、被写体の動きに応じた大きさの電荷信号を発生させて、電荷信号の変化とその変化した方向に応じたイベント画素信号を出力する。
- [0137] 上述したように、兼用画素53では、通常兼用画素531と動き検出兼用画素532とで光電変換素子PD12を兼用している。このため、固体撮像装置3では、通常読み出しによるフレーム単位での通常兼用画素531からの通常の撮影の画素信号の読み出しと、動き検出読み出しによる非同期のタイミングでの動き検出兼用画素532からの動き検出の画素信号の読み出しとを排他的に行う。
- [0138] ここで、第3の実施形態の固体撮像装置3における兼用画素53の駆動タイミングについて説明する。図13は、本発明の第3の実施形態の固体撮像装置3において兼用画素53を駆動するタイミングの一例を示したタイミングチャートである。図13に示したタイミングチャートは、通常の撮影によって得た画素信号を垂直信号線60に出力した後、動き検出のための露光を行うように第1の構成例の兼用画素53を制御する、垂直走査回路20の制御タイミングを示している。
- [0139] 通常の撮影を行う場合、まず、時刻t1において、画素アレイ部40内の全ての兼用画素53をリセットする。より具体的には、時刻t1において、垂直走査回路20は、制御信号RSTと制御信号TXとを、同時に“Hi g

h”レベルにして、画素リセットトランジスタ512と電荷転送トランジスタ511とをON状態にする。これにより、画素アレイ部40内の全ての兼用画素53に備えた光電変換素子PD12とノード容量FD1とがリセットされる。

[0140] その後、垂直走査回路20は、制御信号RSTと制御信号TXとを、同時に“Low”レベルにして、画素リセットトランジスタ512と電荷転送トランジスタ511とをOFF状態にし、画素アレイ部40内の全ての兼用画素53のリセットを解除する。これにより、画素アレイ部40内の全ての兼用画素53が同時に露光を開始する。すなわち、画素アレイ部40内の全ての兼用画素53に備えた光電変換素子PD12が、入射した光を光電変換した電荷信号の発生と蓄積とを開始する。

[0141] 続いて、一定の期間が経過した後、すなわち、通常の撮影における任意の露光時間が経過した後、時刻t2から、画素アレイ部40内のそれぞれの兼用画素53からの画素信号の通常読み出しを行う。

[0142] より具体的には、通常読み出しでは、時刻t2において、垂直走査回路20は、制御信号SELを“High”レベルにして、選択トランジスタ514をON状態にし、増幅トランジスタ513を垂直信号線60に接続した状態にする。これにより、増幅トランジスタ513から出力されて信号電圧が、選択トランジスタ514を介して垂直信号線60に出力される状態になる。

[0143] 続いて、時刻t3において、垂直走査回路20は、制御信号RSTを“High”レベルにして、画素リセットトランジスタ512をON状態にし、ノード容量FD1をリセットする。これにより、増幅トランジスタ513から光電変換素子PD12のリセットレベルの信号電圧が、選択トランジスタ514によって垂直信号線60に出力される。その後、垂直走査回路20は、制御信号RSTを“Low”レベルにして、画素リセットトランジスタ512をOFF状態にし、ノード容量FD1のリセットを解除する。

[0144] 続いて、時刻t4において、垂直走査回路20は、制御信号TXを“Hi

g h” レベルにして、電荷転送トランジスタ 5 1 1 を ON 状態にし、光電変換素子 P D 1 2 に蓄積された電荷信号を、増幅トランジスタ 5 1 3 のゲート端子に転送する。このとき、電荷転送トランジスタ 5 1 1 によって転送された電荷信号は、ノード容量 F D 1 に蓄積される。これにより、増幅トランジスタ 5 1 3 から光電変換素子 P D 1 2 が発生した電荷信号、すなわち、ノード容量 F D 1 に蓄積された電荷信号に応じた信号電圧が、選択トランジスタ 5 1 4 を介して垂直信号線 6 0 に出力される。

[0145] なお、固体撮像装置 3 を搭載した撮像システムでは、時刻 t 3 において出力されたリセットレベルの信号電圧と、時刻 t 4 において出力された光電変換素子 P D 1 2 が発生した電荷信号に応じた信号電圧との差分を取って、画素信号に対するノイズ除去の処理を行ってもよい。

[0146] その後、垂直走査回路 2 0 は、制御信号 T X を “L o w” レベルにして、電荷転送トランジスタ 5 1 1 を O F F 状態にし、光電変換素子 P D 1 2 に蓄積された電荷信号の増幅トランジスタ 5 1 3 のゲート端子への転送を停止し、時刻 t 5 において、制御信号 S E L を “L o w” レベルにして、選択トランジスタ 5 1 4 を O F F 状態にし、増幅トランジスタ 5 1 3 を垂直信号線 6 0 から切り離した状態にする。

[0147] このような制御によって、画素アレイ部 4 0 内の全ての兼用画素 5 3 に備えた光電変換素子 P D 1 2 が発生した電荷信号に応じた画素信号が、通常読み出しによって読み出される。

[0148] なお、図 1 3 には、1 個の兼用画素 5 3 に対する垂直走査回路 2 0 の制御タイミングを示しているが、通常読み出しでは、垂直走査回路 2 0 が固体撮像装置 3 の画素アレイ部 4 0 内に配置する全ての兼用画素 5 3 に対して同様の制御を行うことによって、フレーム単位での兼用画素 5 3 からの通常の撮影の画素信号の読み出しを行う。より具体的には、垂直走査回路 2 0 が、時刻 t 2 ~ 時刻 t 5 までの通常読み出しの制御を画素アレイ部 4 0 内に配置された兼用画素 5 3 の行ごとに順次行うことによって、それぞれの行の画素信号を垂直信号線 6 0 に順次出力させる。その後、水平走査回路 3 0 が、それ

ぞれの列の垂直信号線60に出力されたそれぞれの行の画素信号を列ごとに順次出力することによって、1つのフレームの全ての画素信号を、固体撮像装置3の外部に出力する。

[0149] そして、通常の撮影における1つのフレームの画素信号の通常読み出しが終了すると、時刻t6から、画素アレイ部40内のそれぞれの兼用画素53による動き検出、つまり、動き検出読み出しを行うことができるようになる。

[0150] より具体的には、動き検出読み出しでは、時刻t6において、垂直走査回路20は、制御信号RSTを“High”レベルにして、画素リセットトランジスタ512をON状態にする。また、垂直走査回路20は、制御信号TXを固定のバイアス電圧にする。これにより、バイアストラジスタ522に電荷転送トランジスタ511から固定のバイアス電圧に応じた固定の電圧が供給される。そして、兼用画素53は、光電変換素子PD12が発生させた電荷信号に応じたパルス信号に基づいたイベント画素信号を逐次出力する。

[0151] なお、動き検出読み出しを行っている状態のときに通常の撮影を行う場合、垂直走査回路20は、最初に時刻t1以前の状態にしてから、上述した時刻t1～時刻t5までの通常読み出しの制御を行う。より具体的には、垂直走査回路20は、制御信号RSTと制御信号TXとのそれぞれを“Low”レベルにして、画素リセットトランジスタ512と電荷転送トランジスタ511とのそれぞれ一旦OFF状態にしてから、時刻t1～時刻t5において説明したそれぞれの制御を行う。

[0152] このような駆動タイミングによって、固体撮像装置3の画素アレイ部40内に配置されたそれぞれの兼用画素53は、通常読み出しによるフレーム単位の通常の撮影の画素信号の読み出しと、動き検出読み出しによる非同期のタイミングでの動き検出の画素信号の読み出しとを排他的に行う。

[0153] このように、固体撮像装置3では、通常の撮影による画素信号の出力と、動き検出によるイベント画素信号の出力とを行う兼用画素53を画素アレイ

部40内に均一に配置することによって、第1の実施形態の固体撮像装置1や第2の実施形態の固体撮像装置2と同様に、被写体の動きを逐次検出する動き検出と通常の撮影とを両立することができる。

[0154] なお、固体撮像装置3では、上述したように、兼用画素53を、画素アレイ部40の平面の領域全体に均一に配置している。このため、固体撮像装置3では、兼用画素53内に構成される動き検出兼用画素532の出力回路と読み出し回路とを第1の半導体基板11と第2の半導体基板12とに分けて形成しているが、兼用画素53内に構成される通常兼用画素531を高精細化することができる、つまり、画素アレイ部40内に配置する通常兼用画素531の数を多くすることができるのは、動き検出兼用画素532の読み出し回路を形成するために必要な領域を確保することができる範囲までとなってしまう。しかしながら、上述したように、固体撮像装置3においても、より多くの通常兼用画素531を配置することによって通常の撮影において生成する画像の画質を向上させると共に、動き検出兼用画素532がより大きな電荷信号に基づいて被写体の動きを検出することによって動き検出の精度の低下を抑えることが望ましい。

[0155] このため、固体撮像装置3でも、第1の実施形態の固体撮像装置1における画素50の第1の配置例や第2の配置例と同様の考え方（図4～図7参照）に基づいて、兼用画素53を配置することも考えられる。より具体的には、第1の実施形態の固体撮像装置1において画素アレイ部40に配置した動き検出画素52の代わりに兼用画素53を配置することも考えられる。しかし、固体撮像装置3では、兼用画素53の構成を変更することによっても、通常の撮影において生成する画像の画質を向上させる、つまり、高画素化を実現する構成にすると共に、動き検出の精度の低下を抑えることができる。

[0156] （第2の構成例）

次に、第3の実施形態の固体撮像装置3において画素アレイ部40内に配置する画素50の別の構成の一例（第2の構成例）について説明する。第2の構成例の画素50（以下、「兼用画素54」という）は、通常の撮影によ

る電荷信号を発生させる通常兼用画素531を高精細化して通常の撮影において生成する画像の画質を向上させると共に、動き検出のための電荷信号を発生させる動き検出兼用画素532が兼用する光電変換素子PD12の数を多くすることによって動き検出の精度の低下を抑える構成の画素である。

[0157] 図14は、本発明の第3の実施形態の固体撮像装置3における画素50の構成の別の一例（第2の構成例）を示した回路図である。図14には、2個の高精細化した通常兼用画素531と1個の動き検出兼用画素542とを備えた構成の兼用画素54を示している。なお、兼用画素54を構成する回路要素には、第1の構成例の兼用画素53を構成する回路要素と同様の回路要素を含んでいる。従って、以下の説明においては、兼用画素54を構成する回路要素において、第1の構成例の兼用画素53を構成する回路要素と同様の回路要素には同一の符号を付与し、詳細な説明は省略する。

[0158] 兼用画素54に備えた2個の通常兼用画素531のそれぞれは、第1の構成例の兼用画素53内に構成される通常兼用画素531と同様の構成である。図14においては、2個の通常兼用画素531のそれぞれを、通常兼用画素531aおよび通常兼用画素531bとして区別している。そして、図14では、それぞれの通常兼用画素531内の回路要素を区別するため、それぞれの回路要素の符号に続いて、通常兼用画素531のそれぞれを区別するために付与した符号、すなわち、「a」または「b」を付与している。

[0159] より具体的には、通常兼用画素531aは、光電変換素子PD12aと、電荷転送トランジスタ511aと、画素リセットトランジスタ512aと、増幅トランジスタ513aと、選択トランジスタ514aと、ノード容量FD1aとによって構成されている。また、通常兼用画素531bは、光電変換素子PD12bと、電荷転送トランジスタ511bと、画素リセットトランジスタ512bと、増幅トランジスタ513bと、選択トランジスタ514bと、ノード容量FD1bとによって構成されている。

[0160] なお、通常兼用画素531aおよび通常兼用画素531bの動作や、垂直走査回路20による制御タイミングは、第1の構成例の兼用画素53内に構

成される通常兼用画素531と同様であるため、詳細な説明は省略する。

[0161] また、兼用画素54に備えた1個の動き検出兼用画素542は、第1の構成例の兼用画素53内に構成される動き検出兼用画素532と同様の構成である。ただし、動き検出兼用画素542では、1個の動き検出兼用画素542が、複数の通常兼用画素531と光電変換素子PD12を兼用する。図14には、1個の動き検出兼用画素542が、高精細化した通常兼用画素531aおよび通常兼用画素531bのそれぞれと光電変換素子PD12を兼用する。つまり、動き検出兼用画素542は、複数の光電変換素子PD12が発生した電荷信号に基づいて被写体の動きを検出する。このため、動き検出兼用画素542では、それぞれの光電変換素子PD12に対応する回路要素の構成が変更されている。

[0162] より具体的には、動き検出兼用画素542は、第1の構成例における動き検出兼用画素532に備えたアンプ521、バイアストランジスタ522、およびスイッチトキャパシタアンプ回路523に備えたキャパシタ5231のそれぞれが、兼用するそれぞれの光電変換素子PD12に対応した構成になっている。

[0163] なお、図14においては、動き検出兼用画素542内の回路要素においていずれかの1つの光電変換素子PD12に対応する回路要素には、光電変換素子PD12に付与された符号（「a」または「b」）をそれぞれの回路要素の符号に続いて付与することによって、それぞれの回路要素が対応する光電変換素子PD12を区別している。

[0164] より具体的には、動き検出兼用画素542は、アンプ521aおよびアンプ521bと、バイアストランジスタ522aおよびバイアストランジスタ522bと、スイッチトキャパシタアンプ回路543と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525と、AER回路526とによって構成されている。また、スイッチトキャパシタアンプ回路543は、キャパシタ5231aおよびキャパシタ5231bと、アンプ5232と、キャパシタ5233と、スイッチ5234とによって構成されている。

- [0165] アンプ521aは、対応する光電変換素子PD12aが発生して出力した電荷信号を増幅し、増幅した電荷信号を、チップ接続部13aを介してスイッチトキャパシタアンプ回路543内のキャパシタ5231aに出力する。また、アンプ521aは、増幅した電荷信号を、バイアストランジスタ522aのゲート端子に、電圧信号Vpaとして転送する。
- [0166] アンプ521bは、対応する光電変換素子PD12bが発生して出力した電荷信号を増幅し、増幅した電荷信号を、チップ接続部13bを介してスイッチトキャパシタアンプ回路543内のキャパシタ5231bに出力する。また、アンプ521bは、増幅した電荷信号を、バイアストランジスタ522bのゲート端子に、電圧信号Vpbとして転送する。
- [0167] バイアストランジスタ522aは、ゲート端子に転送された電圧信号Vpaに応じて光電変換素子PD12aに流れる電流が一定の電流になるように、つまり、光電変換素子PD12aが発生する電荷信号が変化した場合でも、電荷信号の大きさが変化した後の大きさを逐次安定するように制御する。つまり、光電変換素子PD12aの出力をクリップする。
- [0168] バイアストランジスタ522bは、ゲート端子に転送された電圧信号Vpbに応じて光電変換素子PD12bに流れる電流が一定の電流になるように、つまり、光電変換素子PD12bが発生する電荷信号が変化した場合でも、電荷信号の大きさが変化した後の大きさを逐次安定するように制御する。つまり、光電変換素子PD12bの出力をクリップする。
- [0169] スイッチトキャパシタアンプ回路543は、アンプ521aおよびアンプ521bのそれぞれから対応するチップ接続部13aまたはチップ接続部13bを介して入力された電荷信号を加算する。より具体的には、キャパシタ5231aは、対応するアンプ521aから第1の端子に入力された電荷信号を蓄積し、蓄積した電荷信号に応じた電圧の電圧信号を第2の端子から出力する。また、キャパシタ5231bは、対応するアンプ521bから第1の端子に入力された電荷信号を蓄積し、蓄積した電荷信号に応じた電圧の電圧信号を第2の端子から出力する。このとき、図14に示したようにキャパ

シタ5231aの第2の端子とキャパシタ5231bの第2の端子とが接続されているため、キャパシタ5231aの第2の端子から出力する電圧信号と、キャパシタ5231bの第2の端子から出力する電圧信号とは加算されて、アンプ5232に出力される。そして、スイッチトキャパシタアンプ回路543は、第1の構成例の兼用画素53に備えたスイッチトキャパシタアンプ回路523と同様に、加算した電荷信号の変化、つまり、光電変換素子PD12aおよび光電変換素子PD12bのそれぞれが発生する電荷信号を加算した電荷信号の増減を、予め定めた電圧の範囲の電圧信号に変換し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力する。

[0170] このような構成によって、動き検出兼用画素542では、通常兼用画素531の高精細化に伴ってそれぞれの通常兼用画素531に備えた光電変換素子PD12の面積が小さくなった場合でも、複数の光電変換素子PD12が発生した電荷信号を加算することによって、より大きな電荷信号に基づいて被写体の動きを検出することができる。このため、動き検出兼用画素542では、動き検出の精度の低下を抑えることができる。

[0171] なお、動き検出兼用画素542の動作や、垂直走査回路20による制御タイミングは、動き検出兼用画素542が、加算した電荷信号に基づいて動作すること以外は、第1の構成例の兼用画素53内に構成される動き検出兼用画素532と同様であるため、詳細な説明は省略する。

[0172] このような構成によって、兼用画素54では、高精細化した通常兼用画素531によって通常の撮影において生成する画像の画質を向上させると共に、動き検出兼用画素542が兼用する光電変換素子PD12の数を多くすることによって動き検出の精度の低下を抑えることができる。

[0173] そして、固体撮像装置3では、兼用画素54を、画素アレイ部40の平面の領域全体に均一に配置する。このとき、固体撮像装置3では、第1の構成例の兼用画素53を画素アレイ部40内に配置するときと同様に、それぞれの光電変換素子PD12と、それぞれの通常兼用画素531の読み出し回路

と、動き検出兼用画素542の出力回路とを第1の半導体基板11に形成し、動き検出兼用画素542の読み出し回路を第2の半導体基板12に形成する。

[0174] ここで、第3の実施形態の固体撮像装置3の構造について説明する。図15は、本発明の第3の実施形態の固体撮像装置3の別の構造の一例を示した断面図である。図15には、固体撮像装置3において第2の構成例の兼用画素54が配置されている場合における画素アレイ部40の一部の縦構造を示している。より具体的には、2個の兼用画素54が配置された画素アレイ部40の一部の縦構造を示している。さらに具体的には、第1の半導体基板11に形成された4個の通常兼用画素531と、第1の半導体基板11および第2の半導体基板12に形成された2個の動き検出兼用画素542との縦構造を示している。

[0175] 上述したように、固体撮像装置3では、それぞれの光電変換素子PD12と、通常兼用画素531の読み出し回路と、動き検出兼用画素542の出力回路とを、第1の半導体基板11に形成し、動き検出兼用画素542の読み出し回路を第2の半導体基板12に形成する。図15には、第2の半導体基板12内に形成する動き検出兼用画素542の読み出し回路に備えたスイッチトキャパシタアンプ回路543と、AER回路526とを形成している状態を示している。

[0176] そして、上述したように、固体撮像装置3では、動き検出兼用画素542が兼用するそれぞれの光電変換素子PD12に対応する出力回路と、動き検出兼用画素542の読み出し回路に備えたスイッチトキャパシタアンプ回路543とを、第1の半導体基板11と第2の半導体基板12との間に形成するそれぞれのチップ接続部13によって電氣的に接続する。図15には、第1の半導体基板11に形成した通常兼用画素531aに備えた光電変換素子PD12aに対応する出力回路と、第2の半導体基板12に形成したスイッチトキャパシタアンプ回路543内のキャパシタ5231aとを、チップ接続部13aによって接続している状態を示している。また、図15には、第

1の半導体基板11に形成した通常兼用画素531bに備えた光電変換素子PD12bに対応する出力回路と、第2の半導体基板12に形成したスイッチトキャパシタアンプ回路543内のキャパシタ5231bとを、チップ接続部13bによって接続している状態を示している。

[0177] なお、図15に示した固体撮像装置3の縦構造においても、それぞれの兼用画素54に光が入射する側に、カラーフィルタCFを貼付している固体撮像装置3の構成を示しているが、上述したように、本発明においては、固体撮像装置1に貼付するカラーフィルタCFの色や配列に関しては、特に規定しない。つまり、固体撮像装置3においても、カラーフィルタCFに関しては、第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2と同様である。

[0178] このように、第2の構成例の兼用画素54を配置した固体撮像装置3でも、第1の構成例の兼用画素53を配置した固体撮像装置3と同様に、被写体の動きを逐次検出する動き検出と通常の撮影とを両立することができる。さらに、第2の構成例の兼用画素54を配置した固体撮像装置3では、高精細化した通常兼用画素531によって通常の撮影において生成する画像の画質を向上させると共に、動き検出兼用画素542が複数の光電変換素子PD12を兼用することによって動き検出の精度の低下を抑えることができる。

[0179] なお、図14に示した第2の構成例の兼用画素54の構成では、1個の動き検出兼用画素542が、2個の通常兼用画素531（通常兼用画素531aおよび通常兼用画素531b）と光電変換素子PD12（光電変換素子PD12aおよび光電変換素子PD12b）を兼用する構成を示した。しかし、第2の構成例の兼用画素54の構成は、図14に示した構成に限定されるものではない。つまり、第2の構成例の兼用画素54において1個の動き検出兼用画素542が兼用する光電変換素子PD12の数は、図14に示した2個に限定されるものではない。例えば、第2の構成例の兼用画素54において、1個の動き検出兼用画素542が、4個の通常兼用画素531と光電変換素子PD12を兼用する構成、すなわち、動き検出兼用画素542が4

個の光電変換素子PD12が発生した電荷信号を加算した電荷信号に基づいて被写体の動きを検出する構成にしてもよい。

[0180] なお、固体撮像装置3では、上述したように、動き検出兼用画素542が兼用するそれぞれの光電変換素子PD12に対応する出力回路と、動き検出兼用画素532の読み出し回路とを、チップ接続部13によって接続する。そして、固体撮像装置3では、上述したように、それぞれの光電変換素子PD12は、高精細化した通常兼用画素531を構成する回路要素である。そして、それぞれの光電変換素子PD12の面積は、通常兼用画素531の高精細化に伴ってさらに小さくなることが考えられる。このため、動き検出兼用画素542の読み出し回路を形成するために必要な領域においてチップ接続部13によって接続する出力回路の数、つまり、兼用する光電変換素子PD12の数が增大することが考えられる。そして、チップ接続部13を形成する際の制限によって、固体撮像装置3の高画素化を実現に対して制限が発生してしまうことが考えられる。

[0181] そこで、固体撮像装置3では、それぞれの半導体基板に形成する兼用画素54の回路要素の形成方法を変更することによって、チップ接続部13の数を削減する構成にすることもできる。

[0182] (第3の構成例)

次に、第3の実施形態の固体撮像装置3において画素アレイ部40内に配置する画素50のさらに別の構成の一例(第3の構成例)について説明する。第3の構成例の画素50(以下、「兼用画素55」という)は、通常の撮影による電荷信号を発生させる通常兼用画素531を高精細化した第2の構成例の兼用画素54において必要なチップ接続部13の数を削減した構成の画素である。なお、兼用画素55も、第2の構成例の兼用画素54と同様に、通常の撮影において生成する画像の画質を向上させると共に、動き検出の精度の低下を抑える構成の画素である。

[0183] 図16は、本発明の第3の実施形態の固体撮像装置3における画素50の構成のさらに別の一例(第3の構成例)を示した回路図である。図16には

、第2の構成例の兼用画素54と同様に、2個の高精細化した通常兼用画素531と1個の動き検出兼用画素542（第3の構成例では、「動き検出兼用画素552」という）とを備えた構成の兼用画素55を示している。なお、兼用画素55を構成する回路要素には、第2の構成例の兼用画素54を構成する回路要素と同様の回路要素を含んでいる。従って、以下の説明においては、兼用画素55を構成する回路要素において、第2の構成例の兼用画素54を構成する回路要素と同様の回路要素には同一の符号を付与し、詳細な説明は省略する。

[0184] 兼用画素55に備えた2個の通常兼用画素531のそれぞれは、第2の構成例の兼用画素54内に構成される通常兼用画素531と同様である。従って、通常兼用画素531に関する詳細な説明は省略する。

[0185] また、兼用画素55に備えた1個の動き検出兼用画素552は、第2の構成例の兼用画素54内に構成される動き検出兼用画素542と同様の構成である。従って、図16において動き検出兼用画素552に付与した符号も第2の構成例の兼用画素54と同様である。ただし、動き検出兼用画素552では、チップ接続部13の数を削減するため、第2の構成例の兼用画素54内に構成される動き検出兼用画素542に備えた回路要素の構成が変更されている。

[0186] より具体的には、動き検出兼用画素552は、アンプ521aおよびアンプ521bと、バイアストランジスタ522aおよびバイアストランジスタ522bと、スイッチトキャパシタアンプ回路553と、スレッシュホールドアンプ524およびスレッシュホールドアンプ525と、AER回路526とによって構成されている。また、スイッチトキャパシタアンプ回路553は、キャパシタ5231aおよびキャパシタ5231bと、アンプ5232と、キャパシタ5233と、スイッチ5234とによって構成されている。動き検出兼用画素552では、第2の構成例の兼用画素54内に構成される動き検出兼用画素542に備えたスイッチトキャパシタアンプ回路543が、スイッチトキャパシタアンプ回路553に変更されている。

[0187] スイッチトキャパシタアンプ回路553は、第2の構成例の兼用画素54内に構成される動き検出兼用画素542に備えたスイッチトキャパシタアンプ回路543と同様に、アンプ521aおよびアンプ521bのそれぞれから入力された電荷信号を加算し、加算した電荷信号の変化を、予め定めた電圧の範囲の電圧信号に変換し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力する。つまり、スイッチトキャパシタアンプ回路553も、光電変換素子PD12aおよび光電変換素子PD12bのそれぞれが発生する電荷信号を加算した電荷信号の増減に応じた電圧信号を、スレッシュホールドアンプ524およびスレッシュホールドアンプ525のそれぞれに出力する。ただし、スイッチトキャパシタアンプ回路553は、第1の半導体基板11と第2の半導体基板12とに分けて形成する。

[0188] より具体的には、スイッチトキャパシタアンプ回路553に備えるキャパシタ5231aとキャパシタ5231bとのそれぞれを第1の半導体基板11に形成し、スイッチトキャパシタアンプ回路553に備えるアンプ5232と、キャパシタ5233と、スイッチ5234とのそれぞれを第2の半導体基板12に形成する。これにより、第1の半導体基板11と第2の半導体基板12との間に形成するチップ接続部13によって伝送される信号は、アンプ521aおよびアンプ521bのそれぞれから入力された電荷信号を加算した、1つの電荷信号に応じた電圧の電圧信号となる。すなわち、第2の構成例の兼用画素54内に構成される動き検出兼用画素542では、アンプ521aおよびアンプ521bから出力されたそれぞれの電荷信号を対応するチップ接続部13で伝送していたため、チップ接続部13は2つであった。これに対して、スイッチトキャパシタアンプ回路553では、1つの電圧信号を伝送するための1つのチップ接続部13のみに削減される。

[0189] このような構成によって、動き検出兼用画素552では、通常兼用画素531の高精細化に伴ってそれぞれの通常兼用画素531に備えた光電変換素子PD12の面積がさらに小さくなった場合でも、複数の光電変換素子PD12が発生した電荷信号を加算することによって、より大きな電荷信号に基

づいて被写体の動きを検出し、動き検出の精度の低下を抑えることができる。

[0190] なお、動き検出兼用画素 5 5 2 の動作や、垂直走査回路 2 0 による制御タイミングは、第 2 の構成例の兼用画素 5 4、つまり、第 1 の構成例の兼用画素 5 3 内に構成される動き検出兼用画素 5 3 2 と同様であるため、詳細な説明は省略する。

[0191] このような構成によって、兼用画素 5 5 では、第 2 の構成例の兼用画素 5 4 と同様に、通常の撮影において生成する画像の画質を向上させると共に、動き検出の精度の低下を抑えた上で、第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 との間に形成するチップ接続部 1 3 の数を削減することができる。

[0192] そして、固体撮像装置 3 では、兼用画素 5 5 を、画素アレイ部 4 0 の平面の領域全体に均一に配置する。このとき、固体撮像装置 3 では、第 2 の構成例の兼用画素 5 4 を画素アレイ部 4 0 内に配置するときと同様に、それぞれの光電変換素子 P D 1 2 と、それぞれの通常兼用画素 5 3 1 の読み出し回路と、動き検出兼用画素 5 5 2 の出力回路と、動き検出兼用画素 5 5 2 の読み出し回路の一部の回路要素（スイッチトキャパシタアンプ回路 5 5 3 に備えるキャパシタ 5 2 3 1 a およびキャパシタ 5 2 3 1 b）を第 1 の半導体基板 1 1 に形成する。また、固体撮像装置 3 では、第 2 の構成例の兼用画素 5 4 を画素アレイ部 4 0 内に配置するときと同様に、動き検出兼用画素 5 5 2 の読み出し回路の残りの回路要素を第 2 の半導体基板 1 2 に形成する。

[0193] このように、第 3 の構成例の兼用画素 5 5 を画素アレイ部 4 0 内に配置することにより、固体撮像装置 3 では、第 2 の構成例の兼用画素 5 4 を画素アレイ部 4 0 内に配置した場合よりも、第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 との間に形成するチップ接続部 1 3 の数を削減することができる。このことにより、固体撮像装置 3 では、通常兼用画素 5 3 1 をさらに高精細化して高画素化を実現する場合でも、チップ接続部 1 3 を形成する際の制限による固体撮像装置 3 の高画素化の実現に対する制限の発生を抑えることができる。つまり、第 3 の構成例の兼用画素 5 5 を画素アレイ部 4 0 内に配置

した固体撮像装置 3 の製造が容易になる。

[0194] なお、第 3 の構成例の兼用画素 5 5 が配置されている場合の固体撮像装置 3 の構造は、図 1 5 に示した第 2 の構成例の兼用画素 5 4 が配置されている場合の固体撮像装置 3 の構造と同様に考えることができるため、詳細な説明は省略する。

[0195] なお、図 1 6 に示した第 3 の構成例の兼用画素 5 5 の構成でも、1 個の動き検出兼用画素 5 5 2 が、2 個の通常兼用画素 5 3 1（通常兼用画素 5 3 1 a および通常兼用画素 5 3 1 b）と光電変換素子 P D 1 2（光電変換素子 P D 1 2 a および光電変換素子 P D 1 2 b）を兼用する構成を示した。しかし、第 3 の構成例の兼用画素 5 5 の構成も、第 2 の構成例の兼用画素 5 4 と同様に、1 個の動き検出兼用画素 5 5 2 が兼用する数は限定されるものではない。

[0196] なお、第 3 の構成例の兼用画素 5 5 では、第 2 の構成例の兼用画素 5 4 において必要なチップ接続部 1 3 の数を削減しているが、兼用画素 5 5 内に構成される通常兼用画素 5 3 1 を高精細化することができる、つまり、画素アレイ部 4 0 内に配置する通常兼用画素 5 3 1 の数を多くすることができるのは、動き検出兼用画素 5 5 2 の読み出し回路を形成するために必要な領域を確保することができる範囲までである。これは、第 3 の構成例の兼用画素 5 5 でも、第 2 の構成例の兼用画素 5 4 と同様に、第 1 の構成例の兼用画素 5 3 よりも通常兼用画素 5 3 1 を高精細化することを実現しているものの、通常兼用画素 5 3 1 のさらなる高精細化を行う場合には、動き検出兼用画素 5 4 2 や動き検出兼用画素 5 5 2 の読み出し回路を形成するための領域の大きさが、再び、高精細化を実現する際の問題になってしまうことを表している。なお、このことは、第 3 の構成例の兼用画素 5 5 に限らず、第 2 の構成例の兼用画素 5 4 であっても同様である。

[0197] そこで、固体撮像装置 3 では、それぞれの半導体基板に形成する兼用画素の回路要素の形成方法を変更することによって、動き検出兼用画素の読み出し回路を形成するために必要な領域を小さくする構成にすることもできる。

言い換えれば、兼用画素に光が入射する側から見た場合における動き検出兼用画素の読み出し回路を形成する領域の投影面積を小さくする構成にすることもできる。

[0198] (第4の構成例)

次に、第3の実施形態の固体撮像装置3において画素アレイ部40内に配置する画素50のさらに別の構成の一例(第4の構成例)について説明する。以下の説明においては、第4の構成例の考え方を、第2の構成例の兼用画素54に対して適用する場合について説明する。なお、第3の構成例の兼用画素55に対して第4の構成例の考え方を適用する場合も同様に考えることができる。

[0199] 図17は、本発明の第3の実施形態の固体撮像装置3における画素50の構成のさらに別の一例(第4の構成例)を示した回路図である。第4の構成例の画素50(以下、「兼用画素56」という)は、通常の撮影による電荷信号を発生させる通常兼用画素531を高精細化した第2の構成例の兼用画素54において、動き検出兼用画素542の読み出し回路を形成するために必要な領域の投影面積を小さくした構成の画素である。なお、兼用画素56も、第2の構成例の兼用画素54と同様に、通常の撮影において生成する画像の画質を向上させると共に、動き検出の精度の低下を抑える構成の画素である。

[0200] 図17には、第2の構成例の兼用画素54と同様に、2個の高精細化した通常兼用画素531と1個の動き検出兼用画素562とを備えた構成の兼用画素56を示している。なお、兼用画素56を構成する回路要素には、第2の構成例の兼用画素54を構成する回路要素と同様の回路要素を含んでいる。従って、以下の説明においては、兼用画素56を構成する回路要素において、第2の構成例の兼用画素54を構成する回路要素と同様の回路要素には同一の符号を付与し、詳細な説明は省略する。

[0201] 兼用画素56に備えた2個の通常兼用画素531のそれぞれは、第2の構成例の兼用画素54内に構成される通常兼用画素531と同様である。従っ

て、通常兼用画素531に関する詳細な説明は省略する。

[0202] また、兼用画素56に備えた1個の動き検出兼用画素562は、第2の構成例の兼用画素54内に構成される動き検出兼用画素542と同様の構成である。従って、図17において動き検出兼用画素562に付与した符号も第2の構成例の兼用画素54と同様である。ただし、第4の構成例の兼用画素56では、兼用画素56に光が入射する側から見た場合における動き検出兼用画素562の投影面積を小さくするため、動き検出兼用画素562の読み出し回路の回路要素をさらに別の半導体基板にも分けて形成する。

[0203] より具体的には、兼用画素56内に構成される動き検出兼用画素562の出力回路を、第2の構成例の兼用画素54内に構成される動き検出兼用画素542の出力回路と同様に、第1の半導体基板11に形成する。また、兼用画素56では、兼用画素56内に構成される動き検出兼用画素562の読み出し回路に備えたスイッチトキャパシタアンプ回路543を第2の半導体基板12に形成し、動き検出兼用画素562の読み出し回路に備えたスレッシュホールドアンプ524、スレッシュホールドアンプ525、およびAER回路526を第3の半導体基板14に形成する。

[0204] そして、兼用画素56では、第2の半導体基板12に形成したスイッチトキャパシタアンプ回路543と、第3の半導体基板14に形成したスレッシュホールドアンプ524、スレッシュホールドアンプ525、およびAER回路526のそれぞれとを、第2の半導体基板12と第3の半導体基板14との間に形成するチップ接続部15によって電氣的に接続する。

[0205] これにより、多くの回路要素から構成される動き検出兼用画素562における兼用画素56に光が入射する側から見た場合の投影面積を小さくすることができる。つまり、兼用画素56の全体の投影面積を小さくすることができる。

[0206] なお、第4の構成例の兼用画素56においても、それぞれの光電変換素子PD12と、兼用画素56内に構成されるそれぞれの通常兼用画素531の読み出し回路とは、第2の構成例の兼用画素54を画素アレイ部40内に配

置するときと同様に、第1の半導体基板11に形成する。

[0207] 従って、第4の構成例の兼用画素56を画素アレイ部40内に配置した固体撮像装置3は、第1の半導体基板11と、第2の半導体基板12と、第3の半導体基板14とを、この順番で積層（接合）した構成になる。より具体的には、第4の構成例の兼用画素56を画素アレイ部40内に配置した固体撮像装置3は、光電変換素子PD12と、兼用画素56内に構成される通常兼用画素531の読み出し回路と、兼用画素56内に構成される動き検出兼用画素562の出力回路を形成した第1の半導体基板11に光が入射する側の面と反対側の面に第2の半導体基板12を積層する。さらに、第4の構成例の兼用画素56を画素アレイ部40内に配置した固体撮像装置3は、第2の半導体基板12において第1の半導体基板11を積層した側の面と反対側の面に第3の半導体基板14を積層する。

[0208] このような構成によって、動き検出兼用画素562では、通常兼用画素531のさらなる高精細化に伴ってそれぞれの通常兼用画素531に備えた光電変換素子PD12の面積がさらに小さくなった場合でも、第2の構成例の兼用画素54内に構成される動き検出兼用画素542と同様に、より大きな電荷信号に基づいて被写体の動きを検出し、動き検出の精度の低下を抑えることができる。

[0209] なお、動き検出兼用画素562の動作や、垂直走査回路20による制御タイミングは、第2の構成例の兼用画素54、つまり、第1の構成例の兼用画素53内に構成される動き検出兼用画素532と同様であるため、詳細な説明は省略する。

[0210] このような構成によって、兼用画素56では、第2の構成例の兼用画素54と同様に、通常の撮影において生成する画像の画質を向上させると共に、兼用画素56に光が入射する側から見た場合における兼用画素56の全体の投影面積を小さくすることができる。

[0211] そして、固体撮像装置3では、兼用画素56を、画素アレイ部40の平面の領域全体に均一に配置する。このとき、固体撮像装置3では、画素アレイ

部40内に配置する動き検出兼用画素562を、第1の半導体基板11と、第2の半導体基板12と、第3の半導体基板14とに分けて形成する。

[0212] このように、第4の構成例の兼用画素56を画素アレイ部40内に配置することにより、固体撮像装置3では、第2の構成例の兼用画素54を画素アレイ部40内に配置した場合と同様に、被写体の動きを逐次検出する動き検出と通常の撮影とを両立することができる。そして、固体撮像装置3では、第2の構成例の兼用画素54を画素アレイ部40内に配置した場合と同様に、高精細化した通常兼用画素531によって通常の撮影において生成する画像の画質を向上させると共に、動き検出兼用画素562が複数の光電変換素子PD12を兼用することによって動き検出の精度の低下を抑えることができる。さらに、第4の構成例の兼用画素56を配置した固体撮像装置3では、通常兼用画素531のさらなる高精細化と、固体撮像装置3の小型化を容易に実現することができる。

[0213] なお、第4の構成例の兼用画素56が配置されている場合の固体撮像装置3の構造は、図15に示した第2の構成例の兼用画素54が配置されている場合の固体撮像装置3の構造にさらに第3の半導体基板14を積層（接合）した構造である。しかし、第4の構成例の兼用画素56が配置されている場合の固体撮像装置3の構造は、図15に示した第2の構成例の兼用画素54が配置されている場合の固体撮像装置3の構造と同様に考えることができるため、詳細な説明は省略する。

[0214] なお、図17に示した第4の構成例の兼用画素56の構成でも、1個の動き検出兼用画素562が、2個の通常兼用画素531（通常兼用画素531aおよび通常兼用画素531b）と光電変換素子PD12（光電変換素子PD12aおよび光電変換素子PD12b）を兼用する構成を示した。しかし、第4の構成例の兼用画素56の構成も、第2の構成例の兼用画素54や第3の構成例の兼用画素55と同様に、1個の動き検出兼用画素562が兼用する数は限定されるものではない。

[0215] また、図17に示した第4の構成例の兼用画素56の構成では、動き検出

兼用画素562を、第1の半導体基板11、と第2の半導体基板12と、第3の半導体基板14とのそれぞれに分けて形成する構成を示した。しかし、動き検出兼用画素562のそれぞれの半導体基板への分け方は、図17に示した方法に限定されるものではない。つまり、第4の構成例の兼用画素56内に構成される動き検出兼用画素562を3つの半導体基板に分ける構成に限定されるものではなく、さらに多くの半導体基板に分け構成にしてもよい。例えば、動き検出兼用画素562を4つの半導体基板に分けて形成してもよい。この場合、例えば、動き検出兼用画素562の出力回路を第1の半導体基板11に、動き検出兼用画素562の読み出し回路に備えたスイッチトキャパシタアンプ回路543を第2の半導体基板12に、スレッシュホールドアンプ524およびスレッシュホールドアンプ525を第3の半導体基板14に、AER回路526を第4の半導体基板に、それぞれ形成してもよい。

[0216] 第3の実施形態によれば、第1の半導体基板（第1の半導体基板11）と第2の半導体基板（第2の半導体基板12）との間に形成され、第1の半導体基板11の回路要素と第2の半導体基板12の回路要素とを電気的に接続する接続部（チップ接続部13）、をさらに有し、第2の光電変換素子（第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2において動き検出画素52に備えた光電変換素子PD2）は、第1の光電変換素子（第1の実施形態の固体撮像装置1および第2の実施形態の固体撮像装置2において通常画素51に備えた光電変換素子PD1：光電変換素子PD12）であり、m個の第2の読み出し回路（動き検出兼用画素の読み出し回路）のそれぞれは、n個の光電変換素子PD12の内、対応するs個の光電変換素子PD12が発生した第1の電荷信号の変化を表す第2の画素信号（イベント画素信号）を逐次出力し、m個の動き検出兼用画素の読み出し回路のそれぞれが有する検出回路（スレッシュホールドアンプ524およびスレッシュホールドアンプ525）は、対応するs個の光電変換素子PD12が発生した第1の電荷信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出したときに、イベント信号を出力し、チップ接続部13は、m個の動き検出

兼用画素の読み出し回路のそれぞれが有するスレッシュホールドアンプ524およびスレッシュホールドアンプ525と、対応するs個の光電変換素子PD12とを電氣的に接続し、sは1以上の自然数である、固体撮像装置（固体撮像装置3）が構成される。

[0217] また、第3の実施形態によれば、mはnよりも小さく、sは2以上の自然数であり、m個の動き検出兼用画素の読み出し回路のそれぞれは、対応するs個の光電変換素子PD12が発生したそれぞれの第1の電荷信号を加算する加算回路（キャパシタ5231aおよびキャパシタ5231b）、をさらに有し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525は、キャパシタ5231aおよびキャパシタ5231bによって加算された後の第1の電荷信号の変化を検出する、固体撮像装置3が構成される。

[0218] また、第3の実施形態によれば、m個の動き検出兼用画素の読み出し回路のそれぞれは、第2の半導体基板12に配置され、キャパシタ5231aおよびキャパシタ5231bによって加算された後の第1の電荷信号を増幅するアンプ回路（スイッチトキャパシタアンプ回路）、をさらに有し、スレッシュホールドアンプ524およびスレッシュホールドアンプ525は、スイッチトキャパシタアンプ回路によって増幅された後の第1の電荷信号の変化を検出する、固体撮像装置3が構成される。

[0219] また、第3の実施形態によれば、キャパシタ5231aおよびキャパシタ5231bは、第1の半導体基板11に配置され、チップ接続部13は、m個の動き検出兼用画素の読み出し回路のそれぞれが有するスレッシュホールドアンプ524およびスレッシュホールドアンプ525と、対応するキャパシタ5231aおよびキャパシタ5231bとを電氣的に接続する、固体撮像装置3が構成される。

[0220] 上記に述べたように、第3の実施形態の固体撮像装置3では、通常の撮影による画素信号の出力と、動き検出によるイベント画素信号の出力とを、同じ光電変換素子PD12が発生した電荷信号に基づいて行う兼用画素を、画素アレイ部40の平面の領域全体に均一に配置する。このとき、第3の実施

形態の固体撮像装置 3 では、第 1 の実施形態の固体撮像装置 1 や第 2 の実施形態の固体撮像装置 2 と同様に、通常の撮影による画素信号を出力するために兼用画素内に構成される通常兼用画素を第 1 の半導体基板 1 1 に形成し、動き検出によるイベント画素信号を出力するために兼用画素内に構成される動き検出兼用画素を第 2 の半導体基板 1 2 に形成する。これにより、第 3 の実施形態の固体撮像装置 3 でも、第 1 の実施形態の固体撮像装置 1 や第 2 の実施形態の固体撮像装置 2 と同様に、通常の撮影と被写体の動きを逐次検出する動き検出とを両立することができる。

[0221] また、第 3 の実施形態の固体撮像装置 3 では、動き検出兼用画素を、複数の通常兼用画素と光電変換素子 P D 1 2 を兼用し、複数の光電変換素子 P D 1 2 が発生した電荷信号を加算することによって、より大きな電荷信号に基づいて被写体の動きを検出することができる。これにより、第 3 の実施形態の固体撮像装置 3 でも、第 1 の実施形態の固体撮像装置 1 や第 2 の実施形態の固体撮像装置 2 と同様に、画素アレイ部 4 0 内に配置する動き検出兼用画素は、動き検出の精度の低下を抑えることができる。また、この場合、第 3 の実施形態の固体撮像装置 3 でも、第 1 の実施形態の固体撮像装置 1 や第 2 の実施形態の固体撮像装置 2 と同様に、画素アレイ部 4 0 内に配置する通常兼用画素の数を、動き検出兼用画素よりも多くすることができ、通常の撮影において生成する画像の画質を向上させることができる。

[0222] 上記に述べたように、本発明の各実施形態によれば、固体撮像装置に備える画素として、通常の撮影の画素信号を出力する画素と、動き検出のイベント画素信号を出力する画素とを、画素アレイ部に配置する。これにより、本発明の各実施形態では、通常の撮影と被写体の動きを逐次検出する動き検出とを両立することができる。

[0223] また、本発明の各実施形態では、画素アレイ部に配置する通常の撮影の画素信号を出力する画素の数を、動き検出のイベント画素信号を出力する画素よりも多くする。これにより、本発明の各実施形態では、通常の撮影において生成する画像の画質を向上させることができる。

[0224] また、本発明の各実施形態では、動き検出のイベント画素信号を出力する画素に備えた光電変換素子が発生する電荷信号が、より大きくなるようにする。これにより、本発明の各実施形態では、被写体の動きを検出する動き検出の精度の低下を抑えることができる。

[0225] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。

また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

[0226] また、本発明の各実施形態に係る固体撮像装置は、2枚の半導体基板がチップ接続部により接続されていてもよいし、3枚以上の半導体基板がチップ接続部で接続されていてもよい。3枚以上の半導体基板がチップ接続部で接続される固体撮像装置の場合、そのうちの2枚の半導体基板が請求項に係る第1の半導体基板と第2の半導体基板に相当する。

産業上の利用可能性

[0227] 上記各実施形態によれば、被写体の動きを逐次検出する動き検出と通常の撮影とを両立する固体撮像装置において、動き検出の精度を低下させることなく、通常の撮影おける画質を向上させることができる。

符号の説明

- [0228] 1, 2, 3 固体撮像装置
- 1 1 第1の半導体基板
 - 1 2 第2の半導体基板
 - 1 3, 1 3 a, 1 3 b チップ接続部 (接続部)
 - 1 0 制御回路 (駆動回路)
 - 2 0 垂直走査回路 (駆動回路)
 - 3 0 水平走査回路 (駆動回路)
 - 4 0 画素アレイ部
 - 5 0 画素

5 1 通常画素

PD 1 光電変換素子 (第 1 の光電変換素子)

5 1 1, 5 1 1 a, 5 1 1 b 電荷転送トランジスタ (第 1 の読み出し回路)

5 1 2, 5 1 2 a, 5 1 2 b 画素リセットトランジスタ (第 1 の読み出し回路)

5 1 3, 5 1 3 a, 5 1 3 b 増幅トランジスタ (第 1 の読み出し回路)

5 1 4, 5 1 4 a, 5 1 4 b 選択トランジスタ (第 1 の読み出し回路)

FD 1, FD 1 a, FD 1 b ノード容量 (第 1 の読み出し回路)

5 2 動き検出画素

PD 2 光電変換素子 (第 2 の光電変換素子)

5 2 1, 5 2 1 a, 5 2 1 b アンプ

5 2 2, 5 2 2 a, 5 2 2 b バイアストランジスタ

5 2 3, 5 4 3, 5 5 3 スイッチトキャパシタアンプ回路 (第 2 の読み出し回路, アンプ回路)

5 2 3 1 キャパシタ (第 2 の読み出し回路, アンプ回路)

5 2 3 2 アンプ (第 2 の読み出し回路, アンプ回路)

5 2 3 3 キャパシタ (第 2 の読み出し回路, アンプ回路)

5 2 3 1 a, 5 2 3 1 b キャパシタ (第 2 の読み出し回路, 加算回路, アンプ回路)

5 2 3 4 スイッチ (第 2 の読み出し回路, アンプ回路)

5 2 4 スレッシュホールドアンプ (第 2 の読み出し回路, 検出回路)

5 2 5 スレッシュホールドアンプ (第 2 の読み出し回路, 検出回路)

5 2 6 A E R 回路 (第 2 の読み出し回路, 画素信号生成回路)

5 3, 5 4, 5 5, 5 6 兼用画素

5 3 1, 5 3 1 a, 5 3 1 b 通常兼用画素

5 3 2, 5 4 2, 5 5 2, 5 6 2 動き検出兼用画素

PD 1 2, PD 1 2 a, PD 1 2 b 光電変換素子 (第 1 の光電変換素子)

)

- 60 垂直信号線
- 14 第3の半導体基板
- 15 チップ接続部
- CF カラーフィルタ

請求の範囲

[請求項1]

光が入射する第1の半導体基板と、

前記第1の半導体基板に光が入射する側の面と反対側の面に積層される第2の半導体基板と、

前記第1の半導体基板に周期的に配置され、入射した光を光電変換した第1の電荷信号を発生するn個の第1の光電変換素子と、

前記第1の半導体基板に、前記n個の第1の光電変換素子のそれぞれに対応して配置され、対応する1個の前記第1の光電変換素子が発生した前記第1の電荷信号を蓄積し、蓄積した前記第1の電荷信号に応じた信号電圧を第1の画素信号として出力するn個の第1の読み出し回路と、

前記n個の第1の読み出し回路のそれぞれを順次駆動して前記第1の画素信号のそれぞれを出力させる駆動回路と、

前記第1の半導体基板および前記第2の半導体基板のいずれか一方に周期的に配置され、入射した光を光電変換した第2の電荷信号を発生するm個の第2の光電変換素子と、

前記m個の第2の光電変換素子の内、対応する1個の前記第2の光電変換素子が発生した前記第2の電荷信号の変化を表す第2の画素信号を逐次出力するm個の第2の読み出し回路と、

を有し、

前記m個の第2の読み出し回路のそれぞれは、

対応する1個の前記第2の光電変換素子が発生した前記第2の電荷信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出したときに、変化した方向を表すイベント信号を出力する検出回路と、

前記第2の半導体基板に配置され、前記イベント信号に、対応する1個の前記第2の光電変換素子が配置された位置を表すアドレス情報を付加した前記第2の画素信号を出力する画素信号生成回路と、

を有し、

前記 n は 2 以上の自然数であり、
前記 m は 2 以上の自然数である、
固体撮像装置。

[請求項2]

前記 m 個の第 2 の読み出し回路のそれぞれは、
前記第 2 の半導体基板に配置され、対応する 1 個の前記第 2 の光電変換素子が発生した前記第 2 の電荷信号を増幅するアンプ回路、
をさらに有し、
前記検出回路は、
前記アンプ回路によって増幅された後の前記第 2 の電荷信号の変化を検出する、
請求項 1 に記載の固体撮像装置。

[請求項3]

前記 m は前記 n よりも小さく、
前記 m 個の第 2 の光電変換素子のそれぞれが光を受光する面積は、
前記 n 個の第 1 の光電変換素子のそれぞれが光を受光する面積よりも大きい、
請求項 1 に記載の固体撮像装置。

[請求項4]

前記 m 個の第 2 の光電変換素子のそれぞれは、
前記第 2 の半導体基板に配置され、
前記 n 個の第 1 の光電変換素子の内、対応する p 個の前記第 1 の光電変換素子を透過した光を光電変換した第 2 の電荷信号を発生し、
前記 p は 1 以上の自然数である、
請求項 1 に記載の固体撮像装置。

[請求項5]

前記第 1 の半導体基板と前記第 2 の半導体基板との間に形成され、
前記第 1 の半導体基板の回路要素と前記第 2 の半導体基板の回路要素とを電氣的に接続する接続部、
をさらに有し、
前記 m は前記 n よりも小さく、
前記 m 個の第 2 の光電変換素子のそれぞれは、

前記第 1 の半導体基板に配置され、
前記接続部は、
前記 m 個の第 2 の読み出し回路のそれぞれが有する前記検出回路と、
対応する 1 個の前記第 2 の光電変換素子とを電氣的に接続する、
請求項 1 に記載の固体撮像装置。

[請求項6]

前記第 1 の半導体基板と前記第 2 の半導体基板との間に形成され、
前記第 1 の半導体基板の回路要素と前記第 2 の半導体基板の回路要素
とを電氣的に接続する接続部、
をさらに有し、
前記第 2 の光電変換素子は、
前記第 1 の光電変換素子であり、
前記 m 個の第 2 の読み出し回路のそれぞれは、
前記 n 個の第 1 の光電変換素子の内、対応する s 個の前記第 1 の光
電変換素子が発生した前記第 1 の電荷信号の変化を表す前記第 2 の画
素信号を逐次出力し、
前記 m 個の第 2 の読み出し回路のそれぞれが有する前記検出回路は
、
対応する s 個の前記第 1 の光電変換素子が発生した前記第 1 の電荷
信号の時間的な変化を検出し、予め定めた閾値を超える変化を検出し
たときに、前記イベント信号を出力し、
前記接続部は、
前記 m 個の第 2 の読み出し回路のそれぞれが有する前記検出回路と
、対応する s 個の前記第 1 の光電変換素子とを電氣的に接続し、
前記 s は 1 以上の自然数である、
請求項 1 に記載の固体撮像装置。

[請求項7]

前記 m は前記 n よりも小さく、
前記 s は 2 以上の自然数であり、
前記 m 個の第 2 の読み出し回路のそれぞれは、

対応する s 個の前記第 1 の光電変換素子が発生したそれぞれの前記第 1 の電荷信号を加算する加算回路、
をさらに有し、
前記検出回路は、
前記加算回路によって加算された後の前記第 1 の電荷信号の変化を検出する、
請求項 6 に記載の固体撮像装置。

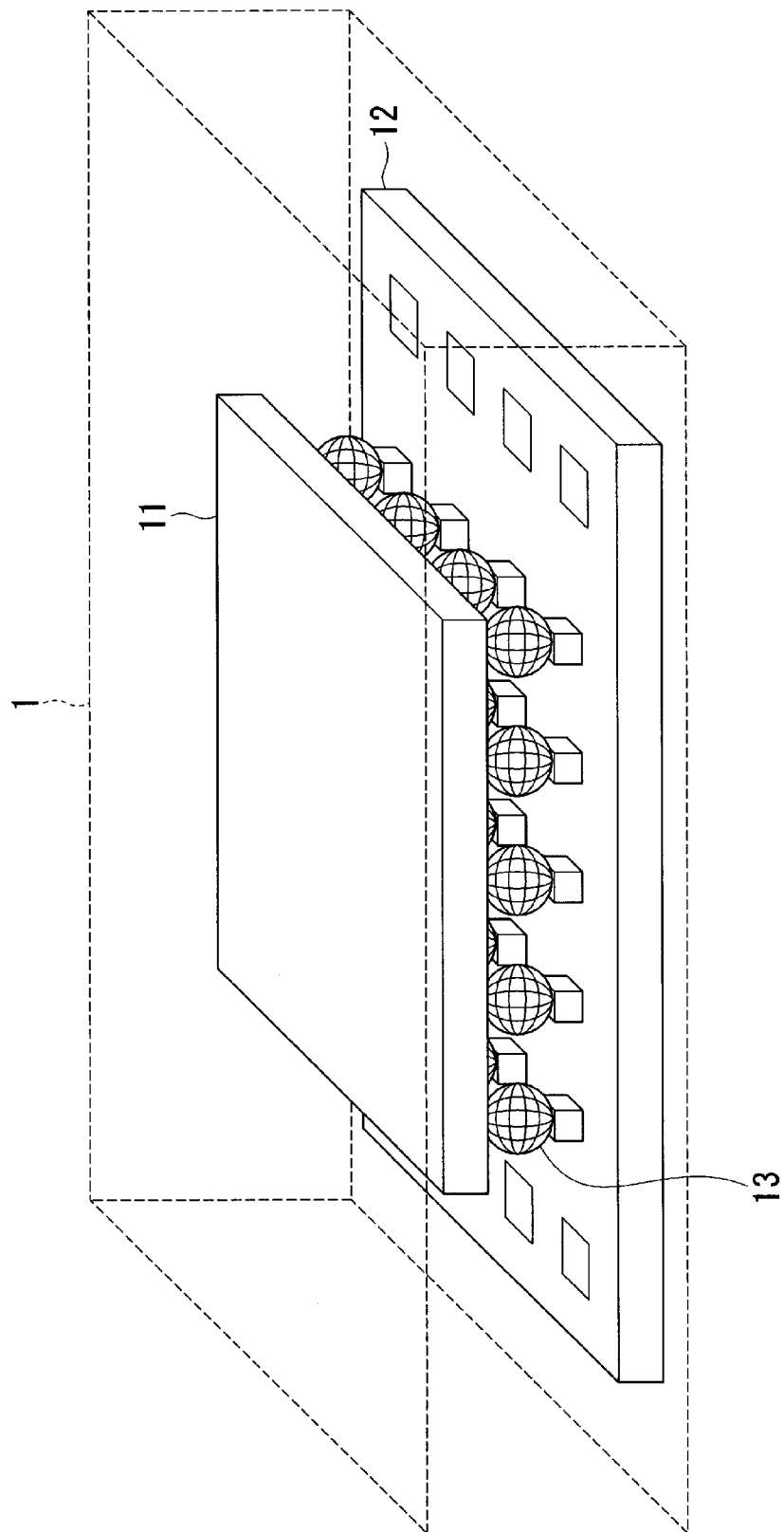
[請求項 8]

前記 m 個の第 2 の読み出し回路のそれぞれは、
前記第 2 の半導体基板に配置され、前記加算回路によって加算された後の前記第 1 の電荷信号を増幅するアンプ回路、
をさらに有し、
前記検出回路は、
前記アンプ回路によって増幅された後の前記第 1 の電荷信号の変化を検出する、
請求項 7 に記載の固体撮像装置。

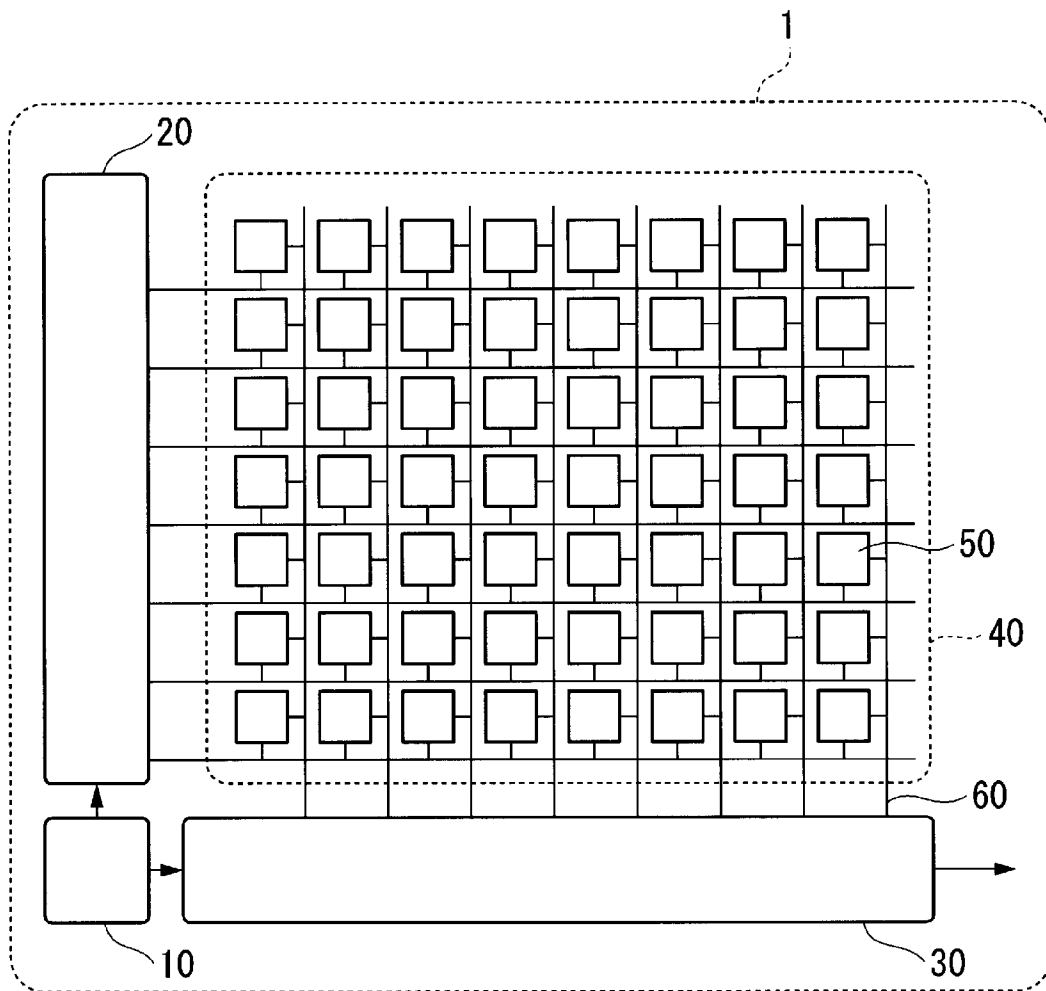
[請求項 9]

前記加算回路は、
前記第 1 の半導体基板に配置され、
前記接続部は、
前記 m 個の第 2 の読み出し回路のそれぞれが有する前記検出回路と、
対応する前記加算回路とを電氣的に接続する、
請求項 7 に記載の固体撮像装置。

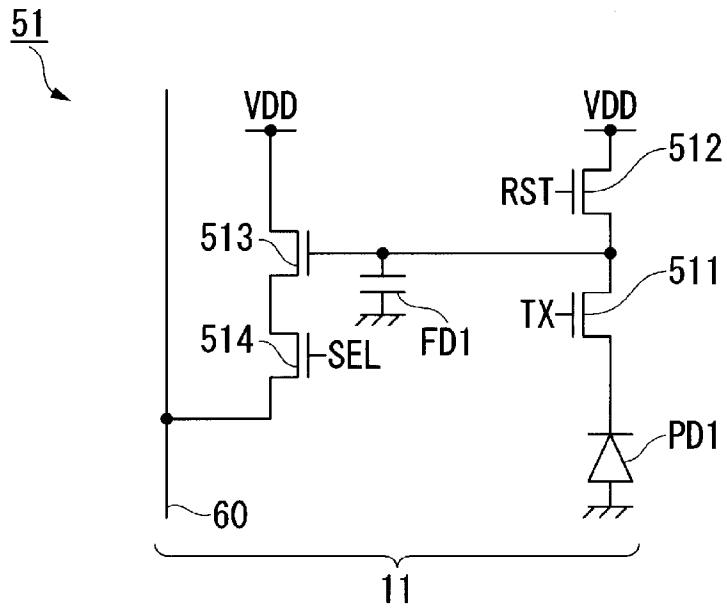
[図1]



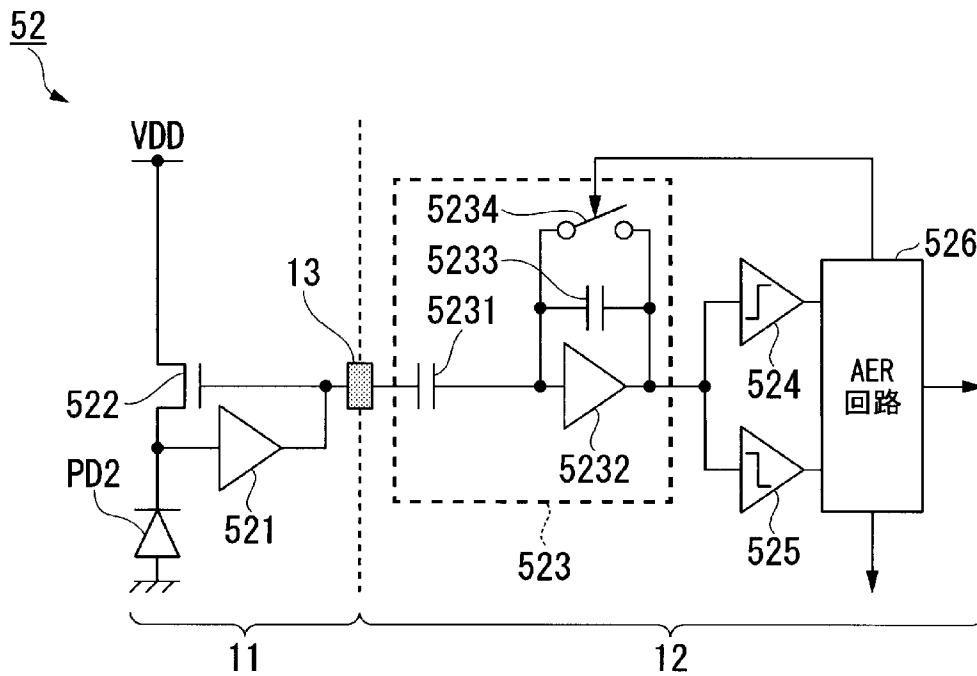
[図2]



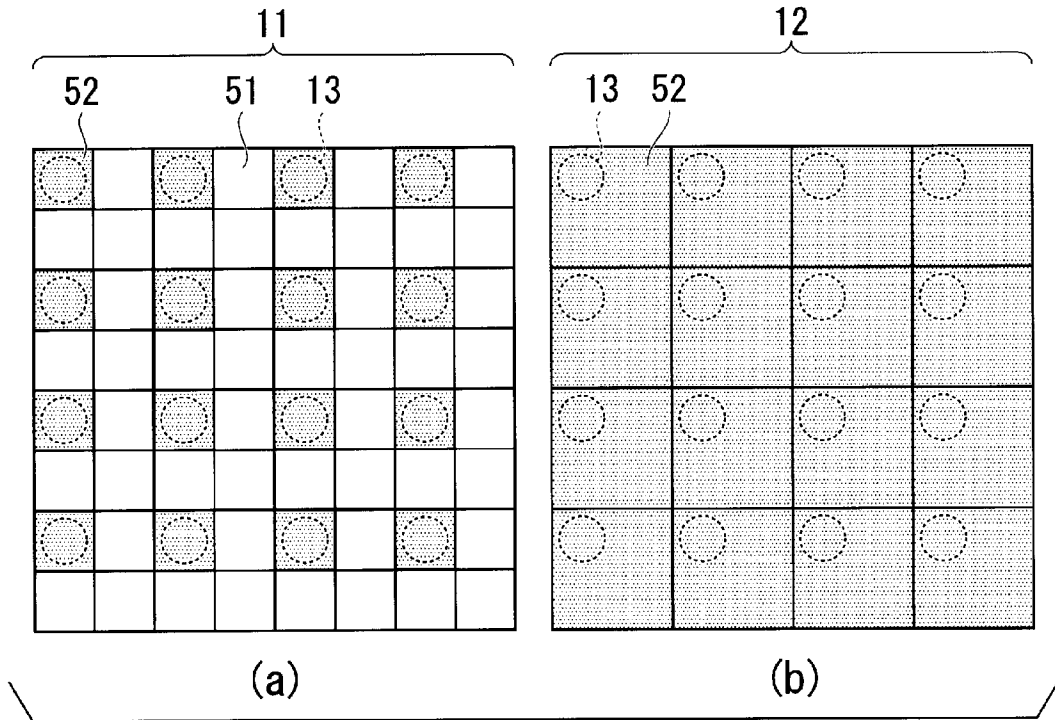
[図3A]



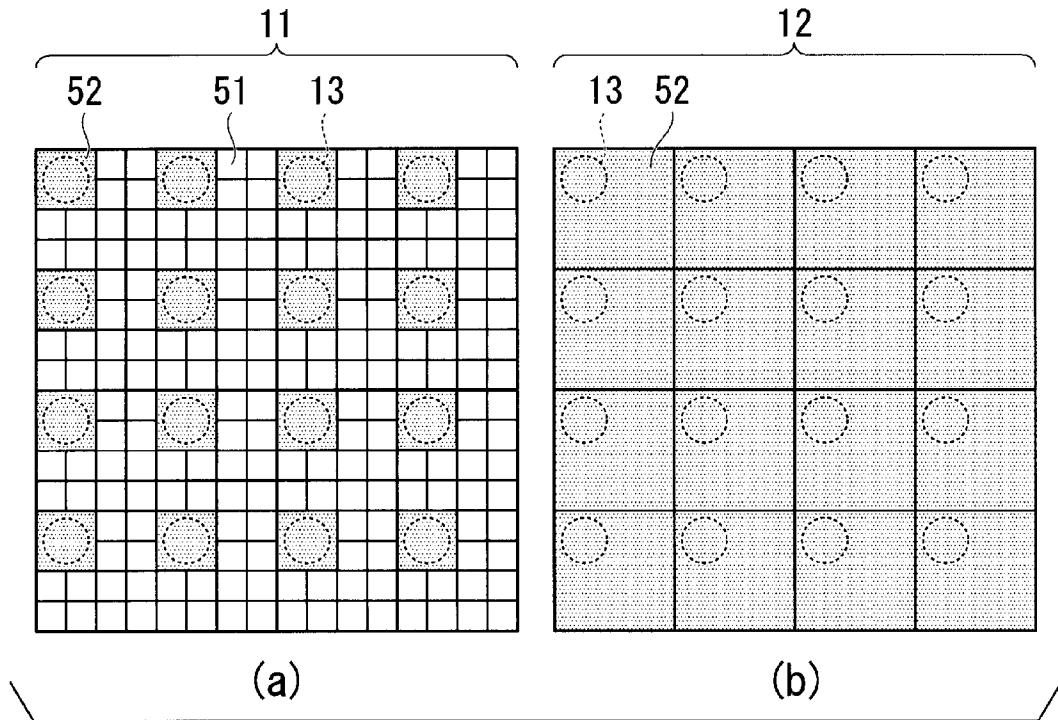
[図3B]



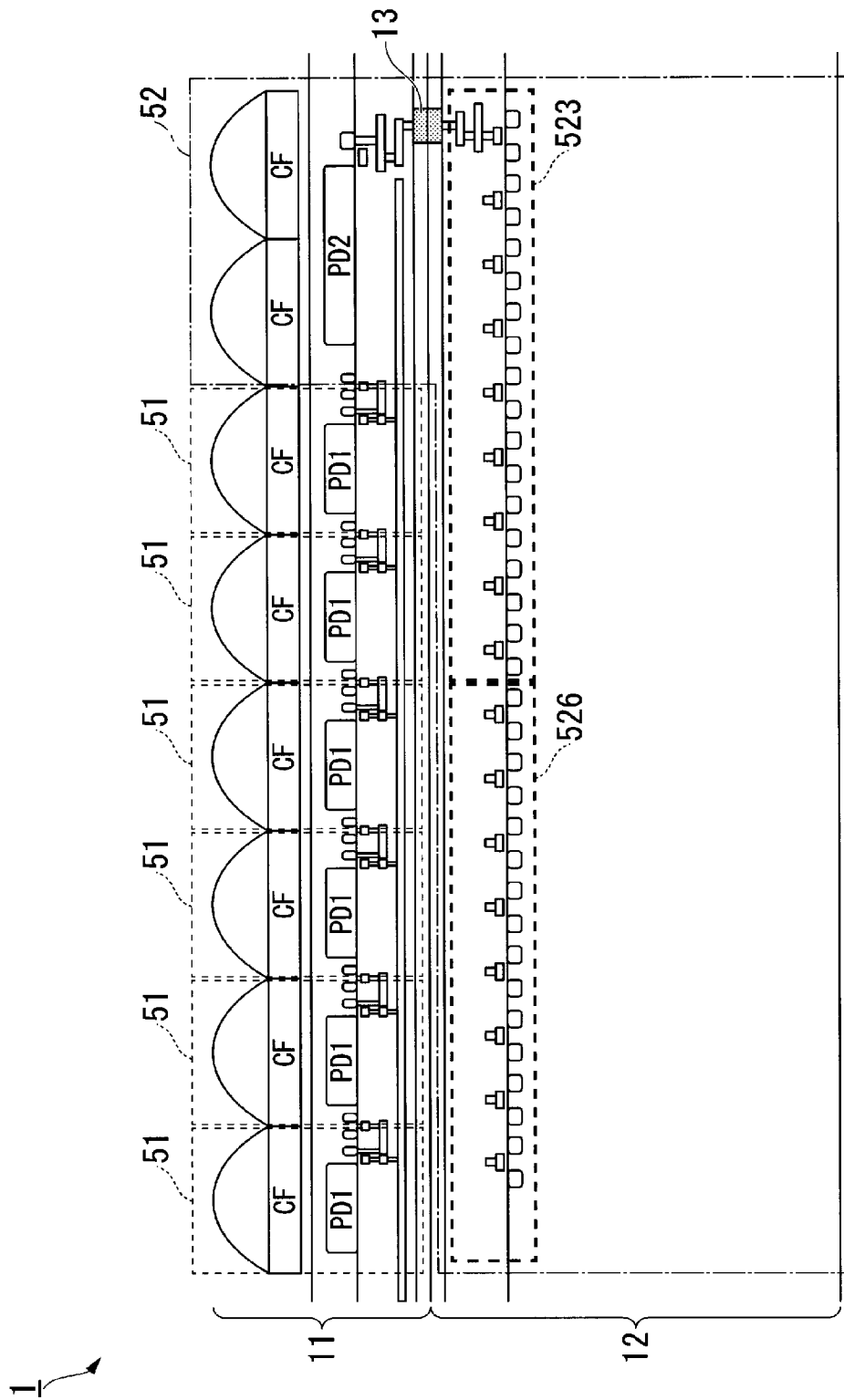
[図4]



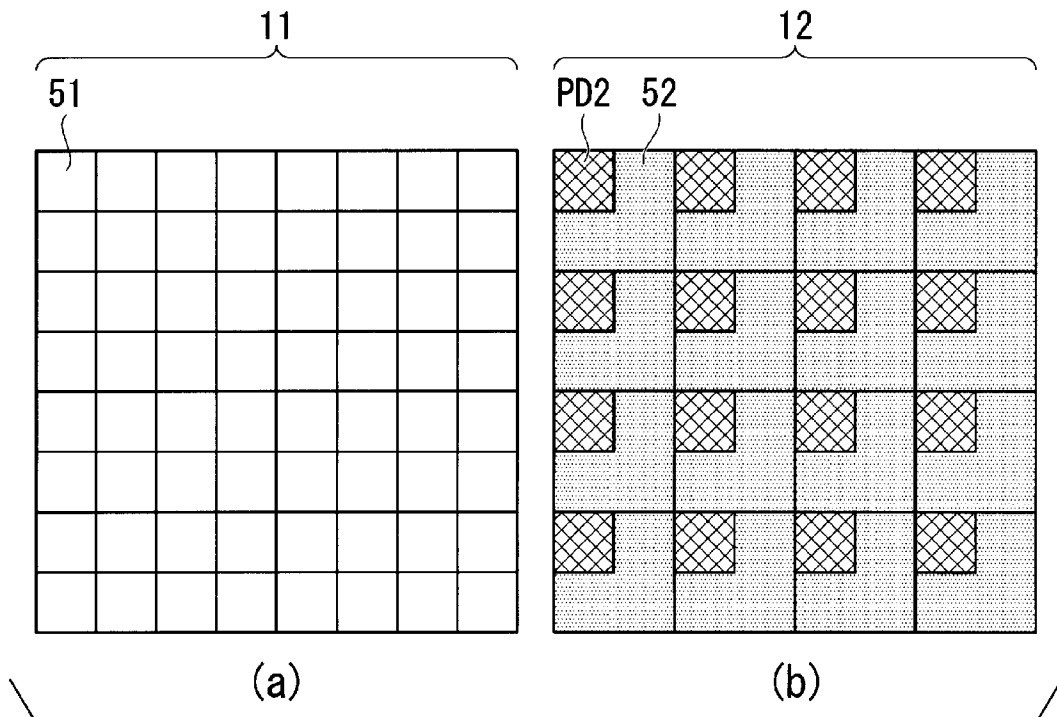
[図6]



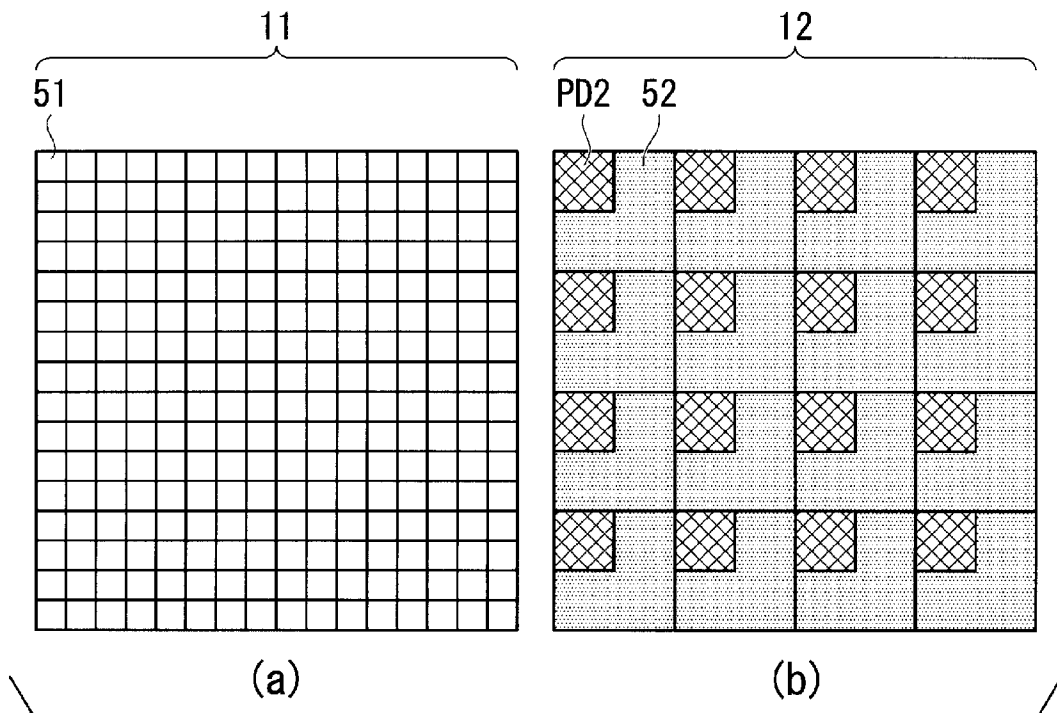
[図7]



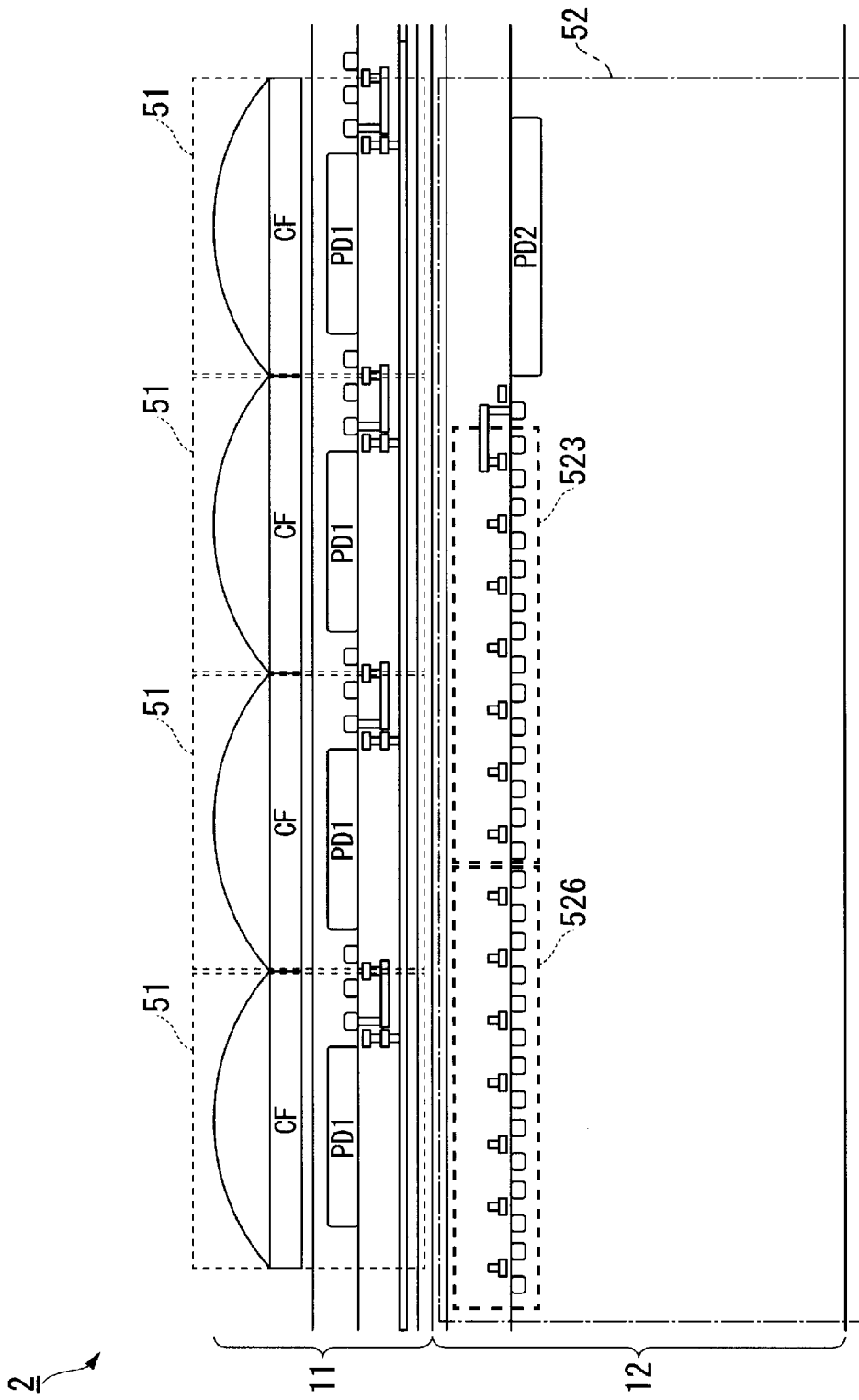
[図9]



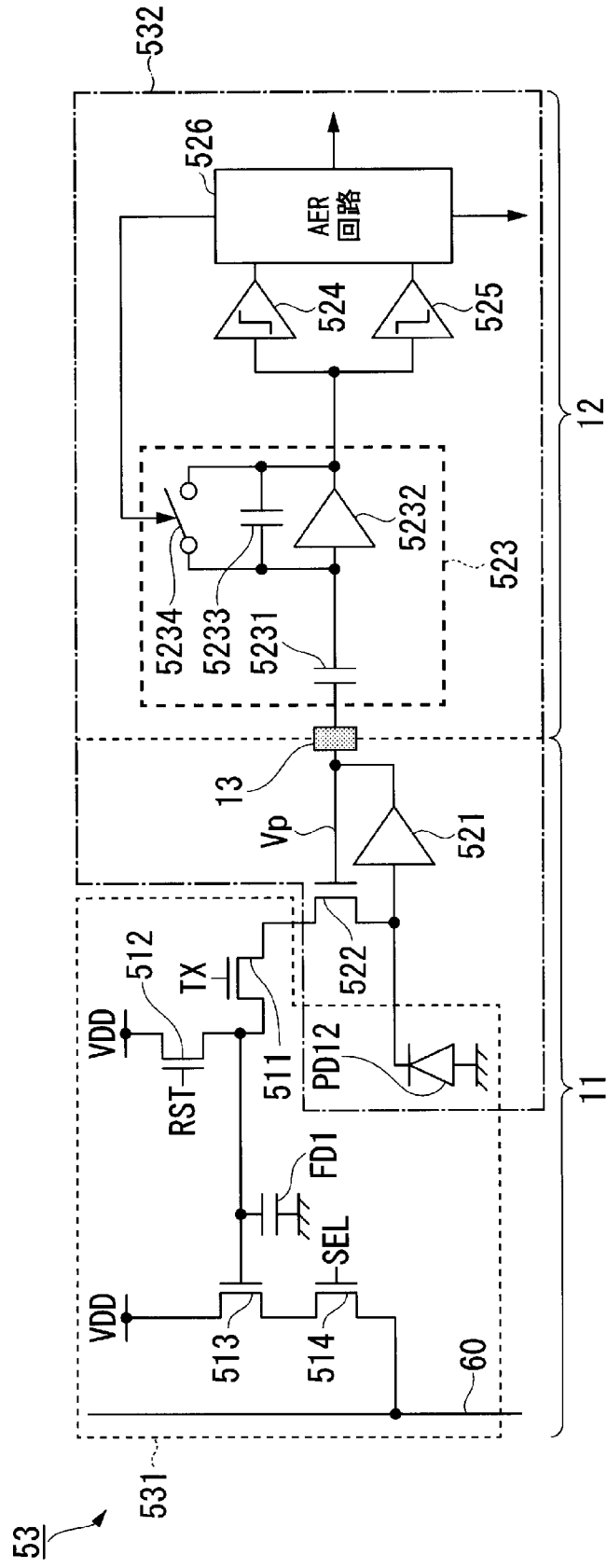
[図10]



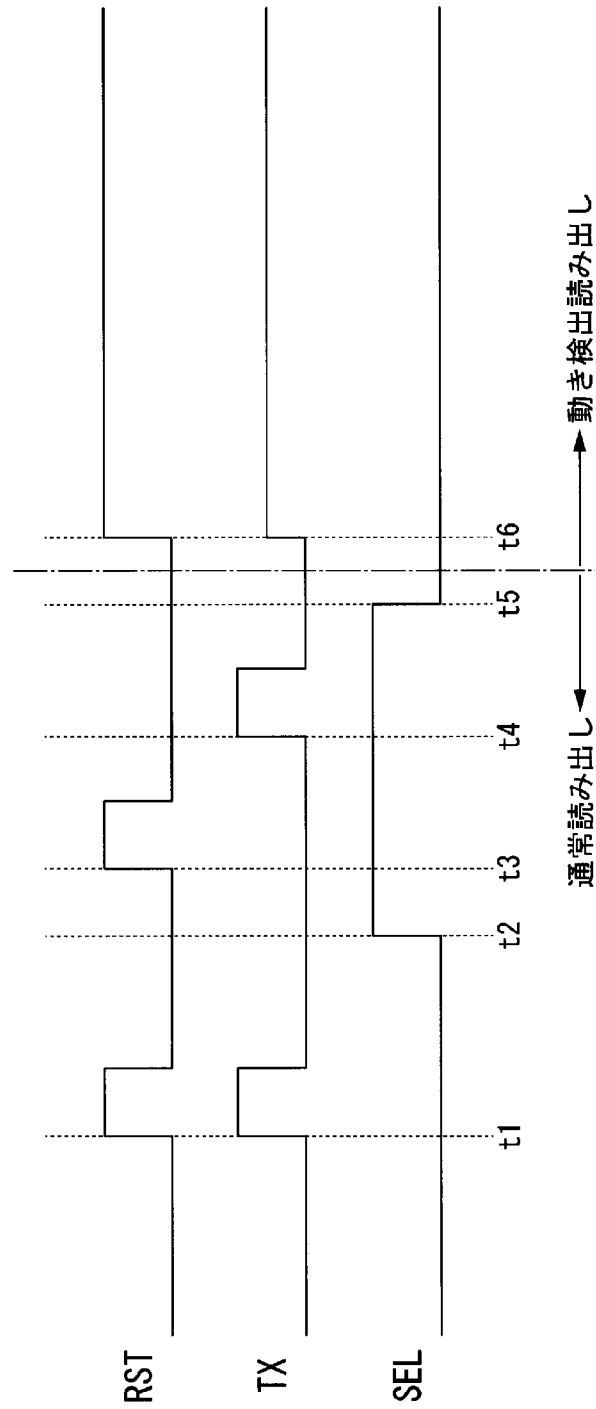
[図11]



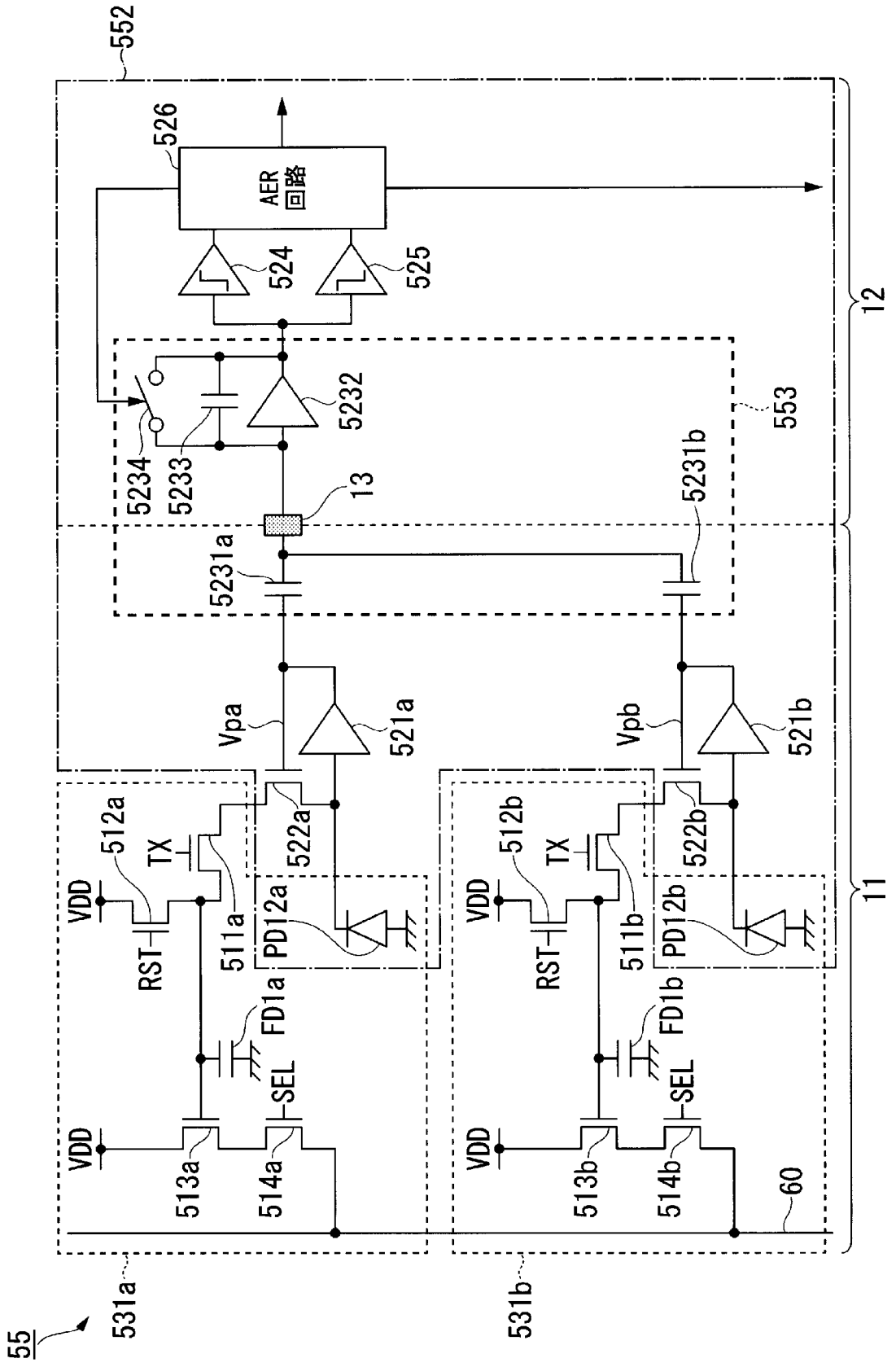
[図12]



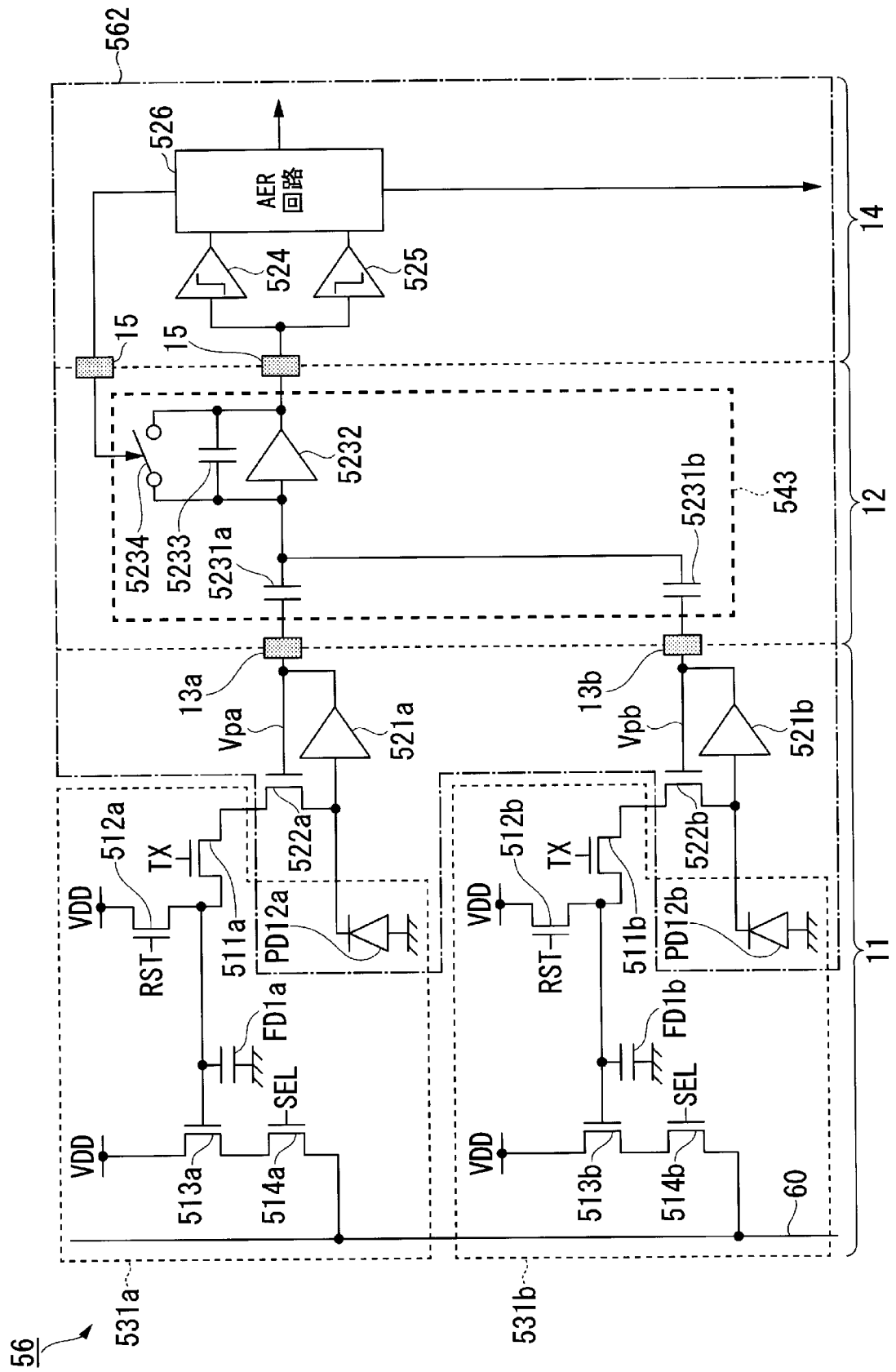
[図13]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070129

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H04N5/3745(2011.01)i, H04N5/345(2011.01)i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>H04N5/3745, H04N5/345</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015</i> <i>Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">A</td> <td><i>JP 2015-128284 A (Canon Inc.), 09 July 2015 (09.07.2015), paragraphs [0038] to [0046]; fig. 2, 6, 8, 10 (Family: none)</i></td> <td align="center">1-9</td> </tr> <tr> <td align="center">A</td> <td><i>WO 2006/022077 A1 (Sony Corp.), 02 March 2006 (02.03.2006), page 5, line 17 to page 14, line 15; fig. 3, 4 & US 2008/0180534 A1</i></td> <td align="center">1-9</td> </tr> <tr> <td align="center">A</td> <td><i>JP 2010-510732 A (AIT Austrian Institute of Technology GmbH), 02 April 2010 (02.04.2010), paragraphs [0001] to [0083] & US 2010/0182468 A1</i></td> <td align="center">1-9</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	<i>JP 2015-128284 A (Canon Inc.), 09 July 2015 (09.07.2015), paragraphs [0038] to [0046]; fig. 2, 6, 8, 10 (Family: none)</i>	1-9	A	<i>WO 2006/022077 A1 (Sony Corp.), 02 March 2006 (02.03.2006), page 5, line 17 to page 14, line 15; fig. 3, 4 & US 2008/0180534 A1</i>	1-9	A	<i>JP 2010-510732 A (AIT Austrian Institute of Technology GmbH), 02 April 2010 (02.04.2010), paragraphs [0001] to [0083] & US 2010/0182468 A1</i>	1-9
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	<i>JP 2015-128284 A (Canon Inc.), 09 July 2015 (09.07.2015), paragraphs [0038] to [0046]; fig. 2, 6, 8, 10 (Family: none)</i>	1-9												
A	<i>WO 2006/022077 A1 (Sony Corp.), 02 March 2006 (02.03.2006), page 5, line 17 to page 14, line 15; fig. 3, 4 & US 2008/0180534 A1</i>	1-9												
A	<i>JP 2010-510732 A (AIT Austrian Institute of Technology GmbH), 02 April 2010 (02.04.2010), paragraphs [0001] to [0083] & US 2010/0182468 A1</i>	1-9												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%;"> <tr> <td style="width:50%; vertical-align: top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search <i>01 September 2015 (01.09.15)</i></p>		<p>Date of mailing of the international search report <i>15 September 2015 (15.09.15)</i></p>												
<p>Name and mailing address of the ISA/ <i>Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</i></p>		<p>Authorized officer</p> <p>Telephone No.</p>												

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/3745(2011.01)i, H04N5/345(2011.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/3745, H04N5/345		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-128284 A (キヤノン株式会社) 2015.07.09, 段落[0038]-[0046]、図 2, 6, 8, 10 (ファミリーなし)	1-9
A	WO 2006/022077 A1 (ソニー株式会社) 2006.03.02, 第5頁第17行～第14頁第15行、第3, 4図 & US 2008/0180534 A1	1-9
A	JP 2010-510732 A (エーアイティィー オーストリアン インスティテュート オブ テクノロジー ゲゼルシャフト ミット ベシユレンクテル ハフツング) 2010.04.02, 段落[0001]-[0083] & US	1-9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 01.09.2015	国際調査報告の発送日 15.09.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松永 隆志 電話番号 03-3581-1101 内線 3571	5V 4228

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	2010/0182468 A1	