

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年7月19日 (19.07.2018)



(10) 国际公布号
WO 2018/129928 A1

- (51) 国际专利分类号: **G09G 3/20** (2006.01) **G11C 19/28** (2006.01) 多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。
- (21) 国际申请号: PCT/CN2017/099005 (72) 发明人: 樊君(FAN, Jun); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (22) 国际申请日: 2017年8月25日 (25.08.2017) (74) 代理人: 中国专利代理(香港)有限公司(CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道23号鹰君中心22号楼, Hong Kong (CN)。
- (25) 申请语言: 中文 (77) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
- (26) 公布语言: 中文
- (30) 优先权: 201710028872.2 2017年1月16日 (16.01.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司(ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔

(54) Title: SHIFT REGISTER CIRCUIT AND DRIVE METHOD THEREFOR, GATE DRIVE CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器电路及其驱动方法、栅极驱动电路和显示装置

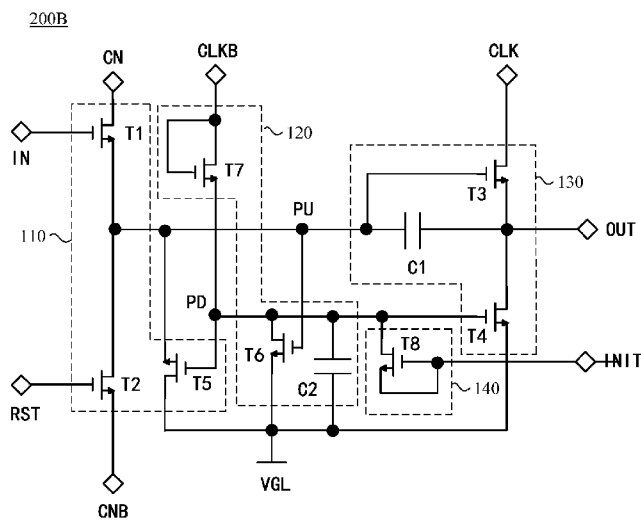


图 5

(57) Abstract: A shift register circuit, comprising an initialization circuit (140), a first node control circuit (110), a second node control circuit (120), and an output circuit (130). The initialization circuit (140) is configured to set a first node (PU) at an invalid potential in response to valid initialization pulse of an initialization end (INIT). The initialization pulse is closely ahead of an input pulse applied to an input end (IN).

(57) 摘要: 一种移位寄存器电路, 其包括初始化电路(140)、第一节点控制电路(110)、第二节点控制电路(120)、以及输出电路(130)。初始化电路(140)被配置成响应于来自初始化端(INIT)的初始化脉冲有效而将第一节点(PU)设定处于无效电位。初始化脉冲紧靠施加到输入端(IN)的输入脉冲之前。



WO 2018/129928 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

移位寄存器电路及其驱动方法、栅极驱动电路和显示装置

技术领域

本公开涉及显示驱动技术领域，尤其涉及一种移位寄存器电路、
5 驱动移位寄存器电路的方法、栅极驱动电路和显示装置。

背景技术

显示装置的栅极驱动电路典型地包括多个级联的移位寄存器电路，
其顺序地输出栅极驱动信号。当未对栅极驱动电路进行初始化时，移
10 位寄存器电路内的一个或多个内部节点可能处于不确定 (indefinite) 的
状态，导致栅极驱动电路的误操作。这可以进一步导致显示装置所显
示的图像的异常

发明内容

15 将有利的是提供一种移位寄存器电路，其可以缓解、减轻或消除
上述问题中的一个或多个。

根据本公开的一个方面，提供了一种移位寄存器电路，包括：初
始化电路，被配置成响应于来自初始化端的初始化脉冲有效而将第一
节点设定处于无效电位；第一节点控制电路，被配置成响应于来自输
20 入端的输入脉冲有效而将所述第一节点设定处于有效电位，并且响应
于来自复位端的复位脉冲有效或第二节点处于所述有效电位中的至少
一个而将所述第一节点设定处于所述无效电位，所述输入脉冲紧接所
述初始化脉冲之后；第二节点控制电路，被配置成响应于所述第一节
点处于所述有效电位而将所述第二节点设定处于无效电位，并且响应
25 于所述第一节点处于所述无效电位且来自第一时钟端的第一时钟信号
有效而将所述第二节点设定处于所述有效电位；以及输出电路，被配
置成响应于所述第一节点处于所述有效电位且来自第二时钟端的第二
时钟信号有效而将输出端设定处于有效电位，并且响应于所述第二节
点处于所述有效电位而将所述输出端设定处于所述无效电位。

30 在一些实施例中，所述第一节点控制电路包括：第一晶体管，具
有连接到所述输入端的栅极、连接到所述第一节点的第一极、以及连
接到第一扫描电平端的第二极；第二晶体管，具有连接到所述复位端

的栅极、连接到第二扫描电平端的第一极、以及连接到所述第一节点的第二极；以及第五晶体管，具有连接到所述第二节点的栅极、连接到所述第一节点的第一极、以及连接到供应所述无效电位的参考电平端的第二极。

5 在一些实施例中，所述第二节点控制电路包括：第六晶体管，具有连接到所述第一节点的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述第二节点的第二极；以及第七晶体管，具有连接到所述第一时钟端的栅极、连接到所述第二节点的第一极、以及连接到所述第一时钟端的第二极。

10 在一些实施例中，所述输出电路包括：第三晶体管，具有连接到所述第一节点的栅极、连接到所述输出端的第一极、以及连接到所述第二时钟端的第二极；第一电容，连接在所述第一节点和所述输出端之间；以及第四晶体管，具有连接到所述第二节点的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述输出端的第
15 二极。

在一些实施例中，所述初始化电路被配置成直接将所述第一节点设定处于所述无效电位。

20 在一些实施例中，所述初始化电路包括第八晶体管，其具有连接到所述初始化端的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述第一节点的第二极。

在一些实施例中，所述初始化电路被配置成通过将所述第二节点设定处于所述有效电位而借助于所述第一节点控制电路将所述第一节点设定处于所述无效电位。

25 在一些实施例中，所述初始化电路包括第八晶体管，其具有连接到所述初始化端的栅极、连接到所述初始化端的第一极、以及连接到所述第二节点的第二极。

在一些实施例中，所述第二节点控制电路还包括第二电容，其连接在所述第二节点与所述参考电平端之间。

30 根据本公开的另一方面，提供了一种驱动如上所述的移位寄存器电路的方法。所述方法包括：响应于来自所述初始化端的所述初始化脉冲有效而将所述第一节点设定处于所述无效电位，其中所述初始化脉冲紧靠施加到所述输入端的所述输入脉冲之前。

根据本公开的又另一方面，提供了一种栅极驱动电路，包括 n 个级联的如上所述的移位寄存器电路， n 为大于或等于 2 的整数。除了第一个移位寄存器电路之外，所述移位寄存器电路中的每一个的输入端连接到相邻上一个移位寄存器电路的输出端，并且除了第 n 个移位寄存器电路之外，所述移位寄存器电路中的每一个的复位端连接到相邻下一个移位寄存器电路的输出端。

在一些实施例中，所述栅极驱动电路被配置成在正向扫描模式下操作。所述第一个移位寄存器电路的输入端操作用于接收起始信号作为所述输入脉冲。所述第一个移位寄存器电路的初始化端操作用于接收所述初始化脉冲。第二个移位寄存器电路的初始化端操作用于接收所述起始信号作为所述初始化脉冲。第 k 个移位寄存器电路的初始化端连接到第 $k-2$ 个移位寄存器电路的输出端， k 为整数且 $2 < k \leq n$ 。

根据本公开的另一方面，提供了所述栅极驱动电路被配置成在反向扫描模式下操作。所述第 n 个移位寄存器电路的复位端操作用于接收起始信号作为所述输入脉冲。所述第 n 个移位寄存器电路的初始化端操作用于接收所述初始化脉冲。第 $n-1$ 个移位寄存器电路的初始化端操作用于接收所述起始信号作为所述初始化脉冲。第 k 个移位寄存器电路的初始化端连接到第 $k+2$ 个移位寄存器电路的输出端， k 为整数且 $1 \leq k \leq n-2$ 。

根据本公开的再另一方面，提供了一种显示装置，包括如上所述的栅极驱动电路。

根据在下文中所描述的实施例，本公开的这些和其它方面将是清楚明白的，并且将参考在下文中所描述的实施例而被阐明。

附图说明

- 图 1 是根据本公开实施例的移位寄存器电路的框图；
图 2 是示出图 1 的移位寄存器电路的示例电路的电路图；
图 3 是根据本公开实施例的移位寄存器电路的框图；
图 4 是示出图 3 的移位寄存器电路的示例电路的电路图；
图 5 是示出图 3 的移位寄存器电路的另一示例电路的电路图；
图 6 是图 5 所示的示例移位寄存器电路的时序图；
图 7A 是根据本公开实施例的、在正向扫描模式下操作的栅极驱动

电路的框图；

图 7B 是根据本公开实施例的、在反向扫描模式下操作的栅极驱动电路的框图；并且

图 8 是根据本公开实施例的显示装置的框图。

5

具体实施方式

将理解的是，尽管术语第一、第二、第三等等在本文中可以用来描述各种元件、部件和/或部分，但是这些元件、部件和/或部分不应当由这些术语限制。这些术语仅用来将一个元件、部件或部分与另一个元件、部件或部分相区分。因此，下面讨论的第一元件、部件或部分可以被称为第二元件、部件或部分而不偏离本公开的教导。

本文中使用的术语仅出于描述特定实施例的目的并且不意图限制本公开。如本文中使用的，单数形式“一个”、“一”和“该”意图也包括复数形式，除非上下文清楚地另有指示。将进一步理解的是，术语“包括”和/或“包含”当在本说明书中使用指定所述及特征、整体、步骤、操作、元件和/或部件的存在，但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组。如本文中使用的，术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合。

20 将理解的是，当元件被称为“连接到另一个元件”或“耦合到另一个元件”时，其可以直接连接到另一个元件或直接耦合到另一个元件，或者可以存在中间元件。相反，当元件被称为“直接连接到另一个元件”或“直接耦合到另一个元件”时，没有中间元件存在。

除非另有定义，本文中使用的术语（包括技术术语和科学术语）具有与本公开所属领域的普通技术人员所通常理解的含义。将进一步理解的是，诸如那些在通常使用的字典中定义的之类的术语应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义，并且将不在理想化或过于正式的含义上进行解释，除非本文中明确地如此定义。

30 下面将结合附图对本公开的实施例进行详细地描述。

图 1 是根据本公开实施例的移位寄存器电路 100 的框图。参考图 1，移位寄存器 100 包括第一节点控制电路 110、第二节点控制电路 120、

输出电路 130 和初始化电路 140。

第一节点控制电路 110 被配置成响应于来自输入端 IN 的输入脉冲有效而将第一节点 PU 设定处于有效电位。第一节点控制电路 110 还被配置成响应于来自复位端 RST 的复位脉冲有效或第二节点 PD 处于所述有效电位中的至少一个而将所述第一节点 PU 设定处于所述无效电位。

第二节点控制电路 120 被配置成响应于所述第一节点 PU 处于所述有效电位而将所述第二节点 PD 设定处于无效电位。第二节点控制电路 120 还被配置成响应于所述第一节点 PU 处于所述无效电位且来自第一时钟端 CLKB 的第一时钟信号有效而将所述第二节点 PD 设定处于所述有效电位。

输出电路 130 被配置成响应于所述第一节点 PU 处于所述有效电位且来自第二时钟端 CLK 的第二时钟信号有效而将输出端 OUT 设定处于有效电位。输出电路 130 还被配置成响应于所述第二节点 PD 处于所述有效电位而将所述输出端 OUT 设定处于所述无效电位。

初始化电路 140 被配置成响应于来自初始化端 INIT 的初始化脉冲有效而将所述第一节点 PU 设定处于无效电位。所述初始化脉冲紧靠施加到所述输入端 IN 的所述输入脉冲之前 (immediately prior to)。换言之,所述输入脉冲紧接所述初始化脉冲之后(immediately subsequent to)。

借助于初始化电路 140, 移位寄存器电路 100 的内部节点(具体地, 第一节点 PU) 在输入脉冲被供应给移位寄存器 100 之前被初始化处于确定的 (definite) (具体地, 无效) 状态, 这可以避免移位寄存器电路 100 的误操作。

如本文使用的术语“有效电位”是指所涉及的电路元件(例如, 晶体管)被启用所处的电位。相反, 术语“无效电位”是指所涉及的电路元件被禁用所处的电位。对于 n 型晶体管而言, 有效电位是高电位, 并且无效电位是低电位。对于 p 型晶体管而言, 有效电位是低电位, 并且无效电位是高电位。

图 2 是示出图 1 的移位寄存器电路 100 的示例电路 100A 的电路图。下面参考图 2 描述图 1 的移位寄存器电路 100 的示例配置。

第一节点控制电路 110 包括第一晶体管 T1、第二晶体管 T2 和第五晶体管 T5。第一晶体管 T1 具有连接到所述输入端 IN 的栅极、连接

到所述第一节点 PU 的第一极、以及连接到第一扫描电平端 CN 的第二极。第二晶体管 T2 具有连接到所述复位端 RST 的栅极、连接到第二扫描电平端 CNB 的第一极、以及连接到所述第一节点 PU 的第二极。第五晶体管 T5 具有连接到所述第二节点 PD 的栅极、连接到所述第一节点 PU 的第一极、以及连接到供应所述无效电位的参考电平端 VGL 的第二极。

第二节点控制电路 120 包括第六晶体管 T6 和第七晶体管 T7。第六晶体管 T6 具有连接到所述第一节点 PU 的栅极、连接到供应所述无效电位的参考电平端 VGL 的第一极、以及连接到所述第二节点 PD 的第二极。第七晶体管 T7 具有连接到所述第一时钟端 CLKB 的栅极、连接到所述第二节点 PD 的第一极、以及连接到所述第一时钟端 CLKB 的第二极。

输出电路 130 包括第三晶体管 T3、第一电容 C1 和第四晶体管 T4。第三晶体管 T3 具有连接到所述第一节点 PU 的栅极、连接到所述输出端 OUT 的第一极、以及连接到所述第二时钟端 CLK 的第二极。第一电容 C1 连接在所述第一节点 PU 和所述输出端 OUT 之间。第四晶体管 T4 具有连接到所述第二节点 PD 的栅极、连接到供应所述无效电位的参考电平端 VGL 的第一极、以及连接到所述输出端 OUT 的第二极。

在该示例中，初始化电路 140 被配置成直接将所述第一节点 PU 设定处于所述无效电位。具体地，初始化电路 140 包括第八晶体管 T8，其具有连接到所述初始化端 INIT 的栅极、连接到供应所述无效电位的参考电平端 VGL 的第一极、以及连接到所述第一节点 PU 的第二极。

图 3 是根据本公开实施例的移位寄存器电路 200 的框图。参考图 3，移位寄存器 200 包括第一节点控制电路 110、第二节点控制电路 120、输出电路 130 和初始化电路 140。与图 1 相同的参考数字指示与图 1 相同的元件。

移位寄存器 200 与图 1 的移位寄存器电路 100 的不同之处在于，初始化电路 140 连接到第二节点 PD 而不是第一节点 PU。这基于以下认识：可以通过将所述第二节点 PD 设定处于所述有效电位而借助于所述第一节点控制电路 110 将所述第一节点 PU 设定处于所述无效电位。这可以是有利的，因为现在第一节点 PU 和第二节点 PD 两者均被初始化处于确定的状态。

图4是示出图3的移位寄存器电路200的示例电路200A的电路图。第一节点控制电路110、第二节点控制电路120和输出电路130的配置与上面关于图2描述的那些相同，并且在此不再重复。

在该示例中，初始化电路140连接到第二节点PD而不是第一节点PU。具体地，初始化电路140包括第八晶体管T8，其具有连接到所述初始化端INIT的栅极、连接到所述初始化端INIT的第一极、以及连接到所述第二节点PD的第二极。

图5是示出图3的移位寄存器电路200的另一示例电路200B的电路图。第一节点控制电路110、输出电路130和初始化电路140的配置与上面关于图4描述的那些相同，并且在此不再重复。

在该示例中，第二节点控制电路120还包括第二电容C2，其连接在所述第二节点PD与所述参考电平端VGL之间。这可以是有利的，因为第二电容C2可以维持第二节点PD处于有效电位，并且进而维持第一节点PU处于无效电位，如下面将描述的。

图6是图5所示的示例移位寄存器电路200B的时序图。下面参考图6描述示例电路200B的操作。在下文中，以1表示高电平，并且以0表示低电平。还假定：第一扫描电平端CN供应高电平电压，并且第二扫描电平端CNB和参考电平端VGL供应低电平电压。

在阶段P0，INIT=1。第八晶体管T8导通，并且将来自初始化端INIT的初始化脉冲传送到第二节点PD，并且对第二电容C2充电。因此，第二节点PD被设定处于有效电位（在该示例中，高电位）。第五晶体管T5导通，并且将来自参考电平端VGL的低电平电压传送到第一节点PU。因此，第一节点PU被设定处于无效电位（在该示例中，低电位）。初始化完成。

在阶段P1，IN=1，CLKB=1，CLK=0，RST=0。由于IN=1，所以第一晶体管T1导通，并且将来自第一扫描电平端CN的高电平电压传送到第一节点PU，使得第一节点PU被设定处于有效电位，并且因此第六晶体管T6导通。由于CLKB=1，所以第七晶体管T7导通。导通的第六晶体管T6和第七晶体管T7具有电阻分压效应。第六晶体管T6和第七晶体管T7被设计使得第六晶体管T6的等效电阻远小于第七晶体管T7的等效电阻。这样，第二节点PD被设定处于无效电位，并且第二电容C2通过第六晶体管T6放电。由于第一节点PU处于有效电

位，第三晶体管 T3 导通，并且将来自第二时钟端 CLK 的无效时钟信号传送到输出端 OUT。

在阶段 P2, $IN=0$, $CLKB=0$, $CLK=1$, $RST=0$ 。由于 $IN=0$ 且 $CLKB=0$, 所以第一晶体管 T1 和第七晶体管 T7 关断。第一电容 C1 保持第一节点 PU 处于高电平，使得第三晶体管 T3 和第六晶体管 T6 导通。导通的第三晶体管 T3 将来自第二时钟端 CLK 的有效时钟信号传送到输出端 OUT, 使得输出端 OUT 输出有效电平信号。第二电容 C2 通过第六晶体管 T6 继续放电。由于第一电容 C1 的自举效应，第一节点 PU 的电位被进一步拉高。导通的第六晶体管 T6 将来自参考电平端 VGL 的低电平电压传送到第二节点 PD, 使得第二节点 PD 保持处于无效电位。

在阶段 P3, $IN=0$, $CLKB=1$, $CLK=0$, $RST=1$ 。由于 $RST=1$, 所以第二晶体管 T2 导通，并且将来自第二扫描电平端 CNB 的低电平电压传送到第一节点 PU, 使得第一节点 PU 被设定处于无效电位，并且第三晶体管 T3 和第六晶体管 T6 关断。由于 $CLKB=1$, 所以第七晶体管 T7 导通，使得来自第一时钟端 CLKB 的有效时钟信号被传送到第二节点 PD, 并且对第二电容 C2 充电。因此，第二节点 PD 被设定处于有效电位，并且第四晶体管 T4 和第五晶体管 T5 导通。导通的第四晶体管 T4 将来自参考电平端 VGL 的低电平电压传送到输出端 OUT, 使得输出端 OUT 输出无效电平信号。

此后，第一电容 C1 保持第一节点 PU 处于无效电位，并且第二电容 C2 保持第二节点 PD 处于有效电位。由于第二节点 PD 处于有效电位，第四晶体管 T4 和第五晶体管 T5 导通。导通的第五晶体管 T5 将来自参考电平端 VGL 的低电平电压传送到第一节点 PU, 确保第一节点 PU 处于无效电位。导通的第四晶体管 T4 将来自参考电平端 VGL 的低电平电压传送到输出端 OUT, 确保输出端 OUT 输出无效电平信号。

将理解的是，在各实施例中，虽然各晶体管被图示和描述为 n 型晶体管，但是 p 型晶体管是可能的。在 p 型晶体管的情况下，栅极开启电压具有低电平，并且栅极关闭电压具有高电平。在各实施例中，各晶体管可以例如是薄膜晶体管，其典型地被制作使得它们的第一极和第二极可互换地使用。还设想了其他实施例。

图 7A 是根据本公开实施例的、在正向扫描模式下操作的栅极驱动电路 700A 的框图，并且图 7B 是根据本公开实施例的、在反向扫描模

式下操作的栅极驱动电路 700B 的框图。

参考图 7A 和 7B, 栅极驱动电路 700A、700B 均包括 n 个级联的移位寄存器电路, 其每一个可以是如上面描述的移位寄存器电路 100 或 200。这 n 个移位寄存器电路分别连接到 n 条栅线 $G[1], G[2], G[3], \dots, G[n-1]$ 和 $G[n]$ 以向它们供应栅极扫描脉冲。 n 可以是大于或等于 2 的整数。

除了第一个移位寄存器电路之外, 各移位寄存器电路中的每一个的输入端 IN 连接到相邻上一个移位寄存器电路的输出端 OUT, 并且除了第 n 个移位寄存器电路之外, 各移位寄存器电路中的每一个的复位端 RST 连接到相邻下一个移位寄存器电路的输出端 OUT。

在正向扫描模式下, 如图 7A 所示, 第 k 个移位寄存器电路的初始化端 INIT 连接到第 $k-2$ 个移位寄存器电路的输出端 OUT, 其中 k 为整数且 $2 < k \leq n$ 。另外, 所述第一个移位寄存器电路的输入端 IN 接收起始信号 STV 作为所述输入脉冲, 所述第一个移位寄存器电路的初始化端 INIT 接收所述初始化脉冲, 并且第二个移位寄存器电路的初始化端 INIT 接收所述起始信号 STV 作为所述初始化脉冲。

在反向扫描模式下, 如图 7B 所示, 第 k 个移位寄存器电路的初始化端 INIT 连接到第 $k+2$ 个移位寄存器电路的输出端, 其中 k 为整数且 $1 \leq k \leq n-2$ 。另外, 所述第 n 个移位寄存器电路的复位端 RST 接收起始信号 STV 作为所述输入脉冲, 所述第 n 个移位寄存器电路的初始化端 INIT 接收所述初始化脉冲, 并且第 $n-1$ 个移位寄存器电路的初始化端 INIT 接收所述起始信号 STV 作为所述初始化脉冲。

将理解的是, 取决于扫描模式, 移位寄存器电路的输入端 IN 和复位端 RST 可互换地使用。在正向扫描模式下, 第一扫描电平端 CN 供应有效电平电压, 第二扫描电平端 CNB 供应无效电平电压, 并且输入端 IN 和复位端 RST 被正常地使用。在反向扫描模式下, 第一扫描电平端 CN 供应无效电平电压, 并且第二扫描电平端 CNB 供应有效电平电压。在这种情况下, 如图 7B 所示, 输入端 IN 充当“复位端”, 并且复位端 RST 充当“输入端”。

图 8 是根据本公开实施例的显示装置 800 的框图。参考图 8, 显示装置 800 包括显示面板 810、时序控制器 820、栅极驱动电路 830 和数据驱动电路 840。栅极驱动电路 830 可以是上面关于图 7A 和 7B 所述

的栅极驱动电路 700A 或 700B。

显示面板 810 连接至多个栅极线 GL 和多个数据线 DL。显示面板 810 基于输出图像数据 RGBD' 显示具有多个灰度的图像。栅极线 GL 可在第一方向 D1 延伸, 并且数据线 DL 可在与第一方向 D1 交叉(例如, 基本垂直)的第二方向 D2 延伸。显示面板 810 可包括以矩阵形式排列的多个像素(未示出)。每个像素可电连接至栅极线 GL 的对应一个栅极线和数据线 DL 的对应一个数据线。显示面板 810 可以是液晶显示面板、有机发光二极管(OLED)显示面板或其他合适类型的显示面板。

时序控制器 820 控制显示面板 810、栅极驱动电路 830 和数据驱动电路 840 的操作。时序控制器 820 从外部设备(例如, 主机)接收输入图像数据 RGBD 和输入控制信号 CONT。输入图像数据 RGBD 可包括用于多个像素的多个输入像素数据。每个输入像素数据可包括用于多个像素中的对应一个的红色灰度数据 R、绿色灰度数据 G 和蓝色灰度数据 B。输入控制信号 CONT 可包括主时钟信号、数据使能信号、垂直同步信号、水平同步信号等。时序控制器 720 基于输入图像数据 RGBD 和输入控制信号 CONT 生成输出图像数据 RGBD'、第一控制信号 CONT1 和第二控制信号 CONT2。

栅极驱动电路 830 从时序控制器 820 接收第一控制信号 CONT1。栅极驱动电路 830 基于第一控制信号 CONT1 生成用于驱动栅极线 GL 的多个栅极信号。栅极驱动电路 830 可顺序地将多个栅极信号施加至栅极线 GL。

数据驱动电路 840 从时序控制器 820 接收第二控制信号 CONT2 和输出图像数据 RGBD'。数据驱动电路 840 基于第二控制信号 CONT2 和输出图像数据 RGBD' (例如, 数字图像数据) 生成多个数据电压(例如, 模拟数据电压)。数据驱动电路 840 可将多个数据电压施加至数据线 DL。

在一些示例性实施例中, 栅极驱动电路 830 和/或数据驱动电路 840 可被设置(例如, 直接安装)在显示面板 810 上, 或者可以借助例如带式载体封装(Tape Carrier Package, TCP)连接至显示面板 810。在一些实施例中, 栅极驱动电路 830 和/或数据驱动电路 840 可被集成在显示面板 810 中。

显示装置 800 的示例包括但不限于手机、平板电脑、电视机、显

示器、笔记本电脑、数码相框、导航仪。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些

5 改动和变型在内。

权 利 要 求

1. 一种移位寄存器电路，包括：

5 初始化电路，被配置成响应于来自初始化端的初始化脉冲有效而将第一节点设定处于无效电位；

第一节点控制电路，被配置成响应于来自输入端的输入脉冲有效而将所述第一节点设定处于有效电位，并且响应于来自复位端的复位脉冲有效或第二节点处于所述有效电位中的至少一个而将所述第一节点设定处于所述无效电位，所述输入脉冲紧接所述初始化脉冲之后；

10 第二节点控制电路，被配置成响应于所述第一节点处于所述有效电位而将所述第二节点设定处于无效电位，并且响应于所述第一节点处于所述无效电位且来自第一时钟端的第一时钟信号有效而将所述第二节点设定处于所述有效电位；以及

15 输出电路，被配置成响应于所述第一节点处于所述有效电位且来自第二时钟端的第二时钟信号有效而将输出端设定处于有效电位，并且响应于所述第二节点处于所述有效电位而将所述输出端设定处于所述无效电位。

2. 如权利要求 1 所述的移位寄存器电路，其中所述第一节点控制电路包括：

20 第一晶体管，具有连接到所述输入端的栅极、连接到所述第一节点的第一极、以及连接到第一扫描电平端的第二极；

第二晶体管，具有连接到所述复位端的栅极、连接到第二扫描电平端的第一极、以及连接到所述第一节点的第二极；以及

25 第五晶体管，具有连接到所述第二节点的栅极、连接到所述第一节点的第一极、以及连接到供应所述无效电位的参考电平端的第二极。

3. 如权利要求 1 所述的移位寄存器电路，其中所述第二节点控制电路包括：

30 第六晶体管，具有连接到所述第一节点的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述第二节点的第二极；以及

第七晶体管，具有连接到所述第一时钟端的栅极、连接到所述第二节点的第一极、以及连接到所述第一时钟端的第二极。

4. 如权利要求 1 所述的移位寄存器电路, 其中所述输出电路包括:
第三晶体管, 具有连接到所述第一节点的栅极、连接到所述输出端的第一极、以及连接到所述第二时钟端的第二极;

第一电容, 连接在所述第一节点和所述输出端之间; 以及

5 第四晶体管, 具有连接到所述第二节点的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述输出端的第二极。

5. 如权利要求 1-4 中任一项所述的移位寄存器电路, 其中所述初始化电路被配置成直接将所述第一节点设定处于所述无效电位。

6. 如权利要求 5 所述的移位寄存器电路, 其中所述初始化电路包
10 括第八晶体管, 其具有连接到所述初始化端的栅极、连接到供应所述无效电位的参考电平端的第一极、以及连接到所述第一节点的第二极。

7. 如权利要求 1-4 中任一项所述的移位寄存器电路, 其中所述初始化电路被配置成通过将所述第二节点设定处于所述有效电位而借助于所述第一节点控制电路将所述第一节点设定处于所述无效电位。

8. 如权利要求 7 所述的移位寄存器电路, 其中所述初始化电路包
15 括第八晶体管, 其具有连接到所述初始化端的栅极、连接到所述初始化端的第一极、以及连接到所述第二节点的第二极。

9. 如权利要求 3 所述的移位寄存器电路, 其中所述第二节点控制电路还包括第二电容, 其连接在所述第二节点与所述参考电平端之间。

20 10. 一种驱动如权利要求 1-9 中任一项所述的移位寄存器电路的方法, 所述方法包括:

响应于来自所述初始化端的所述初始化脉冲有效而将所述第一节点设定处于所述无效电位, 其中所述初始化脉冲紧靠施加到所述输入端的所述输入脉冲之前。

25 11. 一种栅极驱动电路, 包括 n 个级联的如权利要求 1-9 中任一项所述的移位寄存器电路, n 为大于或等于 2 的整数, 其中:

除了第一个移位寄存器电路之外, 所述移位寄存器电路中的每一个的输入端连接到相邻上一个移位寄存器电路的输出端; 并且

除了第 n 个移位寄存器电路之外, 所述移位寄存器电路中的每一个的复位端连接到相邻下一个移位寄存器电路的输出端。
30

12. 如权利要求 11 所述的栅极驱动电路, 其中所述栅极驱动电路被配置成在正向扫描模式下操作, 其中:

所述第一个移位寄存器电路的输入端操作用于接收起始信号作为所述输入脉冲；

所述第一个移位寄存器电路的初始化端操作用于接收所述初始化脉冲；

5 第二个移位寄存器电路的初始化端操作用于接收所述起始信号作为所述初始化脉冲；并且

第 k 个移位寄存器电路的初始化端连接到第 $k-2$ 个移位寄存器电路的输出端， k 为整数且 $2 < k \leq n$ 。

10 13. 如权利要求 11 所述的栅极驱动电路，其中所述栅极驱动电路被配置成在反向扫描模式下操作，其中：

所述第 n 个移位寄存器电路的复位端操作用于接收起始信号作为所述输入脉冲；

所述第 n 个移位寄存器电路的初始化端操作用于接收所述初始化脉冲；

15 第 $n-1$ 个移位寄存器电路的初始化端操作用于接收所述起始信号作为所述初始化脉冲；并且

第 k 个移位寄存器电路的初始化端连接到第 $k+2$ 个移位寄存器电路的输出端， k 为整数且 $1 \leq k \leq n-2$ 。

20 14. 一种显示装置，包括如权利要求 11-13 中任一项所述的栅极驱动电路。

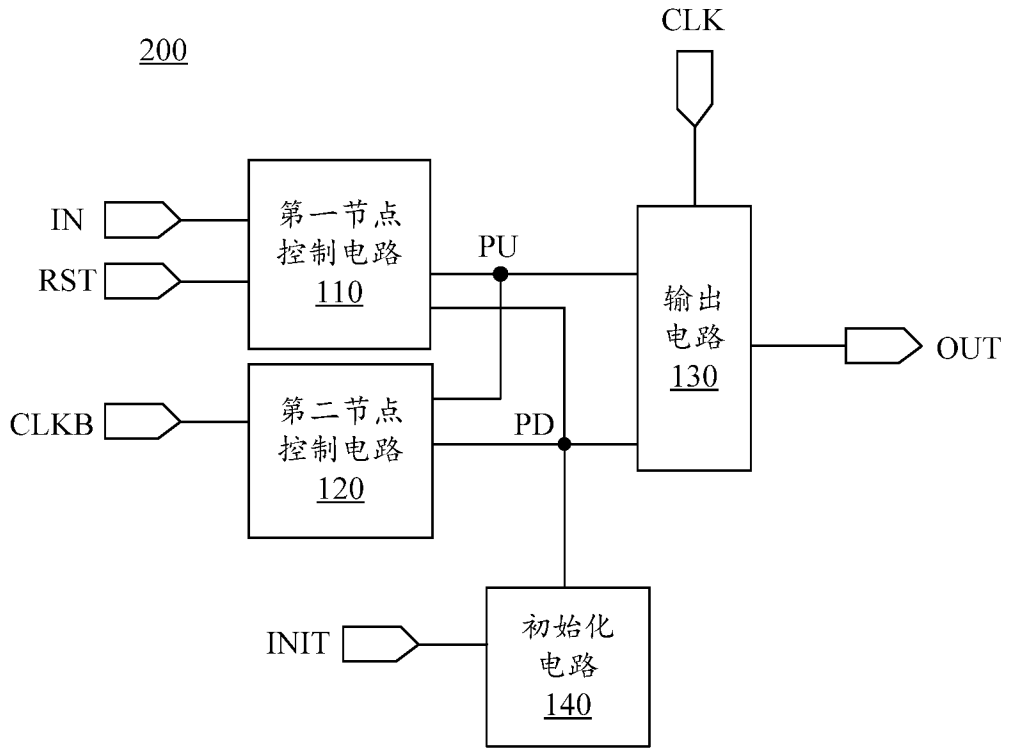


图 3

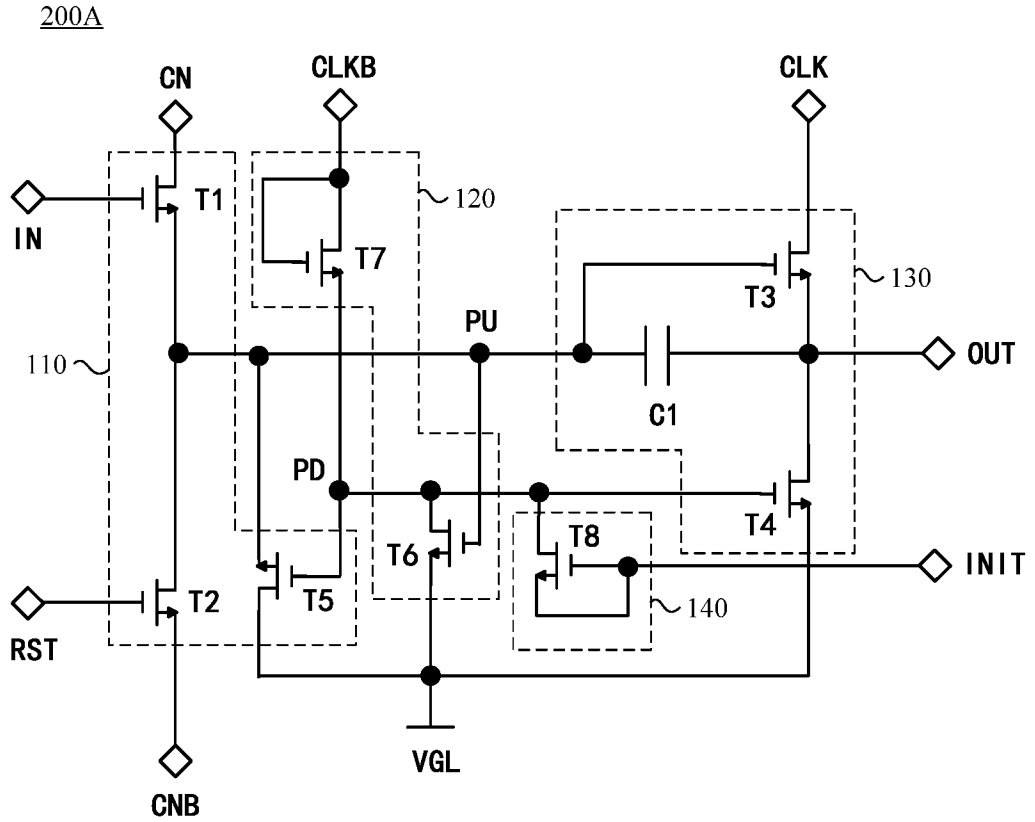


图 4

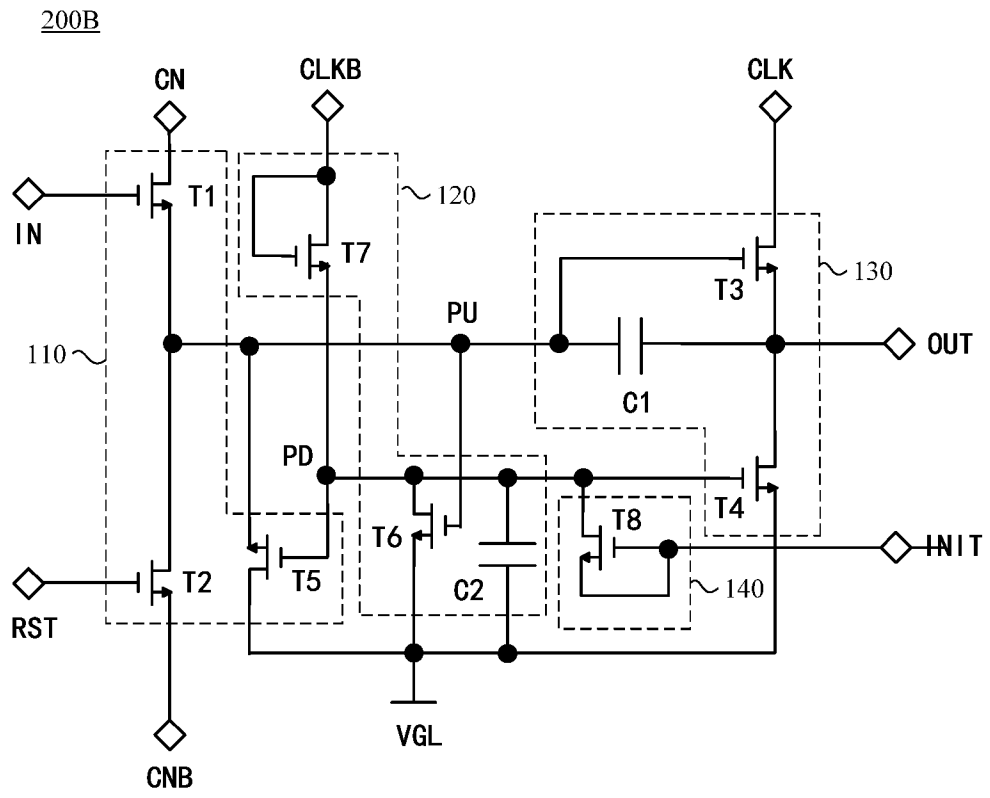


图 5

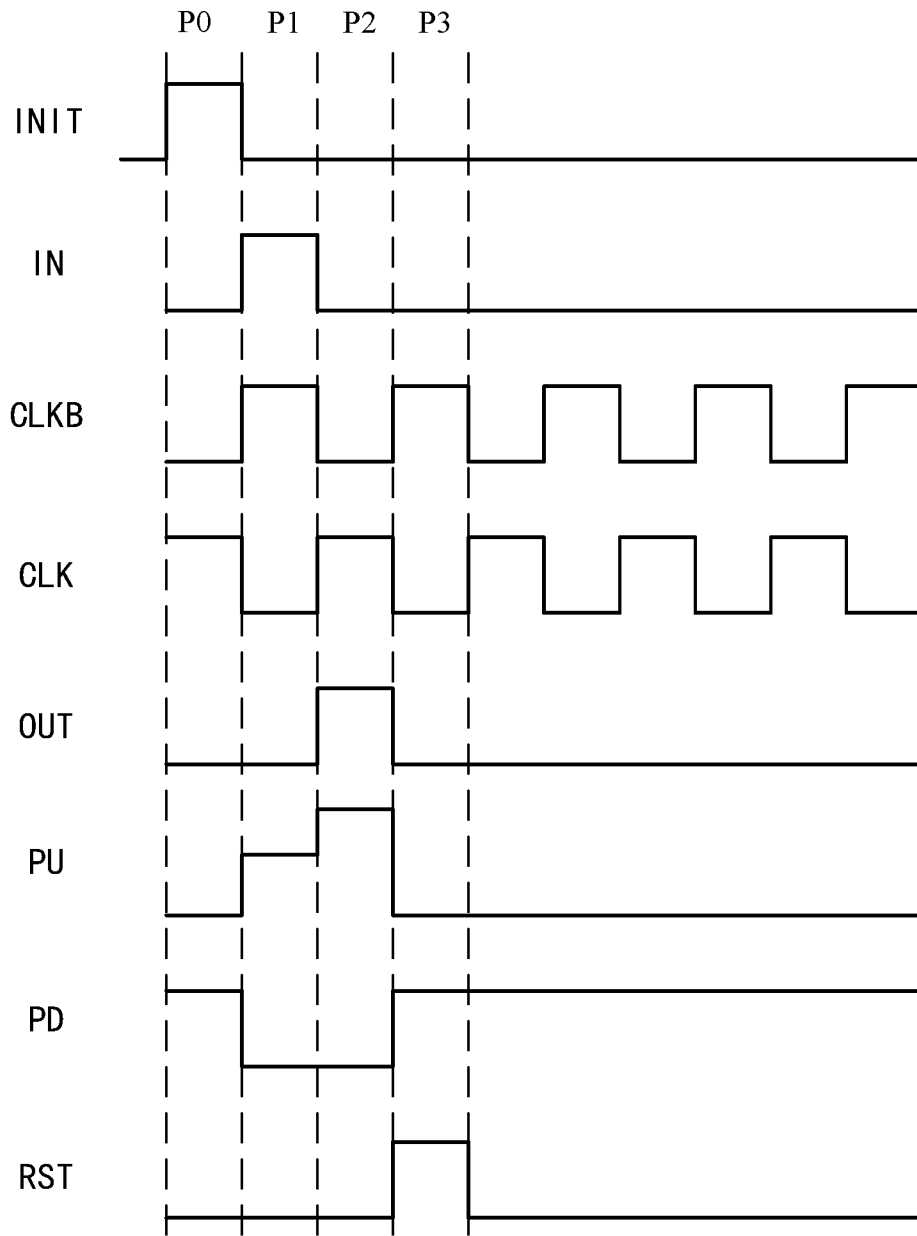


图 6

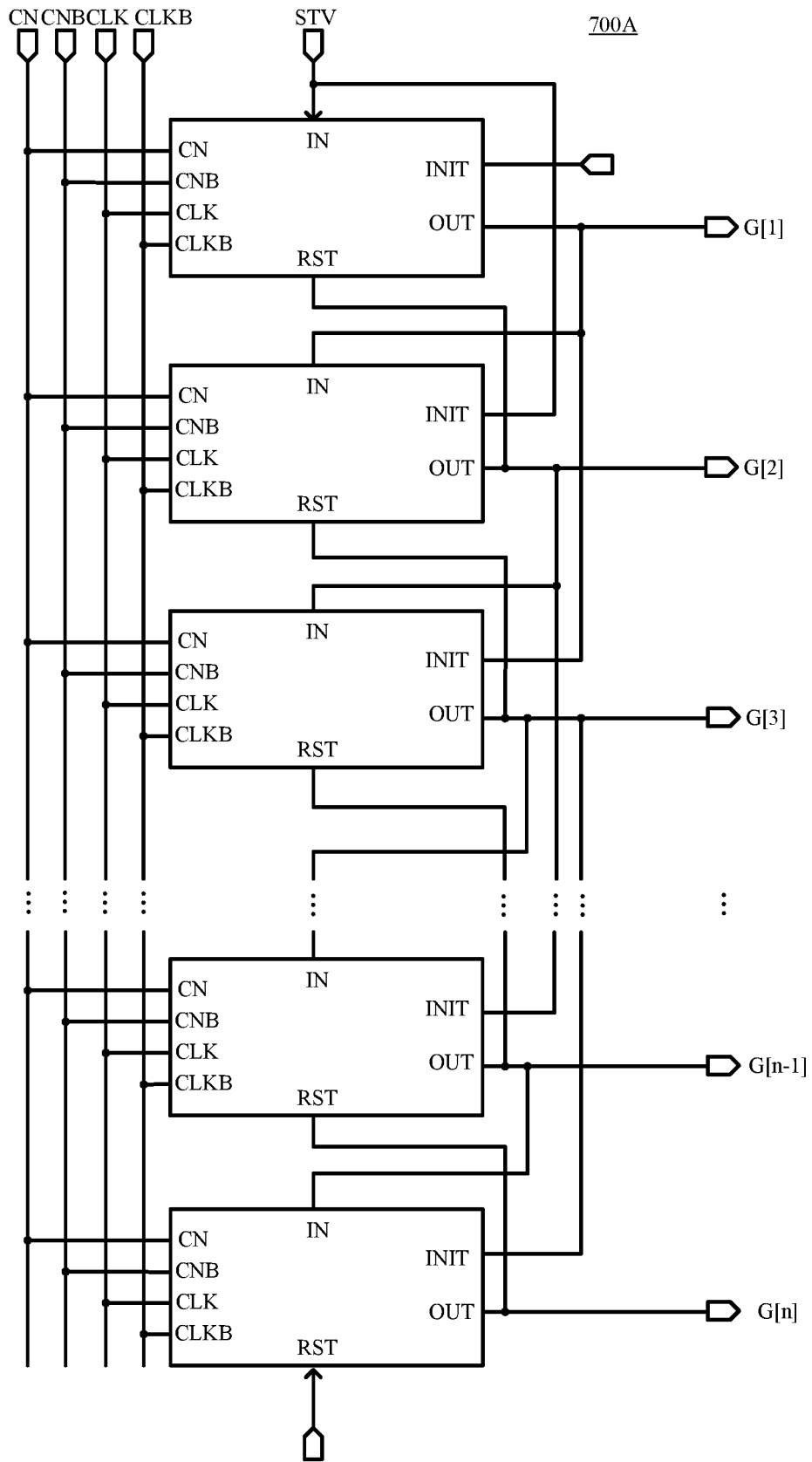


图 7A

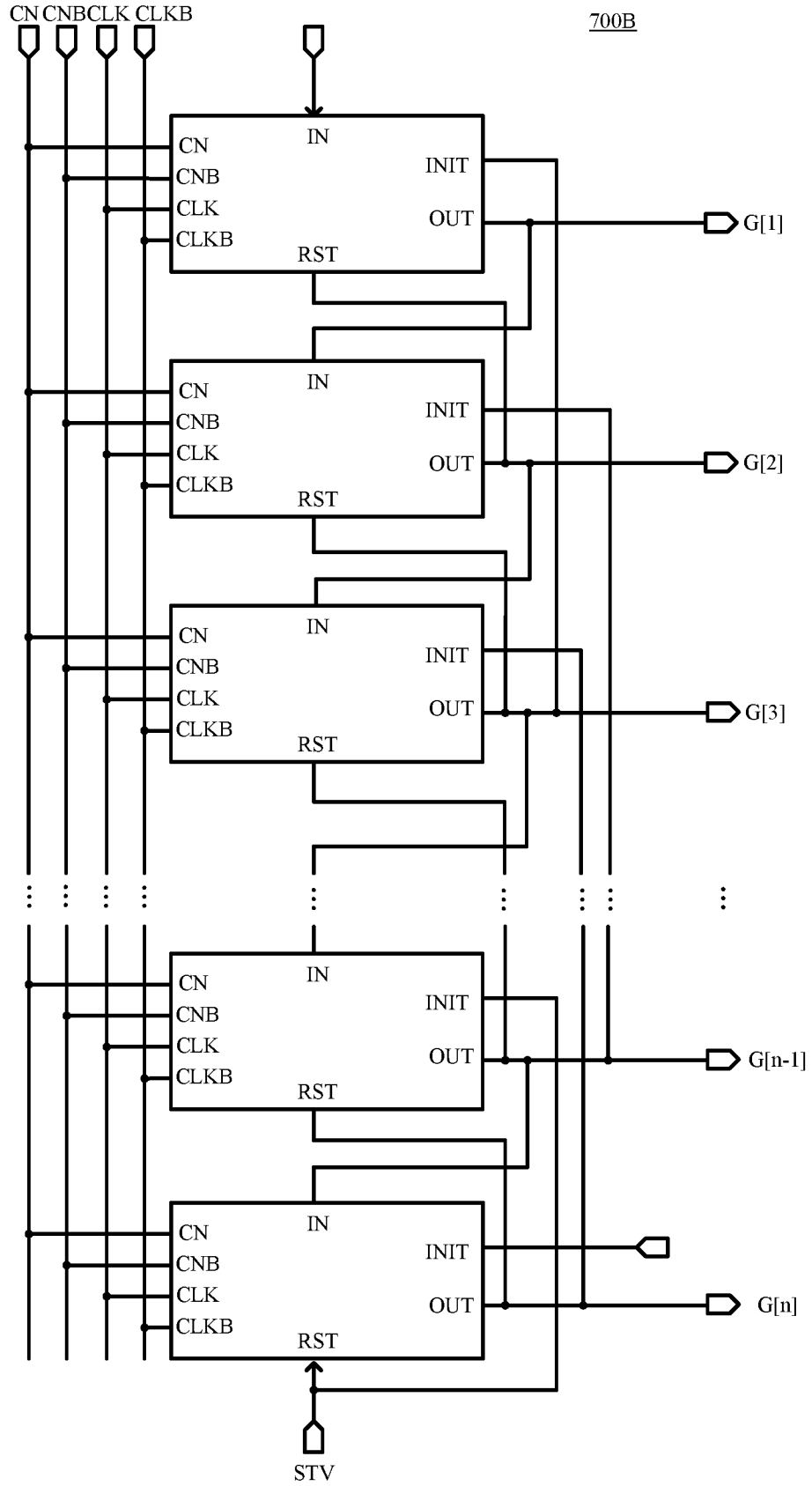


图 7B

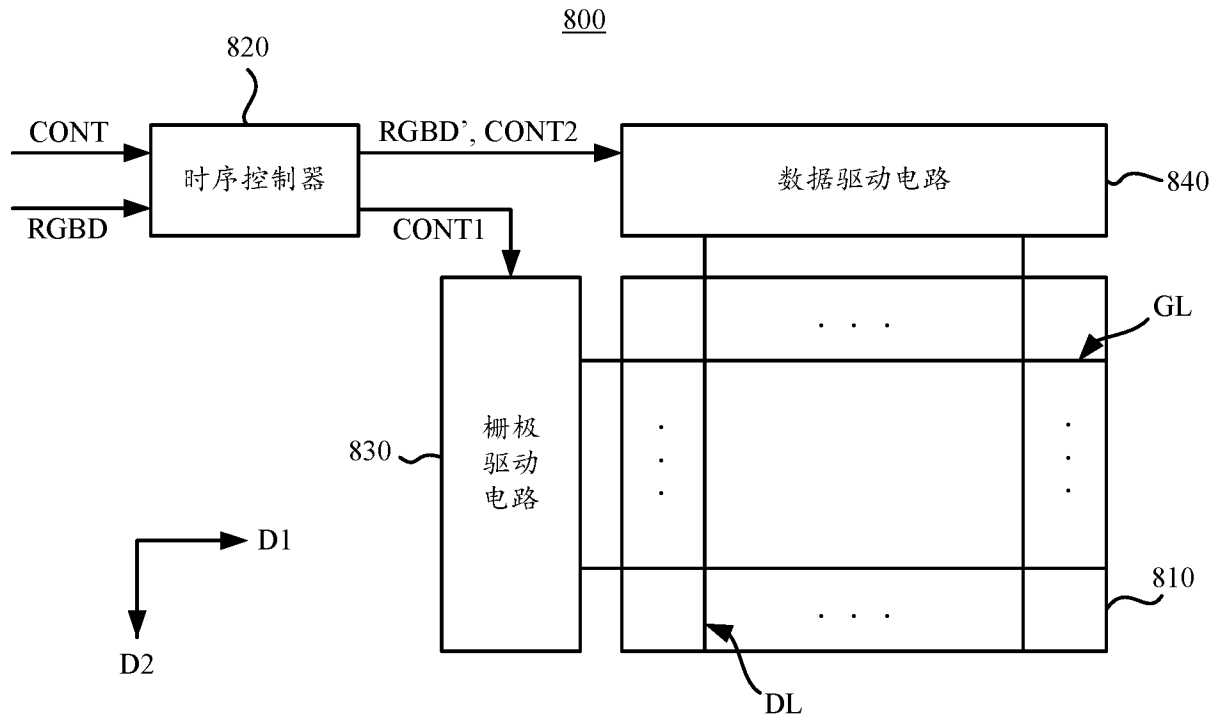


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099005

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/20; G09G 3; G09G 5; G09F 9; H05B 33; H05B 41; H01L 27; H01L 29; G02F 1; G11C 19; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN: 移位寄存, 移位暂存, 移位缓存, 暂存, 缓存, 寄存, 初始化, 初始, 起始, ST, 信号, 脉冲, 上拉节点, PU, 节点, 上拉, 电位, 电压, 电平, 栅极, 栅线, 闸极, 门极, 扫描, 扫查, 走查, shift register, shifting cache, register, registor, storage, memory, buffer, shift, initialize, initial, primary, start, begin, pull-up node, PU node, pull, node, level, voltage, potential, pulse, impulse, signal, scan, gate, grid.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105185339 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 December 2015 (23.12.2015), description, paragraphs [0002]-[0077], and figures 1-7	1-6, 10
Y	CN 105185339 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 December 2015 (23.12.2015), description, paragraphs [0002]-[0077], and figures 1-7	7-9, 11-14
Y	KR 20140148235 A (LG DISPLAY CO., LTD.) 31 December 2014 (31.12.2014), description, paragraphs [0014]-[0070], and figures 1-13	7, 8
Y	US 2014133621 A1 (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 15 May 2014 (15.05.2014), description, paragraphs [0066]-[0100], and figures 1-7	9, 11-14

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 13 October 2017	Date of mailing of the international search report 19 October 2017
--	---

<p>Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451</p>	<p>Authorized officer ZHANG, Jingmei Telephone No. (86-10) 62085673</p>
--	---

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099005

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 204966019 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 January 2016 (13.01.2016), description, paragraphs [0002]-[0062], and figures 1-6	1-6, 10
Y	CN 204966019 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 January 2016 (13.01.2016), description, paragraphs [0002]-[0062], and figures 1-6	7-9, 11-14
PX	CN 106652876 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 May 2017 (10.05.2017), description, paragraphs [0002]-[0112], and figures 1-6	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/099005

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105185339 A	23 December 2015	WO 2017059792 A1	13 April 2017
KR 20140148235 A	31 December 2014	None	
US 2014133621 A1	15 May 2014	US 9373414 B2	21 June 2016
CN 204966019 U	13 January 2016	None	
CN 106652876 A	10 May 2017	None	

国际检索报告

国际申请号

PCT/CN2017/099005

<p>A. 主题的分类</p> <p>G09G 3/20(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G3/20; G09G3; G09G5; G09F9; H05B33; H05B41; H01L27; H01L29; G02F1; G11C19; H04N.</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, CNKI, VEN: 移位寄存, 移位暂存, 移位缓存, 暂存, 缓存, 寄存, 初始化, 初始, 起始, ST, 信号, 脉冲, 上拉节点, PU, 节点, 上拉, 电位, 电压, 电平, 栅极, 栅线, 闸极, 门极, 扫描, 扫查, 走查, shift register, shifting cache, register, registor, storage, memory, buffer, shift, initialize, initial, primary, start, begin, pull-up node, PU node, pull, node, level, voltage, potential, pulse, impulse, signal, scan, gate, grid.</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7</td> <td>1-6, 10</td> </tr> <tr> <td>Y</td> <td>CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7</td> <td>7-9, 11-14</td> </tr> <tr> <td>Y</td> <td>KR 20140148235 A (LG DISPLAY CO LTD) 2014年 12月 31日 (2014 - 12 - 31) 说明书第14-70段、图1-13</td> <td>7, 8</td> </tr> <tr> <td>Y</td> <td>US 2014133621 A1 (BOE TECHNOLOGY GROUP CO LTD ET AL.) 2014年 5月 15日 (2014 - 05 - 15) 说明书第66-100段、图1-7</td> <td>9, 11-14</td> </tr> <tr> <td>X</td> <td>CN 204966019 U (京东方科技集团股份有限公司等) 2016年 1月 13日 (2016 - 01 - 13) 说明书第2-62段、图1-6</td> <td>1-6, 10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7	1-6, 10	Y	CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7	7-9, 11-14	Y	KR 20140148235 A (LG DISPLAY CO LTD) 2014年 12月 31日 (2014 - 12 - 31) 说明书第14-70段、图1-13	7, 8	Y	US 2014133621 A1 (BOE TECHNOLOGY GROUP CO LTD ET AL.) 2014年 5月 15日 (2014 - 05 - 15) 说明书第66-100段、图1-7	9, 11-14	X	CN 204966019 U (京东方科技集团股份有限公司等) 2016年 1月 13日 (2016 - 01 - 13) 说明书第2-62段、图1-6	1-6, 10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7	1-6, 10																		
Y	CN 105185339 A (京东方科技集团股份有限公司等) 2015年 12月 23日 (2015 - 12 - 23) 说明书第2-77段、图1-7	7-9, 11-14																		
Y	KR 20140148235 A (LG DISPLAY CO LTD) 2014年 12月 31日 (2014 - 12 - 31) 说明书第14-70段、图1-13	7, 8																		
Y	US 2014133621 A1 (BOE TECHNOLOGY GROUP CO LTD ET AL.) 2014年 5月 15日 (2014 - 05 - 15) 说明书第66-100段、图1-7	9, 11-14																		
X	CN 204966019 U (京东方科技集团股份有限公司等) 2016年 1月 13日 (2016 - 01 - 13) 说明书第2-62段、图1-6	1-6, 10																		
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2017年 10月 13日</p>		<p>国际检索报告邮寄日期</p> <p>2017年 10月 19日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>张景美</p> <p>电话号码 (86-10)62085673</p>																		

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 204966019 U (京东方科技集团股份有限公司等) 2016年 1月 13日 (2016 - 01 - 13) 说明书第2-62段、图1-6	7-9, 11-14
PX	CN 106652876 A (京东方科技集团股份有限公司等) 2017年 5月 10日 (2017 - 05 - 10) 说明书第2-112段、图1-6	1-14

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/099005

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105185339	A	2015年 12月 23日	WO	2017059792	A1	2017年 4月 13日
KR	20140148235	A	2014年 12月 31日	无			
US	2014133621	A1	2014年 5月 15日	US	9373414	B2	2016年 6月 21日
CN	204966019	U	2016年 1月 13日	无			
CN	106652876	A	2017年 5月 10日	无			