

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5922905号  
(P5922905)

(45) 発行日 平成28年5月24日(2016.5.24)

(24) 登録日 平成28年4月22日(2016.4.22)

(51) Int.Cl.		F I		
HO 1 L 27/146	(2006.01)	HO 1 L 27/14		A
HO 1 L 21/8234	(2006.01)	HO 1 L 27/08		I O 2 A
HO 1 L 27/088	(2006.01)	HO 1 L 21/265		M
HO 1 L 21/266	(2006.01)	HO 1 L 21/265		V
HO 1 L 21/265	(2006.01)			

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2011-223457 (P2011-223457)	(73) 特許権者	000001007
(22) 出願日	平成23年10月7日(2011.10.7)		キヤノン株式会社
(65) 公開番号	特開2013-84754 (P2013-84754A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年5月9日(2013.5.9)	(74) 代理人	100076428
審査請求日	平成26年10月7日(2014.10.7)		弁理士 大塚 康徳
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電荷を蓄積する蓄積領域をそれぞれが含む複数の光電変換素子と、1つ以上のM O Sトランジスタとが半導体基板に形成され、前記半導体基板のうち互いに隣接する前記蓄積領域の間に分離領域を有する固体撮像装置の製造方法であって、

開口と遮蔽部とを有するレジストパターンを前記半導体基板の上に形成する形成工程と

、  
前記レジストパターンの前記開口を通じて前記半導体基板にイオンを注入する注入工程と

を有し、

前記形成工程で形成される前記レジストパターンは、

前記半導体基板を第1方向から見た場合に、前記分離領域を前記開口から露出し、

前記半導体基板を前記第1方向とは異なる方向から見た場合に、前記1つ以上のM O Sトランジスタが形成される領域を前記開口から露出するとともに、前記分離領域を前記遮蔽部により遮り、

前記注入工程では、

前記第1方向に沿って照射されたイオンが前記分離領域に注入され、

前記異なる方向に沿って照射されたイオンが前記1つ以上のM O Sトランジスタが形成される領域に注入され、

前記分離領域に注入されたイオンが、前記1つ以上のM O Sトランジスタが形成され

る領域に注入されたイオンよりも、前記半導体基板の表面からの位置が深くなるようにイオンを照射する

ことを特徴とする固体撮像装置の製造方法。

【請求項 2】

前記第 1 方向に沿って照射されたイオンによって、前記分離領域に不純物拡散層が形成され、前記異なる方向に沿って照射されたイオンによって、前記 1 つ以上の MOS トランジスタのチャネル領域にイオン導入層が形成されることを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

【請求項 3】

前記異なる方向は前記第 1 方向よりも前記半導体基板の表面の法線に対する角度が大きいことを特徴とする請求項 1 又は 2 に記載の固体撮像装置の製造方法。

10

【請求項 4】

前記蓄積領域は第 1 導電型であり、前記第 1 方向に沿って照射されたイオンは、第 2 導電型の半導体領域を形成するためのイオンであることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の固体撮像装置の製造方法。

【請求項 5】

前記蓄積領域は第 1 導電型であり、前記異なる方向に沿って照射されたイオンは、第 1 導電型の半導体領域を形成するためのイオンであることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の固体撮像装置の製造方法。

【請求項 6】

20

前記 1 つ以上の MOS トランジスタは第 1 MOS トランジスタと第 2 MOS トランジスタとを含み、

前記異なる方向は互いに異なる第 2 方向及び第 3 方向を含み、

前記形成工程で形成される前記レジストパターンは、

前記半導体基板を前記第 2 方向から見た場合に、前記第 1 MOS トランジスタが形成される領域を前記開口から露出し、

前記半導体基板を前記第 3 方向から見た場合に、前記第 2 MOS トランジスタが形成される領域を前記開口から露出するとともに、前記第 1 MOS トランジスタが形成される領域を前記遮蔽部により遮り、

前記注入工程では、

30

前記第 2 方向に沿って照射されたイオンが前記第 1 MOS トランジスタが形成される領域に注入され

前記第 3 方向に沿って照射されたイオンが前記第 2 MOS トランジスタが形成される領域に注入される

ことを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の固体撮像装置の製造方法。

【請求項 7】

前記形成工程で形成される前記レジストパターンは、前記半導体基板を前記第 2 方向から見た場合に、前記第 2 MOS トランジスタが形成される領域を前記遮蔽部により遮ることを特徴とする請求項 6 に記載の固体撮像装置の製造方法。

【請求項 8】

40

前記形成工程で形成される前記レジストパターンは、

前記半導体基板を前記第 1 方向から見た場合に、前記蓄積領域が形成される領域の中央部分を前記開口から露出し、

前記半導体基板を前記異なる方向から見た場合に、前記中央部分を前記遮蔽部により遮り、

前記注入工程では、

前記第 1 方向に沿って照射されたイオンが前記中央部分に注入される

ことを特徴とする請求項 1 乃至 7 の何れか 1 項に記載の固体撮像装置の製造方法。

【請求項 9】

電荷を蓄積する蓄積領域をそれぞれが含む複数の光電変換素子と、 MOS トランジスタ

50

とが半導体基板に形成された固体撮像装置の製造方法であって、

前記MOSトランジスタが形成される領域を含む第1領域と、前記第1領域と異なる領域で、隣接する前記蓄積領域の間に位置する分離領域を含む第2領域と、を露出させる開口を有するレジストパターンを前記半導体基板の上に形成する形成工程と、

前記レジストパターンの前記開口を通じて前記半導体基板にイオンを注入する注入工程と、を有し、

前記注入工程は、

第1の角度で、少なくとも前記第2領域にイオンを注入する工程と、

前記第1の角度とは異なる第2の角度で、前記第1領域のみにイオンを注入する工程と、

を有し、

前記第1の角度で前記第2領域に注入されたイオンが、前記第2の角度で前記第1領域に注入されたイオンよりも、前記半導体基板の表面からの位置が深くなるようにイオンを照射する

ことを特徴とする固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置の製造方法に関する。

【背景技術】

【0002】

固体撮像装置の一種であるCMOS型の固体撮像装置は光電変換素子に蓄積された電荷を処理するために、リセット用トランジスタ、増幅用トランジスタ、転送用トランジスタなどの複数のMOSトランジスタを有する。これらのMOSトランジスタの閾値電圧は、チャンネル領域にドーパントイオンまたはアクセプタイオンを注入することによって制御される。特許文献1では、MOSトランジスタごとに閾値電圧を異ならせるために、対象のMOSトランジスタのチャンネル領域を開口するレジストパターンを形成する工程と、該開口からチャンネル領域にイオンを注入する工程とをMOSトランジスタごとに実施する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平11-196331号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1のように、半導体基板の複数の異なる領域に異なる条件でイオンを注入するためには、その条件ごとにレジストパターン形成工程とイオン注入工程とを繰り返す必要がある。それにより、製造工数が増加し、それに応じて製造コスト・製造時間も増大する。そこで、本発明は半導体基板の複数の異なる領域に異なる条件でイオンを注入するために必要な工程を低減する技術を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記課題に鑑みて、本発明の1つの側面は、電荷を蓄積する蓄積領域をそれぞれが含む複数の光電変換素子と、1つ以上のMOSトランジスタとが半導体基板に形成され、前記半導体基板のうち互いに隣接する前記蓄積領域の間に分離領域を有する固体撮像装置の製造方法であって、開口と遮蔽部とを有するレジストパターンを前記半導体基板の上に形成する形成工程と、前記レジストパターンの前記開口を通じて前記半導体基板にイオンを注入する注入工程とを有し、前記形成工程で形成される前記レジストパターンは、前記半導体基板を第1方向から見た場合に、前記分離領域を前記開口から露出し、前記半導体基板を前記第1方向とは異なる方向から見た場合に、前記1つ以上のMOSトランジスタが形

10

20

30

40

50

成される領域を前記開口から露出するとともに、前記分離領域を前記遮蔽部により遮り、前記注入工程では、前記第1方向に沿って照射されたイオンが前記分離領域に注入され、前記異なる方向に沿って照射されたイオンが前記1つ以上のMOSトランジスタが形成される領域に注入され、前記分離領域に注入されたイオンが、前記1つ以上のMOSトランジスタが形成される領域に注入されたイオンよりも、前記半導体基板の表面からの位置が深くなるようにイオンを照射することを特徴とする固体撮像装置の製造方法を提供する。本発明の別の側面は、電荷を蓄積する蓄積領域をそれぞれが含む複数の光電変換素子と、MOSトランジスタとが半導体基板に形成された固体撮像装置の製造方法であって、前記MOSトランジスタが形成される領域を含む第1領域と、前記第1領域と異なる領域で、隣接する前記蓄積領域の間に位置する分離領域を含む第2領域と、を露出させる開口を有するレジストパターンを前記半導体基板の上に形成する形成工程と、前記レジストパターンの前記開口を通じて前記半導体基板にイオンを注入する注入工程と、を有し、前記注入工程は、第1の角度で、少なくとも前記第2領域にイオンを注入する工程と、前記第1の角度とは異なる第2の角度で、前記第1領域のみにイオンを注入する工程と、を有し、前記第1の角度で前記第2領域に注入されたイオンが、前記第2の角度で前記第1領域に注入されたイオンよりも、前記半導体基板の表面からの位置が深くなるようにイオンを照射することを特徴とする固体撮像装置の製造方法を提供する。

10

【発明の効果】

【0006】

上記手段により、半導体基板の複数の異なる領域に異なる条件でイオンを注入するために必要な工程を低減する技術が提供される。

20

【図面の簡単な説明】

【0007】

【図1】本発明の1つの実施形態の固体撮像装置のレイアウト図。

【図2】本発明の第1実施形態の固体撮像装置の製造方法を説明する図。

【図3】本発明の第1実施形態の固体撮像装置の製造方法を説明する図。

【図4】本発明の第1実施形態の固体撮像装置の製造方法を説明する図。

【図5】本発明の第2実施形態の固体撮像装置の製造方法を説明する図。

【図6】本発明の第3実施形態の固体撮像装置の製造方法を説明する図。

【図7】本発明の第3実施形態の固体撮像装置の製造方法を説明する図。

30

【図8】本発明の第1実施形態の固体撮像装置の製造方法の変形例を説明する図。

【発明を実施するための形態】

【0008】

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付して重複する説明を省略する。本発明は一般にMOSトランジスタと、素子間を分離する不純物拡散層とを有する半導体装置に対して適用可能であり、以下ではこのような半導体装置の一例としてCMOS型の固体撮像装置を扱う。図1は本発明の様々な実施形態に係る製造方法によって製造される固体撮像装置100の構成の一例を説明するレイアウト図である。図1(a)は固体撮像装置100の平面図を示し、図1(b)および図1(c)はそれぞれ図1(a)のA-A'線およびB-B'線における断面図を示す。図2から図8においても同様に(a)が平面図を示し、(b)および(c)がそれぞれ各平面図におけるA-A'線およびB-B'線における断面図を示す。

40

【0009】

固体撮像装置100は、複数の画素が二次元状(アレイ状)に配置された画素アレイ、該画素アレイにおける行を選択する行選択回路、該画素アレイにおける列を選択する列選択回路、列信号線を介して該画素アレイから信号を読み出す読み出し回路を含みうる。画素アレイ、行選択回路、列選択回路および読み出し回路は、半導体基板101に形成される。典型的には、読み出し回路は、該画素アレイにおける該行選択回路によって選択された行の画素の信号を読み出し、該列選択回路は、該読み出し回路によって読み出された1

50

行分の画素の信号の中から外部に出力すべき信号を選択する。

【 0 0 1 0 】

固体撮像装置 1 0 0 の各画素は同様の構成を有しうるので、図 1 では 1 つの画素 P X L とその周辺の画素の一部とを示し、画素 P X L について説明する。図 1 では説明のために画素の境界を点線で示す。場合によっては、この点線が直線でない場合も有り得る。半導体基板 1 0 1 は、例えば半導体領域 1 0 2 とその上に配置されたウェル領域 1 0 3 (不純物半導体領域ともいう) とを含みうる。半導体領域 1 0 2 は、第 1 導電型のシリコン基板でありうる。ウェル領域 1 0 3 は、第 1 導電型でありうる。ウェル領域 1 0 3 の中には、第 1 導電型の蓄積領域 1 0 4 が形成されうる。半導体基板 1 0 1 の表面 (ウェル領域 1 0 3 の表面) には酸化膜等の絶縁膜 1 0 7 が形成され、該絶縁膜 1 0 7 の上には転送ゲート 1 0 6 が形成されている。ここで、第 1 導電型が N 型であり第 2 導電型が P 型である場合は蓄積領域 1 0 4 には電子が蓄積され、第 1 導電型が P 型であり第 2 導電型が N 型である場合は蓄積領域 1 0 4 には正孔が蓄積される。以下では説明のために第 1 導電型が N 型であり、第 2 導電型が P 型である場合を扱うが、その逆でも本発明は成り立つ。

10

【 0 0 1 1 】

画素 P X L は蓄積領域 1 0 4、電荷電圧変換部 1 0 5 (フローティングディフュージョン) および転送ゲート 1 0 6 を有する。光電変換素子は少なくとも蓄積領域 1 0 4 とウェル領域 1 0 3 とによって形成され、固体撮像装置 1 0 0 への入射光によって光電変換素子で発生した電荷は、当該光電変換素子の蓄積領域 1 0 4 に蓄積される。転送ゲート 1 0 6 は、MOS トランジスタのゲートとして機能する。行選択回路から転送ゲート 1 0 6 にアクティブレベルの電圧が供給されることによって転送ゲート 1 0 6 の下に MOS トランジスタのチャネルが形成され、蓄積領域 1 0 4 に蓄積された電荷がこのチャネルを通して電荷電圧変換部 1 0 5 に転送される。このチャネルが出来る領域を含み、ゲートの下にあり、ソースとドレインとの間にある領域をチャネル領域と称する。

20

【 0 0 1 2 】

画素 P X L は電荷電圧変換部 1 0 5 の電圧をリセットするリセットスイッチや、電荷電圧変換部 1 0 5 の電圧に応じた信号を列信号線に出力する増幅部や、画素を選択するための選択スイッチ等として機能する 1 つ以上の MOS トランジスタを含みうる。その他の MOS トランジスタとして、光電変換素子の電荷と隣接する光電変換素子の電荷とを加算するためのスイッチ等も挙げられる。これらの MOS トランジスタのうちの 1 つを MOS トランジスタ T 1 (第 1 MOS トランジスタ) とよび、別のものを MOS トランジスタ T 2 (第 2 MOS トランジスタ) とよぶ。MOS トランジスタ T 1、T 2 は何れの機能を有するトランジスタであってもよい。本実施形態では、MOS トランジスタ T 1、T 2 のいずれも N 型である場合を扱うが、少なくとも一方が P 型であってもよい。MOS トランジスタ T 1 は、半導体基板 1 0 1 内のウェル領域 1 0 3 のアクティブ領域に形成されたソース T 1 s、ドレイン T 1 d と、ソース T 1 s およびドレイン T 1 d の間のチャネル領域に形成されたイオン導入層 (注入層) T 1 i とを有しうる。MOS トランジスタ T 1 はさらにチャネル領域を覆うように半導体基板 1 0 1 の絶縁膜 1 0 7 の上に形成されたゲート T 1 g を有しうる。MOS トランジスタ T 2 も MOS トランジスタ T 1 と同様に、ソース T 2 s、ドレイン T 2 d、イオン導入層 (注入層) T 2 i およびゲート T 2 g を有しうる。固体撮像装置 1 0 0 はさらに、トランジスタ T 1、T 2 の下に P 型の不純物拡散層 1 1 2 を有しうる。

30

40

【 0 0 1 3 】

固体撮像装置 1 0 0 では各画素が電荷電圧変換部 1 0 5 と MOS トランジスタ T 1、T 2 とを有しているが、複数の画素が電荷電圧変換部 1 0 5 と MOS トランジスタ T 1、T 2 とを共有してもよい。また、固体撮像装置 1 0 0 は電荷電圧変換部 1 0 5 や MOS トランジスタ T 1、T 2 に接続される配線層を有しうるが、配線層は周知の構成と同じであってもよいため、説明および図示を省略する。

【 0 0 1 4 】

固体撮像装置 1 0 0 はまた、半導体基板 1 0 1 の表面に形成された絶縁膜 1 0 7 と蓄積

50

領域 104 との間に形成された P 型の拡散層 108 を有する。固体撮像装置 100 はさらに、MOS トランジスタ T1、T2 を他の素子から分離するための酸化膜等の絶縁膜 109、および絶縁膜 109 の直下に配置されたチャネルストップとして機能する P 型の半導体層 111 を有する。固体撮像装置 100 はさらに、隣接する画素の光電変換素子を分離する P 型の不純物拡散層 110 を有する。不純物拡散層 110 は隣接する画素の光電変換素子の間に配置され、特にこれらの画素の蓄積領域 104 の間に配置される。

#### 【0015】

説明のために、各図に示すような座標系 CS を設定する。この座標系 CS では、XY 平面が半導体基板 101 の表面に平行であり、Z 軸が半導体基板 101 の表面の法線に平行である。本実施形態では、X 方向に隣接した 2 つの画素の蓄積領域 104 の間に電荷電圧変換部 105 や MOS トランジスタ T1、T2 が形成され、Y 方向に隣接した 2 つの画素の蓄積領域 104 の間には他の素子が形成されずに不純物拡散層 110 が形成される。以下の説明において、半導体領域の形成される範囲を図面に示しているが、あくまで模式的なものである。

#### 【0016】

続いて、図 2 から図 4 を用いて図 1 に示した固体撮像装置 100 の製造方法の第 1 実施形態を説明する。まず、図 2 に示される半導体基板 101 を準備する。この半導体基板 101 には、ウェル領域 103、電荷電圧変換部 105、絶縁膜 107、109、半導体層 111、拡散層 108、ソース T1s、T2s、ドレイン T1d、T2d が形成されている。また、半導体基板 101 の上に転送ゲート 106 およびゲート T1g、T2g が形成されている。以下の各実施形態における製造方法では、説明を簡単にするため、転送ゲート 106 およびゲート T1g、T2g は不図示である。このような半導体基板 101 を形成する方法は周知の技術を用いればよいため、その説明を省略する。次に、半導体基板 101 の上にフォトリソグラフィ工程によってレジストパターン RP を形成する。レジストパターン RP は図 2 に示すような開口 OP と遮蔽部 SD とを有する。本実施形態では、レジストパターン RP は、Z 軸方向から半導体基板 101 を見た場合に、遮蔽部 SD によって蓄積領域 104 と電荷電圧変換部 105 とを覆う。また、レジストパターン RP は、Z 軸方向から半導体基板 101 を見た場合に、MOS トランジスタ T1、T2 のチャネル領域（ソースとドレインとの間の領域）と、隣接する蓄積領域 104 の間の領域（以下、蓄積領域分離領域とよぶ）とを開口 OP から露出する。

#### 【0017】

続いて、図 3 に示すように、Z 軸に平行な方向 DR1（第 1 方向）、すなわち半導体基板 101 の表面に直交する方向 DR1 に沿ってイオンを照射（注入）する工程を行う。つまり、イオン照射方向（注入方向）が方向 DR1 である。ここで、方向 DR1 は半導体基板の表面の法線に対して 0 度である。本明細書において、方向は座標系 CS における空間ベクトルによって規定される。レジストパターン RP は、方向 DR1 から半導体基板 101 を見た場合に、蓄積領域 104 および電荷電圧変換部 105 を遮蔽部 SD によって遮り、蓄積領域分離領域および MOS トランジスタ T1、T2 が形成される領域を開口 OP から露出する。そのため、レジストパターン RP の開口 OP を通過したイオンは、半導体基板 101 の表面のうち、図 3 (a) の斜線部 301 で示す部分に到達し、半導体基板 101 内に注入される。ここで注入されるイオンは例えばホウ素やインジウムなどの P 型半導体領域を形成するためのイオンである。蓄積領域分離領域に注入されたイオンは半導体基板 101 内に P 型の不純物拡散層 110 を形成する。また、MOS トランジスタ T1、T2 が形成される領域に注入されたイオンはこれらのトランジスタのソース T1s、T2s およびドレイン T1d、T2d の下に P 型の不純物拡散層 112 を形成する。

#### 【0018】

続いて、図 4 に示すように、YZ 平面に平行で、Z 軸から傾いた方向 DR2（第 2 方向）に沿ってイオンを照射（注入）する工程を行う。つまり、イオン照射方向（注入方向）が方向 DR2 である。ここで、方向 DR2 は半導体基板の表面の法線 NL に対して角度を有する。これにより、レジストパターン RP の開口 OP を通過したイオンが、半導体基

10

20

30

40

50

板101の表面のうち、図4(a)の斜線部401で示す部分に到達し、半導体基板101内に注入される。MOSトランジスタT1、T2の閾値電圧を上昇したい場合にはボロンなどのドナーイオンを注入し、この閾値電圧を低下したい場合には砒素や燐などのアクセプタイオンを注入する。レジストパターンRPは、方向DR2から半導体基板101を見た場合に、蓄積領域104、電荷電圧変換部105および蓄積領域分離領域を遮蔽部SDによって遮り、MOSトランジスタT1、T2が形成される領域を開口OPから露出する。そのため、MOSトランジスタT1、T2が形成される領域に注入されたイオンはこれらのトランジスタのチャネル領域にイオン導入層T1i、T2iを形成する。一方で、蓄積領域分離領域へ向けて照射されたイオンはレジストパターンRPの遮蔽部SDに遮蔽されて、半導体基板101に到達しない。レジストパターンRPは半導体基板に垂直な側面を有しているため、この遮蔽される領域の一边をDSDとすると、レジストパターンRPの厚さDRPとイオン注入方向の角度 $\theta$ から、 $DSD = \tan \theta \times DRP$ の関係がある。ここで、所望のDSDを有するために、レジストパターンの厚さDRPやイオン注入方向の角度 $\theta$ を設定できる。

#### 【0019】

このように、方向DR2から半導体基板101を見た場合に、隣接する蓄積領域104を分離する領域はレジストパターンRPの遮蔽部SDの陰になるため、この領域にはMOSトランジスタT1、T2の閾値電圧を調整するためのイオンが導入されない。そのため、このイオンによる蓄積領域104を分離する不純物拡散層110の分離特性がこのイオンにより低下すること、または蓄積領域104の特性がこのイオンにより低下することを防止できる。また、MOSトランジスタT1、T2の下には不純物拡散層112が形成されるが、不純物拡散層112はイオン導入層T1i、T2iよりも深くに位置し、ウェル領域103よりも高濃度である。この不純物拡散層112は、N型のウェル領域103に配置されるN型のMOSトランジスタT1、T2を動作させるためのポテンシャルバリアとして機能可能である。なお、転送ゲート106は、これらイオン注入工程(照射工程)が終了した後に形成することも可能である。以上の工程を経て、図1の固体撮像装置100が製造される。

#### 【0020】

本実施形態のCMOS型の固体撮像装置においては、増幅部のMOSトランジスタの閾値は信号のダイナミックレンジやノイズに大きな影響を与えるため、増幅部のMOSトランジスタにイオン導入層を形成することが好ましい。本実施形態では、MOSトランジスタT1を増幅部のMOSトランジスタとし、N型の半導体領域を形成するためのイオンを注入してN型のイオン導入層T1iを形成する。増幅部のMOSトランジスタT1をノイズが低減可能な埋め込みチャネル型のMOSトランジスタとして形成するためである。また、MOSトランジスタT2をリセットスイッチとし、N型の半導体領域を形成するためのイオンをN型のイオン導入層T2iを形成する。ここでは、リセットスイッチの閾値の設定に合わせて、N型あるいはP型のイオン導入層T2iを形成できる。

#### 【0021】

上記の実施形態では、2つのイオン注入工程で共通のレジストパターンRPを使用することにより、レジストパターンの形成工程および剥離工程を低減でき、固体撮像装置100を安価かつ短時間で製造できる。上記の例では方向DR2が方向DR1よりも半導体基板101の表面の法線に対する角度が大きい場合を扱った。しかし、イオンを照射する方向を調整することによって、これらの角度を等しくしてもよいし、大小関係を逆にしてもよい。例えば、図3で説明した不純物拡散層110を形成するためのイオンを、XZ平面に平行で、Z軸から傾いた方向に沿って注入してもよい。この方向から半導体基板101を見た場合に、レジストパターンRPは、蓄積領域104、電荷電圧変換部105およびMOSトランジスタT1、T2が形成される領域を遮蔽部SDによって遮る。また、この方向から半導体基板101を見た場合に、レジストパターンRPは、蓄積領域分離領域を開口OPから露出する。そのため、不純物拡散層110は形成されるが、MOSトランジスタT1、T2の下にある不純物拡散層112は形成されない。

10

20

30

40

50

## 【 0 0 2 2 】

続いて、図 5 を用いて図 1 に示した固体撮像装置 1 0 0 の製造方法の第 2 実施形態を説明する。第 2 実施形態では、図 4 を用いて説明したイオン注入工程までは第 1 実施形態と同様であり、その後 Y Z 平面に平行で、Z 軸から傾いた方向 D R 3 (第 3 方向) からイオンを注入する工程をさらに行う。方向 D R 2 と方向 D R 3 とは互いに異なる。本実施例では、半導体基板 1 0 1 の表面の法線と方向 D R 3 との成す角は、半導体基板 1 0 1 の表面の法線と方向 D R 2 との成す角よりも大きい。ここで表面の法線と方向が成す角とは、当該法線と、方向に沿った直線とがなす角度 (90 度以下) をいう。第 1 実施形態におけるイオン注入方向の角度  $\theta_3$  を用いると、第 3 方向の角度  $\theta_3$  は第 2 方向の角度  $\theta_2$  と、 $\theta_3 > \theta_2$  となる。そのため、レジストパターン R P は、方向 D R 3 から半導体基板 1 0 1 を見た場合に、蓄積領域 1 0 4、電荷電圧変換部 1 0 5、蓄積領域分離領域および MOS トランジスタ T 1 が形成される領域を遮蔽部 S D によって遮る。また、レジストパターン R P は、方向 D R 3 から半導体基板 1 0 1 を見た場合に、MOS トランジスタ T 2 が形成される領域を開口 O P から露出する。これにより、レジストパターン R P の開口 O P を通過したイオンが、半導体基板 1 0 1 の表面のうち、図 5 ( a ) の斜線部 5 0 1 で示す部分に到達し、半導体基板 1 0 1 内に導入される。このイオンにより、MOS トランジスタ T 1 のイオン導入層 T 1 i の濃度は更に高くなる。しかし、MOS トランジスタ T 2 のイオン導入層 T 2 i には方向 D R 3 から注入されたイオンは到達しないので、イオン導入層 T 2 i の濃度は変わらない。また、蓄積領域分離領域に向けて照射されたイオンはレジストパターン R P の遮蔽部 S D に遮蔽されて、半導体基板 1 0 1 に到達しない。

10

20

## 【 0 0 2 3 】

MOS トランジスタ T 1 にはイオン導入層 T 1 i を形成する必要があるが、MOS トランジスタ T 2 にはイオン導入層 T 2 i を形成する必要がある場合には、図 5 に示すイオン注入工程を行い、図 4 に示すイオン注入工程を省略すればよい。

## 【 0 0 2 4 】

第 2 実施形態では、複数の MOS トランジスタの閾値電圧が異なるようにできるため、第 1 実施形態の利点に加えて、固体撮像装置 1 0 0 の性能を向上できる。

## 【 0 0 2 5 】

続いて、図 6 および図 7 を用いて図 1 に示した固体撮像装置 1 0 0 の製造方法の第 3 実施形態を説明する。第 3 実施形態では、図 3 を用いて説明したイオン注入工程までは第 1 実施形態と同様である。その後図 6 に示されるような Y Z 平面に平行で、Z 軸から傾いた方向 D R 4 に沿ってイオンを注入する工程と、図 7 に示されるような Z 軸から傾いた方向 D R 5 に沿ってイオンを注入する工程とをさらに行う。本実施例では、方向 D R 4 (第 2 方向) と方向 D R 5 (第 3 方向) とは半導体基板 1 0 1 との成す角が同じであり、X Z 平面に関して面对称である。

30

## 【 0 0 2 6 】

図 6 に示すように、レジストパターン R P は、方向 D R 4 から半導体基板 1 0 1 を見た場合に、蓄積領域 1 0 4、電荷電圧変換部 1 0 5、蓄積領域分離領域および MOS トランジスタ T 1 が形成される領域を遮蔽部 S D によって遮る。また、レジストパターン R P は、方向 D R 4 から半導体基板 1 0 1 を見た場合に、MOS トランジスタ T 2 が形成される領域を開口 O P から露出する。そのため、方向 D R 4 から照射され、レジストパターン R P の開口 O P を通過したイオンは、半導体基板 1 0 1 の表面のうち、図 6 ( a ) の斜線部 6 0 1 で示す部分に到達し、半導体基板 1 0 1 内に注入される。このイオンにより、MOS トランジスタ T 1 のチャンネル領域にイオン導入層 T 1 i が形成される。しかし、MOS トランジスタ T 2 のチャンネル領域には方向 D R 4 から注入されたイオンは到達しないので、この工程ではイオン導入層 T 2 i は形成されない。

40

## 【 0 0 2 7 】

図 7 に示すように、レジストパターン R P は、方向 D R 4 から半導体基板 1 0 1 を見た場合に、蓄積領域 1 0 4、電荷電圧変換部 1 0 5、蓄積領域分離領域および MOS トランジスタ T 2 が形成される領域を遮蔽部 S D によって遮る。また、レジストパターン R P は

50



、方向DR4から半導体基板101を見た場合に、MOSトランジスタT1が形成される領域を開口OPから露出する。そのため、方向DR5から照射され、レジストパターンRPの開口OPを通過したイオンは、半導体基板101の表面のうち、図7(a)の斜線部701で示す部分に到達し、半導体基板101内に注入される。このイオンにより、MOSトランジスタT2のチャンネル領域にイオン導入層T2iが形成される。しかし、MOSトランジスタT1のチャンネル領域には方向DR4から注入されたイオンは到達しないので、この工程ではイオン導入層T1iの濃度は変わらない。

【0028】

また、図6および図7のイオン注入工程の両方において、隣接する画素の蓄積領域104の間を露出する開口OPから注入されたイオンはレジストパターンRPの遮蔽部SDに遮蔽されて、半導体基板101に到達しない。

10

【0029】

また、MOSトランジスタT1、T2のうち的一方のみにイオン導入層を形成する場合には、図6のイオン注入工程と図7のイオン注入工程のどちらか一方を実施すればよい。

【0030】

第3実施形態では、複数のMOSトランジスタの閾値電圧を独立して制御できるため、第1実施形態および第2実施形態の利点に加えて、MOSトランジスタの閾値電圧の調整の自由度が高まる。例えば、それぞれのMOSトランジスタの閾値電圧を調整するために異なるイオン種を用いることもできる。

【0031】

20

続いて、図8を参照して上述の実施形態の変形例を説明する。第1実施形態に対して変形例を適用した場合を説明するが、第2実施形態や第3実施形態にも適用できる。この変形例では、レジストパターンRPの開口OPは蓄積領域104の中央部分をさらに露出する。これにより、図3のイオン注入工程において、蓄積領域104の中央部分にもP型の不純物拡散層110が形成される。これにより、N型の蓄積領域104に蓄積された電荷を電荷電圧変換部105に転送する転送効率が向上しうる。この内側の領域を開口する部分の開口OPの大きさは、図4のイオン注入工程においてイオンが到達しない程度に形成しうる。このため、蓄積領域104の内側に形成された不純物拡散層110はMOSトランジスタの閾値電圧を調整するためのイオンの影響を受けない。

【0032】

30

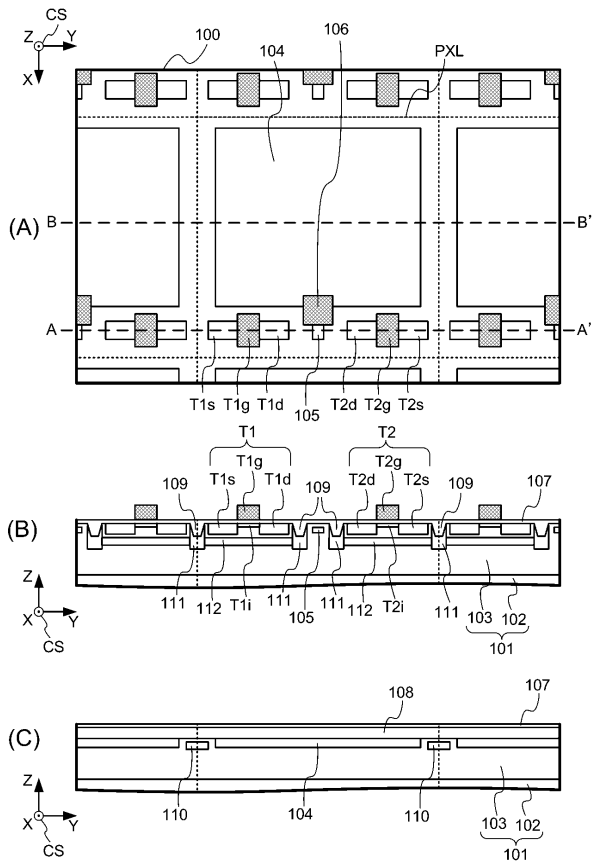
上述の実施形態では、画素の構成に限って説明してきたが、読み出し回路等の回路のトランジスタにも適用可能である。また、上述の実施形態では2つのMOSトランジスタの閾値電圧を調整する方法を説明してきたが、レジストパターンの厚さや開口の位置・大きさ、イオンを導入する方向を調整することによって、3つ以上のMOSトランジスタの閾値電圧を調整することもできる。各実施形態は組み合わせ可能である。また、上記ではCOMS型固体撮像装置を例として説明したが、他の形態の固体撮像装置に適用可能である。また、例えばMOSトランジスタを有するメモリセルの信号保持部を分離する不純物拡散層と、該MOSトランジスタの閾値電圧を調整するイオン導入層とを有する記憶装置などの半導体装置にも適用可能である。また、各実施形態における複数のイオン注入工程は上述した順番後は異なる順番で実施されてもよいし、同時に実施されてもよい。同時に実施

40

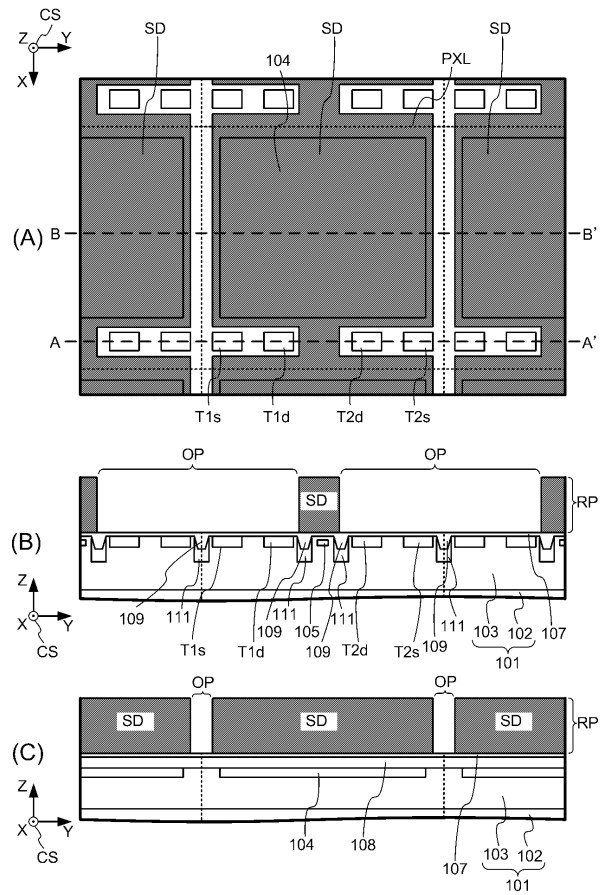
するためには、例えば、イオンを発生するイオン源、イオンを輸送するビームライン、イオンを加速する加速管を含むイオン注入機構を2系統有するイオン注入装置を準備すればよい。イオン注入工程は、熱処理工程を伴っていてもよい。

本発明の半導体装置の製造方法によれば、少なくとも2つの領域を露出させる開口を有するレジストパターンを用い、異なる方向に沿って少なくとも2回のイオンを注入する工程を実施することで、2つの領域の半導体領域を作り分けることができる。

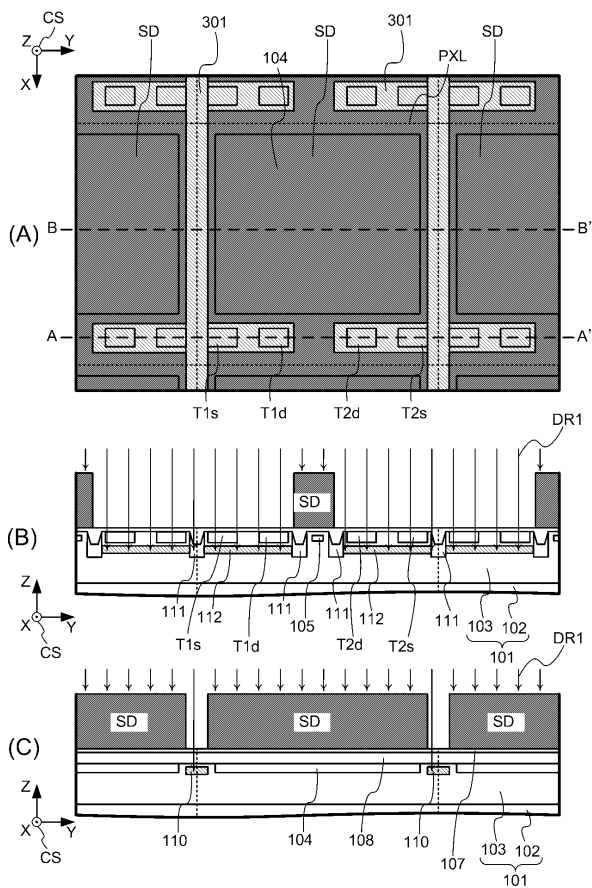
【 図 1 】



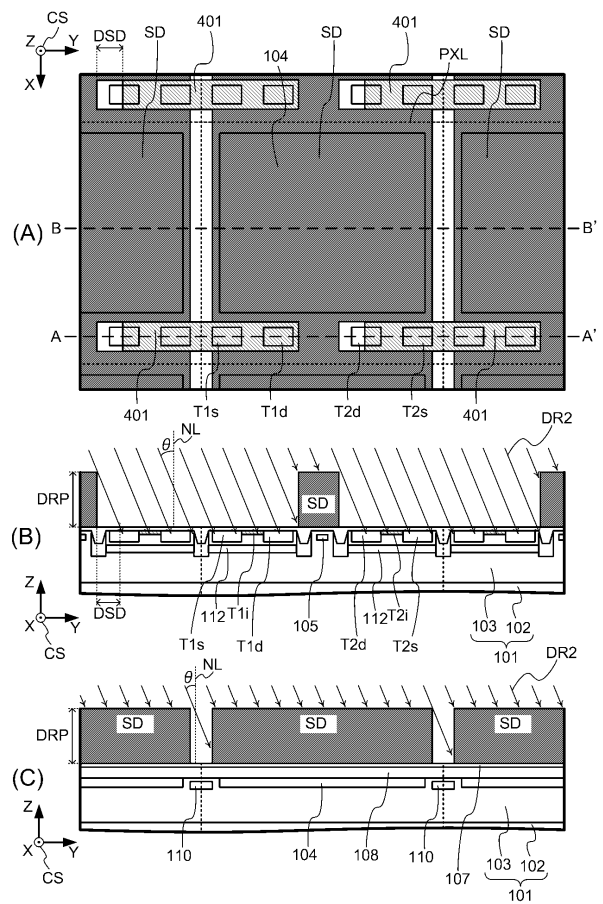
【 図 2 】



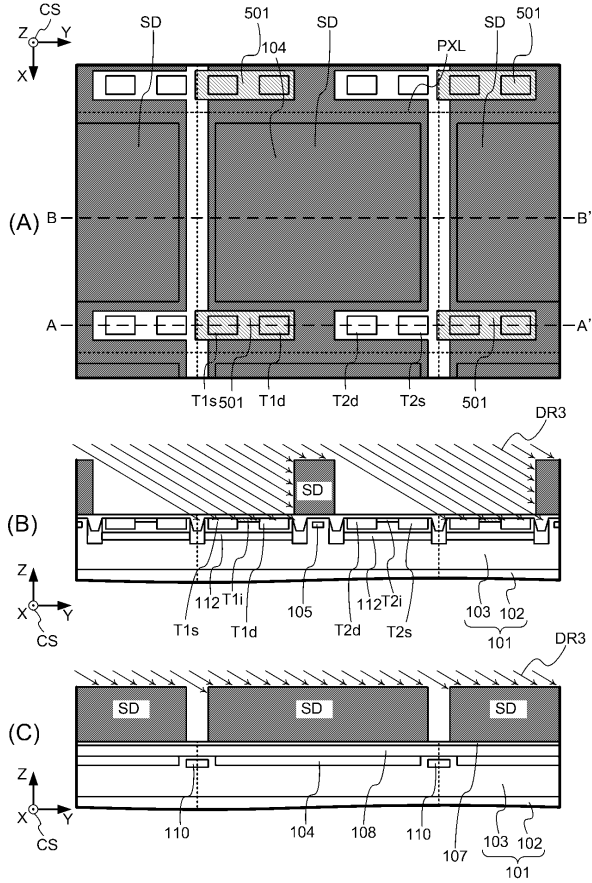
【 図 3 】



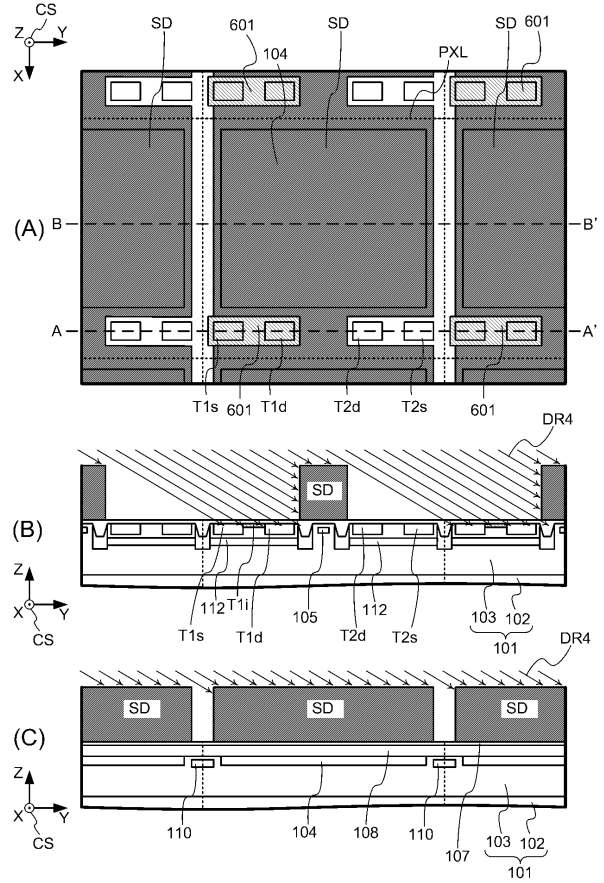
【 図 4 】



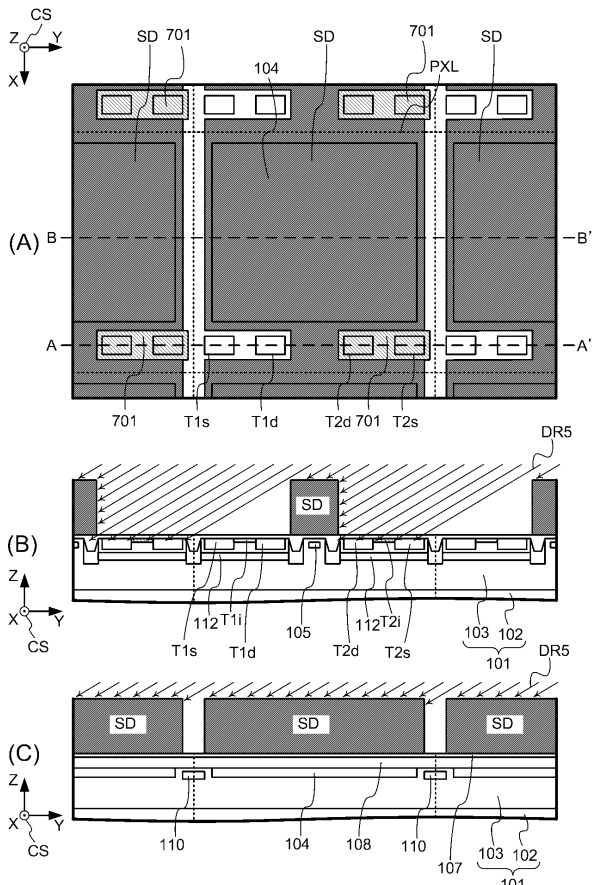
【図5】



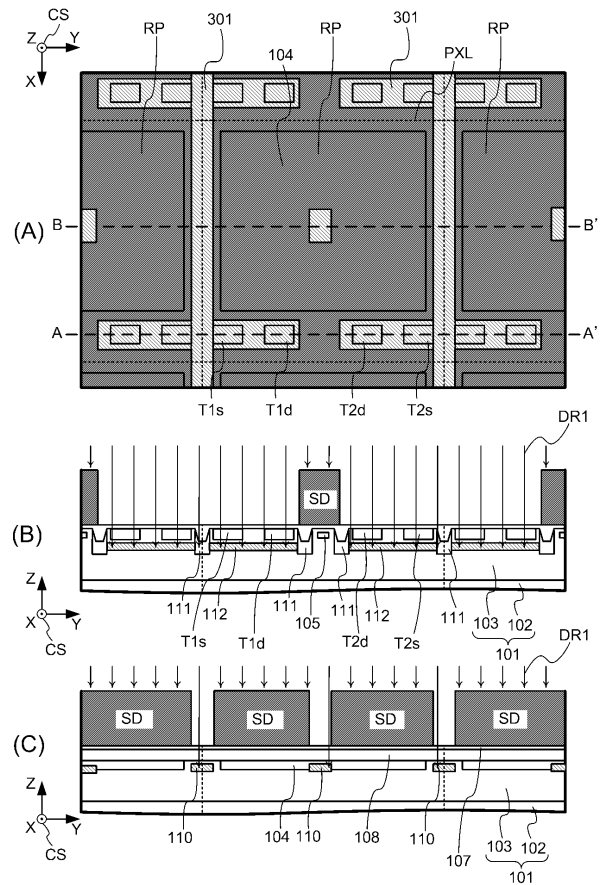
【図6】



【図7】



【図8】



---

フロントページの続き

- (72)発明者 篠原 真人  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 岩田 旬史  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 安田 雅彦

- (56)参考文献 特開2000-021995(JP,A)  
特開2004-079813(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 148  
H01L 21/265  
H01L 27/088  
H01L 21/336  
H01L 27/088 - 092  
H01L 21/8234 - 8238