

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2012-27479  
(P2012-27479A)

(43) 公開日 平成24年2月9日(2012. 2. 9)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 1 J	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 4 1 E	5 C 3 8 0
H 0 5 B 33/02 (2006.01)	G 0 9 G 3/20 6 2 4 B	
	G 0 9 G 3/20 6 2 1 M	
審査請求 有 請求項の数 4 O L (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2011-187031 (P2011-187031)	(71) 出願人	000153878
(22) 出願日	平成23年8月30日 (2011. 8. 30)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2001-119608 (P2001-119608) の分割	(72) 発明者	木村 肇
原出願日	平成13年4月18日 (2001. 4. 18)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2000-118619 (P2000-118619)	(72) 発明者	棚田 好文
(32) 優先日	平成12年4月19日 (2000. 4. 19)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(33) 優先権主張国	日本国 (JP)		半導体エネルギー研究所内
		F ターム (参考)	3K107 AA01 BB01 BB06 BB08 CC35 CC36 EE03 HH05 5C080 AA06 BB05 CC03 DD05 DD23 EE29 EE30 FF11 FF12 HH09 JJ02 JJ03 JJ04 JJ05 JJ06
		最終頁に続く	

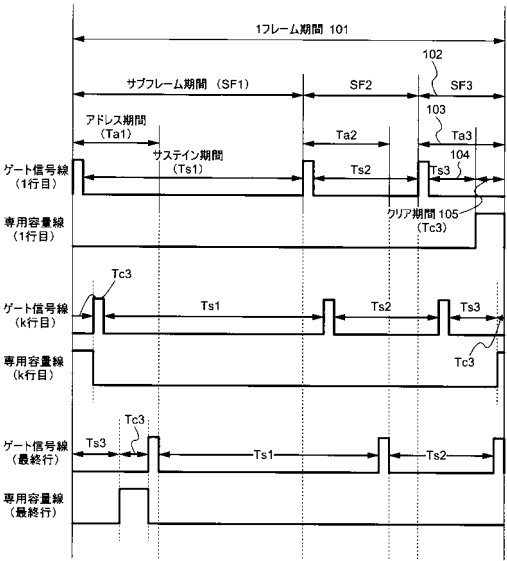
(54) 【発明の名称】 発光装置及び電子機器

(57) 【要約】

【課題】 電子装置における、デジタル階調と時間階調とを組み合わせた駆動方法において、高いデューティ比を確保し、かつアドレス期間よりも短いサステイン期間を有する場合にも正常に画像（映像）の表示が可能であり、かつ信号波形のなまりの影響を受けにくい新規の駆動方法を提供することを課題とする。

【解決手段】 アドレス期間よりも短いサステイン期間を有するサブフレーム期間 1 0 2 において、サステイン期間 1 0 4 の終了後、次のサブフレーム期間のアドレス期間が開始されるまでの期間、強制的にクリア期間 1 0 5 を設けて、サステイン期間 1 0 4 の長さを、アドレス期間 1 0 3 の長さとは無関係に設定することを可能とする。この非表示期間は、保持容量線の電位を変えることにより行うため、陰極配線の電位を変えることで非表示期間を設ける方法と異なり、信号波形のなまりによる影響を受けない。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

第一乃至第四の配線と、第一及び第二のスイッチング素子と、トランジスタと、容量と、画素電極とを有し、

前記第一のスイッチング素子の第一の電極は、前記第一の配線と電氣的に接続され、前記第一のスイッチング素子の第二の電極は、前記トランジスタのゲートと電氣的に接続され、

前記トランジスタの第一の電極は、前記第二の配線と電氣的に接続され、前記トランジスタの第二の電極は、前記画素電極と電氣的に接続され、

前記容量の第一の電極は、前記トランジスタのゲートと電氣的に接続され、前記容量の第二の電極は、前記第三の配線と電氣的に接続され、

前記第三の配線は、前記第二のスイッチング素子を介して前記第四の配線と電氣的に接続されることを特徴とする半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、電子装置の構成に関する。本発明は、特に、絶縁体上に作成される薄膜トランジスタ（TFT）を有するアクティブマトリクス型電子装置の駆動方法およびそれを用いる電子装置に関する。

**【背景技術】****【0002】**

近年、LCD（液晶ディスプレイ）に替わるフラットパネルディスプレイとして、エレクトロルミネッセンス（EL）素子を画素部に用いたELディスプレイが注目を集めており、活発な研究が行われている。

**【0003】**

LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブマトリクス型、もう1つがアクティブマトリクス型である。

**【0004】**

パッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

**【0005】**

ELディスプレイに用いられているアクティブマトリクス型電子装置の構成例を図14に示す。図14（A）は全体回路構成図であり、基板1450の中央に画素部1453を有している。画素部の左右には、ゲート信号線を制御するためのゲート信号線側駆動回路1452が配置されている。ゲート信号線側駆動回路1452は、片側配置でも良いが、回路動作の効率や信頼性を考慮すると、両側配置とするのが望ましい。画素部1453の上側には、ソース信号線を制御するためのソース信号線側駆動回路1451が配置されている。1画素分の拡大図を図14（B）に示す。1401は、画素に信号を書き込む時のスイッチング素子として機能するTFT（以下、スイッチング用TFTという）である。1402はEL素子1403に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、エレクトロルミネッセンス駆動用TFTといい、EL駆動用TFTと表記する）である。TFTの動作としてソース接地が良いこと、EL素子1403の製造上の制約などから、EL駆動用TFTにはPチャネル型を用い、EL素子1403の陽極と電流供給線1407との間にEL駆動用TFT1402を配置する方式が一般的であり、多く採用されている。1404は、ソース信号線1406から入力される信号（電

10

20

30

40

50

圧)を保持するための保持容量である。図14(B)での保持容量1404の一方の端子は、電流供給線1407に接続されているが、専用の配線を用いることもある。スイッチング用TFT1401のゲート端子は、ゲート信号線1405に、ソース端子は、ソース信号線1406に接続されている。また、EL駆動用TFT1402のドレイン端子はEL素子1403の陽極もしくは陰極に、ソース端子は電流供給線1407に接続されている。

#### 【0006】

EL素子は、エレクトロルミネッセンス(Electro Luminescence: 電場を加えることで発生するルミネッセンス)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた発光装置にも適用可能である。

10

#### 【0007】

なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

#### 【0008】

また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

20

#### 【0009】

次に、同図14を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線1405が選択されると、スイッチング用TFT1401のゲート電極に電圧が印加され、スイッチング用TFT1401が導通状態になる。すると、ソース信号線1406の信号(電圧)が保持容量1404に蓄積される。保持容量1404の電圧は、EL駆動用TFT1402のゲート・ソース間電圧 $V_{GS}$ となるため、保持容量1404の電圧に応じた電流がEL駆動用TFT1402とEL素子1403に流れる。その結果、EL素子1403が点灯する。

#### 【0010】

EL素子1403の輝度、つまりEL素子1403を流れる電流量は、EL駆動用TFT1402の $V_{GS}$ によって制御出来る。 $V_{GS}$ は、保持容量1404の電圧であり、それはソース信号線1406に入力される信号(電圧)である。つまり、ソース信号線1406に入力される信号(電圧)を制御することによって、EL素子1403の輝度を制御する。最後に、ゲート信号線1405を非選択状態にして、スイッチング用TFT1401のゲートを閉じ、スイッチング用TFT1401を非導通状態にする。その時、保持容量1404に蓄積された電荷は保持される。よって、EL駆動用TFT1402の $V_{GS}$ は、そのまま保持され、 $V_{GS}$ に応じた電流が、EL駆動用TFT1402を経由してEL素子1403に流れ続ける。

30

#### 【0011】

以上の内容に関しては、SID99 Digest : P372 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"、ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"、Euro Display99 Late News : P27 : "3.8 Green OLED with Low Temperature Poly-Si TFT"などに報告されている。

40

#### 【0012】

ところで、ELディスプレイの階調表現の方法には、アナログ階調方式とデジタル階調方式とがある。前者のアナログ階調方式の場合、EL駆動用TFT1402のゲート・ソース間電圧 $V_{GS}$ を変化させて、EL素子1403に流れる電流を制御し、アナログ的に輝度を変化させる方法である。対して、後者のデジタル階調方式では、EL駆動用TFTのゲート・ソース間電圧 $V_{GS}$ は、EL素子に全く電流が流れない範囲(点灯開始電圧以下)

50

か、あるいは最大電流が流れる範囲（輝度飽和電圧以上）の２段階でのみ動作する。すなわちＥＬ素子は、点灯状態と消灯状態のみをとる。

【００１３】

ＥＬディスプレイにおいては、ＴＦＴのしきい値等の特性のばらつきが表示に影響しにくいデジタル階調方式が主に用いられる。しかし、デジタル階調方式の場合、そのままでは２階調表示しか出来ないため、別の方式と組み合わせ、多階調化を図る技術が複数提案されている。

【００１４】

そのうちの１つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、１つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来ないため、高解像度化や、多階調化が難しいことである。面積階調方式については、Euro Display 99 Late News : P71 : “TFT-LEPD with Image Uniformity by Area Ratio Gray Scale”、IEDM 99 : P107 : “Technology for Active Matrix Light Emitting Polymer Displays”、などに報告がされている。

10

【００１５】

もう１つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間の差を利用して、階調を出す方式である。つまり、１フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

20

【００１６】

デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、IDW' 99 : P171 : “Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity” に報告されている。

【発明の概要】

【発明が解決しようとする課題】

【００１７】

図１５は、デジタル階調と時間階調とをくみあわせた駆動方法におけるタイミングチャートである。図１５（Ａ）はアドレス（書き込み）期間とサステイン（点灯）期間とが、サブフレーム期間内で完全に分離しているのに対し、図１５（Ｂ）では分離していない。

30

【００１８】

通常、時間階調を利用した駆動方法では、各ビット毎にアドレス（書き込み）期間とサステイン（点灯）期間とを設ける必要がある。アドレス（書き込み）期間とサステイン（点灯）期間とが完全に分離した駆動方法（各サブフレーム期間において、１画面分のアドレス（書き込み）期間が完全に終了してからサステイン（点灯）期間に入る方法）では、１フレーム期間内でアドレス（書き込み）期間の占める割合が大きくなり、またアドレス（書き込み）期間内でも、ある行のゲート信号線が選択されている期間は、図１５（Ａ）に示すように、他の行は書き込みも点灯も行われない状態にある期間１５０１が生ずるため、デューティー比（１フレーム期間内におけるサステイン（点灯）期間の長さの割合）が大きく低下する。アドレス（書き込み）期間を短くするには動作クロックを上げる以外になく、回路の動作マージン等を考えると、多階調化には限界がある。対して、アドレス（書き込み）期間とサステイン（点灯）期間とを分離しない駆動方法では、たとえばｋ行目のゲート信号線選択期間の終了後、直ちにｋ行目のＥＬ素子はサステイン（点灯）期間に入るため、他の行のゲート信号線選択期間の間にも、いずれかの画素は点灯していることになる。よって、よりデューティー比を高くするのには有利な駆動方法といえる。

40

【００１９】

しかし、アドレス（書き込み）期間とサステイン（点灯）期間とが分離していない場合、以下のような問題が生ずる。１つのアドレス（書き込み）期間の長さは、１行目のゲート信号線選択期間の開始から、最終行のゲート信号線選択期間の終了までである。ある時

50

点では、異なる 2 つのゲート信号線の選択は行うことが出来ないため、アドレス（書き込み）期間とサステイン（点灯）期間とが分離していない駆動方法においては、サステイン（点灯）期間は、少なくともアドレス（書き込み）期間と同じ（正確には、『ゲート信号線 1 行目にて信号の書き込みが終了してから最終行での信号の書き込みが終了するまで』の長さ）かそれ以上の長さを必要とする。よって、多階調化を図る際には、サステイン（点灯）期間の最小単位が限られてしまう。図 15（B）において、最小ビット分のサブフレーム期間  $SF_4$  でのアドレス（書き込み）期間  $Ta_4$  が終了するまでの期間と、次のフレーム期間での最初のアドレス（書き込み）期間が開始してからの期間が重複しないだけの、1502 で示される部分の長さが、この最小単位となり、これよりも短いサステイン（点灯）期間を有する場合は、正常に表示を行うことが出来ない。よって、デジタル階調方式と時間階調方式を組み合わせた場合、サステイン（点灯）期間は 2 のべき乗の比をもって長さが決まることから、1 フレーム期間の長さを考えると、多階調化が困難になる。

10

【0020】

本発明は、主にデジタル階調と時間階調とを組み合わせた駆動方法において、高いデューティ比を確保し、かつアドレス（書き込み）期間よりも短いサステイン（点灯）期間を有する場合にも正常に画像（映像）の表示を可能とする新規の駆動方法を提供することを課題とする。

【課題を解決するための手段】

【0021】

上述した課題を解決するために、本発明においては以下の手段を講じた。

20

【0022】

本発明の電子装置の駆動方法は、アドレス（書き込み）期間よりも短いサステイン（点灯）期間を有するサブフレーム期間において、サステイン（点灯）期間の終了後、次のサブフレーム期間のアドレス（書き込み）期間が開始されるまでの期間、強制的に EL 素子の非表示期間を設けてアドレス（書き込み）期間の重複を回避することにより、サステイン（点灯）期間の長さを、アドレス（書き込み）期間の長さとは無関係に設定することを可能とする。これにより、多階調化によって下位ビットのサステイン（点灯）期間が短くなった場合にも、アドレス（書き込み）期間の重複を回避し、正常な画像（映像）に表示が可能となる。

30

【0023】

以下に、本発明の電子装置の構成について記載する。

【0024】

請求項 1 に記載の本発明の電子装置の駆動方法は、

1 フレーム期間は  $n$  個のサブフレーム期間  $SF_1$ 、 $SF_2$ 、 $\dots$ 、 $SF_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $Ta_1$ 、 $Ta_2$ 、 $\dots$ 、 $Ta_n$  と、サステイン（点灯）期間  $Ts_1$ 、 $Ts_2$ 、 $\dots$ 、 $Ts_n$  とを有する電子装置の駆動方法において、

前記  $n$  個のサブフレーム期間のうち少なくとも 1 個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、

サブフレーム期間  $SF_m$  ( $1 \leq m \leq n$ ) でのアドレス（書き込み）期間  $Ta_m$  と、サブフレーム期間  $SF_{m+1}$  でのアドレス（書き込み）期間  $Ta_{m+1}$  とが重複する場合に、前記サブフレーム期間  $SF_m$  でのサステイン（点灯）期間  $Ts_m$  の終了後、前記アドレス（書き込み）期間  $Ta_{m+1}$  の開始までの期間にクリア期間  $Tc_m$  を有することを特徴としている。

40

【0025】

請求項 2 に記載の本発明の電子装置の駆動方法は、

1 フレーム期間は  $n$  個のサブフレーム期間  $SF_1$ 、 $SF_2$ 、 $\dots$ 、 $SF_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $Ta_1$ 、 $Ta_2$ 、 $\dots$ 、 $Ta_n$  と、サステイン（点灯）期間  $Ts_1$ 、 $Ts_2$ 、 $\dots$ 、 $Ts_n$  とを有する電子装置の駆動方法において、

前記  $n$  個のサブフレーム期間のうち少なくとも 1 個のサブフレーム期間において、前記

50

アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、

$j$  ( $0 < j$ ) フレーム目のサブフレーム期間  $SF_n$  でのアドレス（書き込み）期間  $Ta_n$  と、 $j + 1$  フレーム目のサブフレーム期間  $SF_1$  でのアドレス（書き込み）期間  $Ta_1$  とが重複する場合に、 $j$  フレーム目のサブフレーム期間  $SF_n$  でのサステイン（点灯）期間  $SF_n$  の終了後、前記  $j + 1$  フレーム目のサブフレーム期間  $SF_1$  でのアドレス（書き込み）期間  $Ta_1$  の開始までの期間にクリア期間  $Tc_n$  を有することを特徴としている。

【0026】

請求項3に記載の本発明の電子装置の駆動方法は、

1 フレーム期間は  $n$  個のサブフレーム期間  $SF_1$ 、 $SF_2$ 、 $\dots$ 、 $SF_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $Ta_1$ 、 $Ta_2$ 、 $\dots$ 、 $Ta_n$  と、サステイン（点灯）期間  $Ts_1$ 、 $Ts_2$ 、 $\dots$ 、 $Ts_n$  とを有する電子装置の駆動方法において、

あるサブフレーム期間  $SF_k$  ( $1 \leq k \leq n$ ) において、アドレス（書き込み）期間の長さを  $ta_k$ 、サステイン（点灯）期間の長さを  $ts_k$ 、1 ゲート信号線選択期間の長さを  $t_g$  ( $ta_k$ 、 $ts_k$ 、 $t_g > 0$ ) として、 $ta_k > ts_k$  が成立するとき、

$SF_k$  の有するクリア期間の長さを  $tc_k$  ( $tc_k > 0$ ) とすると、

常に、 $tc_k = ta_k - (ts_k + t_g)$  が成立することを特徴としている。

【0027】

請求項4に記載の本発明の電子装置の駆動方法は、

請求項1乃至請求項3のいずれか1項に記載の電子装置の駆動方法において、

前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられることを特徴としている。

【0028】

請求項5に記載の本発明の電子装置の駆動方法は、

請求項4に記載の電子装置の駆動方法において、

前記クリア期間中は、画像信号に関わらずEL素子が消灯することを特徴としている。

【0029】

請求項6に記載の本発明の電子装置は、

ソース信号線側駆動回路と、ゲート信号線側駆動回路と、保持容量線駆動回路と、画素部とを有し、

前記画素部は、複数のソース信号線と、複数のゲート信号線と、複数の電流供給線と、複数の保持容量線と、複数の画素とを有し、

前記複数の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、リセット用トランジスタと、保持容量と、EL素子とを有し、

前記スイッチング用トランジスタのゲート電極は、ゲート信号線と電氣的に接続され、

前記スイッチング用トランジスタのソース領域とドレイン領域は、一方はソース信号線と電氣的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電氣的に接続され、

前記リセット用トランジスタのゲート電極は、保持容量線と電氣的に接続され、

前記リセット用トランジスタのソース領域とドレイン領域は、一方は前記ゲート信号線と電氣的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電氣的に接続され、

前記保持容量は、一方の電極は前記電流供給線と電氣的に接続され、残る一方の電極は前記EL駆動用トランジスタのゲート電極と電氣的に接続され、

前記EL駆動用トランジスタのソース領域とドレイン領域は、一方は電流供給線と電氣的に接続され、残る一方は、前記EL素子の一方の電極と電氣的に接続されていることを特徴としている。

【0030】

請求項7に記載の本発明の電子装置は、

請求項 6 に記載の電子装置において、

前記保持容量線は、前記保持容量線駆動回路と電氣的に接続され、前記保持容量線駆動回路から、振幅を持った信号が入力されることを特徴としている。

【 0 0 3 1 】

請求項 8 に記載の本発明の電子装置は、

1 フレーム期間は  $n$  個のサブフレーム期間  $S F_1$ 、 $S F_2$ 、 $\dots$ 、 $S F_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  と、サステイン（点灯）期間  $T s_1$ 、 $T s_2$ 、 $\dots$ 、 $T s_n$  とを有し、

前記  $n$  個のサブフレーム期間のうち少なくとも 1 個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、

サブフレーム期間  $S F_m$  ( $1 \leq m \leq n$ ) でのアドレス（書き込み）期間  $T a_m$  と、サブフレーム期間  $S F_{m+1}$  でのアドレス（書き込み）期間  $T a_{m+1}$  とが重複する場合に、前記サブフレーム期間  $S F_m$  でのサステイン（点灯）期間  $T s_m$  の終了後、前記アドレス（書き込み）期間  $T a_{m+1}$  の開始までの期間にクリア期間  $T c_m$  を有する駆動方法によって動作することを特徴としている。

【 0 0 3 2 】

請求項 9 に記載の本発明の電子装置は、

1 フレーム期間は  $n$  個のサブフレーム期間  $S F_1$ 、 $S F_2$ 、 $\dots$ 、 $S F_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  と、サステイン（点灯）期間  $T s_1$ 、 $T s_2$ 、 $\dots$ 、 $T s_n$  とを有し、

前記  $n$  個のサブフレーム期間のうち少なくとも 1 個のサブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有し、

$j$  ( $0 < j < n$ ) フレーム目のサブフレーム期間  $S F_j$  でのアドレス（書き込み）期間  $T a_j$  と、 $j + 1$  フレーム目のサブフレーム期間  $S F_{j+1}$  でのアドレス（書き込み）期間  $T a_{j+1}$  とが重複する場合に、 $j$  フレーム目のサブフレーム期間  $S F_j$  でのサステイン（点灯）期間  $T s_j$  の終了後、前記  $j + 1$  フレーム目のサブフレーム期間  $S F_{j+1}$  でのアドレス（書き込み）期間  $T a_{j+1}$  の開始までの期間にクリア期間  $T c_j$  を有する駆動方法によって動作することを特徴している。

【 0 0 3 3 】

請求項 10 に記載の本発明の電子装置は、

1 フレーム期間は  $n$  個のサブフレーム期間  $S F_1$ 、 $S F_2$ 、 $\dots$ 、 $S F_n$  を有し、

前記  $n$  個のサブフレーム期間はそれぞれアドレス（書き込み）期間  $T a_1$ 、 $T a_2$ 、 $\dots$ 、 $T a_n$  と、サステイン（点灯）期間  $T s_1$ 、 $T s_2$ 、 $\dots$ 、 $T s_n$  とを有し、

あるサブフレーム期間  $S F_k$  ( $1 \leq k \leq n$ ) において、アドレス（書き込み）期間の長さを  $t a_k$ 、サステイン（点灯）期間の長さを  $t s_k$ 、1 ゲート信号線選択期間の長さを  $t_g$  ( $t a_k$ 、 $t s_k$ 、 $t_g > 0$ ) として、 $t a_k > t s_k$  が成立するとき、

$S F_k$  の有するクリア期間の長さを  $t c_k$  ( $t c_k > 0$ ) とすると、

常に、 $t c_k = t a_k - (t s_k + t_g)$  が成立することを特徴としている。

【 0 0 3 4 】

請求項 11 に記載の本発明の電子装置は、

請求項 8 乃至請求項 10 のいずれか 1 項に記載の電子装置において、  
前記クリア期間において入力されるクリア信号は、保持容量線駆動回路からの信号の入力によって、保持容量線の電位を上げる、もしくは保持容量線の電位を下げることによって与えられることを特徴としている。

【 0 0 3 5 】

請求項 12 に記載の本発明の電子装置は、

請求項 11 に記載の電子装置において、

前記クリア期間中は、画像信号に関わらず E L 素子が消灯することを特徴としている。

【発明の効果】

【 0 0 3 6 】

本発明の効果について述べる。まず、本発明では、ある行の画素に信号を入力している期間にも、別の行の画素を非表示状態にすることが出来る。それにより、各々の行の画素において、アドレス（書き込み）期間よりも短いサステイン（点灯）期間でも自由に設定することが出来るため、多階調化が可能となる。

【 0 0 3 7 】

また、本発明の駆動方法においては、EL素子を非表示にする操作は、保持容量線の電位を変化させることにより行われるので、陰極配線には、常に一定の電位が与えられる。従来のようにパルス状の信号ではないため、陰極線の電圧波形のなまりによって生じる様々な問題点を回避することが出来る。

【 0 0 3 8 】

また、画素部の構成は、トランジスタや容量、配線などを新たに追加する必要がない。そのため、開口率を下げることなく、画質の向上が見込める。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】実施例 1 に記載の、本発明の駆動方法を説明するタイミングチャート。

【図 2】実施例 1 に記載の、本発明の駆動方法を説明するタイミングチャート。

【図 3】実施例 2 に記載の、本発明の駆動方法を説明するタイミングチャート。

【図 4】実施例 3 に記載の、電子装置の作成工程例を示す図。

【図 5】実施例 3 に記載の、電子装置の作成工程例を示す図。

【図 6】実施例 3 に記載の、電子装置の作成工程例を示す図。

【図 7】実施例 4 に記載の、電子装置の上面図および断面図。

【図 8】実施例 5 に記載の、電子装置の画素部の断面図。

【図 9】実施例 5 に記載の、電子装置の作成工程例を示す図。

【図 10】実施例 6 に記載の、電子装置の画素部の断面図。

【図 11】実施例 7 に記載の、電子装置の回路構成例。

【図 12】実施例 7 に記載の、本発明の駆動方法を説明するタイミングチャート。

【図 13】実施例 7 に記載の、本発明の駆動方法を説明するタイミングチャート。

【図 14】電子装置の回路構成例。

【図 15】時間階調における、フレーム期間の分割を説明するタイミングチャート。

【図 16】電子装置の回路構成例。

【図 17】電子装置の回路構成例。

【図 18】本発明の駆動方法における、各部の信号電位を説明する図。

【図 19】本発明の駆動方法における、各部の信号電位を説明する図。

【図 20】実施例 1 に記載の、電子装置の回路構成例。

【図 21】実施例 8 に記載の、電子装置の回路構成例。

【図 22】実施例 10 に記載の、本発明の電子装置の駆動方法を適用した電子機器の例。

【図 23】実施例 10 に記載の、本発明の電子装置の駆動方法を適用した電子機器の例。

【発明を実施するための形態】

【 0 0 4 0 】

本発明の構成について説明する。

【 0 0 4 1 】

通常画素部の構成は、図 16 に示すように、保持容量 1604 の一方の端子は、電流供給線 1607 に接続されており、この電流供給線は通常、一定電位に保たれている。あるいは、図 17 に示すように、保持容量線 1711 を配置して、保持容量 1704 の一方の端子はこの保持容量線に接続される方法もある。この場合、保持容量線 1711 の電位は一定に保たれている。

【 0 0 4 2 】

本発明においては、回路構成は図 17 に示すものを用いるので、特別な構造は必要ない。ただし、その保持容量線 1711 の電位は一定ではなく、回路を用いて信号を入力できるようにしている点に特徴がある。

10

20

30

40

50



## 【0043】

アドレス（書き込み）期間およびサステイン（点灯）期間においては、この保持容量線 1711 の電位は一定電位に保っておく。そして、EL 駆動用 TFT 1703 のゲート電圧に関わらず、強制的に非表示期間を設ける場合には、保持容量線 1711 の電位を上げる。（EL 駆動用 TFT 1702 が P チャネル型の場合。N チャネル型を用いている場合には逆の動作をする。）これを、以後はクリア信号と表記し、クリア信号が入力されている期間をクリア期間と表記する。この動作により、保持容量 1704 と電氣的に接続されている EL 駆動用 TFT 1702 のゲート・ソース間電圧  $V_{GS}$  も同時に引き上げられ、強制的に OFF 状態となるため、この期間は、書き込まれている信号に関わらず、EL 素子 1703 への電流の供給は停止し、クリア期間とすることが出来る。

10

## 【0044】

なお、アドレス（書き込み）期間およびサステイン（点灯）期間において、保持容量線 1711 を一定電位に保つ際には、ある程度低い電位にしておくのが望ましい。これは、保持容量線を 1711 を一定電位に保つ期間を A 期間とすると、クリア信号を入力する際には、保持容量線の電位を A 期間の状態からさらに上げるため、A 期間における電位が高い場合は、それよりもさらに電位を高くする必要があるためである。（EL 駆動用 TFT 1702 が P チャネル型の場合。N チャネル型を用いている場合には逆の動作をするので、A 期間では電位を高めを保つのが望ましい。）

## 【0045】

本発明の駆動方法では、保持容量線 1711 にクリア信号を入力することで、強制的にクリア期間を設けることが可能であるため、アドレス（書き込み）期間よりも短いサステイン（点灯）期間を設けたい場合にも、このクリア期間の長さを変えることで容易に実現出来る。よって前述の、デューティー比を高く出来る効果と相まって、多階調化に大いに有効といえる。

20

## 【0046】

信号線から入力される信号に関係なく、EL 素子 1703 を強制的に点灯しないようにするには、EL 素子 1703 の陽極 1709 と陰極 1710 の間の電位差を 0 にする方法、EL 駆動用 TFT 1702 と EL 素子 1703 との間に電流遮断用 TFT を追加し、この電流遮断用 TFT を非導通状態とすることで EL 素子 1703 への電流供給を遮断する方法などが挙げられるが、これらの方法によると、入力する信号の波形になまり（パルスの立ち上がり時あるいは立下り時に信号遅延や鈍化が生ずる現象）が生じた場合に、各期間のタイミングにズレが生ずるため、期間が短くなるにつれて影響が大きくなる点や、追加する TFT 等によって、画素の開口率が低下するといった短所もある。これに対して本発明の駆動方法では、保持容量線の電位を変えて、保持容量の電荷を開放することにより、EL 素子が点灯しないようにしている。よって、この非表示区間に伴う、画像（映像）信号に関係した信号線の電位の操作は行う必要がないため、前述の信号波形のなまりが影響することはなく、TFT 等を追加する必要もないので、開口率を低下させることもない。

30

## 【0047】

次に、各部の電位パターンについて説明する。図 18 を参照する。また、回路は引き続き図 17 を参照する。

40

## 【0048】

図 18 において、1801 はソース信号線 1706 の電位、1802 は EL 駆動用 TFT 1703 のゲート電極の電位、1803 はゲート信号線 1705 の電位、1804 は保持容量線 1711 の電位を示している。なお、図 18 はスイッチング用 TFT 1701 の極性が N チャネル型、EL 駆動用 TFT 1702 の極性が P チャネル型の場合を示している。まず、保持容量線 1711 の電位 1804 は、ある一定電位に保っておく。この電位は、後で引き上げる操作があるため、低めに保つのが望ましい。その後、ソース信号線 1706、ゲート信号線 1705 には信号が入力され、各画素への書き込みが行われる。

## 【0049】

50

ここで、図 18 (A) は、E L 駆動用 T F T 1 7 0 2 のゲート電極に L O 信号が入力された場合、図 18 (B) は、E L 駆動用 T F T 1 7 0 2 のゲート電極に H i 信号が入力された場合を示している。図 18 (A) では、ゲート信号線 1 7 0 5 の選択に伴い、E L 駆動用 T F T 1 7 0 2 のゲート電極に L O 信号が入力されて電位が下がり、導通状態となり、E L 素子 1 7 0 3 の点灯が開始する。対して、図 18 (B) では、ゲート信号線 1 7 0 5 の選択に伴い、E L 駆動用 T F T 1 7 0 2 のゲート電極に H i 信号が入力され、非導通状態をとるので、E L 素子 1 7 0 3 は点灯しない。続いて、ゲート信号線 1 7 0 5 の選択期間が終了し、ゲート信号線 1 7 0 5 の電位が下がった後も、保持容量 1 7 0 4 によって E L 駆動用 T F T 1 7 0 2 のゲート電極に印加される電位が保たれ、図 18 (A) の場合は E L 素子 1 7 0 3 が点灯し続け、図 18 (B) の場合は消灯状態が続く。

10

#### 【0050】

次に、本発明におけるクリア期間前後での各部の動作について説明する。図 18 中、X - X' の点線で示されるタイミングで、保持容量線 1 7 1 1 の電位 1 8 0 4 を引き上げる。ここでは、保持容量線 1 7 1 1 の電位 1 8 0 4 の振幅は、ソース信号線 1 7 0 6 の振幅よりも大きく取るのが望ましい。このとき、ゲート信号線 1 7 0 5 の選択期間は終了し、スイッチング用 T F T 1 7 0 1 は既に非導通状態となっており、保持容量 1 7 0 4 の両端子間の電圧はそのまま保存されるため、一方の端子に接続されている保持容量線 1 7 1 1 の電位 1 8 0 4 が上がると、もう一方の端子における電位、すなわち E L 駆動用 T F T 1 7 0 2 のゲート電圧 1 8 0 2 が上がることになる。よって、図 18 (A) において、X - X' の点線で示されるタイミングで、E L 駆動用 T F T 1 7 0 2 のゲート電極の電位 1 8 0 2 が上がる。これにより、E L 駆動用 T F T 1 7 0 2 は非導通状態となり、E L 素子 1 7 0 3 への電流供給が停止し、消灯状態となる。図 18 (B) においても同様に、保持容量線 1 7 1 1 の電位 1 8 0 4 を上げるに伴い、E L 駆動用 T F T 1 7 0 2 のゲート電極の電位 1 8 0 2 も上がるが、この場合は非表示状態のまま、変化は無い。

20

#### 【0051】

このような操作により、別の行の画素部で、ゲート信号線 1 7 0 5 が選択され、ソース信号線 1 7 0 6 から信号の書き込みが行われている期間であっても、E L 素子 1 7 0 3 を強制的に非表示状態とすることが出来る。したがって、このクリア期間の長さを変えることで、サステイン（点灯）期間を自由に設定することが出来る。

#### 【0052】

ところで、図 18 においては、スイッチング用 T F T 1 7 0 1 が N チャネル型の場合について説明したが、P チャネル型を用いた場合にも問題なく正常に本発明の駆動方法での動作が可能である。以下に、図 19 を参照して説明する。また、回路は引き続き図 17 を参照する。

30

#### 【0053】

まず、保持容量線 1 7 1 1 の電位 1 9 0 4 は、ある一定に保っておく。前述の場合と同様の理由により、低めに保つのが望ましい。その後、ソース信号線 1 7 0 6、ゲート信号線 1 7 0 5 には信号が入力され、各画素への書き込みが行われる。

#### 【0054】

ここで、図 19 (A) は、E L 駆動用 T F T 1 7 0 2 のゲート電極に L O 信号が入力された場合、図 19 (B) は、E L 駆動用 T F T 1 7 0 2 のゲート電極に H i 信号が入力された場合を示している。図 19 (A) では、ゲート信号線 1 7 0 5 の選択に伴い、E L 駆動用 T F T 1 7 0 2 のゲート電極に L O 信号が入力されて電位が下がり、導通状態となり、E L 素子 1 7 0 3 の点灯が開始する。対して、図 19 (B) では、ゲート信号線 1 7 0 5 の選択に伴い、E L 駆動用 T F T 1 7 0 2 のゲート電極に H i 信号が入力され、非導通状態をとるので、E L 素子 1 7 0 3 は点灯しない。続いて、ゲート信号線 1 7 0 5 の選択期間が終了し、ゲート信号線 1 7 0 5 の電位が下がった後も、保持容量によって E L 駆動用 T F T 1 7 0 2 のゲート電極に印加される電位が保たれ、図 19 (A) の場合は E L 素子 1 7 0 3 が点灯し続け、図 19 (B) の場合は消灯状態が続く。

40

#### 【0055】

50

次に、本発明におけるクリア期間前後での各部の動作について説明する。図19中、Y-Y'の点線で示されるタイミングで、保持容量線1711の電位1904を引き上げる。このとき、図19(A)においては、ゲート信号線1705の選択期間が終了し、スイッチング用TF T 1701は既に非導通状態となっているため、保持容量1704の両端子間の電圧はそのまま保存され、一方の端子に接続されている保持容量線1711の電位1904が上がると、同時にEL駆動用TF T 1702のゲート電圧1902が上がることになる。よって、図19(A)において、Y-Y'の点線で示されるタイミングで、EL駆動用TF T 1702のゲート電極の電位1902が上がる。これにより、EL駆動用TF T 1702は非導通状態となり、EL素子1703への電流供給が停止し、消灯状態となる。図19(B)においては、保持容量線1711の電位を上げるのと同時に、EL駆動用TF T 1702のゲート電極の電位1902も上がる。このとき、スイッチング用TF T 1701のソース側の電位も高くなることになる。スイッチング用TF T 1701の極性はPチャネル型であるから、ソース側電位が上がったことにより、スイッチング用TF T 1701が、一時導通状態となる。そのため、スイッチング用TF T 1701のソース・ドレイン間の電位が等しくなる方向に動く。すなわち、EL駆動用TF T 1702のゲート電極電位1902が下がる。このとき、ゲート信号線1705の電位1903は一定であるから、EL駆動用TF T 1702のゲート電極電位1902が下がると、同時にスイッチング用TF T 1701のソース側電位が下がることになり、スイッチング用TF T 1701のゲート・ソース間電圧が減少する方向に動く。そして、スイッチング用TF T 1701のしきい値電圧を下回ると、スイッチング用TF T 1701は非導通状態に戻る。スイッチング用TF T 1701がPチャネル型の場合には、各部は以上のような動作をするが、いずれの場合にも、保持容量線1711の電位を上げると、EL駆動用TF T 1702は非導通状態をとる。

10

20

30

40

50

#### 【0056】

以上より、スイッチング用TF T 1701の極性は、Nチャネル型であってもPチャネル型であっても、正常に動作が可能である。

#### 【0057】

なお、本実施形態においては、時間階調方式とデジタル階調方式とを組み合わせた場合を例にとって、本発明の説明を行ってきたが、さらに面積階調方式を組み合わせた場合においても、同様の方法でEL素子を非表示にすることが可能である。

#### 【実施例1】

#### 【0058】

以下に本発明の実施例について記述する。

#### 【0059】

図20(A)に、全体の回路構成の一例を示す。中央に画素部が配置されている。点線枠2000で囲まれた1画素分の回路図を図20(B)に示す。画素部の上側には、ソース信号線側駆動回路が配置されている。画素部の左側には、ゲート信号線側駆動回路が配置されている。画素部の右側には、保持容量線駆動回路が配置されている。

#### 【0060】

タイミングチャートを用いて、実際の駆動方法について説明する。ここでは、デジタル階調と時間階調とを組み合わせた方法で、nビットの階調表現を行う場合において、簡単のため、 $n = 3$ として、 $2^3 = 8$ 階調の表現について述べる。なお、回路図は引き続き図20を参照する。

#### 【0061】

図1は、そのときの各行のゲート信号線と保持容量線の電位のタイミングチャートである。本実施例にて用いる回路においては、スイッチング用TF T 2001にはNチャネル型を用いている。よって、ゲート信号線選択期間においては、ゲート信号線2005の電位は高くなり、スイッチング用TF T 2001が導通状態となる。

#### 【0062】

順を追って説明する。まず、nビットの階調を表現するためには、1フレーム期間をn

個のサブフレーム期間に分割する必要がある。本実施例においては、3ビットであるから、 $SF_1 \sim SF_3$ の3つのサブフレーム期間に分割している。各サブフレーム期間はそれぞれ、アドレス（書き込み）期間 $T_{a_1} \sim T_{a_3}$ 、サステイン（点灯）期間 $T_{s_1} \sim T_{s_3}$ を有している。アドレス（書き込み）期間は、1画面分の書き込みを行うのに要する期間であるから、全て長さは等しい。また、サステイン（点灯）期間の長さは、2のべき乗で変わるようにする。すなわち、図1の場合は、 $T_{s_1} : T_{s_2} : T_{s_3} = 4 : 2 : 1$ となる。

#### 【0063】

ただし、必ずしもサステイン（点灯）期間の長さを2のべき乗の比としなくとも、階調表示は可能である。

#### 【0064】

本実施例のタイミングチャートは、アドレス（書き込み）期間とサステイン（点灯）期間が完全に分離しておらず、かつアドレス（書き込み）期間よりも短いサステイン（点灯）期間を有している。まず、 $SF_1$ にて、1行づつゲート信号線2005が選択され、その間に画素に信号の書き込みが行われる。1行分の書き込みが終了する（ゲート信号線選択期間が終了する）と、その行はサステイン（点灯）期間 $T_{s_1}$ に入る。

#### 【0065】

$SF_1$ でのサステイン（点灯）期間 $T_{s_1}$ の終了後、 $SF_2$ に入り、同様にゲート信号線2005が1行づつ選択され、画素へ信号の書き込みが行われる。この間は、保持容量線2011の電位は一定に保たれている。

#### 【0066】

その後、 $SF_3$ に入る。 $SF_3$ においては、図1に示すように、アドレス（書き込み）期間 $T_{a_3}$ よりも、サステイン（点灯）期間 $T_{s_3}$ が短い。よって、これまでのサブフレーム期間と同様、アドレス（書き込み）期間の終了後にサステイン（点灯）期間に入り、サステイン（点灯）期間の終了後に、直ちに次のサブフレーム期間に入った場合、図2（A）に示すように、 $SF_3$ のアドレス（書き込み）期間 $T_{a_3}$ が終了する前に、次のフレーム期間での $SF_1$ のアドレス（書き込み）期間 $T_{a_1}$ が開始するため、異なるサブフレーム期間のアドレス（書き込み）期間が重複する部分が現れる。この期間は、同時に異なる2列のゲート信号線が選択されることを意味しており、そのようなタイミングでは、正常に画像（映像）の表示を行うことは出来ない。

#### 【0067】

そこで、図2（B）に示すように、 $T_{s_3}$ の終了後からの一定期間（サステイン（点灯）期間が終了した後、次のアドレス（書き込み）期間が開始されるまでの期間）に、保持容量線2011の電位を上げることで、EL素子2003が点灯しない期間を強制的に設ける。この、EL素子2003のクリア期間を、クリア期間（ $T_{c_n}$   $n$ : サブフレームの番号）と表記する。図2（B）において、 $T_{s_3}$ の終了後に $T_{c_3}$ が設けられていることで、 $T_{a_3}$ と次の $T_{a_1}$ の重複が回避出来るため、画像（映像）を正常に表示することが出来る。

#### 【0068】

なお、このクリア期間は、あるサブフレーム期間 $SF_k$ （ $1 \leq k \leq n$ ）において、アドレス（書き込み）期間 $T_{a_k}$ よりも短いサステイン（点灯）期間 $T_{s_k}$ を有するときは、アドレス（書き込み）期間の長さを $t_{a_k}$ 、サステイン（点灯）期間の長さを $t_{s_k}$ 、1ゲート信号線選択期間の長さを $t_g$ （ $t_{a_k}$ 、 $t_{s_k}$ 、 $t_g > 0$ ）として、 $SF_k$ の有するクリア期間の長さを $t_{c_k}$ （ $t_{c_k} > 0$ ）とすると、常に、 $t_{c_k} \geq t_{a_k} - (t_{s_k} + t_g)$ が成立するだけの長さを最低限必要とする。

#### 【実施例2】

#### 【0069】

本実施例においては、実施例1よりも階調数が多く、かつアドレス（書き込み）期間よりも短いサステイン（点灯）期間を複数有する場合の例について述べる。回路は実施例1と同様であるので、引き続き図20を参照する。

#### 【0070】

10

20

30

40

50

本実施例では、5ビット ( $2^5 = 32$ ) 階調の表現について述べる。3ビット階調表現の場合と同様、アドレス (書き込み) 期間  $T_{a_1} \sim T_{a_5}$  は、全て同じ長さであり、サステイン (点灯) 期間  $T_{s_1} \sim T_{s_5}$  は、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} : T_{s_5} = 16 : 8 : 4 : 2 : 1$  としている。うち、 $T_{s_3}$ 、 $T_{s_4}$ 、 $T_{s_5}$  の長さは、アドレス (書き込み) 期間よりも短い。

#### 【0071】

信号の書き込みが終了した後、直ちにEL素子2003の点灯が開始される駆動方法では、サステイン (点灯) 期間が終了した後に、次のアドレス (書き込み) 期間に入ると、図3 (A) に示すように、異なるサブフレーム期間のアドレス (書き込み) 期間が重複する部分が現れる。図中、aで示される範囲においては、 $T_{a_3}$ と $T_{a_4}$ の2つが重複し、bで示される範囲においては、 $T_{a_4}$ と $T_{a_5}$ の2つが重複し、cで示される範囲においては、 $T_{a_4}$ と $T_{a_5}$ と、次のサブフレーム期間における $T_{a_1}$  ( $T_{a_1}'$ と表記) の3つが重複し、dで示される範囲においては、 $T_{a_5}$ と $T_{a_1}'$ の2つが重複する。このように、階調数が増加するほど、最小単位のサステイン (点灯) 期間が短くなるため、3つ以上のアドレス (書き込み) 期間が重複する場合も生ずる。よって、実施例1と同様に、サステイン (点灯) 期間が終了した後、次のアドレス (書き込み) 期間が開始されるまでの間に、図3 (B) に示すようにそれぞれクリア期間 $T_{c_3}$ 、 $T_{c_4}$ 、 $T_{c_5}$ を設ける。これにより、アドレス (書き込み) 期間の重複を回避し、正常な画像 (映像) の表示が出来る。

#### 【実施例3】

#### 【0072】

本実施例においては、同一基板上に、画素部および画素部の周辺に設ける駆動回路のTF T (Nチャネル型TF TおよびPチャネル型TF T) を同時に作製する方法について詳細に説明する。

#### 【0073】

まず、図4 (A) に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で $SiH_4$ 、 $NH_3$ 、 $N_2O$ から作製される酸化窒化シリコン膜5002aを10~200[nm] (好ましくは50~100[nm]) 形成し、同様に $SiH_4$ 、 $N_2O$ から作製される酸化窒化水素化シリコン膜5002bを50~200[nm] (好ましくは100~150[nm]) の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

#### 【0074】

島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~80[nm] (好ましくは30~60[nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( $SiGe$ ) 合金などで形成すると良い。

#### 【0075】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm<sup>2</sup>] (代表的には200~300[mJ/cm<sup>2</sup>]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm<sup>2</sup>] (代表的には350~500[mJ/cm<sup>2</sup>]) とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバー

10

20

30

40

50

ラップ率)を80~98[%]として行う。

【0076】

次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300~400[ ]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm<sup>2</sup>]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500[ ]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

10

【0077】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0078】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は20[μ cm]程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は180[μ cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくことにより、相のTa膜を容易に得ることができる。

20

【0079】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μ cm]を実現することができる。

30

【0080】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

40

【0081】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜

50

及び T a 膜とも同程度にエッチングされる。

#### 【 0 0 8 2 】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパー形状となる。テーパー部の角度は  $15 \sim 45^\circ$  となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$  程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は  $2 \sim 4$  (代表的には  $3$ ) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は  $20 \sim 50 [\text{nm}]$  程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層  $5011 \sim 5016$  (第 1 の導電層  $5011a \sim 5016a$  と第 2 の導電層  $5011b \sim 5016b$ ) を形成する。このとき、ゲート絶縁膜  $5007$  においては、第 1 の形状の導電層  $5011 \sim 5016$  で覆われない領域は  $20 \sim 50 [\text{nm}]$  程度エッチングされ薄くなった領域が形成される (図 4 (A))。

#### 【 0 0 8 3 】

そして、第 1 のドーピング処理を行い N 型を付与する不純物元素を添加する (図 4 (B))。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$  とし、加速電圧を  $60 \sim 100 [\text{keV}]$  として行う。N 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層  $5011 \sim 5015$  が N 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域  $5017 \sim 5025$  が形成される。第 1 の不純物領域  $5017 \sim 5025$  には  $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$  の濃度範囲で N 型を付与する不純物元素を添加する。

#### 【 0 0 8 4 】

次に、図 4 (C) に示すように第 2 のエッチング処理を行う。同様に ICP エッチング法を用い、エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  を混合して、 $1 [\text{Pa}]$  の圧力でコイル型の電極に  $500 [\text{W}]$  の RF ( $13.56 [\text{MHz}]$ ) 電力を供給し、プラズマを生成して行う。基板側 (試料ステージ) には  $50 [\text{W}]$  の RF ( $13.56 [\text{MHz}]$ ) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の導電層である T a を異方性エッチングして第 2 の形状の導電層  $5026 \sim 5031$  (第 1 の導電層  $5026a \sim 5031a$  と第 2 の導電層  $5026b \sim 5031b$ ) を形成する。このとき、ゲート絶縁膜  $5007$  においては、第 2 の形状の導電層  $5026 \sim 5031$  で覆われない領域はさらに  $20 \sim 50 [\text{nm}]$  程度エッチングされ薄くなった領域が形成される。

#### 【 0 0 8 5 】

W 膜や T a 膜の  $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である  $\text{WF}_6$  が極端に高く、その他の  $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$  は同程度である。従って、 $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の  $\text{O}_2$  を添加すると  $\text{CF}_4$  と  $\text{O}_2$  が反応して  $\text{CO}$  と  $\text{F}$  になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、 $\text{O}_2$  を添加することで T a の表面が酸化される。T a の酸化物はフッ素や塩素と反応しないためさらに T a 膜のエッチング速度は低下する。従って、W 膜と T a 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を T a 膜よりも大きくすることが可能となる。

#### 【 0 0 8 6 】

そして、図 5 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として N 型を付与する不純物元素

をドーピングする。例えば、加速電圧を  $70 \sim 120$  [keV] とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>] のドーズ量で行い、図 4 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層  $5026 \sim 5030$  を不純物元素に対するマスクとして用い、第 2 の導電層  $5026a \sim 5030a$  の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 2 の導電層  $5026a \sim 5030a$  と重なる第 3 の不純物領域  $5032 \sim 5041$  と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域  $5042 \sim 5051$  とを形成する。N 型を付与する不純物元素は、第 2 の不純物領域で  $1 \times 10^{17} \sim 1 \times 10^{19}$  [atoms/cm<sup>3</sup>] の濃度となるようにし、第 3 の不純物領域で  $1 \times 10^{16} \sim 1 \times 10^{18}$  [atoms/cm<sup>3</sup>] の濃度となるようにする。

10

#### 【0087】

そして、図 5 (B) に示すように、P チャネル型 TFT を形成する島状半導体層  $5004$ 、 $5006$  に第 1 の導電型とは逆の導電型の第 4 の不純物領域  $5052 \sim 5063$  を形成する。第 2 の導電層  $5027b$ 、 $5030b$  を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、N チャネル型 TFT を形成する島状半導体層  $5003$ 、 $5005$  はレジストマスク  $5200$  で全面を被覆しておく。不純物領域  $5052 \sim 5063$  にはそれぞれ異なる濃度でリンが添加されているが、ジボラン ( $B_2H_6$ ) を用いたイオンドーブ法で形成し、そのいずれの領域においても不純物濃度を  $2 \times 10^{20} \sim 2 \times 10^{21}$  [atoms/cm<sup>3</sup>] となるようにする。

20

#### 【0088】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 2 の導電層  $5026 \sim 5030$  がゲート電極として機能する。また、 $5031$  は島状のソース信号線として機能する。

#### 【0089】

こうして導電型の制御を目的として図 5 (C) に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が  $1$  [ppm] 以下、好ましくは  $0.1$  [ppm] 以下の窒素雰囲気中で  $400 \sim 700$  [°C]、代表的には  $500 \sim 600$  [°C] で行うものであり、本実施例では  $500$  [°C] で 4 時間の熱処理を行う。ただし、 $5026 \sim 5031$  に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

30

#### 【0090】

さらに、 $3 \sim 100$  [%] の水素を含む雰囲気中で、 $300 \sim 450$  [°C] で  $1 \sim 12$  時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

#### 【0091】

次いで、図 6 (A) に示すように、第 1 の層間絶縁膜  $5064$  を酸化窒化シリコン膜から  $100 \sim 200$  [nm] の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜  $5065$  を形成した後、第 1 の層間絶縁膜  $5064$ 、第 2 の層間絶縁膜  $5065$ 、およびゲート絶縁膜  $5007$  に対してコンタクトホールを形成し、各配線 (接続配線、信号線を含む)  $5066 \sim 5071$ 、 $5073$  をパターンニング形成した後、接続配線  $5071$  に接する画素電極  $5072$  をパターンニング形成する。

40

#### 【0092】

第 2 の層間絶縁膜  $5065$  としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することが出来る。特に、第 2 の層間絶縁膜  $5065$  は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは  $1 \sim 5$  [ $\mu$ m] (さらに好ましくは  $2 \sim$

50



4 [μm] ) とすれば良い。

【 0 0 9 3 】

コンタクトホール形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017~5021および5023~5025またはP型の不純物領域5052~5063に達するコンタクトホール、配線5031に達するコンタクトホール、電流供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【 0 0 9 4 】

また、配線(接続配線、信号線を含む)5066~5071、5073として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【 0 0 9 5 】

また、本実施例では、画素電極5072としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5072を接続配線5071と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5072がEL素子の陽極となる(図6(A))。

【 0 0 9 6 】

次に、図6(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5072に対応する位置に開口部を形成して第3の層間絶縁膜5074を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとき段差に起因するEL層の劣化が顕著な問題となってしまう。

【 0 0 9 7 】

次に、EL層5075および陰極(MgAg電極)5076を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5075の膜厚は80~200[nm](典型的には100~120[nm])、陰極5076の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【 0 0 9 8 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【 0 0 9 9 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層および陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層および陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層および陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層および陰極を形成するまで真空を破らずに処理することが好ましい。

【 0 1 0 0 】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【 0 1 0 1 】

なお、EL層5075としては公知の材料を用いることが出来る。公知の材料としては

、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる４層構造をＥＬ層とすれば良い。また、本実施例ではＥＬ素子の陰極としてＭｇＡｇ電極を用いた例を示すが、公知の他の材料であっても良い。

【０１０２】

次いで、ＥＬ層および陰極を覆って保護電極５０７７を形成する。この保護電極５０７７としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極５０７７はＥＬ層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、ＥＬ層および陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【０１０３】

最後に、窒化珪素膜でなるパッシベーション膜５０７８を３００[nm]の厚さに形成する。実際には保護電極５０８８がＥＬ層を水分等から保護する役割を果たすが、さらにパッシベーション膜５０７８を形成しておくことで、ＥＬ素子の信頼性をさらに高めることが出来る。

【０１０４】

こうして図６（Ｂ）に示すような構造のアクティブマトリクス型電子装置が完成する。なお、本実施例におけるアクティブマトリクス型電子装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるＴａ、Ｗによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるＡｌによってゲート信号線を形成しているが、異なる材料を用いても良い。

【０１０５】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のＴＦＴを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてＮｉ等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を１０[MHz]以上にすることが可能である。

【０１０６】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するＴＦＴを、駆動回路部を形成するＣＭＯＳ回路のＮチャネル型ＴＦＴとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【０１０７】

本実施例の場合、Ｎチャネル型ＴＦＴの活性層は、ソース領域、ドレイン領域、ＧＯＬＤ領域、ＬＤＤ領域およびチャネル形成領域を含み、ＧＯＬＤ領域はゲート絶縁膜を介してゲート電極と重なっている。

【０１０８】

また、ＣＭＯＳ回路のＰチャネル型ＴＦＴは、ホットキャリア注入による劣化が殆ど気にならないので、特にＬＤＤ領域を設けなくても良い。勿論、Ｎチャネル型ＴＦＴと同様にＬＤＤ領域を設け、ホットキャリア対策を講じることも可能である。

【０１０９】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなＣＭＯＳ回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなＣＭＯＳ回路が用いられる場合、ＣＭＯＳ回路を形成するＮチャネル型ＴＦＴは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でＬＤＤ領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるＣＭＯＳ回路が用いられる場合、ＣＭＯＳ回路を形成するＮチャネル型ＴＦＴは、ＬＤＤ領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【０１１０】

なお、実際には図６（Ｂ）の状態まで完成したら、さらに外気に曝されないように、気

10

20

30

40

50

密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとＥＬ素子の信頼性が向上する。

【０１１１】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では電子装置という。

【０１１２】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を５枚（島状半導体層パターン、第１配線パターン（ゲート配線、島状のソース配線、容量配線）、ｎチャネル領域のマスクパターン、コンタクトホールパターン、第２配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【実施例４】

【０１１３】

本実施例においては、本発明の電子装置を作製した例について説明する。

【０１１４】

図７（Ａ）は本発明を用いた電子装置の上面図であり、図７（Ａ）をＸ－Ｘ'面で切断した断面図を図７（Ｂ）に示す。図７（Ａ）において、４００１は基板、４００２は画素部、４００３はソース信号線側駆動回路、４００４はゲート信号線側駆動回路であり、それぞれの駆動回路は配線４００５、４００６、４００７を経てＦＰＣ４００８に至り、外部機器へと接続される。

【０１１５】

このとき、画素部においては、好ましくは駆動回路および画素部を囲むようにしてカバー材４００９、密封材４０１０、シーリング材（ハウジング材ともいう）４０１１（図７（Ｂ）に図示）が設けられている。

【０１１６】

また、図７（Ｂ）は本実施例の電子装置の断面構造であり、基板４００１、下地膜４０１２の上に駆動回路用ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを組み合わせたＣＭＯＳ回路を図示している）４０１３および画素部用ＴＦＴ４０１４（但し、ここではＥＬ素子への電流を制御するＥＬ駆動用ＴＦＴだけ図示している）が形成されている。これらのＴＦＴは公知の構造（トップゲート構造あるいはボトムゲート構造）を用いれば良い。

【０１１７】

公知の作製方法を用いて駆動回路用ＴＦＴ４０１３、画素部用ＴＦＴ４０１４が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）４０１５の上に画素部用ＴＦＴ４０１４のドレインと電氣的に接続する透明導電膜でなる画素電極４０１６を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ＩＴＯと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極４０１６を形成したら、絶縁膜４０１７を形成し、画素電極４０１６上に開口部を形成する。

【０１１８】

次に、ＥＬ層４０１８を形成する。ＥＬ層４０１８は公知のＥＬ材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、ＥＬ材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【０１１９】

10

20

30

40

50

本実施例では、シャドウマスクを用いて蒸着法によりE L層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層および青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（C C M）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置とすることもできる。

#### 【0120】

E L層4018を形成したら、その上に陰極4019を形成する。陰極4019とE L層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でE L層4018と陰極4019を連続成膜するか、E L層4018を不活性雰囲気10  
で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

#### 【0121】

なお、本実施例では陰極4019として、L i F（フッ化リチウム）膜とA l（アルミニウム）膜の積層構造を用いる。具体的にはE L層4018上に蒸着法で1[nm]厚のL i F（フッ化リチウム）膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるM g A g電極を用いても良い。そして陰極4019は4  
020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してF P C  
4008に接続される。20

#### 【0122】

4020に示された領域において陰極4019と配線4007とを電氣的に接続するために、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（E L層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。30

#### 【0123】

このようにして形成されたE L素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。30

#### 【0124】

さらに、E L素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

#### 【0125】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、P V C（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、P V B（ポリビニルブチラル）またはE V A（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、E L層の劣化を抑えても良い。40

#### 【0126】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをB a Oなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

#### 【0127】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。50

## 【 0 1 2 8 】

また、カバー材 4 0 0 9 としては、ガラス板、アルミニウム板、ステンレス板、F R P (Fiberglass-Reinforced Plastics) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 4 0 2 3 として P V B や E V A を用いる場合、数十 [  $\mu\text{m}$  ] のアルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

## 【 0 1 2 9 】

但し、E L 素子からの発光方向 ( 光の放射方向 ) によっては、カバー材 4 0 0 9 が透光性を有する必要がある。

## 【 0 1 3 0 】

また、配線 4 0 0 7 はシーリング材 4 0 1 1 および密封材 4 0 1 0 と基板 4 0 0 1 との隙間を通して F P C 4 0 0 8 に電氣的に接続される。なお、ここでは配線 4 0 0 7 について説明したが、他の配線 4 0 0 5、4 0 0 6 も同様にしてシーリング材 4 0 1 1 および密封材 4 0 1 0 の下を通して F P C 4 0 0 8 に電氣的に接続される。

## 【 0 1 3 1 】

なお本実施例では、充填材 4 0 2 3 を設けてからカバー材 4 0 0 9 を接着し、充填材 4 0 2 3 の側面 ( 露呈面 ) を覆うようにシーリング材 4 0 1 1 を取り付けられているが、カバー材 4 0 0 9 およびシーリング材 4 0 1 1 を取り付けってから、充填材 4 0 2 3 を設けても良い。この場合、基板 4 0 0 1、カバー材 4 0 0 9 およびシーリング材 4 0 1 1 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (  $10^{-2}$  [ Torr ] 以下 ) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

## 【 実施例 5 】

## 【 0 1 3 2 】

ここで本発明の電子装置における画素部のさらに詳細な断面構造を図 8 に示す。

## 【 0 1 3 3 】

図 8 において、基板 4 5 0 1 上に設けられたスイッチング用 T F T 4 5 0 2 は本実施例では N チャネル型 T F T を用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に 2 つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、P チャネル型 T F T を用いて形成しても構わない。

## 【 0 1 3 4 】

また、E L 駆動用 T F T 4 5 0 3 は N チャネル型 T F T を用いる。スイッチング用 T F T 4 5 0 2 のドレイン配線 4 5 0 4 は配線 ( 図示せず ) によって E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 に電氣的に接続されている。

## 【 0 1 3 5 】

ところで、電子装置の駆動電圧が高い (  $10$  [ V ] 以上 ) 場合には、駆動回路を構成する T F T が、特に N チャネル型においてホットキャリア等による劣化の危険性が高いため、実施例 3 の図 6 ( B ) に示すように、N チャネル型 T F T のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重なる位置に L D D 領域 ( G O L D 領域 ) を設ける構造が極めて有効となる。対して、駆動電圧が低い (  $10$  [ V ] 以下 ) 場合には、ホットキャリアによる劣化の心配はほとんど無いため、本実施例の図 8 にて示すように、特に G O L D 領域を設ける必要はない。ただし、画素部におけるスイッチング用 T F T 4 5 0 2 には、O F F 電流を低く抑えるために、N チャネル型 T F T のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重ならない位置に L D D 領域を設ける構造が極めて有効となる。このとき、E L 駆動用 T F T 4 5 0 3 に関しては、特に L D D 領域を設ける必要性は無いが、スイッチング用 T

10

20

30

40

50

F T 4 5 0 2 に L D D 領域を形成する際に、E L 駆動用 T F T 4 5 0 3 の部分をレジストで覆うためには専用のマスクが必要となる。よって、本実施例においては、マスク枚数の増加を避けるため、E L 駆動用 T F T 4 5 0 3 を、スイッチング用 T F T 4 5 0 2 と同じ構造 ( L D D 領域を有する構造 ) で形成した。

【 0 1 3 6 】

ここで、本実施例にて示す構造を有する T F T の作成工程について述べる。説明には図 9 を参照する。

【 0 1 3 7 】

実施例 3 にしたがって、図 4 ( B ) の状態まで終了したものを図 9 ( A ) に示す。ここまでの工程で、第 1 の不純物領域 4 7 0 1 ~ 4 7 0 5 が形成される。続いて、T a 膜からなる第 1 の導電膜、W 膜からなる第 2 の導電膜を、図 9 ( B ) に示すようにエッチングし、図 9 ( A ) で島状半導体層に形成された第 1 の不純物領域の内側に、第 1 の不純物領域よりも低濃度である第 2 の不純物領域 4 7 0 6 ~ 4 7 1 1 を形成する。ここで形成された第 2 の不純物領域 4 7 0 6 ~ 4 7 1 1 は前述の L D D 領域となる。

10

【 0 1 3 8 】

以後は、再び実施例 3 にしたがって、図 5 ( B ) 以降で示される工程を経て、アクティブマトリクス基板を完成させれば良い。

【 0 1 3 9 】

また、本実施例では E L 駆動用 T F T 4 5 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列に接続したマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

20

【 0 1 4 0 】

また、E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 を含む配線 ( 図示せず ) は、E L 駆動用 T F T 4 5 0 3 のドレイン配線 4 5 1 2 と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量は E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 にかかる電圧を保持する機能を有する。

【 0 1 4 1 】

スイッチング用 T F T 4 5 0 2 および E L 駆動用 T F T 4 5 0 3 の上には第 1 の層間絶縁膜 4 5 1 4 が設けられ、その上に樹脂絶縁膜でなる第 2 の層間絶縁膜 4 5 1 5 が形成される。

30

【 0 1 4 2 】

4 5 1 7 は反射性の高い導電膜でなる画素電極 ( E L 素子の陰極 ) であり、E L 駆動用 T F T 4 5 0 3 のドレイン領域に一部が覆い被さるように形成され、電氣的に接続される。画素電極 4 5 1 7 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【 0 1 4 3 】

次に有機樹脂膜 4 5 1 6 を画素電極 4 5 1 7 上に形成し、画素電極 4 5 1 7 に面する部分をパターンングした後、E L 層 4 5 1 9 が形成される。なおここでは図示していないが、R ( 赤 )、G ( 緑 )、B ( 青 ) の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン ( P P V ) 系、ポリビニルカルバゾール ( P V K ) 系、ポリフルオレン系などが挙げられる。

40

【 0 1 4 4 】

なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer : " Polymers for Light Emitting Diodes ", Euro Display, Proceedings, 1999, p.33-37」や特開平 1 0 - 9 2 5 7 6 号公報に記載されたような材料を用いれば良い。

【 0 1 4 5 】

50

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150[nm]（好ましくは40～100[nm]）とすれば良い。

【0146】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光およびそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0147】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0148】

陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522および陽極4523で形成された保持容量とを指す。

【0149】

ところで、本実施例では、陽極4523の上にさらにパッシベーション膜4524を設けている。パッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

【0150】

以上のように本実施例において説明してきた電子装置は図8のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFETと、ホットキャリア注入に強いEL駆動用TFETとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

【0151】

本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTFETが形成された基板の逆方向に向かって放射される。

【実施例6】

【0152】

本実施例においては、実施例5の図8に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図10を用いる。なお、図8の構造と異なる点はEL素子の部分とTFET部分だけであるので、その他の説明は省略することとする。

【0153】

図10において、スイッチング用TFET4502は実施例5にて記述した方法で形成されたNチャネル型TFETを用いる。EL駆動用TFET4503は公知の方法で形成されたPチャネル型TFETを用いる。ここで、スイッチング用TFETとEL駆動用TFETとは、その極性の同じ物を用いることが望ましい。

【0154】

本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0155】

そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる

10

20

30

40

50

電子注入層 4 5 2 9、アルミニウム合金でなる陰極 4 5 3 0 が形成される。

【 0 1 5 6 】

その後、実施例 5 と同様に、有機 E L 材料の酸化を防止するためのパッシベーション膜 4 5 3 2 が形成され、こうして E L 素子 4 5 3 1 が形成される。

【 0 1 5 7 】

本実施例において説明した構造を有する E L 素子の場合、発光層 4 5 2 8 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

【実施例 7】

【 0 1 5 8 】

本発明の駆動方法を実施するには、図 1 7 に示したように、画素部に保持容量線 1 7 1 1 を配置する必要がある。このような構造では、図 1 6 に示したような、保持容量 1 6 0 4 の一方の端子を電流供給線 1 6 0 7 に接続した構造の画素部と比べて、配線数が増加するため、開口率の面で不利となる。よって本実施例においては、電流供給線をゲート信号線で共用することにより、画素部の配線数を減らした構造の画素を用いて、本発明の駆動方法を実施する例について述べる。なお、本実施例にて示す、電流供給線とゲート信号線との共用構造を有する画素に関しては、特願 2 0 0 0 - 0 8 7 6 8 3 に記載されているものを用いる。

【 0 1 5 9 】

図 1 1 を参照する。図 1 1 は、電流供給線とゲート信号線との共用構造を有する画素を用いて、本発明の駆動方法を実施するための回路構成例である。基板 1 1 5 0 の中央部に画素部 1 1 5 4 が配置されている。画素部 1 1 5 4 の上側には、ソース信号線側駆動回路 1 1 5 1 が配置されている。画素部 1 1 5 4 の左側には、ゲート信号線側駆動回路 1 1 5 1 1 5 2 が配置されている。画素部の右側には、保持容量線駆動回路 1 1 5 3 が配置されている。図 1 1 ( B ) は、この 1 画素分の回路図である。1 1 0 1 はスイッチング用 T F T、1 1 0 2 は E L 駆動用 T F T、1 1 0 3 は E L 素子、1 1 0 4 は保持容量、1 1 0 5 はゲート信号線、1 1 0 6 はゲート信号線 1 1 0 5 の 1 行前のゲート信号線、1 1 0 7 はソース信号線、1 1 0 8 は保持容量線である。

【 0 1 6 0 】

構造上の特徴は、E L 駆動用 T F T 1 1 0 2 のソース領域とドレイン領域のうちの一方が、1 行前のゲート信号線 1 1 0 6 に接続されている点である。図 1 1 0 ( B ) において、ゲート信号線 1 1 0 6 が  $k - 1$  行目、ゲート信号線 1 1 0 5 が  $k$  行目に走査されるとすると、まず  $k - 1$  行目のゲート信号線 1 1 0 6 の走査があり、それが終了したのち、直ちに  $k$  行目のゲート信号線 1 1 0 5 の走査が行われるが、 $k$  行目のゲート信号線 1 1 0 5 の走査中は、 $k - 1$  行目のゲート信号線 1 1 0 6 は既に走査は終了し、一定電位となっている。この点に着目し、 $k$  行目のゲート信号線 1 1 0 5 によって制御される E L 素子 1 1 0 3 への電流の供給を、 $k - 1$  行目のゲート信号線 1 1 0 6 を利用して行うというものである。

【 0 1 6 1 】

ところで、E L 駆動用 T F T 1 1 0 2 は、N チャネル型、P チャネル型のいずれの極性のものを用いても良い。ただし前述のように、ソース接地のよいこと、E L 素子の構造上の制約などの点を考慮すると、P チャネル型を用いることが望ましい。本実施例では、E L 駆動用 T F T 1 1 0 2 は P チャネル型を用いるものとして説明する。

【 0 1 6 2 】

また、理由は後述するが、スイッチング用 T F T 1 1 0 1 は、この場合 E L 駆動用 T F T 1 1 0 2 と同じ極性の T F T を用いる必要がある。

【 0 1 6 3 】

以下に、実際の駆動に関する説明を行う。図 1 2、図 1 3 にタイミングチャートを示す。例は 3 ビット階調の表示であり、サステイン（点灯）期間  $T_{s_3}$  は、アドレス（書き込み）期間よりも短い。実施例 1 の回路と、本実施例の回路では、画素部の構造に相違があるが、アドレス（書き込み）期間の重複を回避するため、保持容量線 1 1 0 8 の電位を上



げることによりクリア期間（クリア期間）を設けるというように、実施例１にて説明した通りの駆動が可能である。k - 1 行目のゲート信号線 1 1 0 6 は、選択期間終了後に一定電位となり、次の選択期間が来るまでの期間、k 行目のゲート信号線 1 1 0 5 によって制御される E L 素子 1 1 0 3 に電流の供給を行う。

【 0 1 6 4 】

ここで、先の T F T の極性に関して述べる。前に、スイッチング用 T F T 1 1 0 1 と E L 駆動用 T F T 1 1 0 2 の極性は同じくする必要があると述べた。つまり本実施例の場合では、E L 駆動用 T F T 1 1 0 2 は P チャネル型を用いているから、スイッチング用 T F T 1 1 0 1 も P チャネル型とする必要があるということである。仮にスイッチング用 T F T 1 1 0 1 がここで N チャネル型であったとすると、このスイッチング用 T F T 1 1 0 1 を導通させるには、スイッチング用 T F T 1 1 0 1 のゲート電極に H i 信号が入力されなければならない。つまり、ゲート信号線 1 1 0 5、1 1 0 6 は、選択状態のとき H i 電位、非選択状態のとき L O 電位となる。E L 駆動用 T F T 1 1 0 2 は P チャネル型であるから、E L 素子 1 1 0 3 に電流を供給するには、E L 素子の陽極 1 1 1 0 よりも、E L 駆動用 T F T 1 1 0 2 のソース側、つまりゲート信号線 1 1 0 6 の電位が高くなっていなければならない。よって、前述のように、スイッチング用 T F T 1 1 0 1 が N チャネル型の場合、それを駆動するようなゲート信号線の電位の取り方では、非選択期間において L O 電位を取るため、E L 素子 1 1 0 3 に電流の供給を行うことが出来なくなる。よって E L 駆動用 T F T 1 1 0 2 が P チャネル型の場合は、スイッチング用 T F T 1 1 0 1 も P チャネル型とする必要がある。

10

20

【 0 1 6 5 】

なお、本実施例の回路構成において、k 行目のゲート信号線 1 1 0 5 によって制御される画素の E L 素子 1 1 0 3 への電流の供給は、k - 1 行目のゲート信号線 1 1 0 6 に接続することで行っているが、非選択状態にあるゲート信号線であれば、どのゲート信号線を用いても同様の駆動は可能である。ゲート信号線の信号波形のなまりが生ずる場合等を考えると、隣接しているゲート信号線ではなく、1 列以上の間を空けたゲート信号線によって電流供給を行うのが望ましいが、接続用の配線が増加することで開口率の低下を招くため、これらは回路構成、T F T 素子の特性等により、最良の方法を選択すれば良い。

【 実施例 8 】

【 0 1 6 6 】

本発明において、保持容量線の電位を制御する保持容量線駆動回路は、実施例１の例では独立した回路を配置する構成をとっているが、図 2 1 ( A ) に示すように、1 つの回路として構成しても良い。ところで、ゲート信号線側駆動回路は、画素部の両側に配置するのが駆動する上では望ましい。よって、図 2 1 ( B ) に示すように、ゲート信号線側駆動回路と保持容量線駆動回路とを 1 つの回路として構成し、両側配置としても良い。

30

【 実施例 9 】

【 0 1 6 7 】

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

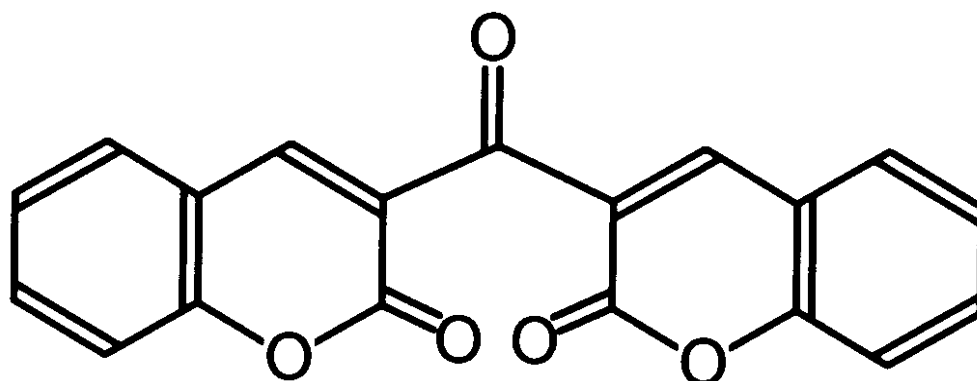
40

【 0 1 6 8 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。  
( T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, ( Elsevier Sci. Pub., Tokyo, 1991 ) p. 437. )  
上記の論文により報告された E L 材料（クマリン色素）の分子式を以下に示す。

【 0 1 6 9 】

【化 1】



10

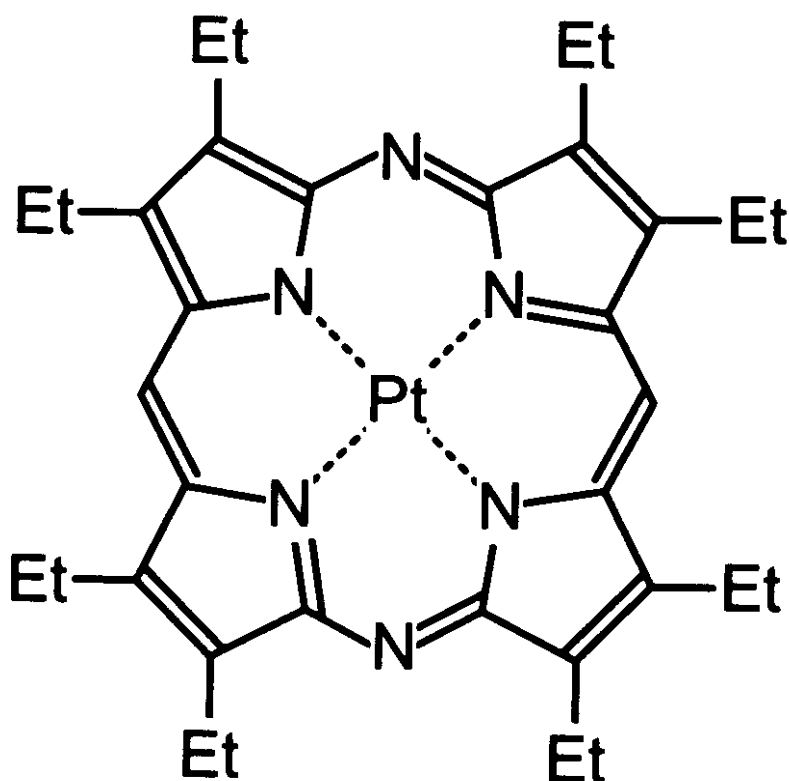
【 0 1 7 0】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告された E L 材料 ( P t 錯体 ) の分子式を以下に示す。

【 0 1 7 1】

【化 2】



20

30

40

【 0 1 7 2】

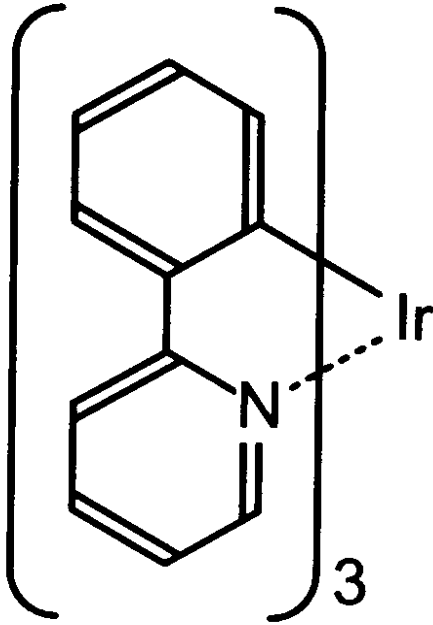
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された E L 材料 ( I r 錯体 ) の分子式を以下に示す。

【 0 1 7 3】

## 【化 3】



10

20

## 【0174】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組みあわせて実施することが可能である。

## 【実施例10】

## 【0175】

本発明の電子装置の駆動方法を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のELディスプレイの表示部において本発明の電子装置の駆動方法を用いると良い。

30

## 【0176】

なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の電子装置の駆動方法を用いることが出来る。

## 【0177】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図22および図23に示す。

40

## 【0178】

図22（A）はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置および駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイ

50

よりも薄い表示部とすることが出来る。

【0179】

図22(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置および駆動方法は表示部3312にて用いることが出来る。

【0180】

図22(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置および駆動方法は表示装置3326にて用いることが出来る。

10

【0181】

図22(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の電子装置および駆動方法はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0182】

図22(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置および駆動方法は表示部3342にて用いることが出来る。

20

【0183】

図22(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置および駆動方法は表示部3353にて用いることが出来る。

【0184】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0185】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

30

【0186】

また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

40

【0187】

図23(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の電子装置および駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0188】

図23(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の電子装置および駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景

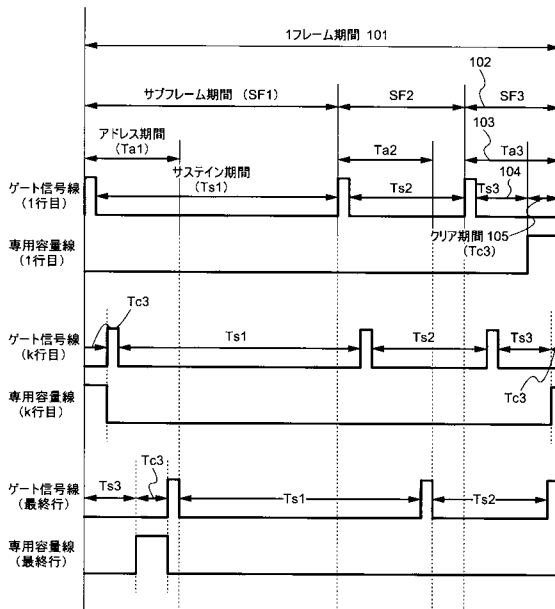
50

に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

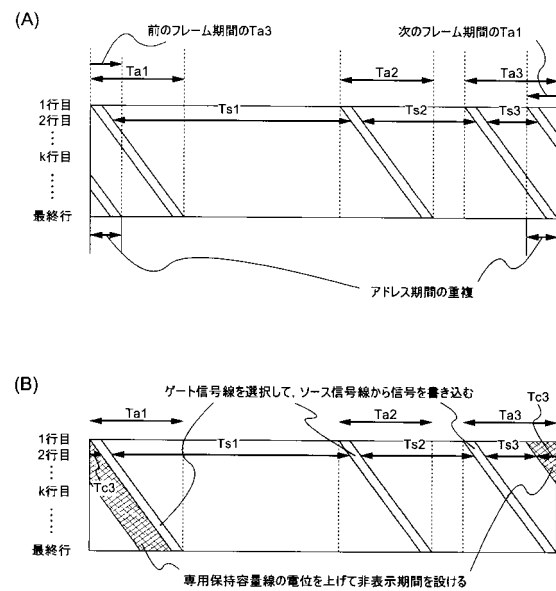
【0189】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例9に示したいずれの構成を適用しても良い。

【図1】



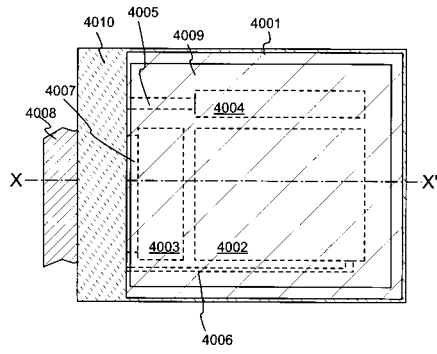
【図2】



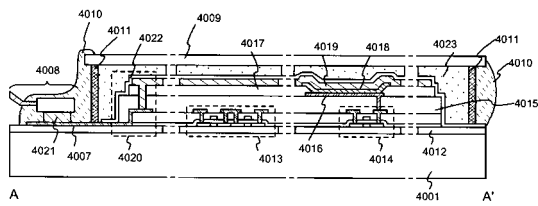


【図 7】

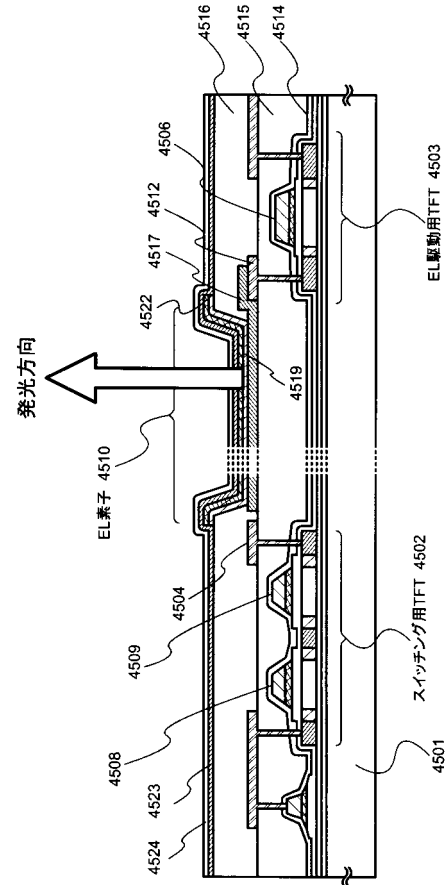
(A)



(B)

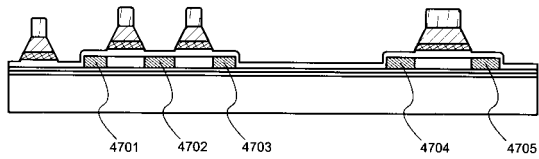


【図 8】

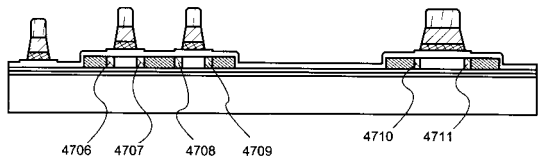


【図 9】

(A) 第1のエッチング処理, 第1のドーピング処理

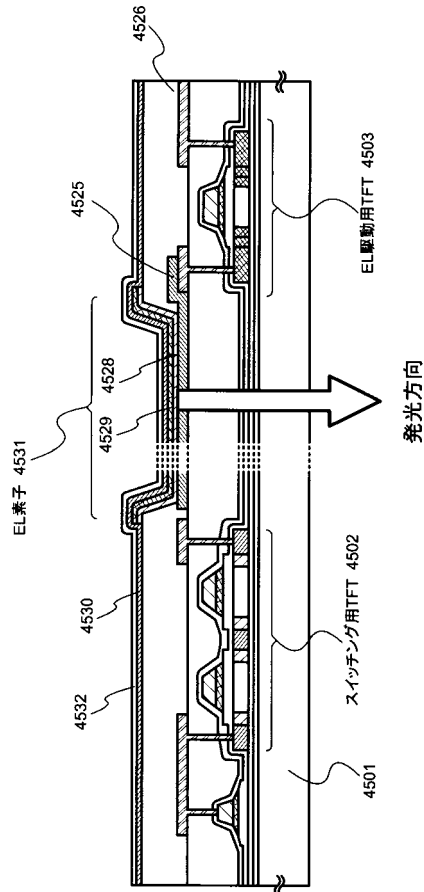


(B) 第2のエッチング処理, 第2のドーピング処理



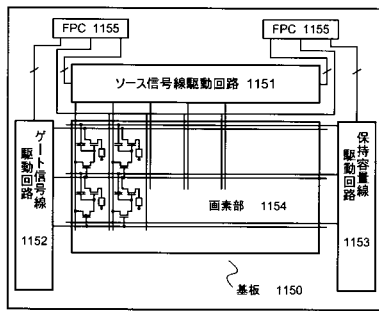
4701, 4702, 4703, 4704, 4705 : 第1の不純物領域  
 4706, 4707, 4708, 4709, 4710, 4711 : 第2の不純物領域(LDD領域)

【図 10】

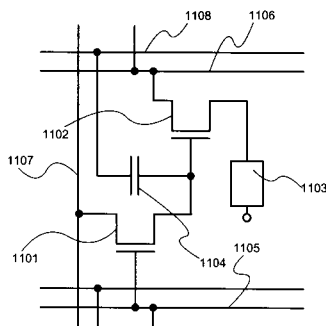


【図 1 1】

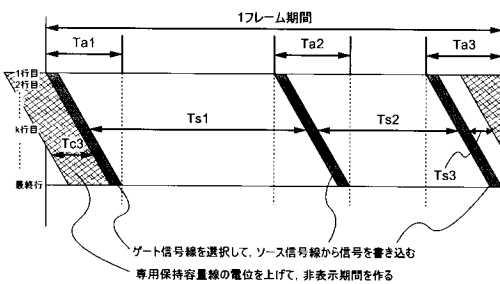
(A)



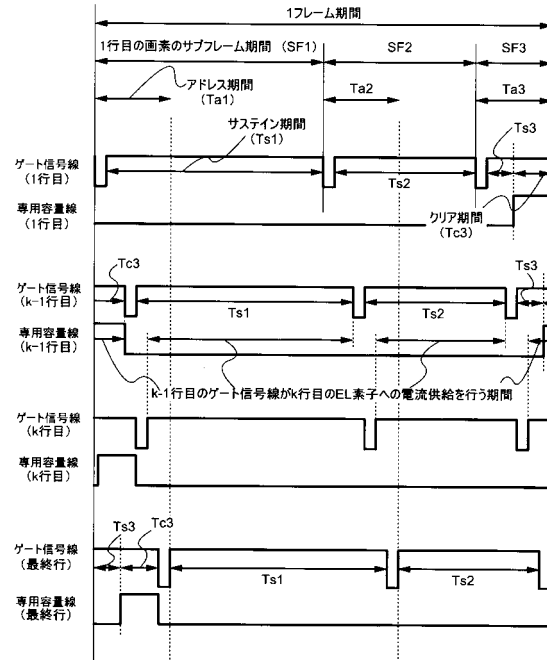
(B)



【図 1 3】

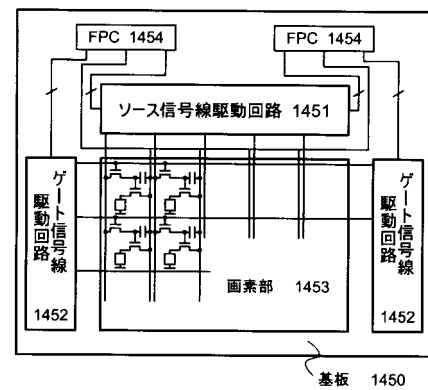


【図 1 2】

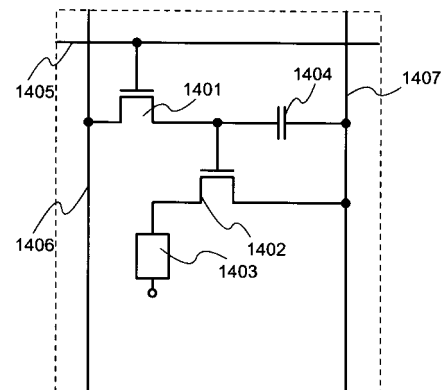


【図 1 4】

(A)

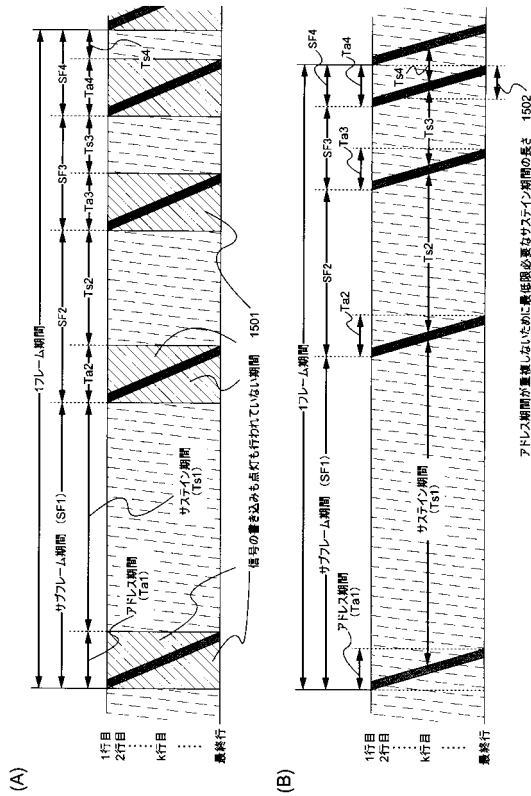


(B)

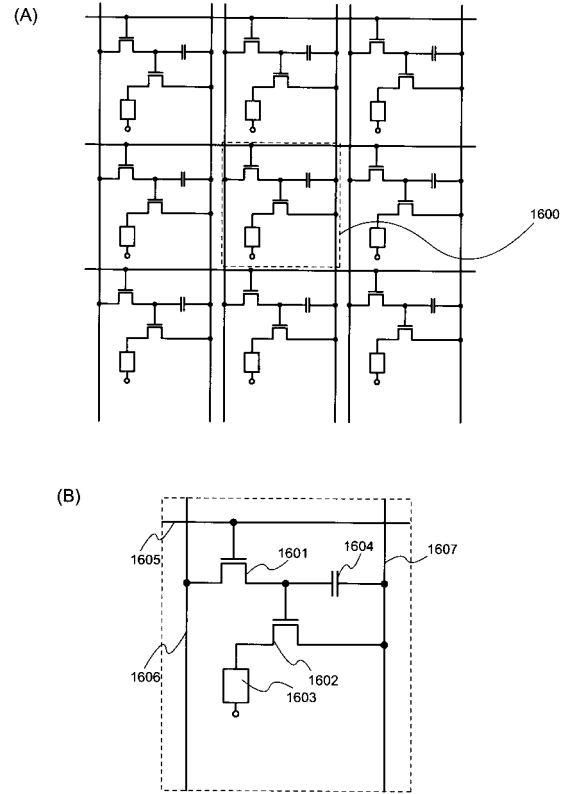




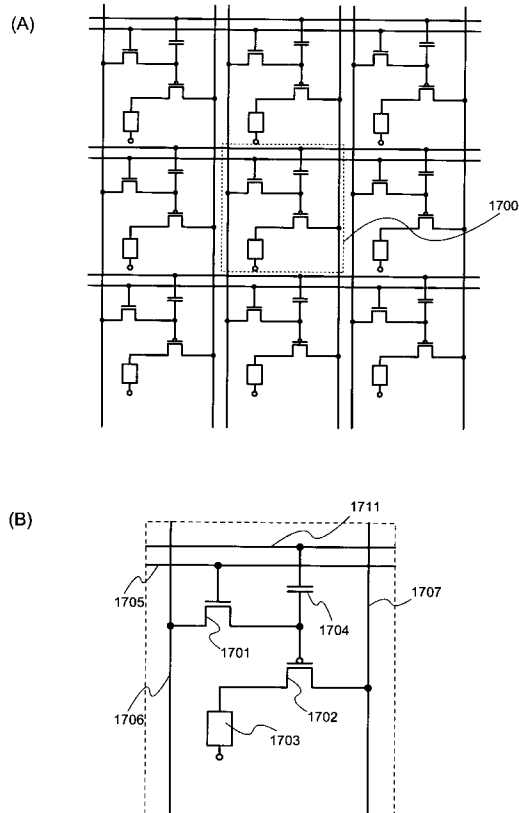
【図 15】



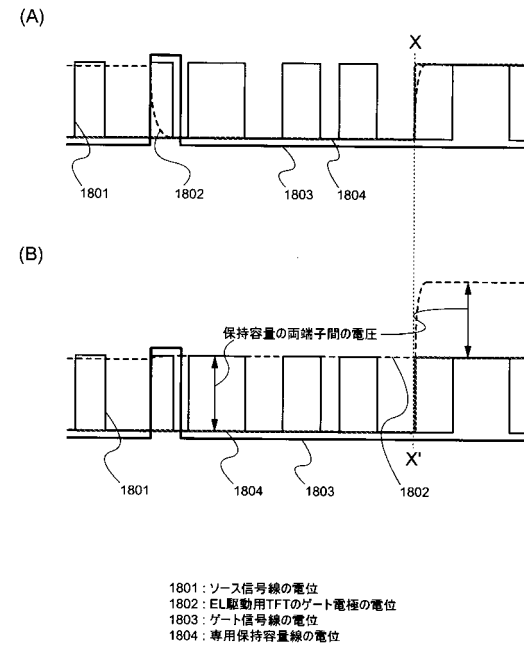
【図 16】



【図 17】

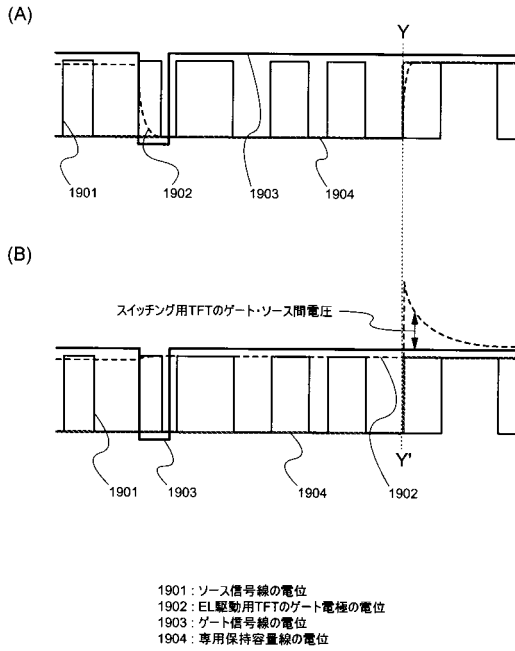


【図 18】

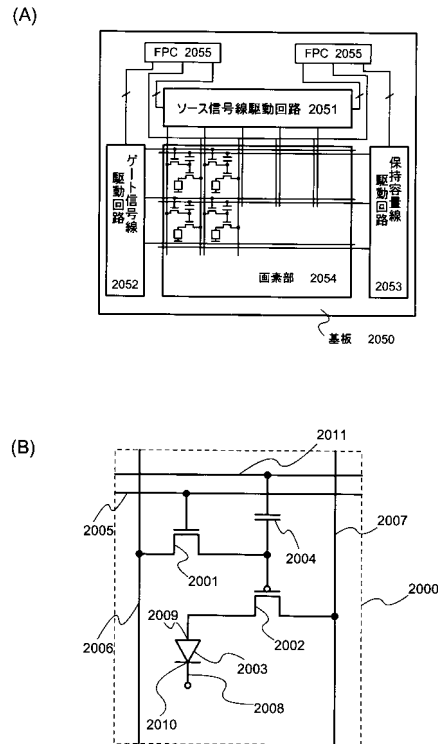


1801: ソース信号線の電位  
 1802: EL駆動用TFTのゲート電極の電位  
 1803: ゲート信号線の電位  
 1804: 専用保持容量線の電位

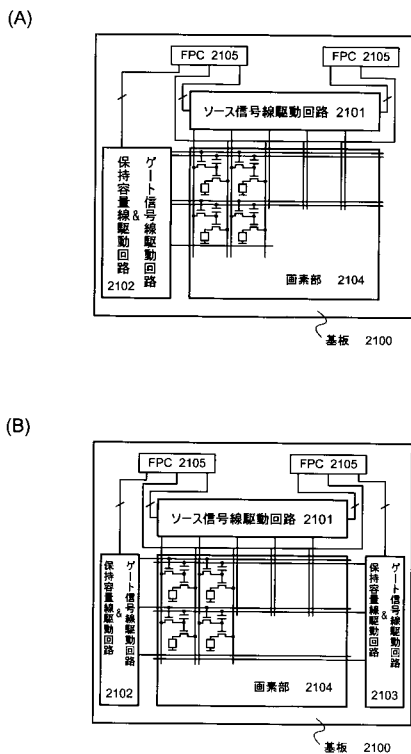
【図 19】



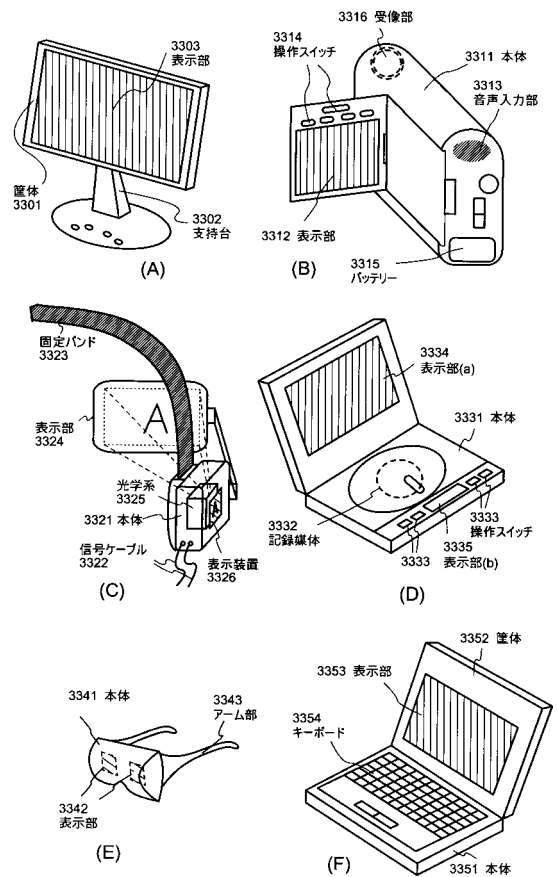
【図 20】



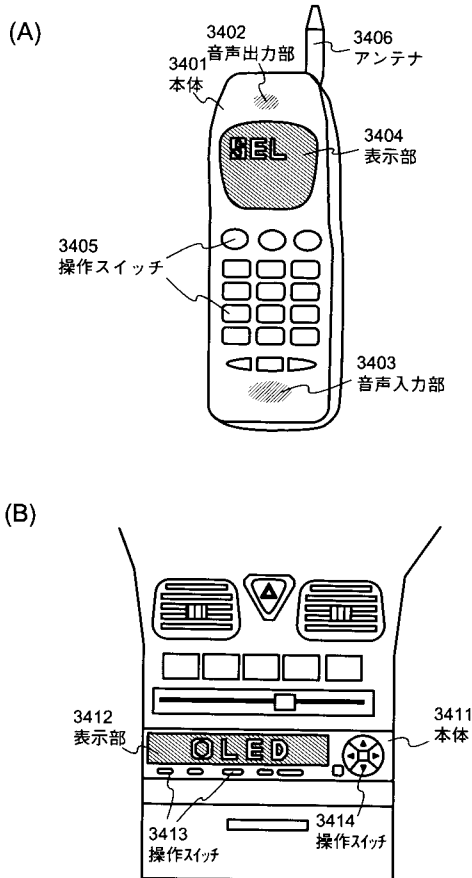
【図 21】



【図 22】



【図 2 3】



## 【手続補正書】

【提出日】平成23年9月26日(2011.9.26)

## 【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2の画素を有する発光装置であって、  
 前記第1および第2の画素は、第1の基板の上に設けられ、  
 前記第1および第2の画素は、それぞれ、第1及び第2のトランジスタと、容量素子と、  
 発光素子とを有し、

前記第1の画素の前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、

前記第1の画素の前記第1のトランジスタの第2の端子は、前記第1の画素の前記第2のトランジスタのゲートと電氣的に接続され、

前記第1の画素の前記第1のトランジスタのゲートは、第2の配線と電氣的に接続され、

前記第1の画素の前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、

前記第1の画素の前記第2のトランジスタの第2の端子は、前記第1の画素の前記発光素子の第1の電極と電氣的に接続され、

前記第1の画素の前記容量素子の第1の端子は、前記第1の画素の前記第2のトランジスタのゲートと電氣的に接続され、

前記第1の画素の前記容量素子の第2の端子は、第4の配線と電氣的に接続され、

前記第 2 の画素の前記第 1 のトランジスタの第 1 の端子は、第 5 の配線と電氣的に接続され、

前記第 2 の画素の前記第 1 のトランジスタの第 2 の端子は、前記第 2 の画素の前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 の画素の前記第 1 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 2 の画素の前記第 2 のトランジスタの第 1 の端子は、第 6 の配線と電氣的に接続され、

前記第 2 の画素の前記第 2 のトランジスタの第 2 の端子は、前記第 2 の画素の前記発光素子の第 1 の電極と電氣的に接続され、

前記第 2 の画素の前記容量素子の第 1 の端子は、前記第 2 の画素の前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 の画素の前記容量素子の第 2 の端子は、前記第 4 の配線と電氣的に接続され、

前記第 1 の画素の前記発光素子の第 2 の電極は、前記第 2 の画素の前記発光素子の第 2 の電極と電氣的に接続され、

前記第 2 の配線と、前記第 4 の配線とは、平行に設けられ、

前記第 1 の配線は、前記第 2 の配線及び前記第 4 の配線と、交差して設けられ、

前記第 5 の配線は、前記第 2 の配線及び前記第 4 の配線と、交差して設けられ、

前記第 3 の配線は、前記第 2 の配線及び前記第 4 の配線と、交差して設けられ、

前記第 6 の配線は、前記第 2 の配線及び前記第 4 の配線と、交差して設けられ、

前記第 1 の配線と、前記第 5 の配線とは、映像信号を伝えることができる機能を有し、

前記第 3 の配線と、前記第 6 の配線とは、電源電圧を伝えることができる機能を有し、

前記第 2 の配線は、選択信号を伝えることができる機能を有し、

前記第 4 の配線は、前記第 1 および第 2 の画素の前記容量素子に電圧を供給することができる機能を有し、

前記第 2 の配線は、前記選択信号を供給することができる機能を有する回路と電氣的に接続され、

前記第 4 の配線は、前記第 1 および第 2 の画素の前記容量素子に供給される前記電圧を供給することができる機能を有する回路と電氣的に接続され、

前記第 1 及び第 2 の画素の前記発光素子は、それぞれ、前記発光素子の第 2 の電極を透過して発光する機能を有し、

前記第 1 及び第 2 の画素の前記発光素子の第 2 の電極の上に設けられた絶縁膜を有し、

前記絶縁膜は、前記第 1 及び第 2 の画素の前記発光素子を水分から保護する機能を有し、

前記第 1 及び第 2 の画素の前記発光素子の少なくとも一つの発光素子は、三重項励起子を有し、

前記第 1 の基板と、第 2 の基板との間に設けられたシーリング材を有し、

前記シーリング剤の外側に設けられた密封剤を有することを特徴とする発光装置。

#### 【請求項 2】

請求項 1 において、

前記第 1 及び第 2 の画素の前記発光素子は、それぞれ、EL 素子を有することを特徴とする発光装置。

#### 【請求項 3】

請求項 1 及び請求項 3 のいずれかーに記載の表示装置を具備したことを特徴とする電子機器。

#### 【請求項 4】

請求項 1 乃至請求項 3 のいずれかーに記載の表示装置と、操作スイッチ又はキーボードとを具備したことを特徴とする電子機器。

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 5 B 33/14 A  
H 0 5 B 33/02

F ターム(参考) 5C380 AA01 AB06 AB18 AB23 AB34 AC07 AC08 AC09 AC11 AC12  
AC13 AC16 AC20 BA13 BA20 BA38 BA39 BB02 BB22 CA08  
CA11 CB01 CB19 CB26 CB27 CB31 CC02 CC27 CC29 CC30  
CC33 CC42 CC57 CC62 CC63 CD012 CF07 CF09 CF22 CF24  
CF51 DA02 DA06 DA09 DA11 DA16