（54）发明名称

预测 MOS 晶体管中的漏极电流的方法

（57）摘要

本发明实施例涉及一种预测漏极电流的方法，该方法通过使用具有三元管子的表达式在击穿区中对漏极电流进行建模，并将模拟出的漏极电流叠加到相关技术的基于 BSIM3 的建模方案的结果上，可以精确地预测线性区、饱和区以及击穿区中的漏极电流。其中，在击穿区中，当通过相关技术的基于 BSIM3 的建模方案来计算依赖于漏极电压的漏极电流时，可能产生不一致。
1. 一种方法，包括：
   确定漏极电压是否高于指定的击穿电压；
   如果所述漏极电压等于或低于所述指定的击穿电压，则将所述漏极击穿电流设置为第一值；
   如果所述漏极电压高于所述指定的击穿电压，则将所述漏极击穿电流设置为第二值；
   以及然后
   将所述漏极击穿电流叠加到漏极电流上。

2. 根据权利要求1所述的方法，其中，所述用于线性区和饱和区的基于伯克利短沟道绝缘栅场效应晶体管模型（BSIM3）的建模来获得所述漏极电流。

3. 根据权利要求1所述的方法，其中，所述第一值为1×10⁻¹⁵A。

4. 根据权利要求1所述的方法，其中，当所述漏极电压高于所述指定的击穿电压时，所述漏极击穿电流包括所述漏极电压与所述击穿电压之间差值的n次幂。

5. 根据权利要求4所述的方法，其中，所述n次幂是2、3、4和5中的一个。

6. 根据权利要求1所述的方法，其中，所述第二值通过表达式‘a’×(Vd-BV)”来确定，其中，‘a’是比例常数，Vd是漏极电压，而BV是击穿电压。

7. 根据权利要求6所述的方法，其中，n选自数据库，在所述数据库中列出了从至少一个MOS晶体管中获得的漏极击穿电流。

8. 根据权利要求7所述的方法，其中，所述至少一个MOS晶体管包括为10μm的沟道长度和为0.5μm的沟道宽度。

9. 根据权利要求8所述的方法，其中，所述至少一个MOS晶体管具有为5.5V的击穿电压。

10. 根据权利要求6所述的方法，其中，n在2到5的范围内。

11. 一种器件，包括：
   第一杂质掺杂区，形成在半导体衬底中；
   第二杂质掺杂源极区和第二杂质掺杂漏极区，形成在所述第一杂质掺杂区中；
   沟道，其中通过场效应电流穿过所述沟道在所述源极区和所述漏极区之间流动；
   栅极绝缘膜，形成在所述半导体衬底上方；以及
   栅极电极，形成在所述栅极电极上方，其中，通过以下来步骤预测漏极电流：确定漏极电压是否高于指定的击穿电压，如果所述漏极电压等于或低于所述指定的击穿电压，则将所述漏极击穿电流设置为第一值，如果所述漏极电压高于所述指定的击穿电压，则将所述所述漏极击穿电流设置为第二值，以及将所述所述漏极击穿电流叠加到第一电流上。

12. 根据权利要求11所述的器件，其中，所述第一漏极电流通过用于线性区和饱和区的基于伯克利短沟道绝缘栅场效应晶体管模型（BSIM3）的建模来获得。

13. 根据权利要求11所述的器件，其中，所述第一值为1×10⁻¹⁵A。

14. 根据权利要求11所述的器件，其中，当所述漏极电压高于所述指定的击穿电压时，所述漏极击穿电流包括所述漏极电压与所述击穿电压之间差值的n次幂。

15. 根据权利要求14所述的器件，其中，所述n次幂是2、3、4和5中的一个。

16. 根据权利要求11所述的器件，其中，所述第二值通过表达式‘a’×(Vd-BV)”来确定，其中，‘a’是比例常数，Vd是漏极电压，而BV是击穿电压。
17. 根据权利要求 16 所述的器件，其中，n 选自数据库，在所述数据库中列出了从至少一个 MOS 晶体管中获得的漏极击穿电流。

18. 根据权利要求 16 所述的器件，其中，所述沟道具有为 10 μm 的长度和为 0.5 μm 的宽度。

19. 根据权利要求 16 所述的器件，包括为 5.5V 的击穿电压。

20. 根据权利要求 11 所述的器件，其中，所述第二杂质具有与所述第一杂质相反的电极性。
预测 MOS 晶体管中的漏极电流的方法


技术领域
[0002] 本发明涉及一种预测 MOS 晶体管中的漏极电流的方法，该方法通过将经由使用三元算子（ternary operator）模拟出的击穿区中的漏极电流叠加到由基于 BSIM3 的建模获得的漏极电流上，可以精确地预测漏极电流。

背景技术
[0003] 图 1 显示了相关技术的金属氧化物半导体（MOS）晶体管。MOS 晶体管可以包括在半导体衬底中形成的第一杂质（例如，p 型）掺杂区 100 和在第一杂质掺杂区 100 中的第二杂质（例如，n 型）掺杂源极 / 漏极区 101。第二杂质可以具有与第一杂质相反的电极性（electrical polarity）。可以设置沟道 102，并且电流可以通过场效应在源极和漏极之间流动。MOS 晶体管还可以包括在半导体衬底上和 / 或上方形成的栅极氧化膜 103 和栅极电极 104。在这样的 MOS 晶体管中，当漏极电压可以增大而栅极电压保持不变时，漏极电流最初可以线性地增大（“线性区”）。然而，当漏极电压处于预定电压或更高时，漏极电流可能不再增大并趋于饱和，达到预定值（“饱和区”）。
[0004] 图 2 显示了 MOS 晶体管的漏极电压 - 电流的特性曲线。参考标号 200 可以是线性区，参考标号 201 可以是饱和区。如果当漏极电压达到特定的电平时，在漏极区一侧的反型层（inversion layer）消失，则漏极电流可以达到饱和。这可以称作夹断现象。在这种情况下，可以横跨（across）沟道施加与漏极电压不等的电压，流过漏极区的电流可以依赖于在漏极区的耗尽层（depletion layer）中的电场，从而可以实现恒定而与漏极电压无关。如果施加至 MOS 晶体管的漏极电压进一步增大，则如图 2 中所示的区域 202 一样，漏极电流可以迅速地增大。这可以称作击穿。在漏极电流可以迅速增大时的漏极电压可以称作击穿电压。
[0005] 这种击穿可能是由在漏极区一侧的 PN 结击穿引起的。也就是说，在半导体衬底中形成的漏极区可以掺杂有杂质，该杂质具有与衬底的极性相反的极性。可以在漏极区和衬底之间形成 PN 结。在 PN 结处的耗尽层中通过强电场加速的电子可以与耗尽层中的原子进行碰撞，并可以产生电子 - 空穴对。可以对产生的电子再次加速。这种现象可以重复，因此可以迅速增加大量的电子（或空穴）。如果在 MOS 晶体管中发生击穿，则器件不能正常地工作，并可能进入异常状态。因此，在半导体器件的开发过程中，很重要的是，精确地理解和预测与击穿相关的漏极电压和漏极电流之间的关系。
[0006] 商业上可以获得一些程序，这些程序可以通过分析诸如 MOS 晶体管的器件的建模文件来预测依赖于漏极电压的漏极电流。例如，SPICE 可以是设计程序的一个实例，SPICE 可以使用 BSIM3（伯克利短沟道绝缘栅场效应晶体管模型，Berkeley Short-channel IGFETModel）来进行建模。这样的建模可以预测依赖于漏极电压的漏极电流。相关技术的
基于 BSIM3 的建模方案只可以用来预测 MOS 晶体管中的线性区和饱和区，而不能对击穿区进行模型，其中在击穿区中漏极电流可以迅速增大。

发明内容

[0007] 本发明实施例涉及一种预测 MOS 晶体管中的漏极电流的方法，该方法通过将经由使用三元算子模拟出的击穿区中的漏极电流叠加到由基于 BSIM3 的建模获得的漏极电流上，可以精确地预测漏极电流。

[0008] 本发明实施例可以提供一种预测漏极电流的方法，该方法可以通过将使用三元算子对 PN 结处的击穿建模获得的漏极电流特性（behavior）叠加到由相关技术的 BSIM3 建模方案获得的依赖于漏极电压的漏极电流的特性上，精确地预测 MOS 晶体管中依赖于漏极电压的漏极电流。

[0009] 根据本发明实施例，一种预测 MOS 晶体管中的依赖于漏极电压的漏极电流的方法可以包括以下中的至少之一：确定漏极电压是否高于指定的击穿电压。如果确定出漏极电压高于或低于击穿电压，则将漏极击穿电流设置为 $1 \times 10^{-16}$ A。如果确定出漏极电压高于击穿电压，则将漏极击穿电流设置为击穿电压与漏极电压之间差值的三次幂。将获得的漏极击穿电流叠加到由基于 BSIM3 的建模获得的漏极电流上。

[0010] 根据本发明实施例，可以精确预测在击穿区中依赖于漏极电压的漏极电流的特性，该特性不能经由相关技术的基于 BSIM3 的建模方案来预测。因此，在设计新器件的过程中，可以提供精确的信息。此外，设计者可以识别这样的信息，即该信息指出设计的 MOS 晶体管可能工作在高击穿电压的电压下。结果，通过考虑到 MOS 晶体管的这种工作状态，可以设计出稳定的 MOS 晶体管。

[0011] 本发明实施例涉及一种方法，该方法可以包括以下中的至少之一：确定漏极电压是否高于指定的击穿电压；如果漏极电压等于或低于指定的击穿电压，则将漏极击穿电流设置为第一值；如果漏极电压高于指定的击穿电压，则将漏极击穿电流设置为第二值；以及然后将该漏极击穿电流叠加到漏极电流上。

[0012] 本发明实施例涉及一种器件，该器件可以包括以下中的至少之一：在半导体衬底中形成的第一杂质掺杂区；在第一杂质掺杂区中形成的第二杂质掺杂源极区和第二杂质掺杂漏极区；沟道，其中通过高效率，电流穿过该沟道，根据源极区和漏极区之间流动；在半导体衬底上方形成的栅极电极；和栅极电极上形成的栅状氧化膜，其中，通过以下步骤来预测漏极电流：确定漏极电压是否高于指定的击穿电压，如果漏极电压等于或低于指定的击穿电压，则将漏极击穿电流设置为第一值，如果漏极电压高于指定的击穿电压，则将漏极击穿电流设置为第二值，以将漏极击穿电流叠加到第一漏极电流上。

附图说明

[0013] 图 1 示出了相关技术的 MOS 晶体管的结构。

[0014] 图 2 示出了 MOS 晶体管中在给定的栅极电压下漏极电流随栅极电压的变化。

[0015] 实例图 3 示出了根据本发明实施例的依赖于漏极电压的漏极电流的仿真结果 (simulation result)。
具体实施方式

[0016] 根据本发明实施例，可以通过在击穿区中对漏极电流进行建模来提供一种预测漏极电流的方法，该方法可以精确地预测线性区、饱和区以及击穿区中的漏极电流。在击穿区中，当通过相关技术的基于 BSIM3 的建模方案来计算漏极电流时，可能出现不一致，其中，漏极电流在 MOS 晶体管中依赖于漏极电压。可以通过使用元算子的表达式来模拟上述的漏极电流，并将模拟出的漏极电流叠加到相关技术的基于 BSIM3 的建模方案的结果上。

[0017] 根据本发明实施例，可以通过表达式 1 来表示三元算子。

表达式 1

（条件）; (值 1: 值 2)

[0019] 如果条件为真，则该表达式可以返回值 1，如果条件为假，则该表达式可以返回值 2。根据本发明实施例，可以通过使用了元算子的表达式 2 来表示漏极击穿电流。

表达式 2

\[ I_{dv} = (V_d > B_V); (a \times (V_d - B_V)^n) \times 10^{-15}A \]

[0021] 根据本发明实施例，在表达式 2 中，‘I_{dv}’可以表示在击穿区中的漏极电流（漏极击穿电流）（drain breakdown current）, ‘V_d’可以表示漏极电压，‘B_V’可以表示击穿电压，以及 ‘a’ 可以表示比例常数。

[0023] 现在将描述表达式 2。根据本发明实施例，可以确定漏极电压 V_d 是否高于击穿电压 B_V。如果漏极电压 V_d 等于或低于击穿电压 B_V，则可能不发生击穿。因此，漏极击穿电流 I_{dv} 可以基本为 0。从而，如果漏极电压等于或低于击穿电压，则可以将漏极击穿电流设置为大约 1 × 10^{-15}A。

[0025] 如果漏极电压 V_d 高于击穿电压 B_V，则可能发生击穿。因此击穿电流 I_{dv} 可以迅速增大。根据本发明实施例，漏极击穿电流 I_{dv} 可以设置为漏极电压 V_d 与击穿电压 B_V 之间差值的 n 次幂。

[0022] 因子 n 可以是这样一种值，即该值指示出当漏极电压高于击穿电压时漏极电流可以增大。因子 n 可以选自数据库，在数据库中，可以列出在各种条件下从各种 MOS 晶体管中获得的漏极击穿电流。根据本发明实施例，因子 n 可以在 2 到 5 的范围内。

[0027] 如果漏极击穿电流 I_{dv} 由上述步骤获得，则该过程可以继续。根据本发明实施例，可以将漏极击穿电流叠加到由相关技术的基于 BSIM3 的建模方案计算得到的漏极电流上。通过相关技术的基于 BSIM3 建模方案计算得到的漏极电流可以与图 2 的线性区 200 和饱和区 201 中的漏极电流一致，但是与击穿区 202 中的漏极电流不一致。

[0028] 以上述方式获得的漏极击穿电流 I_{dv} 可以与击穿区中的漏极电流相一致。根据本发明实施例，通过将漏极击穿电流 I_{dv} 叠加到由相关技术的建模方案获得的漏极电流上，可以精确地预测所有区中的漏极电流的特性（情况, behavior）。

[0029] 实例图 3 显示了根据本发明实施例的漏极电流的仿真结果。根据本发明实施例，例如，可以通过使用建模方案诸如使用包括在 SPICE 程序中的库（library）来实施漏极电流计算。

[0030] 根据本发明实施例，可以在仿真中使用 MOS 晶体管，该 MOS 晶体管可以具有 10 μm 的沟道长度和 0.5 μm 的沟道宽度，以及可以具有 5.5V 的击穿电压。栅极电压 V_g 可以设置为 5V, 4.1V, 3.2V, 2.3V 和 1.4V。参照实例图 3, 当使用相关技术的建模方案时（300），不
能预测击穿区中的漏极电流。根据本发明实施例，当使用根据本发明实施例的建模方案时（301），可以精确预测击穿区中的漏极电流，其中在击穿区中当漏极电压高于 5.5V 的击穿电压时漏极电流可以迅速增大。还可以在线性区和饱和区中精确预测漏极电流，其中，在线性区中，MOS 晶体管的漏极电流可以随着漏极电压线性增大，在饱和区中，漏极电流可以趋于饱和，达到预定值。

【0031】 尽管本文中描述了多个实施例，但是应该理解，本领域技术人员可以想到多种其他修改和实施例，他们都将落入本公开的原则的精神和范围内。更特别地，在本公开、附图、以及所附权利要求的范围内，可以在主题结合排列的排列方式和 / 或组成部分方面进行各种修改和改变。除了组成部分和 / 或排列方面的修改和改变以外，可选的使用对本领域技术人员来说也是显而易见的。