

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 11 月 24 日 (24.11.2022)



(10) 国际公布号
WO 2022/241998 A1

(51) 国际专利分类号:
H01L 23/535 (2006.01) **H01L 27/112** (2006.01)

(21) 国际申请号: PCT/CN2021/120304

(22) 国际申请日: 2021 年 9 月 24 日 (24.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110551568.2 2021 年 5 月 20 日 (20.05.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 李雄 (LI, Xiong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: FUSE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 熔丝结构及其制作方法

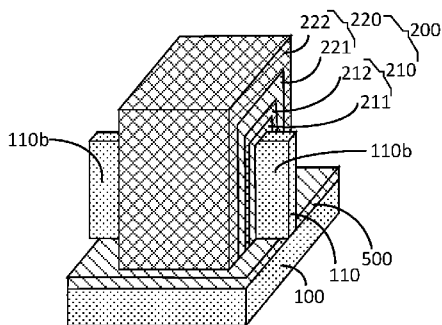


图 1

(57) Abstract: A fuse structure and a manufacturing method therefor. The fuse structure comprises: a substrate; a fin, located on the substrate and comprising a first fin region; and a gate stack structure, wound around the top and sidewalls of the first fin region. The gate stack structure comprises a first gate stack and a second gate stack; the first gate stack covers the first fin region, and the second gate stack covers the first gate stack; moreover, the first gate stack is used for receiving a first gate voltage, and the second gate stack is used for receiving a second gate voltage, the first gate voltage being greater than the second gate voltage.

(57) 摘要: 一种熔丝结构及其制作方法, 其中, 熔丝结构包括: 衬底; 鳍片, 位于衬底上, 包括第一鳍片区; 以及栅极叠层结构, 绕设于第一鳍片区的顶部以及侧壁; 其中, 栅极叠层结构包括第一栅极叠层和第二栅极叠层, 第一栅极叠层覆盖第一鳍片区, 第二栅极叠层覆盖第一栅极叠层, 且第一栅极叠层用于接收第一栅电压, 第二栅极叠层用于接收第二栅电压, 第一栅电压大于第二栅电压。

WO 2022/241998 A1

熔丝结构及其制作方法

相关申请交叉引用

本申请要求 2021 年 05 月 20 日递交的、标题为“熔丝结构及其制作方法”、申请号为 2021105515682 的中国申请，其公开内容通过引用全部结合在本申请中。

技术领域

本申请涉及一种熔丝结构及其制作方法。

背景技术

熔丝存储单元在集成电路中被广泛用于修复工作，其经典的结构是控制栅极结构与熔丝栅极分立的结构。

发明内容

根据多个实施例，本申请第一方面提供一种熔丝结构，包括：

衬底；

鳍片，位于所述衬底上，包括第一鳍片区；以及

栅极叠层结构，绕设于所述第一鳍片区的顶部以及侧壁；

其中，所述栅极叠层结构包括第一栅极叠层和第二栅极叠层，所述第一栅极叠层覆盖所述第一鳍片区，所述第二栅极叠层覆盖所述第一栅极叠层，且所述第一栅极叠层用于接收第一栅电压，所述第二栅极叠层用于接收第二栅电压，所述第一栅电压大于所述第二栅电压。

根据多个实施例，本申请第二方面提供一种熔丝结构的制作方法，包括：
提供衬底；

于所述衬底上形成鳍片，所述鳍片包括第一鳍片区；以及

形成绕设于所述第一鳍片区的顶部以及侧壁的栅极叠层结构，所述栅极叠层结构包括第一栅极叠层和第二栅极叠层，所述第一栅极叠层覆盖所述第一鳍片区，所述第二栅极叠层覆盖所述第一栅极叠层，且所述第一栅极叠层用于接收第一栅电压，所述第二栅极叠层用于接收第二栅电压，所述第一栅电压大于所述第二栅电压。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的熔丝结构的立体示意图。

图 2 为一实施例中提供的熔丝结构的剖面示意图。

图 3 为另一实施例中提供的熔丝结构的立体示意图。

图 4 为一实施例中提供的熔丝结构的制作方法的流程图。

图 5 为一实施例中提供的栅极叠层结构的制作方法的流程图。

图 6 至图 12 为一实施例中提供的熔丝结构的形成过程中的立体结构示意图。

图。

附图标记说明：

100-衬底；110-鳍片；111-源区；-漏区；110a-第一鳍片区；110b-第二鳍片区；200-栅极叠层结构；210-第一栅极叠层；211-第一栅介质层；212-熔丝栅极层；220-第二栅极叠层；221-第二栅介质层；222-熔丝栅极层；300-第一电压供应端；400-第二电压供应端；500-隔离结构。

具体实施方式

受限于两个栅极结构之间设计规则的限制，背景技术中所述的熔丝结构存在面积过大的问题。随着集成电路的集成度不断提高，面积过大的劣势也会逐渐显现。

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”

其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转90度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形

状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并限定本发明的范围。

请参阅图 1 以及图 2，本发明提供一种熔丝结构，包括衬底 100、鳍片 110 以及栅极叠层结构 200。

衬底 100 包括但不限于为硅衬底。鳍片 110 位于衬底 100 上，其可以为衬底 100 的组成部分，也可以为形成于衬底 100 上的半导体结构，本申请对此并没有限制。

鳍片 110 包括第一鳍片区 110a。栅极叠层结构 200 为多个膜层来层叠设置的栅极结构，其绕设于第一鳍片区 110a 的顶部以及侧壁。第一鳍片区 110a 两侧可以形成有源区以及漏区。

具体地，栅极叠层结构 200 包括第一栅极叠层 210 和第二栅极叠层 220。第一栅极叠层 210 覆盖第一鳍片区 110a。第二栅极叠层 220 覆盖第一栅极叠层 210。

同时，第一栅极叠层 210 用于接收第一栅电压，第二栅极叠层 220 用于接收第二栅电压，第一栅电压大于第二栅电压。

当第一栅电压不施加在第一栅极叠层 210 时，鳍片 110 外层包裹两侧栅极结构（第一栅极叠层 210 和第二栅极叠层 220），从而当最外层的第二栅极叠层 220 上接收第二栅电压而形成导电沟道时，源漏电流较小。

而当第一栅电压施加至第一栅极叠层 210 时，由于第一栅电压较大，其使得第一栅极叠层 210 被击穿。此时，当最外层的第二栅极叠层 220 上接收

第二栅电压而形成导电沟道时，源漏电流变大。

由此，本实施例可以通过击穿第一栅极叠层 210 而改变栅控能力，从而实现“0”与“1”的判别。

具体地，在熔丝结构的应用过程中，可以通过控制第一栅极叠层 210 是否施加第一栅电压，而实现熔丝结构的不同逻辑状态“0”与“1”的读取。

并且，可以设置合理的第二栅电压，从而在对熔丝结构的逻辑状态进行读取而对第二栅极叠层 220 施加第二栅电压时，鳍片 110 中的导电沟道均导通，然后通过源漏电流的不同，而对“0”与“1”进行读取。

在本实施例中，熔丝结构中第一栅极叠层 210 与第二栅极叠层 220 层叠设置而合并为一个栅极叠层结构 200，所以本实施例可以有效缩小熔丝单元的面积，极大地提高熔丝电路的集成度。同时，鳍片式结构的设置，使得鳍片的顶部以及两侧的侧壁均可以形成导电沟道，从而使得相同沟通长度器件所占的面积更小，从而可以更进一步地微缩尺寸，节约更多面积。

在一个实施例中，请参阅图 1，鳍片 110 还包括第二鳍片区 110b。

第二鳍片区 110b 位于第一鳍片区 110a 的两侧。且位于第一鳍片区 110a 两侧的第二鳍片区 110b 内分别设有源区以及漏区。

具体地，可以通过对第二鳍片区 110b 进行离子注入，而形成源区以及漏区。

在其他实施例中，鳍片 110 也可以不包括第二鳍片区 110b。此时，可以通过在第一鳍片区 110a 进行两侧外延生长，以形成源区以及漏区。

在一个实施例中，请参阅图 1 以及图 2，第一栅极叠层 210 包括第一栅介质层 211 和熔丝栅极层 212。第一栅介质层 211 可以为氧化物等绝缘层，其覆盖第一鳍片区 110。熔丝栅极层 212 可以为多晶硅等导电层，其覆盖第

一栅介质层 211，且用于接收第一栅电压。

当熔丝栅极层 212 接收到第一栅电压时，被其覆盖的第一栅介质层 211 被第一栅电压击穿，从而有绝缘状态变为导电状态，从而会使得源漏电流增大。

第二栅极叠层 220 包括第二栅介质层 221 和控制栅极层 222。第二栅介质层 221 可以为氧化物等绝缘层，其至少部分覆盖熔丝栅极层 212。控制栅极层 222 可以为多晶硅等导电层，其覆盖第二栅介质层 221，用于接收第二栅电压。

当控制栅极层 222 接收到第二栅电压时，鳍片 110 中的导电沟通导通。

可以理解的是，第一栅介质层 211 与第二栅介质层 221 的材料可以相同，也可以不同，本申请对此并没有限制。控制栅极层 222 与熔丝栅极层 212 的材料可以相同，也可以不同，本申请对此也没有限制。

进一步地，在本实施例中，可以设置，第二栅介质层 221 的厚度大于第一栅介质层 211 的厚度。

由于第二栅介质层 221 与第一栅介质层 211 分别位于控制栅极层 222 的两侧，因此在控制栅极层 222 接收第一栅电压信号而击穿第一栅介质层 211 时，第二栅介质层 221 不可避免的也会受到影响。

本实施例设置第二栅介质层 221 的厚度大于第一栅介质层 211 的厚度，从而可以有效减弱击穿第一栅介质层 211 时对第二栅介质层 221 造成的影响。

作为示例，可以设置第一栅介质层 211 的厚度为 1.5nm~2.5nm，而第二栅介质层 221 的厚度为 4.5nm~6nm，以保证在对第一栅介质层 211 进行击穿熔断过程中，不会将第二栅介质层 221 损坏，从而保证产品的可靠性。此时，可以进一步设置第一栅电压的范围为 5V~6V，第二栅电压的范围为 2V~3V。

当然，在其他实施例中，也可以通过其他方式保护第二栅介质层 221。例如，可以设置第二栅介质层 221 的介电常数大于第一栅介质层 211 的介电常数。

在一个实施例中，请参阅图 3，第一栅极叠层 210 连接第一电压供电端 300。第一电压供电端 300 即为接入第一栅电压的结构端。具体地，可以设置熔丝栅极层 212 连接第一电压供电端 300。

第二栅极叠层 220 连接第二电压供应端 400。第二电压供应端 400 即为接入第二栅电压的结构端。具体地，可以设置控制栅极层 222 连接第二电压供应端 400。

同时，在本实施例中，设置第一电压供应端 300 与第二电压供应端 400 向栅极叠层结构 200 的相对侧延伸，即二者位于栅极叠层结构 200 的相对的两侧，从而可以有效防止第一电压供应端 300 与第二电压供应端 400 之间发生信号的耦合干扰。

在一个实施例中，进一步地，设置第一电压供应端 300 与第二电压供应端 400 的延伸方向与栅极叠层结构 200 的延伸方向平行。此时，可以在保证栅极叠层结构 200 完整的情况下，方便有效地设计第一电压供应端 300 与第二电压供应端 400。

在一个实施例中，请参阅图 1 以及图 2，衬底 100 上还设有隔离结构 500，隔离结构 500 位于鳍片 110 相对的两侧，且位于衬底 100 与栅极叠层结构 200 之间。

衬底 100 上可以设有多个鳍片 110。此时，通过隔离结构 500 的设置，可以有效将各个鳍片 110 有效隔离，从而形成多个器件区。

在一个实施例中，请参阅图 4，提供一种熔丝结构的制作方法，包括：

步骤 S100, 提供衬底 100, 请参阅图 6;

步骤 S200, 于衬底 100 上形成鳍片 110, 鳍片 110 包括第一鳍片区 110a, 请参阅图 7;

步骤 S400, 形成绕设于第一鳍片区 110a 的顶部以及侧壁的栅极叠层结构 200, 栅极叠层结构 200 包括第一栅极叠层 210 和第二栅极叠层 220, 第一栅极叠层 210 覆盖第一鳍片区 110a, 第二栅极叠层 220 覆盖第一栅极叠层 210, 且第一栅极叠层 210 用于接收第一栅电压, 第二栅极叠层 220 用于接收第二栅电压, 第一栅电压大于第二栅电压, 请参阅图 12。

在本实施例中, 熔丝结构中第一栅极叠层 210 与第二栅极叠层 220 层叠设置而合并为一个栅极叠层结构 200, 所以本实施例可以有效缩小熔丝单元的面积, 极大地提高熔丝电路的集积度。同时, 鳍片式结构的设置, 可以更进一步地微缩尺寸, 节约更多面积。

在一个实施例中, 鳍片 100 还包括第二鳍片区 110b。第二鳍片区 100b 位于第一鳍片区 110a 的两侧。

此时, 步骤 S400 之后, 还包括:

步骤 S500, 对第一鳍片区 110a 两侧的第二鳍片区 110b 进行离子注入, 以形成源区以及漏区, 请参阅图 1。

源区以及漏区之间的鳍片 110 构成沟道区。沟道区用于形成导电沟道, 其位于鳍片 110 的靠近栅极叠层结构 200 的表面附近。

当然, 在其他实施例中, 鳍片 100 也可以不设置第二鳍片区 110b。此时, 步骤 S400 之后, 可以通过外延生长等方式, 于第一鳍片区 110a 两侧生长源区以及漏区。

在一个实施例中, 步骤 S400 包括:

步骤 S410, 于第一鳍片区 110a 表面形成第一栅介质层 211, 请参阅图 9;

步骤 S420, 于第一栅介质层 211 表面形成熔丝栅极层 212, 第一栅介质层 211 与熔丝栅极层 212 构成第一栅极叠层 210, 请参阅图 10;

步骤 S430, 于至少部分熔丝栅极层 210 表面形成第二栅介质层 221, 请参阅图 11;

步骤 S440, 于第二栅介质层 221 表面形成控制栅极层 222, 第二栅介质层 221 与熔丝栅极层 222 构成第二栅极叠层 220, 请参阅图 12。

在一个实施例中, 第一栅介质层 211 厚度小于第二栅介质层 221 厚度。

在一个实施例中, 步骤 S400 之后, 还包括:

步骤 S600, 于栅极叠层结构 200 的一侧, 形成连接第一栅极叠层的第一电压供电端 300, 请参阅图 3;

步骤 S700, 于栅极叠层结构 200 的另一侧, 形成连接第二栅极叠层的第二电压供应端 400, 第二电压供应端 400 与第一电压供应端 300 相对设置, 请参阅图 3。

在一个实施例中, 第一电压供应端 300 与第二电压供应端 400 的延伸方向与栅极叠层结构 200 的延伸方向平行。

在一个实施例中, 步骤 S200 包括:

步骤 S210, 于衬底 100 上形成图形化掩膜层;

步骤 S220, 基于图形化掩膜层, 对衬底 100 进行图形化处理, 以形成鳍片 110。

在步骤 S210 中, 具体地, 可以首先于衬底 100 上形成掩膜材料层。然后, 于掩膜材料层上形成光刻胶层, 并经过曝光显影等, 形成图形化光刻胶。然后, 基于图形化光刻胶刻蚀掩膜材料层, 从而形成图形化掩膜层。

在步骤 S220 中，可以基于图形化掩膜层，通过各向异性的刻蚀方法对衬底 100 进行刻蚀，从而形成鳍片 110。

当然，鳍片 110 的形成方法并不限于此。例如，可以通过在衬底 100 上生长外延层，然后对外延层进行图形化处理，以得到鳍片 110 等等。

在一个实施例中，步骤 S400 之前还包括：

步骤 S300，于鳍片 110 相对的两侧形成隔离结构 500，请参阅图 8。

具体地，可以通过化学气相沉积方法，首先沉积隔离材料层以覆盖鳍片 110 以及衬底 100。然后，可以基于步骤 S220 中形成的图形化掩膜层进行化学机械抛光以平坦化隔离材料层，并漏出图形化掩膜层。之后，再通过高选择比的湿法刻蚀，去除鳍片 110 之间的多余隔离材料层，并保留位于底部的隔离材料层以作为隔离结构 500。之后，去除图形化掩膜层。

关于熔丝结构的制作方法的具体限定以及技术效果可以参见上文中对于熔丝结构方法的限定，在此不再赘述。

应该理解的是，虽然图 4、图 5 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 4、图 5 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对

上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1. 一种熔丝结构，包括：

衬底；

鳍片，位于所述衬底上，包括第一鳍片区；以及

栅极叠层结构，绕设于所述第一鳍片区的顶部以及侧壁；

其中，所述栅极叠层结构包括第一栅极叠层和第二栅极叠层，所述第一栅极叠层覆盖所述第一鳍片区，所述第二栅极叠层覆盖所述第一栅极叠层，且所述第一栅极叠层用于接收第一栅电压，所述第二栅极叠层用于接收第二栅电压，所述第一栅电压大于所述第二栅电压。

2. 根据权利要求 1 所述的熔丝结构，其中所述鳍片还包括第二鳍片区，所述第二鳍片区位于所述第一鳍片区的两侧，且位于所述第一鳍片区两侧的所述第二鳍片区内分别设有源区以及漏区。

3. 根据权利要求 1 所述的熔丝结构，其中

所述第一栅极叠层包括第一栅介质层和覆盖所述第一栅介质层的熔丝栅极层，所述第一栅介质层覆盖所述第一鳍片区，所述熔丝栅极层用于接收第一栅电压；以及

所述第二栅极叠层包括第二栅介质层和覆盖所述第二栅介质层的控制栅极层，所述第二栅介质层至少部分覆盖所述熔丝栅极层，所述熔丝栅极层用于接收第二栅电压。

4. 根据权利要求 3 所述的熔丝结构，其中所述第一栅介质层厚度小于所述第二栅介质层厚度。

5. 根据权利要求 1 所述的熔丝结构，其中所述第一栅极叠层连接第一电压供电端，所述第二栅极叠层连接第二电压供应端，所述第一电压供应端与

所述第二电压供应端向所述栅极叠层结构的相对侧延伸。

6. 根据权利要求 5 所述的熔丝结构，其中所述第一电压供应端与所述第二电压供应端的延伸方向与所述栅极叠层结构的延伸方向平行。

7. 根据权利要求 1 所述的熔丝结构，其中所述衬底上还设有隔离结构，所述隔离结构位于所述鳍片相对的两侧，且位于所述衬底与所述栅极叠层结构之间。

8. 一种熔丝结构的制作方法，包括：

提供衬底；

于所述衬底上形成鳍片，所述鳍片包括第一鳍片区；以及

形成绕设于所述第一鳍片区的顶部以及侧壁的栅极叠层结构，所述栅极叠层结构包括第一栅极叠层和第二栅极叠层，所述第一栅极叠层覆盖所述第一鳍片区，所述第二栅极叠层覆盖所述第一栅极叠层，且所述第一栅极叠层用于接收第一栅电压，所述第二栅极叠层用于接收第二栅电压，所述第一栅电压大于所述第二栅电压。

9. 根据权利要求 8 所述的熔丝结构的制作方法，其中所述鳍片还包括第二鳍片区，所述第二鳍片区位于所述第一鳍片区的两侧，所述形成绕设于所述第一鳍片区的顶部以及侧壁的栅极叠层结构之后，还包括：

对所述第一鳍片区两侧的所述第二鳍片区进行离子注入，以形成源区以及漏区。

10. 根据权利要求 8 所述的熔丝结构的制作方法，其中所述于所述第一鳍片区的顶部以及侧壁形成栅极叠层结构，包括：

于所述第一鳍片区表面形成第一栅介质层；

于所述第一栅介质层表面形成熔丝栅极层，所述第一栅介质层与所述熔

丝栅极层构成所述第一栅极叠层；

于至少部分所述熔丝栅极层表面形成第二栅介质层；以及

于所述第二栅介质层表面形成控制栅极层，所述第二栅介质层与所述熔丝栅极层构成所述第二栅极叠层。

11. 根据权利要求 10 所述的熔丝结构的制作方法，其中所述第一栅介质层厚度小于所述第二栅介质层厚度。

12. 根据权利要求 8 所述的熔丝结构的制作方法，其中所述形成绕设于所述第一鳍片区的顶部以及侧壁的栅极叠层结构之后，还包括：

于所述栅极叠层结构的一侧，形成连接所述第一栅极叠层的第一电压供电端；以及

于所述栅极叠层结构的另一侧，形成连接所述第二栅极叠层的第二电压供应端，所述第二电压供应端与所述第一电压供应端相对设置。

13. 根据权利要求 12 所述的熔丝结构的制作方法，其中所述第一电压供应端与所述第二电压供应端的延伸方向与所述栅极叠层结构的延伸方向平行。

14. 根据权利要求 8 所述的熔丝结构的制作方法，其中于所述衬底上形成鳍片，包括：

于所述衬底上形成图形化掩膜层；以及

基于所述图形化掩膜层，对所述衬底进行图形化处理，以形成所述鳍片。

15. 根据权利要求 8 所述的熔丝结构的制作方法，其中于所述衬底上形成鳍片，包括：

于所述衬底上形成图形化掩膜层；以及

在所述衬底上生长外延层，对所述外延层进行图形化处理，以得到所述

鳍片。

16. 根据权利要求 8 所述的熔丝结构的制作方法，其中所述形成绕设于所述第一鳍片区的顶部以及侧壁的栅极叠层结构之前，还包括：

于所述鳍片相对的两侧形成隔离结构。

17. 根据权利要求 16 所述的熔丝结构的制作方法，其中所述于所述鳍片相对的两侧形成所述隔离结构包括：

通过化学气相沉积，沉积隔离材料层以覆盖所述鳍片以及所述衬底；

基于所述图形化掩膜层进行化学机械抛光以平坦化所述隔离材料层，并漏出所述图形化掩膜层；

通过高选择比的湿法刻蚀，去除所述鳍片之间的多余的所述隔离材料层，并保留位于底部的所述隔离材料层以作为隔离结构；以及

去除所述图形化掩膜层。

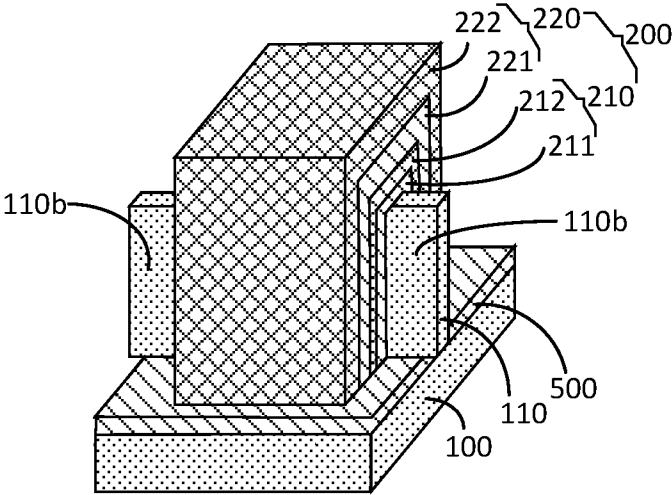


图 1

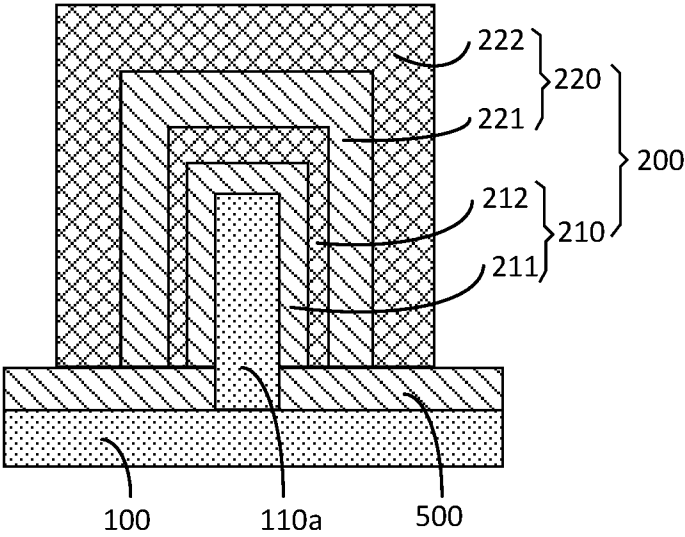


图 2

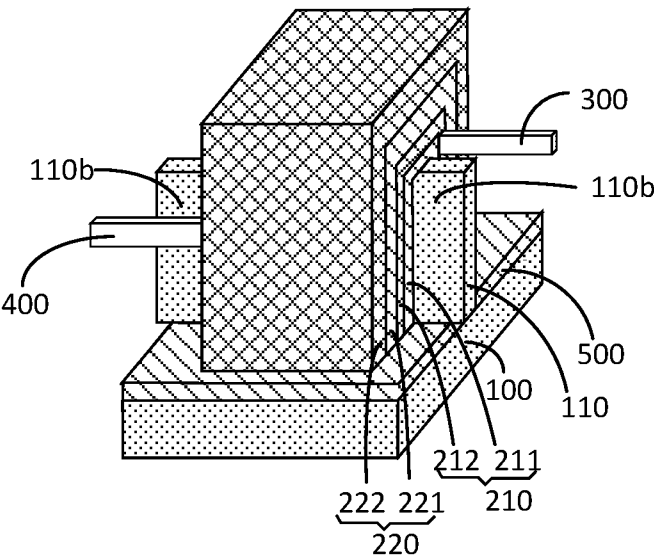


图 3

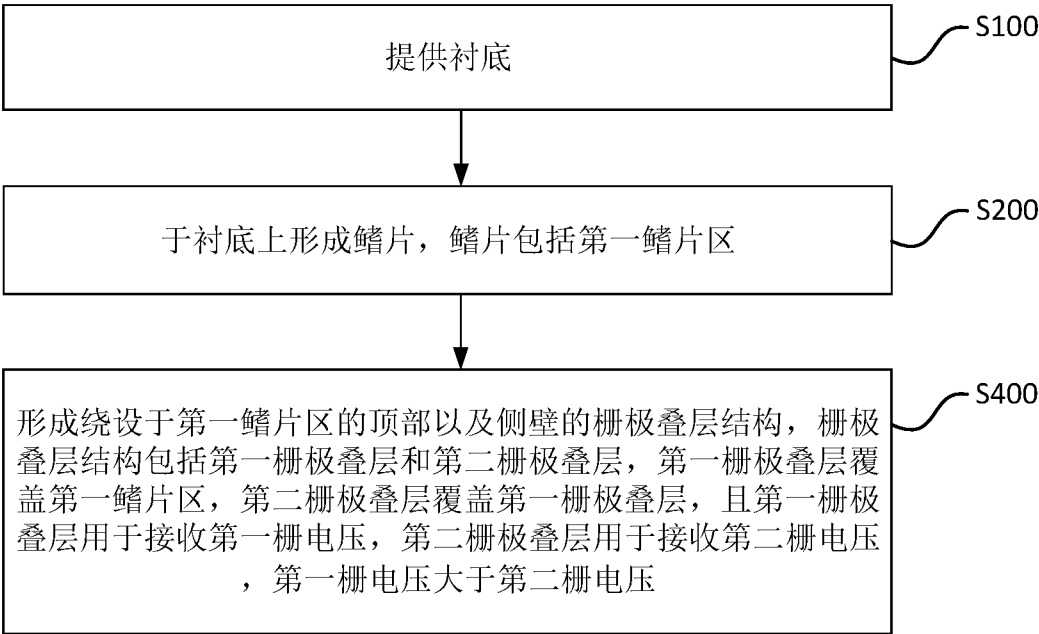


图 4

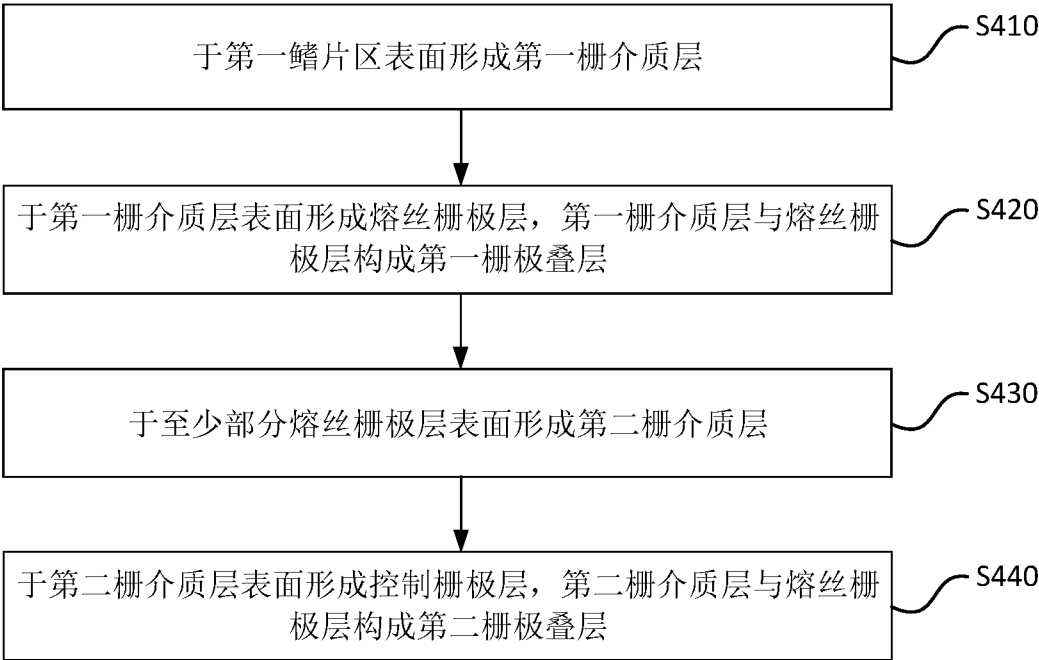


图 5

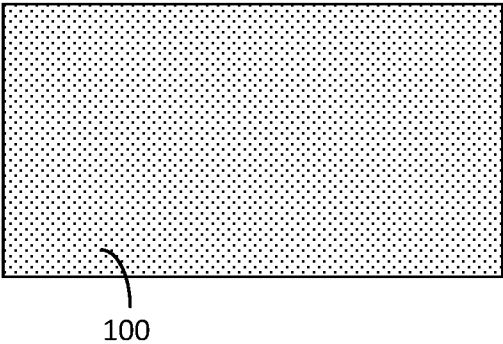


图 6

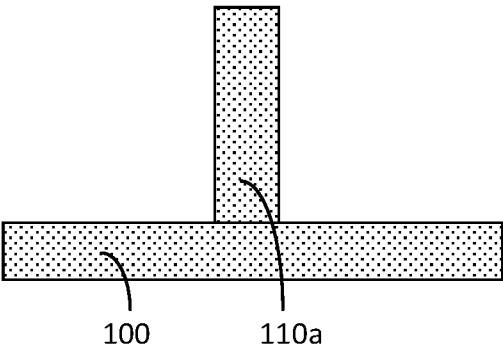


图 7

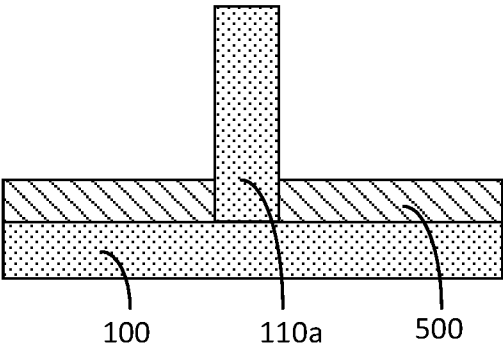


图 8

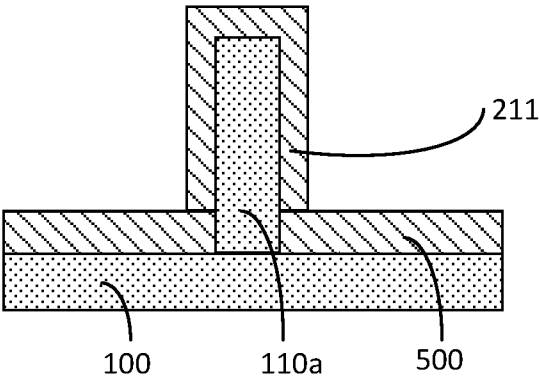


图 9

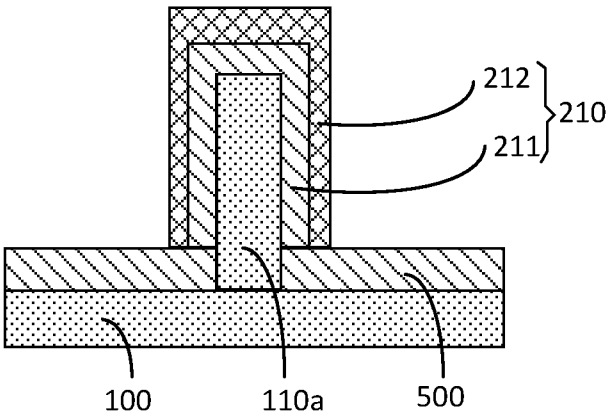


图 10

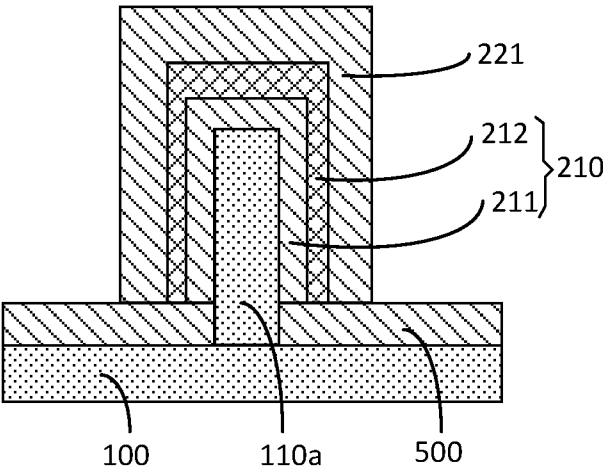


图 11

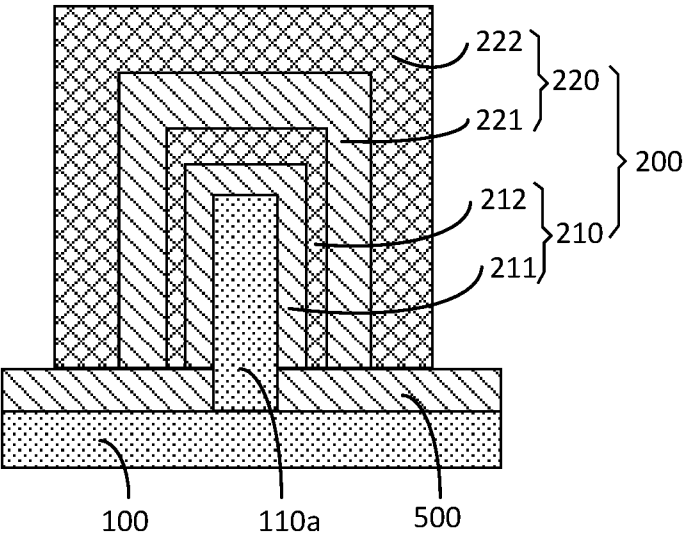


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120304

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/535(2006.01)i; H01L 27/112(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, IEEE, WPI: 栅, 熔丝, 鳍, 第一栅, 控制栅, 电压, 衬底, substrate, first gate, control gate, fuse, fin

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103456711 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 18 December 2013 (2013-12-18) description, paragraphs [0040]-[0080], and figures 1-2	1-17
A	CN 101800083 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 11 August 2010 (2010-08-11) entire document	1-17
A	CN 103545291 A (BROADCOM CORP.) 29 January 2014 (2014-01-29) entire document	1-17
A	CN 104183643 A (GLOBALFOUNDRIES SINGAPORE PTE. LTD.) 03 December 2014 (2014-12-03) entire document	1-17
A	JP 2000269471 A (TOSHIBA CORP.) 29 September 2000 (2000-09-29) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 January 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120304

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
CN	103456711	A	18 December 2013	CN	103456711	B		23 March 2016	
CN	101800083	A	11 August 2010	CN	101800083	B		27 March 2013	
				US	2010202184	A1		12 August 2010	
				US	8400813	B2		19 March 2013	
CN	103545291	A	29 January 2014	KR	20140009063	A		22 January 2014	
				EP	2685498	A2		15 January 2014	
				EP	2685498	A3		12 July 2017	
				EP	2685498	B1		16 October 2019	
				TW	201419498	A		16 May 2014	
				TW	I512947	B		11 December 2015	
				US	2014015095	A1		16 January 2014	
				US	9536883	B2		03 January 2017	
CN	104183643	A	03 December 2014	TW	201445694	A		01 December 2014	
				TW	I531043	B		21 April 2016	
				US	2014346603	A1		27 November 2014	
				US	9431497	B2		30 August 2016	
JP	2000269471	A	29 September 2000	None					

国际检索报告

国际申请号

PCT/CN2021/120304

A. 主题的分类 H01L 23/535(2006.01)i; H01L 27/112(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, IEEE, WPI: 栅, 熔丝, 鳍, 第一栅, 控制栅, 电压, 衬底, substrate, first gate, control gate, fuse, fin																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103456711 A (中芯国际集成电路制造上海有限公司) 2013年12月18日 (2013 - 12 - 18) 说明书第[0040]-[0080]段、图1-2</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 101800083 A (台湾积体电路制造股份有限公司) 2010年8月11日 (2010 - 08 - 11) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 103545291 A (美国博通公司) 2014年1月29日 (2014 - 01 - 29) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 104183643 A (新加坡商格罗方德半导体私人有限公司) 2014年12月3日 (2014 - 12 - 03) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>JP 2000269471 A (TOSHIBA CORP.) 2000年9月29日 (2000 - 09 - 29) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103456711 A (中芯国际集成电路制造上海有限公司) 2013年12月18日 (2013 - 12 - 18) 说明书第[0040]-[0080]段、图1-2	1-17	A	CN 101800083 A (台湾积体电路制造股份有限公司) 2010年8月11日 (2010 - 08 - 11) 全文	1-17	A	CN 103545291 A (美国博通公司) 2014年1月29日 (2014 - 01 - 29) 全文	1-17	A	CN 104183643 A (新加坡商格罗方德半导体私人有限公司) 2014年12月3日 (2014 - 12 - 03) 全文	1-17	A	JP 2000269471 A (TOSHIBA CORP.) 2000年9月29日 (2000 - 09 - 29) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 103456711 A (中芯国际集成电路制造上海有限公司) 2013年12月18日 (2013 - 12 - 18) 说明书第[0040]-[0080]段、图1-2	1-17																		
A	CN 101800083 A (台湾积体电路制造股份有限公司) 2010年8月11日 (2010 - 08 - 11) 全文	1-17																		
A	CN 103545291 A (美国博通公司) 2014年1月29日 (2014 - 01 - 29) 全文	1-17																		
A	CN 104183643 A (新加坡商格罗方德半导体私人有限公司) 2014年12月3日 (2014 - 12 - 03) 全文	1-17																		
A	JP 2000269471 A (TOSHIBA CORP.) 2000年9月29日 (2000 - 09 - 29) 全文	1-17																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2022年1月11日		2022年2月15日																		
ISA/CN的名称和邮寄地址		受权官员																		
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		武建刚 电话号码 86-(10)-53961218																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120304

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	103456711	A	2013年12月18日	CN	103456711	B	2016年3月23日		
CN	101800083	A	2010年8月11日	CN	101800083	B	2013年3月27日		
				US	2010202184	A1	2010年8月12日		
				US	8400813	B2	2013年3月19日		
CN	103545291	A	2014年1月29日	KR	20140009063	A	2014年1月22日		
				EP	2685498	A2	2014年1月15日		
				EP	2685498	A3	2017年7月12日		
				EP	2685498	B1	2019年10月16日		
				TW	201419498	A	2014年5月16日		
				TW	1512947	B	2015年12月11日		
				US	2014015095	A1	2014年1月16日		
				US	9536883	B2	2017年1月3日		
CN	104183643	A	2014年12月3日	TW	201445694	A	2014年12月1日		
				TW	1531043	B	2016年4月21日		
				US	2014346603	A1	2014年11月27日		
				US	9431497	B2	2016年8月30日		
JP	2000269471	A	2000年9月29日			无			