

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6858700号  
(P6858700)

(45) 発行日 令和3年4月14日(2021.4.14)

(24) 登録日 令和3年3月26日(2021.3.26)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 C
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 9 A
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 H
HO 1 L 27/15 (2006.01)	HO 1 L 27/15 B

請求項の数 19 (全 14 頁)

(21) 出願番号	特願2017-533486 (P2017-533486)
(86) (22) 出願日	平成28年9月21日 (2016.9.21)
(65) 公表番号	特表2019-518321 (P2019-518321A)
(43) 公表日	令和1年6月27日 (2019.6.27)
(86) 国際出願番号	PCT/CN2016/099579
(87) 国際公開番号	W02017/177618
(87) 国際公開日	平成29年10月19日 (2017.10.19)
審査請求日	平成31年4月8日 (2019.4.8)
(31) 優先権主張番号	201610236910.9
(32) 優先日	平成28年4月15日 (2016.4.15)
(33) 優先権主張国・地域又は機関	中国 (CN)

(73) 特許権者	510280589
	京東方科技集團股▲ふん▼有限公司
	BOE TECHNOLOGY GROU P CO., LTD.
	中華人民共和国100015北京市朝陽區
	酒仙橋路10號
	No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA

最終頁に続く

(54) 【発明の名称】 センサ及びその製造方法、電子機器

(57) 【特許請求の範囲】

【請求項 1】

センサであって、  
 ベース基板と、  
 前記ベース基板上に設けられソース電極を含む薄膜トランジスタと、  
 前記薄膜トランジスタ上に設けられ第1ビアホールが設けられた第1絶縁層であって、  
 前記第1ビアホールによって貫通された第1絶縁層と、  
 前記第1ビアホール内と前記第1絶縁層の一部の上に設けられ、前記第1ビアホールを  
 介して前記ソース電極に電氣的に接続された導電層と、  
 前記第1絶縁層上に設けられ、かつ前記導電層と離間したバイアス電極と、  
 前記導電層と前記バイアス電極にそれぞれ接続されたセンサ活性層と、  
 前記導電層上に設けられた補助導電層と、を備え、  
 前記補助導電層が前記センサ活性層と離間するセンサ。

【請求項 2】

前記補助導電層が金属酸化物導電層である請求項 1 に記載のセンサ。

【請求項 3】

前記補助導電層が酸化インジウムスズ (ITO) 層または酸化インジウム亜鉛 (IZO) 層である請求項 1 または 2 に記載のセンサ。

【請求項 4】

前記補助導電層が前記導電層と直接接触する請求項 1 ~ 3 のいずれか 1 項に記載のセン

10

20

サ。

【請求項 5】

前記センサ活性層上に第 2 絶縁層が設けられている請求項 1 ~ 4 のいずれか 1 項に記載のセンサ。

【請求項 6】

前記導電層が金属導電層である請求項 1 ~ 5 のいずれか 1 項に記載のセンサ。

【請求項 7】

前記導電層の厚さが 10 ~ 100 nm である請求項 1 ~ 6 のいずれか 1 項に記載のセンサ。

【請求項 8】

第 2 ピアホールが設けられたパッシベーション層をさらに備え、前記ベース基板に垂直な方向において、前記パッシベーション層が前記ソース電極と前記第 1 絶縁層の間に設けられ、

前記第 2 ピアホールが前記パッシベーション層を貫通して前記第 1 ピアホールに連通し、前記導電層が前記第 1 ピアホールと前記第 2 ピアホールを介して前記ソース電極に電氣的に接続される請求項 1 ~ 7 のいずれか 1 項に記載のセンサ。

【請求項 9】

前記第 2 ピアホールの最大孔径が前記第 1 ピアホールの最小孔径より小さい請求項 8 に記載のセンサ。

【請求項 10】

第 3 ピアホールが設けられたバリアメタル層をさらに備え、

前記バリアメタル層が前記パッシベーション層と前記第 1 絶縁層の間に設けられ、

前記第 3 ピアホールが前記バリアメタル層を貫通して前記第 1 ピアホールと前記第 2 ピアホールに連通し、

前記導電層が前記第 1 ピアホール、前記第 2 ピアホール及び前記第 3 ピアホールを介して前記ソース電極に電氣的に接続される請求項 8 または 9 に記載のセンサ。

【請求項 11】

前記バリアメタル層の前記ベース基板への投影と、前記薄膜トランジスタの活性層の前記ベース基板への投影とが、少なくとも部分的に重なっている請求項 10 に記載のセンサ。

【請求項 12】

前記第 3 ピアホールの最大孔径が前記第 1 ピアホールの最小孔径より小さく、前記第 3 ピアホールの最小孔径が前記第 2 ピアホールの最大孔径より大きい請求項 10 または 11 に記載のセンサ。

【請求項 13】

前記導電層が少なくとも前記第 1 ピアホール、前記第 2 ピアホール及び前記第 3 ピアホールの側壁に設けられ、前記導電層の少なくとも前記側壁に位置する部分が前記補助導電層により完全に覆われる請求項 10 ~ 12 のいずれか 1 項に記載のセンサ。

【請求項 14】

前記第 1 絶縁層の厚さが 1 ~ 4 μm である請求項 1 ~ 13 のいずれか 1 項に記載のセンサ。

【請求項 15】

請求項 1 ~ 14 のいずれか 1 項に記載のセンサを含む電子機器。

【請求項 16】

センサの製造方法であって、

ベース基板上に、ソース電極を含む薄膜トランジスタを形成するステップと、

前記薄膜トランジスタ上に、第 1 ピアホールが設けられた第 1 絶縁層を形成するステップと、

前記第 1 ピアホール内と前記第 1 絶縁層の一部の上に、前記第 1 ピアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップと、

10

20

30

40

50

前記第 1 絶縁層上に、前記導電層と離間したバイアス電極と、前記導電層と前記バイアス電極にそれぞれ接続されたセンサ活性層を形成するステップと、

前記バイアス電極および前記センサ活性層を形成した後に、前記導電層上に、補助導電層を形成するステップと、を含み、

前記補助導電層が前記センサ活性層と離間するセンサの製造方法。

【請求項 17】

前記センサ活性層上に第 2 絶縁層を形成するステップをさらに含む請求項 16 に記載のセンサの製造方法。

【請求項 18】

前記ソース電極と前記第 1 絶縁層の間に、前記第 1 ピアホールに連通する第 2 ピアホールが設けられたパッシベーション層を形成し、前記第 1 ピアホールと前記第 2 ピアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップをさらに含む請求項 16 または 17 に記載のセンサの製造方法。

10

【請求項 19】

前記パッシベーション層と前記第 1 絶縁層の間に、前記第 1 ピアホールと前記第 2 ピアホールに連通する第 3 ピアホールが設けられたバリアメタル層を形成し、前記第 1 ピアホール、前記第 2 ピアホール及び前記第 3 ピアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップをさらに含む請求項 18 に記載のセンサの製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明の実施例は、センサ及びその製造方法、電子機器に関する。

【背景技術】

【0002】

光電センサは、高い精度、速い応答、非接触や、単純な構成などの利点を持っているので、検出や制御に汎用されている。例えば、光電センサは、ダストモニタ、バーコードリーダー、電子カウンタ、光電式煙感知器などに適用できる。

【0003】

光電センサは、電気信号の読み取りを制御する薄膜トランジスタと、光を受光して光信号を電気信号に変換するフォトダイオードと、を含む。

30

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の実施例は、ベース基板と、前記ベース基板上に設けられソース電極を含む薄膜トランジスタと、前記薄膜トランジスタ上に設けられ第 1 ピアホールが設けられた第 1 絶縁層であって、前記第 1 ピアホールによって貫通された第 1 絶縁層と、前記第 1 ピアホール内と前記第 1 絶縁層の一部の上に設けられ、前記第 1 ピアホールを介して前記ソース電極に電氣的に接続された導電層と、前記第 1 絶縁層上に設けられ、かつ前記導電層と離間したバイアス電極と、前記導電層と前記バイアス電極にそれぞれ接続されたセンサ活性層と、前記導電層上に設けられた補助導電層と、を備えるセンサを提供する。

40

【0005】

例えば、本発明の実施例に係るセンサにおいて、前記補助導電層は、前記センサ活性層と離間する。

【0006】

例えば、本発明の実施例に係るセンサにおいて、前記補助導電層は、金属酸化物導電層である。

【0007】

例えば、本発明の実施例に係るセンサにおいて、前記補助導電層は、酸化インジウムスズ (ITO) 層または酸化インジウム亜鉛 (IZO) 層である。

【0008】

50

例えば、本発明の実施例に係るセンサにおいて、前記補助導電層は、前記導電層と直接接触する。

【0009】

例えば、本発明の実施例に係るセンサにおいて、前記センサ活性層上には、第2絶縁層が設けられている。

【0010】

例えば、本発明の実施例に係るセンサにおいて、前記導電層は、金属導電層である。

【0011】

例えば、本発明の実施例に係るセンサにおいて、前記導電層の厚さは、10～100nmである。

10

【0012】

例えば、本発明の実施例に係るセンサにおいて、第2ビアホールが設けられたパッシベーション層をさらに備え、前記ベース基板に垂直な方向において、前記パッシベーション層が前記ソース電極と前記第1絶縁層の間に設けられ、前記第2ビアホールが前記パッシベーション層を貫通して前記第1ビアホールに連通し、前記導電層が前記第1ビアホールと前記第2ビアホールを介して前記ソース電極に電氣的に接続される。

【0013】

例えば、本発明の実施例に係るセンサにおいて、前記第2ビアホールの最大孔径は、前記第1ビアホールの最小孔径より小さい。

【0014】

20

例えば、本発明の実施例に係るセンサにおいて、第3ビアホールが設けられたバリアメタル層をさらに備え、前記バリアメタル層が前記パッシベーション層と前記第1絶縁層の間に設けられ、前記第3ビアホールが前記バリアメタル層を貫通して前記第1ビアホールと前記第2ビアホールに連通し、前記導電層が前記第1ビアホール、前記第2ビアホール及び前記第3ビアホールを介して前記ソース電極に電氣的に接続される。

【0015】

例えば、本発明の実施例に係るセンサにおいて、前記バリアメタル層の前記ベース基板への投影と、前記薄膜トランジスタの活性層の前記ベース基板への投影とは、少なくとも部分的に重なっている。

【0016】

30

例えば、本発明の実施例に係るセンサにおいて、前記第3ビアホールの最大孔径は前記第1ビアホールの最小孔径より小さく、前記第3ビアホールの最小孔径は前記第2ビアホールの最大孔径より大きい。

【0017】

例えば、本発明の実施例に係るセンサにおいて、前記導電層は少なくとも第1ビアホール、第2ビアホール及び第3ビアホールの側壁に設けられ、前記導電層の少なくとも前記側壁に位置する部分は前記補助導電層により完全に覆われる。

【0018】

例えば、本発明の実施例に係るセンサにおいて、前記第1絶縁層の厚さは、1～4μmである。

40

【0019】

本発明の実施例は、本発明の実施例のいずれかに記載のセンサを含む電子機器をさらに提供する。

【0020】

本発明の実施例は、ベース基板上に、ソース電極を含む薄膜トランジスタを形成するステップと、前記薄膜トランジスタ上に、第1ビアホールが設けられた第1絶縁層を形成するステップと、前記第1ビアホール内と前記第1絶縁層の一部の上に、前記第1ビアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップと、前記第1絶縁層上に、前記導電層と離間したバイアス電極と、前記導電層と前記バイアス電極にそれぞれ接続されたセンサ活性層を形成するステップと、前記導電層上に、補助導電層を形

50

成するステップと、を含むセンサの製造方法をさらに提供する。

【0021】

例えば、本発明の実施例に係るセンサの製造方法において、前記センサ活性層上に第2絶縁層を形成するステップをさらに含む。

【0022】

例えば、本発明の実施例に係るセンサの製造方法において、前記ソース電極と前記第1絶縁層の間に、前記第1ビアホールに連通する第2ビアホールが設けられたパッシベーション層を形成し、前記第1ビアホールと前記第2ビアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップをさらに含む。

【0023】

例えば、本発明の実施例に係るセンサの製造方法において、前記パッシベーション層と前記第1絶縁層の間に、前記第1ビアホールと前記第2ビアホールに連通する第3ビアホールが設けられたバリアメタル層を形成し、前記第1ビアホール、前記第2ビアホール及び前記第3ビアホールを介して前記ソース電極に電氣的に接続された導電層を形成するステップをさらに含む。

【発明の効果】

【0024】

本発明の実施例に係るセンサ及びその製造方法によれば、工程数を増やすことなく導電層上に補助導電層を設置することで、導通性能を向上させ、信号の正常な伝送を確保することが図れる。

【0025】

以下、本発明の実施例に係る技術思想をより明確に説明するため、実施例の図面について簡単に説明する。下で述べる図面は勿論、単なる本発明の実施例の一部に触れており、本発明はこれらに限定するものではない。

【図面の簡単な説明】

【0026】

【図1】図1は本発明の実施例に係るセンサの断面図である。

【図2】図2は本発明の実施例に係るセンサの部分構造断面図である。

【図3】図3は本発明の実施例に係るセンサの製造方法のフローチャートである。

【図4】図4A～4Lは本発明の実施例に係るセンサの製造方法の模式図である。

【発明を実施するための形態】

【0027】

以下、本発明の目的、技術手段、およびメリットをより明白にするため、本発明の実施例に係る技術思想について本発明の実施例の図面を参照しながら全体として明確に説明する。説明された実施例が本発明の一部の実施例のみであり、本発明の全ての実施例ではないことは明白であろう。当業者には、開示された本発明の実施例に基づき、容易に成し遂げることができた他の実施例の全ては本発明の精神から逸脱しない。

【0028】

特に定義しない限り、本開示に使用された技術用語または科学用語は、当業者に理解される一般的な意味である。本開示に使用された「第1」、「第2」及び類似する用語は、順番、数量や重要度を表すものではなく、異なる構成要素を区別させるものに過ぎない。「備える」、「含む」および類似する用語は、挙げられた要素に加えて、他の要素が共存してもよいことを意味する。「接続」および類似する用語は、物理的や機械的接続に限定されず、直接または間接の電氣的接続を含んでもよい。「上方」、「下方」などの用語は、相対的位置関係を表すものに過ぎず、説明しようとする対象の絶対的位置が変わると、その相対的位置関係の変化の可能性もある。

【0029】

関連技術によれば、センサは通常に、より高いS/N比を取得するために、厚い絶縁層が設けられる。信号を伝送する導電層は通常に、厚さを小さくすることで、リーク可能な面積を減少させ、リーク電流を減少させ、ノイズを低減させる。絶縁層は、オープン成形

10

20

30

40

50

時の材料の収縮で、側壁の傾きが大きくなり、これによって、絶縁層の側壁に設けられた導電層が破断しやすく、導通不良の問題が発生した。

【0030】

本発明の実施例に係るセンサ及びその製造方法は、工程数を増やすことなく薄い導電層上に補助導電層を設置することで、導通性能を向上させ、信号の正常な伝送を確保することが図れる。

【0031】

図1は本発明の実施例に係るセンサの断面図である。本発明の実施例は、図1に示されるように、ベース基板101と、ベース基板101上に設けられソース電極1025、ドレイン電極1024、活性層1023、ゲート電極1021及びゲート絶縁層1022を含む薄膜トランジスタ102と、薄膜トランジスタ102上に設けられ第1ビアホール1071が設けられた第1絶縁層106であって、第1ビアホール1071によって貫通された第1絶縁層106と、第1絶縁層106上に設けられ、かつ導電層1031と離間したバイアス電極1032と、導電層1031とバイアス電極1032にそれぞれ接続されたセンサ活性層1033と、導電層1031上に設けられた補助導電層1034とを備えたセンサ100を提供する。

【0032】

例えば、センサ100はさらに、第2ビアホール1072が設けられたパッシベーション層104をさらに備える。ベース基板に垂直な方向において、パッシベーション層104はソース電極1025と第1絶縁層106の間に設けられ、第2ビアホール1072はパッシベーション層104を貫通し第1ビアホールに連通する。

【0033】

例えば、センサ100はさらに、第3ビアホール1073が設けられたバリアメタル層105をさらに備える。バリアメタル層105はパッシベーション層104と第1絶縁層106の間に設けられ、第3ビアホール1073はバリアメタル層105を貫通し第1ビアホール1071と第2ビアホール1072及び第3ビアホール1073を介してソース電極1025に電氣的に接続される。

【0034】

例えば、バイアス電極1032と導電層1031との離間とは、バイアス電極1032が導電層1031と直接接触していないことを意味する。例えば、本発明の実施例に係るセンサ100は、導電層1031とバイアス電極1032の間にスペーサ絶縁層1035が設けられる。また、例えば、導電層1031とバイアス電極1032の間にはセンサ活性層1033が設けられる。幾つかの例では、スペーサ絶縁層1035を設置せずに、導電層1031とバイアス電極1032の間にセンサ活性層1033を形成するための材料を充填してもよい。

【0035】

例えば、バイアス電極1032に対し、例えば100～300V、または150～200Vの電圧が印加される。例えば、バイアス電極1032の材料は、モリブデン、アルミニウム、銅などの導電金属またはこれらを任意に組み合わせた合金でよく、ITO、AZO、IZO、導電性樹脂、グラフェン薄膜、カーボンナノチューブフィルムなどの導電材料でよい。

【0036】

例えば、導電層1031上にセンサ活性層1033を設置し、センサ活性層1033上にバイアス電極1032を設置してもよい。この場合、該バイアス電極1032は、センサ活性層1033で光を受光できるように、ITO、IZO、AZO、導電性樹脂、グラフェン薄膜、カーボンナノチューブフィルムなどのような透明導電材料とすべきである。

【0037】

例えば、センサ活性層1033は、アモルファスシリコン半導体層である。

【0038】

10

20

30

40

50

例えば、バリアメタル層 105 は、バリアの役割を果たし、バリアメタル層 105 の両側での電界のクロストークを防止できる。例えば、バリアメタル層 105 は、導電層 1031 における電界の、ドレイン電極 1024 と、ソース電極 1025 と、ドレイン電極 1024 に接続されたデータ線で発生する誘導電流をバリアして、S/N比の向上が図れる。

【0039】

例えば、バリアメタル層 105 は、複数の互いに離間された部分で構成され、一部のバリアメタル層に対し安定した電圧が印加されてバリア効果が向上できる。

【0040】

例えば、本発明の実施例に係るセンサ 100 において、バリアメタル層 105 のベース基板 101 への投影の少なくとも一部は、薄膜トランジスタ 102 の活性層 1023 のベース基板 101 への投影と重なっている。光の照射による薄膜トランジスタのスイッチング特性への影響で、薄膜トランジスタの活性層 1023 を遮光する必要がある。バリアメタル層 105 のベース基板 101 への投影の少なくとも一部が、薄膜トランジスタ 102 の活性層 1023 のベース基板 101 への投影と重なるように設置することで、バリアメタル層 105 は薄膜トランジスタ 102 の活性層 1023 を遮光して、外光による薄膜トランジスタへの影響を防止できる。

10

【0041】

例えば、本発明の実施例に係るセンサ 100 において、補助導電層 1034 はセンサ活性層 1033 と離間する。つまり、補助導電層 1034 は、リークによるノイズが発生しないように、センサ活性層 1033 と直接接触していない。

20

【0042】

例えば、本発明の実施例に係るセンサ 100 において、補助導電層 1034 は金属酸化物導電層である。

【0043】

例えば、本発明の実施例に係るセンサ 100 において、補助導電層 1034 は酸化インジウムスズ (ITO) 層または酸化インジウム亜鉛 (IZO) 層である。例えば、補助導電層 1034 は導電層 1031 と直接接触する。

【0044】

例えば、導電層 1031 が破断した時、補助導電層 1034 で導電層 1031 の導通を補助して、信号の正常な伝送を確保する。

30

【0045】

例えば、周辺領域におけるリード電極が酸化されないように、周辺電極上に酸化防止導電保護層を設置する必要がある。補助導電層 1034 と酸化防止導電保護層が同種の材料 (例えば ITO) で同層に形成できるため、導電層 1031 上に補助導電層 1034 を設置の工程を増設していない。例えば、センサにおけるデータ線はリード電極を介して集積回路 (IC) に接続されるので、該リード電極が酸化されないように、該リード電極上に酸化防止保護層を設置する必要がある。補助導電層 1034 と該酸化防止導電保護層が同種の材料 (例えば ITO) で同層に形成できるため、工程を増設する必要がない。

40

【0046】

例えば、本発明の実施例に係るセンサ 100 において、センサ活性層 1033 上には、第 2 絶縁層 1036 が設けられる。第 2 絶縁層 1036 は、センサ活性層を保護する役割を果たせる。

【0047】

例えば、本発明の実施例に係るセンサ 100 において、導電層 1031 は金属導電層である。

【0048】

例えば、導電層 1031 は、モリブデン、アルミニウム、銅などの金属のいずれか 1 種またはこれらの合金で製造できる。

【0049】

50

例えば、本発明の実施例に係るセンサ100において、導電層1031の厚さは10～100nmである。また、例えば、導電層1031の厚さは30～70nmである。

【0050】

例えば、第1絶縁層106、スペーサ絶縁層1035、第2絶縁層1036は、有機絶縁層、例えば有機樹脂などでよく、無機絶縁層、例えば窒化ケイ素、酸化ケイ素などでよい。

【0051】

例えば、本発明の実施例に係るセンサ100において、第1絶縁層106の厚さは1～4μmである。また、例えば、第1絶縁層106の厚さは2～3μmである。バイアス電極1032に印加された電圧が高いので、第1絶縁層106を厚く設置することによって、バイアス電極1032の電界による、例えば薄膜トランジスタ102のソース電極1025への干渉を抑圧できる。それに、厚さの大きい絶縁層は、平坦化させる役割も果たして、後続工程の実施に役立つ。

【0052】

例えば、図2は、本発明の実施例に係るセンサの部分構造断面図である。図2に示されるように、本発明の実施例に係るセンサ100において、第3ビアホール1073の最大孔径L3が第1ビアホール1071の最小孔径L1より小さく、第3ビアホール1073の最小孔径L4が第2ビアホール1072の最大孔径L2より大きい。従って、パッシベーション層104とバリアメタル層105の間に第1段差F1、バリアメタル層105と絶縁層106の間に第2段差F2が形成される。第1段差F1、第2段差F2は、第1ビアホール1071、第2ビアホール1072及び第3ビアホール1073の側壁を緩やかにさせ、導電層1031の形成に役立ち、導電層1031の破断を防止する。

【0053】

例えば、本発明の実施例に係るセンサ100において、導電層1031は、少なくとも第1ビアホール1071、第2ビアホール1072及び第3ビアホール1073の側壁に設けられており、導電層1031の少なくとも側壁に位置する部分は、補助導電層1034により完全に覆われる。

【0054】

例えば、パッシベーション層104は、平坦化させる役割を果たすとともに、バリアメタル層105と薄膜トランジスタ102を絶縁し、パッシベーション層104の両側の電界間の干渉を抑圧し、S/N比を向上させる。

【0055】

例えば、ベース基板101は、例えばガラス基板や石英基板である。

【0056】

例えば、センサ100は、バリアメタル層105とパッシベーション層104が備えられなく、絶縁層106を備えてもよい。この場合、導電層1031は、第1ビアホール1071内と第1絶縁層106の一部の上に設けられ、かつ第1ビアホール1071を介してソース電極1025に電氣的に接続される。例えば、この場合、導電層1031は少なくとも第1ビアホール1071の側壁に設けられ、導電層1031の少なくとも側壁に位置する部分は補助導電層1034により完全に覆われる。

【0057】

例えば、センサ100は、バリアメタル層105が備えられなく、絶縁層106とパッシベーション層104を備えてもよい。この場合、導電層1031は、第1ビアホール1071内、第2ビアホール1072内及び第1絶縁層106の一部の上に設けられ、かつ第1ビアホール1071と第2ビアホール1072を介してソース電極1025に電氣的に接続される。例えば、この場合、第2ビアホール1072の最大孔径L2は第1ビアホール1071の最小孔径L1より小さい。導電層1031は少なくとも第1ビアホール1071と第2ビアホール1072の側壁に設けられ、導電層1031の少なくとも側壁に位置する部分は補助導電層1034により完全に覆われる。

【0058】

本発明の実施例に係るセンサは、光電センサを例として説明したが、光電センサに限れず、電流で信号を伝送する他のセンサであってもよい。

【0059】

本発明の実施例はさらに、本発明の実施例のいずれかに記載のセンサを含む電子機器を提供する。

【0060】

本発明の実施例はさらに、ベース基板上に、ソース電極を含む薄膜トランジスタを形成するステップと、薄膜トランジスタ上に、第1ピアホールが設けられた第1絶縁層を形成するステップと、第1ピアホール内と第1絶縁層の一部の上に、第1ピアホールを介してソース電極に電氣的に接続された導電層を形成するステップと、絶縁層上に、導電層と離間したバイアス電極と、導電層とバイアス電極にそれぞれ接続されたセンサ活性層を形成するステップと、導電層上に、補助導電層を形成するステップと、を含むセンサの製造方法を提供する。

10

【0061】

例えば、本発明の実施例に係るセンサの製造方法はさらに、導電層とバイアス電極の間にスペーサ絶縁層を形成するステップを含む。

【0062】

例えば、本発明の実施例に係るセンサの製造方法はさらに、センサ活性層上に第2絶縁層を形成するステップを含む。

【0063】

例えば、本発明の実施例に係るセンサの製造方法はさらに、ソースと第1絶縁層の間に、第1ピアホールに連通する第2ピアホールが設けられたパッシベーション層を形成し、第1ピアホールと第2ピアホールを介してソース電極に電氣的に接続された導電層を形成するステップを含む。

20

【0064】

例えば、本発明の実施例に係るセンサの製造方法はさらに、パッシベーション層と第1絶縁層の間に、第1ピアホールと第2ピアホールに連通する第3ピアホールが設けられたバリアメタル層を形成し、第1ピアホール、第2ピアホール及び第3ピアホールを介してソース電極に電氣的に接続された導電層を形成するステップを含む。

【0065】

例えば、図3は、本発明の実施例に係るセンサの製造方法のフローチャートであり、図4A-4Lは、本発明の実施例に係るセンサの製造方法の模式図である。該製造方法は下記のようなステップS01~S10を含める。

30

【0066】

ステップS01では、図4A~4Dに示されるように、ベース基板101上に薄膜トランジスタ102を形成する。ステップS01は、例えば、ステップS011~S014を含む。

ステップS011では、図4Aに示されるように、ベース基板上にゲート電極1021を形成する。

ステップS012では、図4Bに示されるように、ゲート電極1021上にゲート絶縁層1022を形成する。

40

ステップS013では、図4Cに示されるように、ゲート絶縁層1022上に活性層1023を形成する。

ステップS014では、図4Dに示されるように、活性層1023上にソース電極1025とドレイン電極1024を形成する。

【0067】

ステップS02では、図4Eに示されるように、薄膜トランジスタ102上に、第2ピアホール1072が設けられたパッシベーション層104を形成する。

【0068】

ステップS03では、図4Fに示されるように、パッシベーション層104上に、第2

50

ビアホール 1072 に連通する第 3 ビアホール 1073 が設けられたバリアメタル層 105 を形成する。

【0069】

ステップ S04 では、図 4 G に示されるように、バリアメタル層 105 上に、第 3 ビアホール 1073 に連通する第 1 ビアホール 1071 が設けられた第 1 絶縁層 106 を形成する。

【0070】

ステップ S05 では、図 4 H に示されるように、第 1 ビアホール 1071 内、第 2 ビアホール 1072 内、第 3 ビアホール 1073 内及び第 1 絶縁層 106 の一部の上に、第 1 ビアホール 1071、第 2 ビアホール 1072 及び第 3 ビアホール 1073 を介してソース電極 1025 に電氣的に接続された導電層 1031 を形成する。

10

【0071】

ステップ S06 では、図 4 H に示されるように、第 1 絶縁層 106 上に、導電層 1031 と離間したバイアス電極 1032 を形成する。

【0072】

ステップ S07 では、図 4 I に示されるように、導電層 1031 とバイアス電極 1032 の間にスペーサ絶縁層 1035 を形成する。

【0073】

ステップ S08 では、図 4 J に示されるように、導電層 1031 とバイアス電極 1032 にそれぞれ接続されたセンサ活性層 1033 を形成する。

20

【0074】

ステップ S09 では、図 4 K に示されるように、センサ活性層 1033 上に第 2 絶縁層 1036 を形成する。

【0075】

ステップ S10 では、図 4 L に示されるように、導電層 1031 上に補助導電層 1034 を形成する。

【0076】

例えば、周辺領域におけるリード電極が酸化されないように、周辺電極上に酸化防止導電保護層を設置する必要がある。補助導電層 1034 と酸化防止導電保護層が同種の材料（例えば ITO）で同層に形成できるため、導電層 1031 上に補助導電層 1034 を設置の工程を増設していない。例えば、センサにおけるデータ線はリード電極を介して集積回路（IC）に接続されるので、該リード電極が酸化されないように、該リード電極上に酸化防止保護層を設置する必要がある。補助導電層 1034 と該酸化防止導電保護層が同種の材料（例えば ITO）で同層に形成できるため、工程を増設する必要がない。

30

【0077】

例えば、各ステップはいずれも、堆積（またはスパッタリング）、洗浄、フォトレジストコーティング、露光、現像、エッチング、フォトレジスト除去（例えば、剥離）などのプロセスを含む。

【0078】

例えば、ゲート電極 1025 は、Cr、W、Ti、Ta、Mo、Al、Cu のうちのいずれか 1 種の金属またはこれらの合金からなる。

40

【0079】

例えば、ゲート絶縁層 1022 は、SiNx または SiOx からなる。

【0080】

例えば、活性層 1023 とセンサ活性層 1033 は、アモルファスシリコンからなる。

【0081】

例えば、ソース電極 1025 とドレイン電極は、アルミニウムネオジウム（AlNd）合金、タングステンモリブデン合金（WMo）、アルミニウム（Al）、銅（Cu）、モリブデン（Mo）またはクロム（Cr）のうちのいずれか 1 種またはこれらの組合せからなる。

50

## 【 0 0 8 2 】

例えば、パッシベーション層 1 0 4 は、窒化ケイ素または酸化ケイ素からなる。

## 【 0 0 8 3 】

例えば、バリアメタル層 1 0 5 は、モリブデン、アルミニウム、銅のうちのいずれか 1 種の金属またはこれらの合金からなる。

## 【 0 0 8 4 】

例えば、第 1 絶縁層 1 0 6、スペーサ絶縁層 1 0 3 5、第 2 絶縁層 1 0 3 6 は、有機樹脂、窒化ケイ素または酸化ケイ素からなる。

## 【 0 0 8 5 】

例えば、導電層 1 0 3 1 は、モリブデン、アルミニウム、銅などの金属のうちのいずれか 1 種またはこれらの合金からなる。

10

## 【 0 0 8 6 】

例えば、補助導電層 1 0 3 4 は、酸化インジウムスズ ( I T O ) または酸化インジウム亜鉛 ( I Z O ) からなる。

## 【 0 0 8 7 】

例えば、バイアス電極 1 0 3 2 の材料は、モリブデン、アルミニウム、銅などの導電金属またはこれらを任意に組み合わせた合金でよく、I T O、A Z O、I Z O、導電性樹脂、グラフェン薄膜、カーボンナノチューブフィルムなどの導電材料でよい。

## 【 0 0 8 8 】

本発明の実施例に係るセンサ及びその製造方法は、工程数を増やすことなく導電層上に補助導電層を設置することで、導通性能を向上させ、信号の正常な伝送を確保することが図れる。

20

## 【 0 0 8 9 】

なお、本発明の実施例及び図面は、明瞭に説明できるため、センサや電子機器の全ての構造を示していない。当業者は、センサや電子機器の必要機能を実現するため、具体的な用途に応じ、慣用設計を参照して示されていない他の構造を設置することが可能になり、本開示には限定されていない。

## 【 0 0 9 0 】

以上、本発明の好適な実施形態を説明したが、本発明の保護範囲は、これに限らず、特許請求の範囲を基準にする。

30

## 【 0 0 9 1 】

本出願は、2 0 1 6 年 4 月 1 5 日に出願された中国専利出願 2 0 1 6 1 0 2 3 6 9 1 0 . 9 号に基づく優先権を主張し、これらの出願の全ての内容は参照により本明細書に組み込まれた。

## 【 符号の説明 】

## 【 0 0 9 2 】

1 0 0 センサ、1 0 1 ベース基板、1 0 2 薄膜トランジスタ、1 0 2 1 ゲート電極、1 0 2 2 ゲート絶縁層、1 0 2 3 活性層、1 0 2 4 ドレイン電極、1 0 2 5 ソース電極、1 0 3 1 導電層、1 0 3 2 バイアス電極、1 0 3 3 センサ活性層、1 0 3 4 補助導電層、1 0 3 5 スペーサ絶縁層、1 0 3 6 第 2 絶縁層、1 0 4 パッシベーション層、1 0 5 バリアメタル層、1 0 6 第 1 絶縁層、1 0 7 1 第 1 ビアホール、1 0 7 2 第 2 ビアホール、1 0 7 3 第 3 ビアホール、L 1 第 1 ビアホールの最小孔径、L 2 第 2 ビアホールの最大孔径、L 3 第 3 ビアホールの最大孔径、L 4 第 3 ビアホールの最小孔径、F 1 第 1 段差、F 2 第 2 段差

40

【図1】

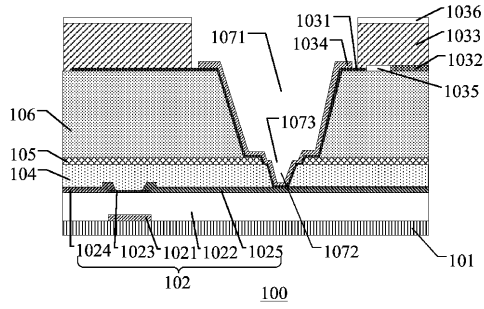


图 1

【図2】

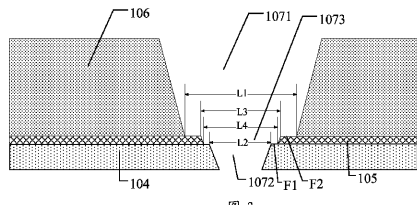


图 2

【図3】

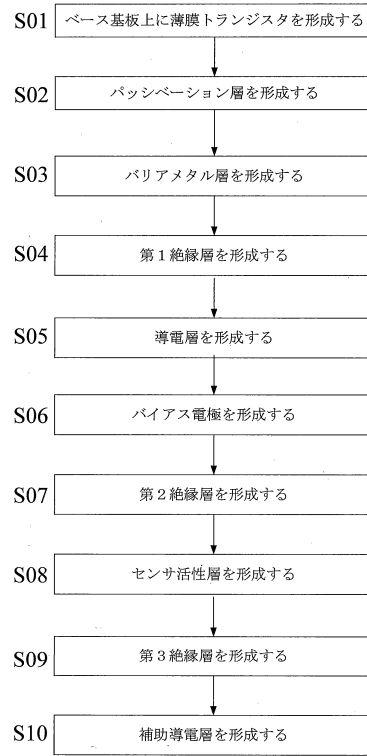


图 3

【図4A】



图 4A

【図4B】

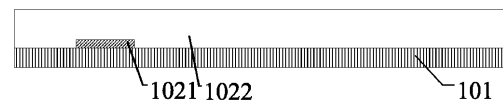


图 4B

【図4C】

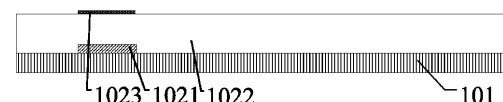


图 4C

【図4D】

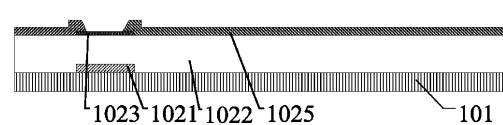


图 4D

【図4E】

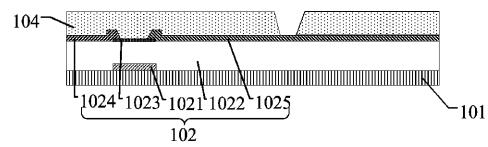


图 4E

【図4F】

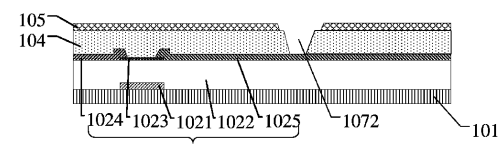


图 4F

【図4G】

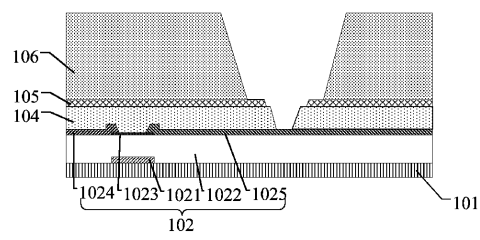


图 4G

【 图 4 H 】

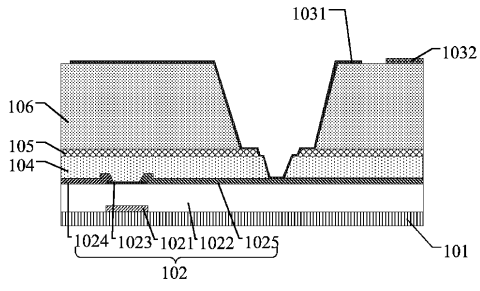


图 4H

【 图 4 J 】

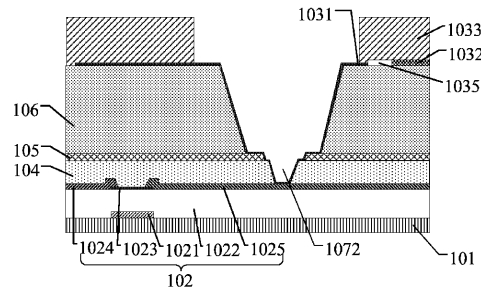


图 4J

【 图 4 I 】

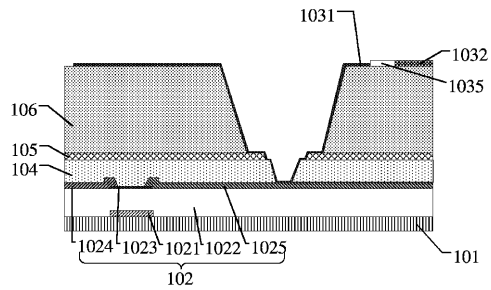


图 4I

【 图 4 K 】

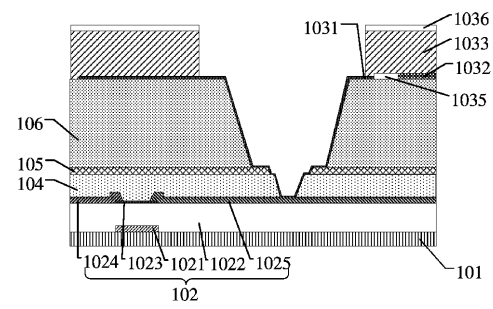


图 4K

【 图 4 L 】

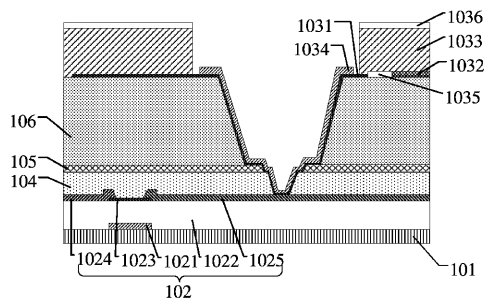


图 4L

## フロントページの続き

(73)特許権者 517211551

ケーエー・イメージング・インコーポレイテッド

カナダ・オンタリオ・N2H・5L6・キッチナー・ウェリントン・ストリート・ノース・809

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 林家 強

中華人民共和国北京市 経 済 技 術 開 発 区 地 澤 路 9 号

審査官 柴山 将隆

(56)参考文献 中国特許出願公開第105097860(CN, A)

特開2014-225524(JP, A)

特開2014-225527(JP, A)

特開2014-027300(JP, A)

特開2009-200104(JP, A)

特開2014-236162(JP, A)

特開2004-265934(JP, A)

特開2004-087604(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H01L 21/336

H01L 27/15

H01L 29/786

H01L 31/10