



(12) 发明专利

(10) 授权公告号 CN 101957726 B

(45) 授权公告日 2015. 09. 02

(21) 申请号 201010222395. 1

(22) 申请日 2010. 07. 05

(30) 优先权数据

12/504, 029 2009. 07. 16 US

(73) 专利权人 美光科技公司

地址 美国艾达荷

(72) 发明人 谢库费·卡瓦米

贾里德·E·赫尔伯特

(74) 专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 孙宝成

(51) Int. Cl.

G06F 3/06(2006. 01)

G06F 13/16(2006. 01)

审查员 李娇

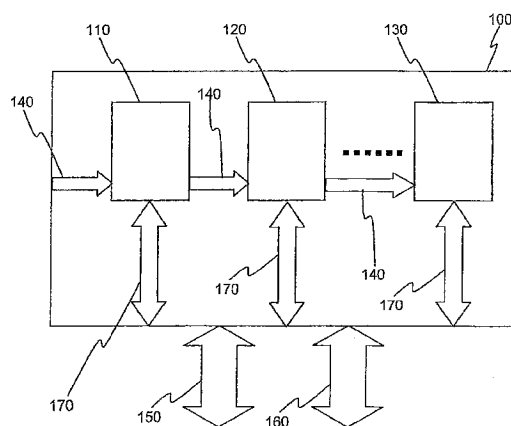
权利要求书2页 说明书6页 附图5页

(54) 发明名称

双列直插式存储模块中的相变存储器

(57) 摘要

本发明公开的主题涉及存储装置以及存储装置的管理系统和方法,该系统包括:双列直插式存储模块 DIMM,包括一个或多个相变存储器 PCM 模块;电连接到所述系统的存储总线,其中所述 PCM 模块并行地电连接到所述存储总线;以及存储器,保持基本输入/输出系统 BIOS,所述 BIOS 包括与所述 PCM 模块相对应的参数。存储装置包括:双列直插式存储模块 DIMM,适于至少部分地基于动态随机存取存储器 DRAM 来进行电操作,其中所述 DIMM 包括一个或多个相变存储器 PCM 模块。



1. 一种存储器系统,包括:

双列直插式存储模块 DIMM,包括一个或多个相变存储器 PCM 模块;

电连接到所述系统的存储总线,其中所述 PCM 模块并行地电连接到所述存储总线;

存储器,保持基本输入/输出系统 BIOS,所述 BIOS 包括与所述 PCM 模块相对应的参数;
以及

控制器,用于在向所述 PCM 模块提供行地址之后立即提供列地址且用于提供多个连续读取命令以使得在不在其中引入定时间隙的情形下产生多个连续读取输出数据。

2. 如权利要求 1 所述的存储器系统,其中,所述参数包括所述 PCM 模块的附加等待时间或列地址选通 CAS 等待时间的值。

3. 如权利要求 1 所述的存储器系统,还包括:

动态随机存取存储器 DRAM 高速缓冲存储器,用于高速缓存与所述 DIMM 的特定地址相对应的写入数据。

4. 如权利要求 1 所述的存储器系统,其中,组地址比特与一个或多个所述 PCM 模块的多个存储组相对应。

5. 如权利要求 1 所述的存储器系统,其中,所述 DIMM 包括所述系统的主存储器。

6. 如权利要求 1 所述的存储器系统,其中,一个或多个所述 PCM 模块包括动态随机存取存储器 DRAM 模式寄存器和/或 DRAM 接口。

7. 一种用于控制存储器系统的方法,包括:

向包括一个或多个相变存储器 PCM 模块的双列直插式存储模块 DIMM 提供激活指令;

向所述 PCM 模块提供行地址;

在向所述 PCM 模块提供后续的行地址之前,提供多个列地址,其中,在向所述 PCM 模块提供所述行地址之后立即提供所述多个列地址,且其中,在读取操作期间提供所述行地址和所述多个列地址以使得在不在其中引入定时间隙的情形下产生多个连续读取输出数据。

8. 如权利要求 7 所述的方法,还包括:

在计算平台的基本输入/输出系统 BIOS 中保持与所述 PCM 模块相对应的参数。

9. 如权利要求 8 所述的方法,其中所述参数包括所述 PCM 模块的附加等待时间的值。

10. 如权利要求 7 所述的方法,还包括:

通过在 DRAM 高速缓冲存储器中高速缓存与所述 DIMM 的特定地址相对应的写入数据,来管理所述 PCM 模块的循环周期限制。

11. 如权利要求 10 所述的方法,还包括:

至少部分地基于所述 PCM 模块的属性,来选择所述 DRAM 高速缓冲存储器的存储器大小。

12. 如权利要求 7 所述的方法,还包括:

使用组地址比特来访问一个或多个所述 PCM 器件的多个存储组。

13. 如权利要求 8 所述的方法,其中所述 DIMM 包括所述计算平台的主存储器。

14. 一种存储装置,包括:

双列直插式存储模块 DIMM,适于至少部分地基于动态随机存取存储器 DRAM 来进行电操作,其中所述 DIMM 包括一个或多个相变存储器 PCM 模块;以及

其中,所述 PCM 模块用于在接收行地址之后立即接收列地址且用于接收多个连续读取

命令以使得在不在其中引入定时间隙的情形下产生多个连续读取输出数据。

15. 如权利要求 14 所述的存储装置,还包括:

电连接到计算系统的存储总线,其中所述 PCM 模块并行地电连接到所述存储总线,所述计算系统包括基本输入 / 输出系统 BIOS,所述 BIOS 保持与所述 PCM 模块相对应的参数。

16. 如权利要求 14 所述的存储装置,还包括:

DRAM 高速缓冲存储器,用于高速缓存与所述 DIMM 的特定地址相对应的写入数据。

17. 一种用于控制存储器系统的方法,包括:

在计算平台的基本输入 / 输出系统 BIOS 中,保持与双列直插式存储模块 DIMM 上安装的一个或多个相变存储器 PCM 模块相对应的参数;

在向所述 PCM 模块提供行地址之后立即提供列地址;以及

提供多个连续读取命令以使得在不在其中引入定时间隙的情形下产生多个连续读取输出数据。

18. 如权利要求 17 所述的方法,还包括:

通过在 DRAM 高速缓冲存储器中高速缓存与所述 DIMM 的特定地址相对应的写入数据,来管理所述 PCM 模块的循环限制。

双列直插式存储模块中的相变存储器

技术领域

[0001] 本发明公开的主题涉及对存储装置的管理。

背景技术

[0002] 在例如计算机、蜂窝电话、PDA、数据日志记录器、游戏和导航设备等多种类型的电子设备中,使用了存储装置。在这些电子设备中,可以使用各种类型的存储装置,例如 NAND 和 NOR 闪存、SRAM、DRAM 和相变,以上仅作为几个示例。与操作速度和高速缓存线大小的增大相对应,在双列直插式存储模块 (DIMM) 配置中可以封装存储装置。例如,在计算平台中可以被用作主存储器的这种 DIMM 可以包括并行安装在 DIMM 上的多个 DRAM 存储模块。因此,可以在并行的 DRAM 模块上来分裂对于 DIMM 的读 / 写请求,以便各个 DRAM 模块分别提供总的高速缓存线请求的一部分。这种 DRAM 器件典型地具有与例如读 / 写定时、存储页面大小、和 / 或寻址协议等相关联的特定固有参数。

发明内容

[0003] 在实施例中,存储装置可以包括双列直插式存储模块 (DIMM),所述双列直插式存储模块包括相变存储器 (PCM) 模块。可以将这种 PCM 模块安装且并行地电连接在 DIMM 上。在一个实施例中,可以包括例如计算系统的主存储器的至少一部分的这种 DIMM 可以包括存储总线,以便与存储器控制器进行通信。通过这种存储总线,计算系统能够通过存储器控制器来访问 DIMM 上的 PCM 模块。

[0004] 例如,为实现这种实施例,系统可以包括 DIMM, DIMM 包括一个或多个 PCM 模块、电连接至系统的存储总线、以及保持基本输入 / 输出系统 (BIOS) 的存储器,其中,PCM 模块并行地电连接至存储总线, BIOS 包括与 PCM 模块相对应的参数。

附图说明

[0005] 参考以下附图示出了非限制性和非穷尽性的实施例,其中,除非明确指出,不同的图中类似附图标记表示类似部件。

[0006] 图 1 是根据实施例的存储器配置的示意图。

[0007] 图 2 是根据另一个实施例的存储器配置的示意图。

[0008] 图 3 是根据实施例的存储器控制处理的定时图。

[0009] 图 4 是根据实施例的存储器控制处理的流程图。

[0010] 图 5 是根据实施例的计算系统和存储装置的示意图。

具体实施方式

[0011] 在本说明书中,对“一个实施例”或“实施例”的引述意味着,结合该实施例描述的具体特征、结构或特点包括在所要求保护的主题的至少一个实施例中。因此,在本说明书中多处出现的短语“在一个实施例中”或“在实施例中”不一定全部是指同一实施例。此外,

具体特征、结构或特点可以结合在一个或更多实施例中。

[0012] 在实施例中,存储装置可以包括双列直插式存储模块 (DIMM),所述双列直插式存储模块包括相变存储器 (PCM) 模块。可以将这种 PCM 模块安装且并行地电连接在 DIMM 上。在一个实施例中,可以包括例如计算系统的主存储器的至少一部分的这种 DIMM 可以包括存储总线,以便与存储器控制器进行通信。通过这种存储总线,计算系统能够通过存储器控制器来访问 DIMM 上的 PCM 模块。

[0013] 在一个实施例中, DIMM 可以适于至少部分地基于动态随机存取存储器 (DRAM) 模块来进行电操作。例如, DIMM 可以包括一个或多个 DRAM 插座以容纳一个或多个 PCM 模块,但是要求保护的主题并不局限于此。作为另一个示例,一个或多个 PCM 模块可以包括 DRAM 模式寄存器和 / 或 DRAM 接口,所述 DRAM 接口包括适合于 DRAM 的连接。如下文中更为详细的描述,可以通过使用适当的存储器级和 / 或系统级处理和 / 或参数,将 PCM 模块合并到这种 DIMM 中。例如,计算系统可以包括基本输入 / 输出系统 (BIOS),所述基本输入 / 输出系统 (BIOS) 保持了与 PCM 模块相对应的参数。例如,这种参数可以包括针对 PCM 模块的定时、等待时间和 / 或大小的值。在特定实施方式中, BIOS 无需在系统引导启动 (system boot) 时测试 PCM 模块。这种 BIOS 可以包括配置为操作 PCM 模块的低级 (low-level) 驱动器。此外,这种 BIOS 可以包括可执行代码以读取 PCM 模块标识 (ID) 并对 PCM 模块配置进行响应。作为另一个示例, PCM 模块可以与附加等待时间 (additive latency) 相关联,该附加等待时间使得能够在 DIMM 接收行地址之后立即将由例如存储器控制器产生的列地址提供给 DIMM。可以将这种附加等待时间引入到 PCM 模块的定时方案中,以便针对 PCM 的连续读取命令可以彼此紧密相随,而不会例如存在延迟和在输出数据中引入定时间隙。

[0014] 通常,写入或编程处理可以用于在存储装置中存储信息,而读取处理可以用于获取所存储的信息。可以从存储装置的全部或部分中擦除所存储的信息,和 / 或将新信息写入到存储装置的全部或部分中。相当大量的这种程序擦除和 / 或程序 - 再编程周期会使 PCM 的物理完整性 (physical integrity) 劣化。例如,施加在包括 PCM 在内的 DIMM 的成千上万个程序擦除周期会降低 DIMM 的可靠性。如果使用这种 PCM 存储器,限制和 / 或减少程序擦除周期 (或“循环周期 (cycling)”) 出现的次数是有利的,否则 PCM 存储器会遭遇以上情况。因此,在一个实施例中,一种管理 DIMM 上 de PCM 模块的循环周期的技术包括对写入数据进行高速缓存。具体地,一种例如 DRAM 高速缓冲存储器的存储装置可以用于高速缓存与 PCM DIMM 的特定地址相对应的写入数据。可以至少部分地基于包括 PCM DIMM 在内的 PCM 模块的属性,来选择这种 DRAM 高速缓冲存储器的存储器大小。例如,这种属性可以包括 PCM DIMM 大小。例如,这种属性可以包括 PCM 的循环周期规范、PCM 故障率、PCM 写入速度、包括 PCM DIMM 在内的系统的写入使用模型、和 / 或使用的 PCM 写入损耗水准测量 (leveling) 技术。作为具体的示例,这种 DRAM 高速缓冲存储器的大小的范围可以从大约 100KB 到数十兆字节 RAM,但是所要求包括的主题并不局限于此。

[0015] 在一个实施例中, PCM DIMM 可以包括堆叠在封装中的 PCM 模块,其中每个封装包括多个存储器管芯 (die)。例如,这种封装可以包括每个封装两个、四个或八个管芯,分别提供一个、两个、四个或八个 I/O 管脚。例如,这种实施方式的结果在于可以使用附加的 PCM,而不会对输出驱动器造成额外负载。此外,如下文中的详细描述,如果与 DRAM 相比在 DIMM 中使用的 PCM 具有较少数目的组 (bank) (分区),则组地址比特可以用于对跨多个 PCM 器件

的多个组进行存取。

[0016] 图 1 是根据实施例的包括多个 DRAM 模块在内的 DRAM DIMM100 的示意图,如图所
示,DRAM DIMM 100 包括 DRAM 110、DRAM120 和 DRAM 130。尽管在具体实施例中可以包括八
个 DRAM 模块,但是 DRAM DIMM 可以包括任意数目的 DRAM 模块。例如,可以给出第九个 DRAM
模块来提供纠错,但是所要求保护的主体并不局限于此示例。各个 DRAM 模块可以包括可寻
址存储单元的矩阵,通过首先指定行地址并之后指定列地址,来访问所述可寻址存储单元。
块箭头 150 表示地址总线,存储器控制器(未示出)可以通过该地址总线向 DRAMDIMM 100
提供读/写地址。在一个具体实施方式中,这种地址总线可以是 16 比特宽。块箭头 160 表
示数据总线,通过该数据总线,来自/去往 DRAM 模块的并行数据可以向存储器控制器和/
或计算系统(未示出)的其他部分提供读取数据,或从存储器控制器和/或计算系统(未
示出)的其他部分接收写入数据。在一个特定实施方式中,这种数据总线可以是 64 比特
宽,以考虑到八个并行连接的 8 比特 DRAM 模块,但是所要求保护的主体并不局限于此。为
了对 DRAM DIMM 100 上的特定位置进行寻址,例如,如在下文中详细描述,可以在由块箭
头 140 表示的总线上由存储器控制器将伴随有行地址的激活命令一起提供给 DRAM 模块 110
到 130。这种行地址总线 140 可以与各个 DRAM 模块并行连接。在提供行地址之后,存储器
控制器可以产生读/写命令,该读/写命令伴随有列地址,并通过由块箭头 170 表示的总线
一起提供给各个 DRAM 模块。当然,DRAM DIMM 的这种特征和细节仅作为示例,所要求保护
的主体并不局限于此。

[0017] 图 2 是根据实施例的包括多个 PCM 模块在内的 PCM DIMM 200 的示意图,PCM DIMM
200 包括 PCM 214、PCM 218、PCM 224 和 PCM228。PCM DIMM 200 可以适于至少部分地基于
DRAM 模块来进行电操作。在这种情况下,至少部分地取决于各个 PCM 模块中的存储组的数
目,可以使用多于一个的 PCM 模块来代替一个 DRAM 模块。因此,PCMDIMM 200 可以包括存储
位点(memory site)210 和存储位点 220,在存储位点 210 处,使用 PCM 214 和/或 PCM 218
代替一个 DRAM 模块,在存储位点 220 处,使用 PCM 224 和/或 PCM 228 代替另一个 DRAM 模
块。这里,存储位点是指 PCM DIMM 200 中在 PCM DIMM 200 与 DRAM 或 PCM 模块之间能够进
行电子连接的位置。在具体的实施方式中,PCM 模块可以包括比 DRAM 模块更多的电子连接。
例如,PCM DIMM 200 可以包括具有四个组和 3 比特组地址(能够对多达 8 个组进行寻址)
的 PCM 模块;则可以对各具有四个组地址的两个 PCM 器件进行寻址。因此,在具体的实施方
式中,PCM DIMM 可以配备有与跨多个 PCM 器件的多个存储组相对应的组地址比特。当然,这
种存储位点可以包括比本实施例中所示和所述的 PCM 模块的数目更多或更少的 PCM 模块。
类似地,PCM DIMM 200 可以包括比本实施例中所示和所述的这种存储位点的数目更多或更
少的存储位点。因此,所要求保护的主体并不局限于这种细节。

[0018] 与上述 DRAM 模块相似,各个 PCM 模块可以包括可寻址存储单元的矩阵,通过首先
指定行地址并之后指定列地址,来访问所述可寻址存储单元。块箭头 240 表示地址总线,存
储器控制器(未示出)通过该地址总线向 PCM DIMM 200 提供读/写地址。在一个具体实
施方式中,例如这种地址总线可以是 16 比特宽。块箭头 250 表示数据总线,通过该数据总
线来自/去往 DRAM 模块的并行数据可以向存储器控制器和/或计算系统(未示出)的其
他部分提供读取数据,或从存储器控制器和/或计算系统(未示出)的其他部分接收写入
数据。在一个特定实施方式中,这种数据总线可以是 64 比特宽,以考虑到 8 个并行连接的

PCM 模块组,每一组具有并行连接的 8 个比特,但是所要求保护的主体并不局限于此。为了对 PCM DIMM 200 上的特定位置进行寻址,例如,可以,如在下文中详细描述,在由块箭头 230 表示的总线上由存储器控制器将伴随有行地址的激活命令一起提供给 PCM 模块 214 到 228。这种地址总线 230 可以与各个 PCM 模块并行连接。在提供行地址之后,存储器控制器可以产生读/写命令,该读/写命令伴随有列地址,并经由总线 230 一起提供给各个存储位点 210 到 220。还可以将伴随着读/写命令的这种列地址经由块箭头 260 表示的总线提供给各个 PCM 模块 214 到 228。当然,PCM DIMM 的这种特征和细节仅作为示例,所要求保护的主体并不局限于此。

[0019] 图 3 是根据实施例的存储器控制处理 300 的定时图,图 4 是存储器控制处理 400 的流程图。以下的描述示例基于存储器控制处理 300 和包括相同处理的存储器控制处理 400,但是所要求保护的主体并不局限于此。如图 3 所示,时钟信号 305 可以建立存储器处理的定时。在块 410,存储器控制器可以发出激活命令 310,以打开 PCM 模块(例如图 2 所示的 PCM 模块 214)的页面或存储组。在这种激活阶段期间,PCM 模块可以从存储器控制器接收行地址 315,如块 420 所示。在块 430 和 440,存储器控制器可以发出读取指令 320 和列地址 325,由此提供要从中读取数据的一个或多个存储单元的存储地址(行或列)。在具体实施方式中,附加等待时间可以用于改进存储处理调度:可以背靠背(back-to-back)的方式发出行地址和列地址,由此避免了例如输出数据中的定时间隙。然而,这种定时间隙在某些应用中是需要的,并且所要求保护的主体并不局限于此。例如,尽管图 3 中未示出,但是在激活命令 310 和读取指令 320 之间可以存在一个或多个时钟周期。具体地,可以使用列地址选通(CAS)等待时间和/或附加等待时间,在激活命令之后立即发出读取指令。不需要在执行这种读取指令之前将这种读取指令内部地延迟预定数目的时钟周期(由此造成附加等待时间)。由于可以执行这种定时处理而无需附加的命令,因此可以避免存储指令之间的冲突。

[0020] 尽管对于这里所述的一个或多个实施例而言不是必要的,但是可以在 PCM 模块的模式寄存器中保持附加等待时间的值。因此,在块 460 处发出另一个读取指令 330 之前,在块 450 处经过了时间段 tCCD。并发地,如块 470 处,可以发出另一个列地址。在例如读取等待时间和列寻址等待时间之类的一个或多个等待时间之后,数据 340 可以是读取指令 320 的结果,数据 350 可以是读取指令 330 的结果。在一个实施方式中,提供列地址以及在对地址处读取存储器的处理可以重复进行,直到例如到达所打开页面的最后一列为止,如块 480 处所检查的。在这种情况下,可以由存储器控制器发出另一个激活命令以打开另一个页面。如上所述,可以将 PCM 模块合并入适于至少部分地基于 DRAM 模块来进行电操作的 DIMM 中。为了适应这种 PCM 模块,可以实施适当的存储器级和/或系统级处理和/或参数。例如,在系统级处,BIOS 可以从 PCM 模块中保持的一个或多个模式寄存器或其他存储器中获取参数。仅作为一些示例,包括读取等待时间、写入等待时间、CAS 等待时间、至第一数据的内部读取命令时间、内部读/写延迟的激活和/或附加延迟在内的这种参数可以对应于 PCM 模块。

[0021] 图 5 是计算系统 500 的示例实施例的示意图,计算系统 500 包括存储装置 510。计算装置 504 可以代表可配置为管理存储装置 510 的任何设备、装置和/或机器。存储装置 510 可以包括存储器控制器 515 和存储器 522。作为示例但非限制性地,计算装置 504 可以

包括：一个或多个计算装置和 / 或平台，例如台式计算机、膝上型计算机、工作站、服务器设备等；一个或多个个人计算或通信装置或设备，例如个人数字助理、移动通信设备等；计算系统和 / 或关联的服务提供商功能，例如数据库或数据存储服务提供商 / 系统；以及 / 或者其任意组合。

[0022] 应该认识到，可以通过使用或包括硬件、固件、软件或其任意组合，来实现系统 500 中所示的多种装置的全部或一部分、以及这里进一步描述的处理和方法。因此，作为示例但非限制性地，计算装置 504 可以包括：至少一个处理单元 520，通过总线 540 操作性地耦合至存储器 522；以及主机或存储器控制器 515。处理单元 520 代表可配置为执行数据计算过程或处理的至少一部分的一个或多个电路。作为示例但非限制性地，处理单元 520 可以包括一个或多个处理器、控制器、微处理器、微控制器、专用集成电路、数字信号处理器、可编程逻辑器件、现场可编程门阵列等、以及其任意组合。处理单元 520 可以与存储器控制器 515 通信，以处理例如读取、写入和 / 或擦除等存储器相关操作，以及如上所述的存储器分区处理。处理单元 520 可以包括配置为与存储器控制器 515 通信的操作系统。这种操作系统例如可以生成要经由总线 540 发送至存储器控制器 515 的命令。这种命令可以包括例如读 / 写指令。计算装置 504 可以包括基本输入 / 输出系统 (BIOS)，该 BIOS 保持了与 PCM 模块相对应的参数，PCM 模块可以与附加等待时间相关联，该附加等待时间使得能够在 DIMM 接收行地址之后立即将由例如存储器控制器 515 产生的列地址提供给 DIMM。

[0023] 存储器 522 代表任何数据存储机构。存储器 522 可以包括例如主存储器 524 和 / 或次存储器 526。在特定实施例中，存储器 522 可以包括如上所述的 PCM DIMM。具体而言，主存储器 524 可以包括例如随机存取存储器、只读存储器等。虽然该示例中示出了主存储器 524 是与处理单元 520 分离的，但是应该理解，主存储器 524 的全部或部分可以提供在处理单元 520 内或者与处理单元 520 协同定位 / 耦合。

[0024] 根据实施例，存储器 522 的一个或多个部分可以存储对由存储器 522 的特定状态表达的数据和 / 或信息进行表示的信号。例如，可以通过影响或改变存储器 522 的这些部分的状态，来将代表数据和 / 或信息的电子信号“存储”在存储器 522 的一部分中，以将数据和 / 或信息表示为二进制信息（例如，1 和 0）。由此，在具体实施方式中，这种存储器一部分的状态改变以存储代表数据和 / 或信息的信号，构成了将存储器 522 变换到不同的状态或事物。

[0025] 次存储器 526 可以包括例如与主存储器相同或类似类型的存储器、以及 / 或者一个或多个数据存储装置或系统，例如盘驱动、光盘驱动、磁带驱动、固态存储器驱动等。在特定实施方式中，次存储器 526 可以是操作性地容纳计算机可读介质 528，或者可配置地与计算机可读介质 528 耦合。计算机可读介质 528 可以包括例如能够承载针对系统 500 中一个或多个装置的数据、代码和 / 或指令的任何介质、和 / 或使得这些数据、代码和 / 或指令可访问的任何介质。

[0026] 计算装置 504 可以包括例如输入 / 输出 532。输入 / 输出 532 可以代表可配置为接受或引入人类和 / 或机器输入的一个或多个装置或特征、可配置为传递或提供人类和 / 或机器输出的一个或多个装置或特征。作为示例但非限制性地，输入 / 输出设备 532 可以包括操作性配置的显示器、扬声器、键盘、鼠标、轨迹球、触摸屏、数据端口等。

[0027] 虽然示出并描述了当前认为的示例实施例，但是本领域技术人员会理解，在不背

离本发明要保护的主题的前提下,可以进行多种其他修改并替换等同物。此外,在不背离这里所述的中心思想的前提下,可以进行多种修改来使特定情况适应本发明要保护的主题的教义。因此,本发明要保护的主题不限于公开的特定实施例,而是也可以包括在所附权利要求及其等同物范围内的所有实施例。

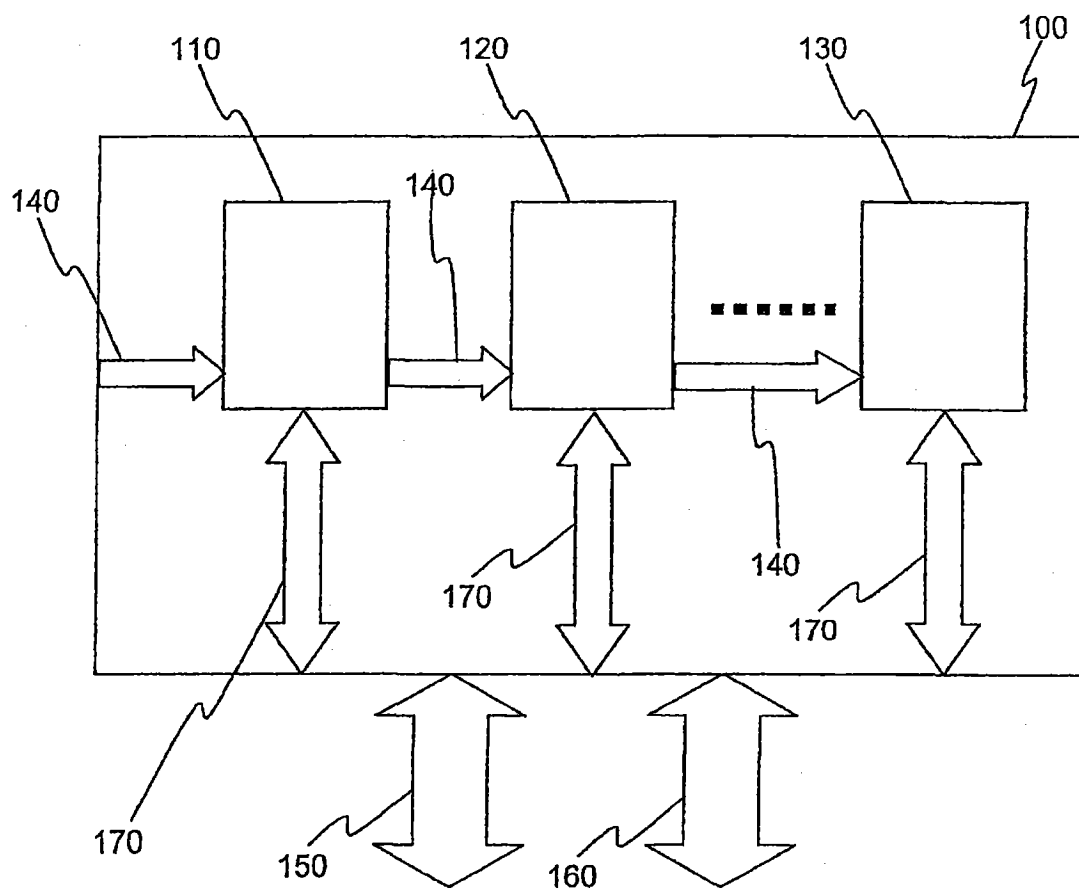


图 1

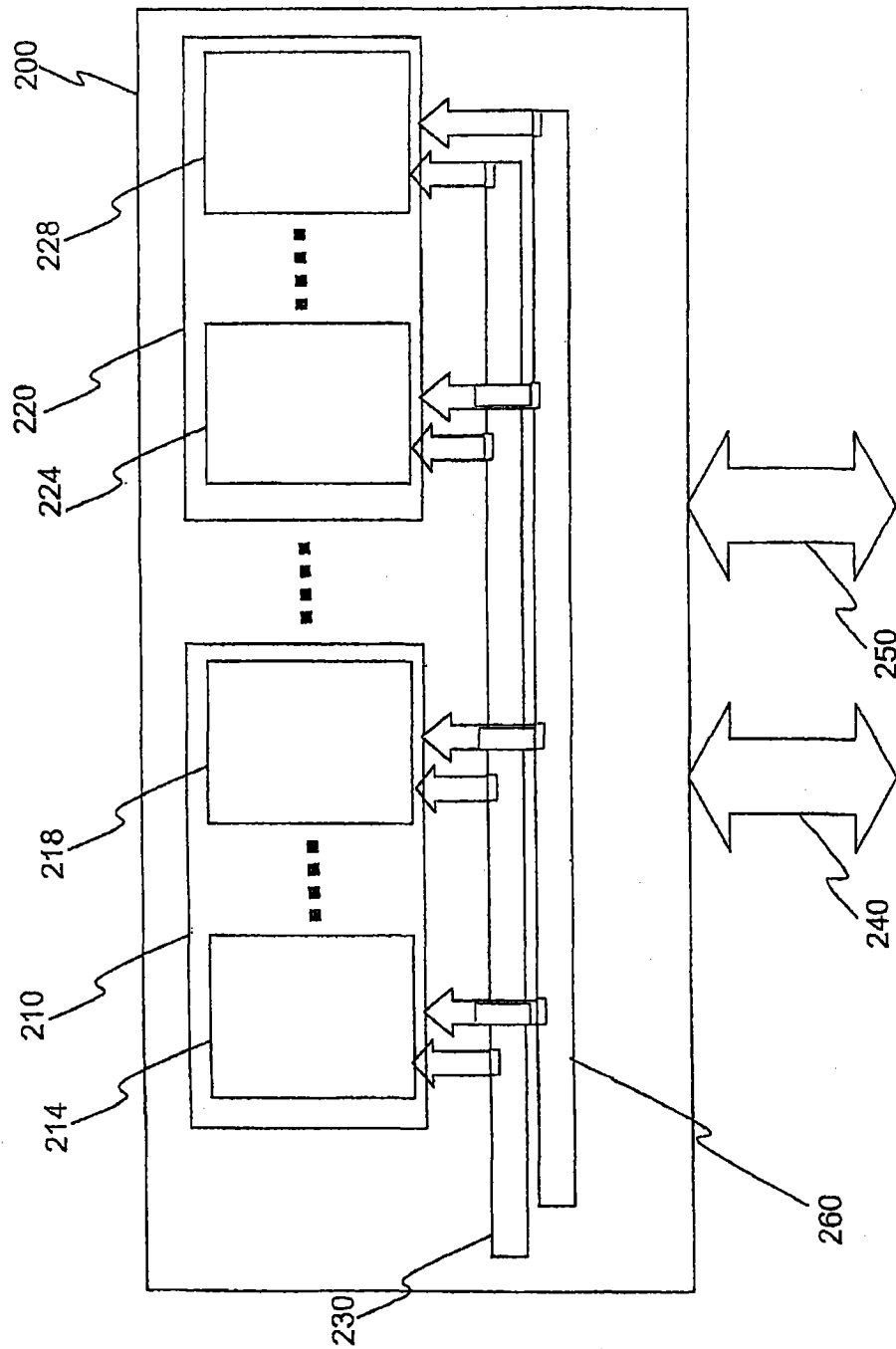


图 2

300

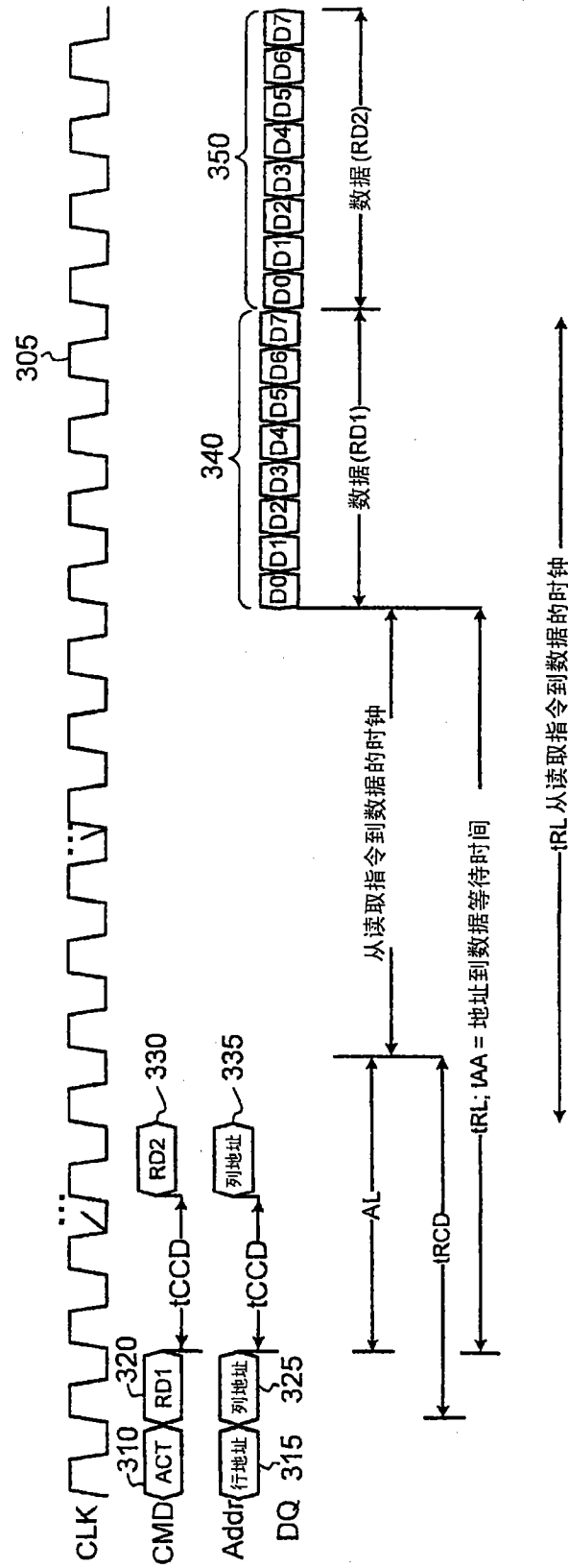


图 3

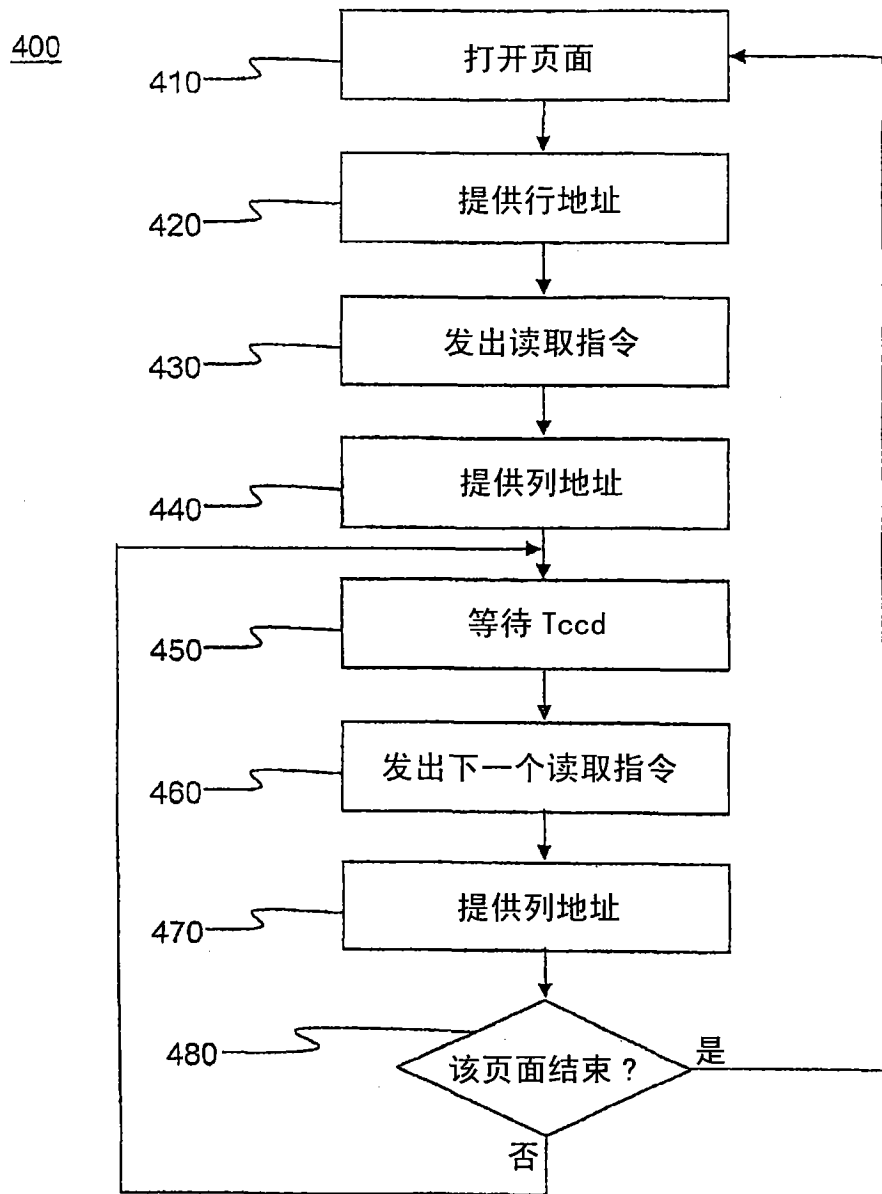


图 4

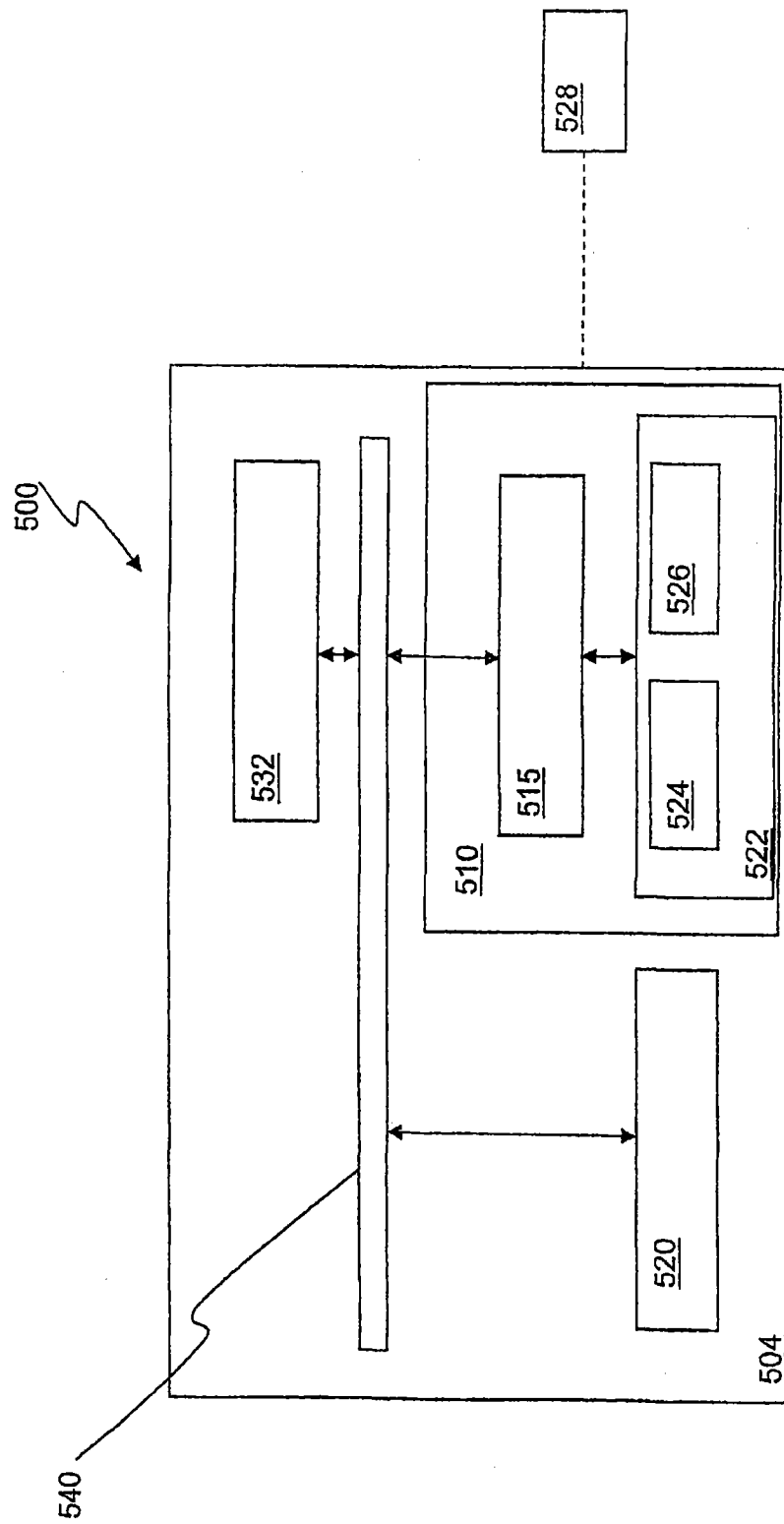


图 5