



PCT

特許協力条約に基づいて公開された国際出願

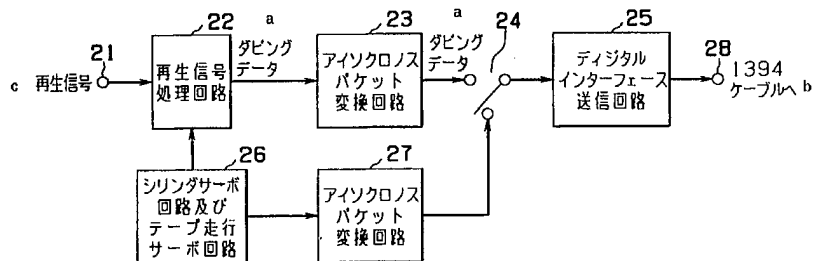
(51) 国際特許分類6 G11B 20/10	A1	(11) 国際公開番号 WO98/35348
		(43) 国際公開日 1998年8月13日(13.08.98)
(21) 国際出願番号 PCT/JP98/00473		(81) 指定国 CN, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(22) 国際出願日 1998年2月5日(05.02.98)		
(30) 優先権データ 特願平9/25625 1997年2月7日(07.02.97)	JP	
(71) 出願人 (米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP] 〒210-0913 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP)		
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 奥山武彦(OKUYAMA, Takchiko)[JP/JP] 〒234-0051 神奈川県横浜市港南区日野3-8-2-316 Kanagawa, (JP)		
(74) 代理人 弁理士 伊藤 進(ITO, Susumu) 〒160-0023 東京都新宿区西新宿7丁目4番4号 武蔵ビル Tokyo, (JP)		

(54)Title: EQUIPMENT WITH DIGITAL INTERFACE AND METHOD FOR DIGITAL INTERFACING

(54)発明の名称 デジタルインターフェースを有する装置及びデジタルインターフェース方法

(57) Abstract

An equipment and method for allowing synchronous dubbing and tag recording without using a large-capacity buffer memory. A reference signal from a cylinder servo circuit and tape driving servo circuit of a transmitter is converted into an isochronous packet and is outputted to a 1394 cable from a digital interface transmitting circuit. Then, a receiver converts the received isochronous packet back into a reference signal as it was before by means of an isochronous packet converting circuit, and then supplies it to the cylinder servo circuit and tape driving servo circuit. By this method, the transmitter and the receiver are synchronized and thereby synchronous dubbing and tag recording are made available. Signal regeneration by the transmitter and recording by the receiver are conducted at a timing based on the reference signal, and therefore there is no necessity of a buffer memory for time synchronization.



- a ... dubbed data
- b ... to 1394 cable
- c ... regenerated signal
- 22 ... regenerated signal processing circuit
- 23 ... isochronous packet converting circuit
- 25 ... digital interface transmitting circuit
- 26 ... cylinder servo circuit and tape driving servo circuit
- 27 ... isochronous packet converting circuit

(57) 要約

大容量のバッファメモリを必要とすることなく、シンクロダビング及びつなぎ撮りを可能にする。送信機のシリンダサーボ回路及びテープ走行サーボ回路からの基準信号は、アイソクロノスケットに変換され、デジタルインターフェース送信回路から1394ケーブルに送出される。受信側では、受信したアイソクロノスケットをアイソクロノスケット変換回路によって元の基準信号に戻した後、シリンダサーボ回路及びテープ走行サーボ回路に供給する。これにより、送信機と受信機との間で同期化が達成され、シンクロダビング及びつなぎ撮りが可能となる。この後に、送信機からダビングデータが送出されて受信機で受信される。送信の再生処理及び受信機の記録処理は基準信号に基づくタイミングで行われており、時間あわせのためのバッファメモリは不要である。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	イギリス	LV	ラトヴィア	TD	チャド
AU	オーストラリア	GE	グルジア	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BE	ベルギー	GW	ギニア・ビサウ	ML	マリ	TT	トリニダード・トバゴ
BF	ブルキナ・ファソ	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BG	ブルガリア	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
BJ	ベナン	ID	インドネシア	MW	マラウイ	US	米国
BR	ブラジル	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
BY	ベラルーシ	IL	イスラエル	NE	ニジェール	VN	ベトナム
CA	カナダ	IT	イタリア	NL	オランダ	YU	ユーゴスラヴィア
CF	中央アフリカ共和国	IS	アイスランド	NO	ノルウェー	ZW	ジンバブエ
CG	コンゴ共和国	JP	日本	NZ	ニュージーランド		
CH	スイス	KE	ケニア	PL	ポーランド		
CI	コートジボアール	KG	キルギス	PT	ポルトガル		
CM	カメルーン	KP	北朝鮮	RO	ルーマニア		
CN	中国	KR	韓国	RU	ロシア		
CU	キューバ	KZ	カザフスタン	SD	スーダン		
CY	キプロス	LC	セント・ルシア	SE	スウェーデン		
CZ	チェコ	LI	リヒテンシュタイン	SG	シンガポール		
DE	ドイツ	LK	スリランカ	SI	スロベニア		
DK	デンマーク	LR	リベリア	SK	スロヴァキア		
EE	エストニア	LS	レソト	SL	シエラ・レオネ		
ES	スペイン						

明 細 書

デジタルインターフェースを有する装置及びデジタルインターフェース方法

技術分野

本発明は、I E E E 1 3 9 4規格に対応したネットワークによるダビング記録に好適なデジタルインターフェースを有する装置及びデジタルインターフェース方法に関する。

背景技術

近年、画像のデジタル処理が検討されている。デジタル画像データの磁気記録再生装置（V T R）による記録についても各種方式が検討されている。例えば、日本国における民生用デジタルV T R（ビデオテープレコーダ）の協議会においては、N T S C信号及びP A L信号等のS D（Standerd definition）信号を圧縮してデジタル信号のまま記録するためのS D規格及びH D T V（High Definition TV）のベースバンド信号等のH D（High Definiton）信号を圧縮してデジタル信号のまま記録するためのH D規格が決定している。これらの規格に対応した民生用デジタルV T R（以下、D V T Rともいう）も商品化されようとしている。

一般的に、映像信号をデジタル化すると、その情報量は膨大となり、情報を圧縮することなく伝送又は記録等を行うことは、通信速度及び費用等の点で困難である。このため、S D，H D規格においては、デジタル映像信号をフレーム内圧縮するようになっている。

図1はS D規格におけるテープの記録フォーマットを説明するための説明図である。

図1はテープ15上に形成される記録トラック16を示している。図1に示すように、記録トラック16はデータの種類に対応した複数の領域、即ち、SSA (Start-Sync Block Area) 及びTIA (Track ID Area) を含むITI (INSERT AND TRACK INFORMATION)、オーディオ領域、ビデオ領域並びにサブコード領域等を有している。これらの領域はテープ15の下端から上端に向かって順次配列される。なお、これらの領域相互間にはギャップGAP1乃至GAP3及びアンプル部 (AMBLE) が設けられている。ヘッドのトレースによって、ITI、オーディオ領域、ビデオ領域及びサブコード領域が順次記録再生される。

ヘッドは、図2に示すヘッドスイッチパルスのタイミングでトレースを行う。図2のヘッドスイッチパルスの立上り及び立下りタイミングで、回転ヘッドによって、トレースが行われる。ヘッドスイッチパルスは図2に示すフレームパルスに同期して発生するようになっており、SD規格では、図2に示すように、1フレーム期間に10回のトレースが行われる。即ち、1フレームは10トラックに記録される。

1トラックのトレースに要する時間は1フレーム期間の $1/10$ である。図3はこの1トラック期間に伝送されるデータを示している。1トラック期間は、図3に示すように、 3.33 m秒 であり、この期間に上述したITI、オーディオ領域、ビデオ領域及びサブコード領域に書込むデータが伝送される。なお、ヘッドスイッチパルスは、DVTRにおけるトラックの記録の基準を与える信号であり、このヘッドスイッチパルスによってシリンダサーボがかけられるようになっている。

民生用デジタルVTRのSDフォーマットにおいては、各トラックに1シンクブロックを記録単位としてデータを記録するようになっている。各シンクブロックは90バイト長であり、2バイトの同期信号 (S

YNC) と 3 バイトの ID とを有している。

また、図 1 に示すビデオ領域は、2 バイトの SYNC、3 バイトの ID、77 バイトのビデオデータ領域、8 バイトの水平パリティ C1 及び 77 バイトの垂直パリティ C2 を有する。また、ビデオ領域は、各 1 シンクブロックずつのビデオ補助データ領域 (VAUX0 乃至 VAUX2)、135 シンクブロックのビデオデータ領域及び 11 シンクブロックの垂直パリティ C2 を有している。

ところで、DVT Rにおいては、アナログテレビジョン信号を圧縮して記録するだけでなく、デジタルデータを直接記録することも可能である。図 4 はデジタルデータのみを入出力する DVT Rの関連技術を示すブロック図である。

デジタル画像機器相互間で、データの送受を行うためのデジタルインターフェース方式の統一規格としては、マルチメディア用途に適した低コストの周辺インターフェースである IEEE (The Institute of Electrical and Electronics Engineers, Inc.) 1394 が普及しつつある。IEEE 1394 は、複数のチャンネルの多重転送が可能である。また、IEEE 1394 は、映像及び音声データ等を一定時間以内で転送することを保証するアイソクロノス (isochronous) 転送機能を有していることから、画像伝送に適したデジタルインターフェースとなっている。なお、IEEE 1394 については特開平 8-279818 号公報等に詳述されている。

図 4 の装置は、端子 1 にこのような IEEE 1394 規格のケーブルが接続される。1394 回路 2 は IEEE 1394 規格のデジタルインターフェースにおけるリンク層及び物理層を制御するものであり、端子 1 に接続された 1394 ケーブル (図示せず) 上に流れるデータを取

り込んでデジタル I / F パケット変換回路 3 に供給すると共に、デジタル I / F パケット変換回路 3 からのデータを 1 3 9 4 ケーブルに送出する。

デジタル I / F パケット変換回路 3 は I E E E 1 3 9 4 規格のパケットと S D 規格のパケットとのパケット変換を行う。1 3 9 4 パケットは、デジタル I / F パケット変換回路 3 によって S D 規格のパケットに変換されて訂正符号化復号化回路 5 に供給される。S D 規格においては、デジタル I / F パケット変換回路 3 は、入力された 1 シンクブロック分のデータを 1 D I F (デジタルインターフェース) ブロックに変換すると共に、1 トラック分のデータを 1 5 0 D I F ブロックに変換して 1 5 0 D I F ブロック単位でデータの入出力を行うようになっている。

更に、デジタル I / F パケット変換回路 3 の出力は、図 1 のデータ順となるように、例えば訂正符号化復号化回路 5 によって並べ替えられる。訂正符号化復号化回路 5 は、メモリ 6 に書込まれたデータを読み出し、図 1 のトラック方向のデータに対して誤り訂正用の垂直パリティ C2

(外符号) を配列し、シンク方向のデータに対して水平パリティ C1

(内符号) を配列する。誤り訂正符号化復号化回路 5 は、外符号及び内符号を付加してデータを図 1 の記録フォーマット順で変復調回路 7 に出力する。このようなエラー訂正処理はマイコン 10 によって制御される。

訂正符号化復号化回路 5 の出力は変復調回路 7 によって変調された後アンプ等化検出回路 8 を介してテープ 9 に記録される。

上述したように S D 規格では、1 フレームは 1 0 トラックに記録されるが、この 1 フレームの記録単位内でシステムデータの内容が変更されることは規格上許されておらず、1 フレームの途中のトラックからデー

タが書換えられることはない。

ところで、民生用デジタルVTR協議会では、次世代デジタル放送であるATV及びDVBの圧縮方式として、MPEG2を採用することを決定している。ATV、DVB規格ではMPEG2方式で圧縮されたデータをそのまま記録する方式を採用する。

SD、HD規格ではフレーム内圧縮方式が採用されているが、MPEG2ではフレーム内圧縮だけでなく、フレーム間圧縮を用いた符号化が行われる。つまり、MPEG2データはフレーム固定長ではなく、1フレームデータの記録に必要なトラック数は不定である。従って、記録はトラック単位で行われ、サブコード、VAUX及びAAUXもトラック単位で完結する。従って、この場合には、訂正符号化復号化回路5は、数トラック分のメモリによってエラー訂正処理が可能となることが考えられる。

即ち、訂正符号化においては先ず外符号(C2)の符号化を行った後に、この外符号も含むデータに対して内符号(C1)の符号化を行っている。従って、訂正符号化復号化回路5は先ず外符号を付加するために、この外符号の生成に必要となるトラック方向のデータを記憶する必要がある。従って、外符号の符号化には1トラック分のデータを格納するためのメモリと、このメモリからデータを読み出して外符号を作成するための1トラック分のメモリが必要である。

内符号の符号化はシンクブロック単位で行われるので、変復調回路7への出力処理と同時に行うことができる。これらの処理は順次入力されるトラック単位のデータに対してサイクリックに行われるので、各1トラック分のメモリを上述した各処理に対応させることにより、nトラック分のメモリによって、入力処理と外符号の付加処理と内符号の付加及

び出力処理とが可能になる。

このように、図4の装置は複数の規格のデジタルデータを記録することができる。

ところで、これらのMPEG2及びDVT R等の規格相互間における伝送プロトコル及び同期方法は、IEC1883において規格化が進められている。

現在のプロトコル案においては、送信側では、アイソクロノスデータをIEEE1394規格のアイソクロノスパケットに変換して伝送する。この場合には、送信する元のデータの基準タイミング信号と同一タイミングのデータ、例えば、1フレームの先頭データを含むデータ群をパケット化する際に、アイソクロノスパケットのヘッダデータ内に基準の信号であることを示すフレームパルス等のフラグを挿入するようになっている。

一方、受信側においては、受信したパケットのヘッダフラグを抽出し、1フレームの先頭を示すフラグによってフレームの開始タイミングを合わせるようになっている。これにより、送受信機間の同期をとることができる。

図5はこのような同期化の動作を説明するためのタイミングチャートである。図5は複数の機器における同期化を説明するためのものである。図5は最上段に1394パケットを示し、上段側から受信機Aのヘッドスイッチパルス、エラー訂正処理及び記録処理を示し、受信機Bのヘッドスイッチパルス(B)、エラー訂正処理(B)及び記録処理(B)を示し、受信機Cのヘッドスイッチパルス(C)、エラー訂正処理(C)及び記録処理(C)を示している。

上述したように、受信側DVT Rでは、図4の訂正符号化復号化回路

5による誤り訂正処理において、通常 n トラック期間の遅延時間が発生する。即ち、図4のデジタルI/Fパケット変換回路3の出力は、誤り訂正処理及び記録処理のために、 n トラック期間の遅延時間を要して、テープ9に記録される。図5においては、エラー訂正処理にヘッドスイッチパルスの1周期分、即ち、2トラック期間（図5の記録処理遅延量）を要している例を示している。

シリンダの回転サーボは1トラック期間を表すヘッドスイッチパルス（図5参照）を基準信号としており、変復調回路7からアンプ等化検出回路8にデータが出力されるタイミングも、ヘッドスイッチパルスによって規定される。変復調処理は現在24ビット単位で処理されており、変復調処理による時間遅延は無視することができる。

従って、訂正符号化復号化回路5の出力タイミングは、テープ9に記憶されるタイミングと略々一致している。そして、エラー訂正処理によって n トラック遅延されるので、一般的には、図5に示すように、エラー訂正処理の入力タイミングもヘッドスイッチパルスを基準信号とした記録開始タイミング信号に同期させるようになっている。

例えば、受信機Aについては、図5に示すように、ヘッドスイッチパルスのタイミングで、1394パケットに基づくデジタルI/Fパケット変換回路3の出力を訂正符号化復号化回路5に供給してエラー訂正処理を開始させる。エラー訂正処理は2トラック期間を要し、エラー訂正符号化復号化回路5への入力から2トラック期間後にアンプ等化検出回路8からテープ9に磁気記録が行われる。他の受信機B、Cについても、図5に示すように、各受信機B、Cのヘッドスイッチパルス（B）、（C）に応じたタイミングで、エラー訂正処理及び記録処理が行われる。

このように、エラー訂正の入力処理は、各受信機A、B、Cのヘッド

スイッチパルスに同期して行われるので、図5に示す遅延量だけ、入力された1394パケットを保持する必要がある。このため、図4の装置においては、バッファメモリ4を有しており、デジタルI/Fパケット変換回路3はバッファメモリ4を用いて、エラー訂正符号化復号化回路5への出力をヘッドスイッチパルスに同期化させるようになっている。

ところで、DVTRからDVTRにダビング記録を行う場合には、受信側のDVTRが1フレームのデータを10トラックに記録するので、フレームの先頭データはこの10トラックの1トラック目に記録するようになる必要がある。

DVTRに入力するデジタルデータをテープの記録開始位置、即ち、1フレームの先頭トラックに記録するように同期化する方法としては、受信側で同期をとる方法と送信側で同期をとる方法とが考えられる。

いま、記録側のDVTRにおいて、既に記録が行われているテープに、連続して記録を行うつなぎ撮り記録を行うものとする。つなぎ撮り記録においては、サーボを同期化させるためのトラッキングパイロット信号を連続的に記録するために、1フレームの先頭トラック、即ち、フレーム単位（10トラック単位）で記録されているデータに連続したトラック（以下、先頭トラックという）から記録が開始される必要がある。

図6はトラッキングパイロット信号を説明するための説明図である。

図6の例では、トラッキング用のパイロット信号として周波数が f_0 、 f_1 、 f_2 の三種類の信号（以下、パイロット信号 F_0 、 F_1 、 F_2 という）を用い、各トラックにパイロット信号 F_1 、 F_0 、 F_2 、 F_0 、 F_1 、 F_0 、 F_2 、 F_0 、…を順に重畳して記録する。再生時には、再生信号に含まれるパイロット信号 F_1 、 F_2 のレベルを比較し、比較レベルが一致するように、即ち、パイロット信号 F_0 が重畳されているト

ラックにトラック位相を合わせるように制御する。この場合には、トラック位相のずれ方向を考慮すると、4トラック毎にトラック位相をパイロット信号 F0 のトラックに一致させることができることになる。

仮に、図 6 に示す各フレームの先頭トラック以外のトラックから記録を開始するものとする。そうすると、パイロット信号の順序がずれてしまい、トラッキングサーボが正常に機能しなくなってしまう。従って、新たな記録は前記録の最後のフレームの最後のトラックの次のトラック（図 6 の先頭トラック）から行う必要があるのである。

受信側で同期化を行う場合には、受信機を記録されているフレームの最後のトラックで記録待機状態にする。即ち、テープの走行は停止させるが、サーボを基準信号（ヘッドスイッチパルス）に同期させてシリンダは回転させる。この場合でも、先頭フレームから記録を行うために、フレーム基準信号（フレームパルス）は発生させておく。

このような受信機の待機状態において、送信装置から 1 3 9 4 ケーブルを介してデータを送信する。図 4 の受信機は、データを受信した後、バッファメモリ 4 を用いて、訂正符号化復号化回路 5 の出力が先頭トラックから n トラック（図 5 の例では 2 トラック）前のタイミングで開始されるようにデータを保持する。先頭トラックから n トラック前のタイミングで、デジタル I/F パケット変換回路 3 はバッファメモリ 4 から読出したデータを訂正符号化復号化回路 5 に出力する。先頭トラックのタイミングになると、テープ 9 の走行を開始させ、アンプ等化検出回路 8 からの記録データをテープ 9 に磁気記録する。こうして、フレームの先頭のデータを先頭トラックから正しく記録することができる。

しかしながら、この方法では、バッファメモリ 4 として最大で 1 フレーム（10 トラック）分のデータを記憶する容量を有する必要があり、

回路規模が増大してしまう。

一方、送信側で同期化を行う方法としては、送信機がデータの送信タイミングを調整する方法が考えられる。即ち、記録が先頭フレームのタイミングで行われるように、先頭フレームの n トラック前のタイミングで受信機がデータを受信することができるように送信機が送出タイミングを調整すればよい。この方法を採用した場合には、受信機において訂正符号化復号化回路 5 へのデータ入力のタイミング合わせのためのバッファメモリ 4 として比較的小さな容量のバッファ用いることが可能となる。

しかしながら、現在はこの方法に適したプロトコルは存在しない。

しかも、この方法は送信機と受信機とが 1 対 1 の場合にはよいが、図 5 の例のように、1 台の送信機からのデータを複数の受信機によって受信する場合には採用することができない。即ち、図 5 に示すように、各受信機の基準信号（ヘッドスイッチパルス）は相互に独立して発生しており、各受信機の実頭トラックのタイミングは相互に異なる。従って、送信機が 1 台の受信機に同期させてデータを送出すると、他の受信機に入力されるデータは自機の基準信号とは同期化されていないものとなる。各受信機相互間では、フレーム基準信号のタイミングが最大で 1 フレーム期間相違することから、同期化されているデータを受信した受信機は最大で 1 フレーム分のバッファメモリを必要とする。

また、送信側で全受信機に同期化したデータを送出させるためには、送信機が受信機の数分のフレームメモリを備える必要がある。

なお、同期化の方法として、アイソクロノスデータにサーボ基準信号を挿入する方法も考えられる。受信側においては、サーボ基準信号を用いて同期化を図るのである。

しかしながら、受信機では、アイソクロノスデータを受信後に、サーボの引込み動作を開始するようになっているので、全ての受信機のサーボ位相がロックするまでに比較的長時間が経過してしまい、各受信機器は位相が合うまではデータをバッファに一旦保持させる必要がある。このため、この場合もバッファメモリとして大容量のメモリが必要である。

このように、伝送されたデジタルデータを記録するためには、同期化のために大容量のバッファが必要であり、回路規模が増大してしまうという問題点があった。

また、受信したデータを正確な記録開始位置から記録させるためには大容量のバッファが必要であり、回路規模が増大してしまうという問題点があった。

また、受信したデータをつなぎ撮りするためには大容量のバッファが必要であり、回路規模が増大してしまうという問題点があった。

また、複数の機器を用いたシンクロダビングを行うためには大容量のバッファが必要であり、回路規模が増大してしまうという問題点があった。

そこで、本発明は、大容量のバッファを必要とすることなく、データを同期化して記録し、つなぎ撮りが可能で、複数の機器を用いたシンクロダビングを可能にすることができるデジタルインターフェースを有する装置及びデジタルインターフェース方法を提供することを目的とする。

発明の開示

本発明の請求項 1 に係るデジタルインターフェースを有する装置は、複数の機器によって構成されるネットワーク内の 1 又は 2 以上の第 1 の

機器に設けられ、オリジナルタイミング基準信号を第 1 の同期伝送されるデータに変換して前記ネットワークを構成する伝送路に送出するタイミング基準信号送出手段と、前記ネットワーク内の前記第 1 の機器以外の第 2 の機器に設けられ、前記伝送路を介して伝送された前記オリジナルタイミング基準信号に基づくタイミング基準信号を得るタイミング基準信号発生手段と、前記ネットワーク内の機器に設けられ、前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して所定の伝送データを第 2 の同期伝送されるデータに変換して前記伝送路に送出する送信手段と、前記ネットワーク内の機器に設けられ、前記第 2 の同期伝送されるデータを前記伝送路を介して受信して前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して記録を行う記録手段とを具備したものであり、

本発明の請求項 1 においては、第 1 の機器のオリジナルタイミング基準信号送出手段によって、オリジナルタイミング基準信号が第 1 の同期伝送されるデータに変換されて伝送路に送出される。第 1 の機器以外の第 2 の機器のタイミング基準信号発生手段は、伝送されたオリジナルタイミング基準信号を受信して自機のタイミング基準信号を得る。これにより、第 1 の機器以外の第 2 の機器同士は同期化される。送信手段を有する機器は、所定の伝送データをオリジナルタイミング基準信号又はタイミング基準信号に基づいて、第 2 の同期伝送されるデータに変換して伝送路に送出する。この第 2 の同期伝送されるデータは、受信する機器の記録手段によって受信され、オリジナルタイミング基準信号又はタイミング基準信号に同期化して記録される。送信手段を有する機器及び記録手段を有する機器は、いずれもオリジナルタイミング基準信号に基づいて同期化されているので、同期記録及びつなぎ撮り記録が可能となる。

本発明の請求項 6 に係るデジタルインターフェース方法は、複数の機器によって構成されるネットワーク内の 1 又は 2 以上の第 1 の機器からオリジナルタイミング基準信号を第 1 の同期伝送されるデータに変換して前記ネットワークを構成する伝送路に送出するタイミング基準信号送出手順と、前記伝送路を介して伝送された前記オリジナルタイミング基準信号を前記ネットワーク内の前記第 1 の機器以外の第 2 の機器によって受信して、伝送された前記オリジナルタイミング基準信号に基づく記録タイミング基準信号を得ることにより同期化を行う同期化手順と、前記ネットワーク内の機器が、前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して、所定の伝送データを第 2 の同期伝送されるデータに変換して前記伝送路に送出する送信手順と、前記ネットワーク内の機器が前記第 2 の同期伝送されるデータを前記伝送路を介して受信して前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して記録を行う記録手順とを具備したものである。

本発明の請求項 6 においては、第 1 の機器から伝送路にオリジナルタイミング基準信号に基づく第 1 の同期伝送されるデータが送出される。第 1 の機器以外の第 2 の機器は、伝送されたオリジナルタイミング基準信号に基づくタイミング基準信号を得る。これにより、ネットワーク内の機器の同期化が行われる。同期化が達成されると、送信側の機器から伝送データに基づく第 2 の同期伝送されるデータが伝送路に送出される。この送信はオリジナルタイミング基準信号又はタイミング基準信号に同期化して行われる。受信側の機器は、オリジナルタイミング基準信号又はタイミング基準信号に同期化して、第 2 の同期伝送されるデータを受信して記録を行う。これにより、同期記録及びつなぎ撮り記録を可能にする。

図面の簡単な説明

図1はSD規格の記録フォーマットを説明するため説明図、図2はフレームパルス及びヘッドスイッチパルスを説明するための説明図、図3はテープに記録するデータを示す説明図、図4はDVTRの関連技術を示すブロック図、図5は図4のDVTRの動作を説明するためのタイミングチャート、図6はパイロット信号を説明するための説明図、図7及び図8は本発明に係るデジタルインターフェースを有する装置の一実施の形態を示すブロック図、図9は図7及び図8の実施の形態のデジタルインターフェースを有する装置によって構成したネットワークを説明するための説明図、図10はアイソクロノスケットを示す説明図、図11は図7及び図8の実施の形態の動作を説明するためのタイミングチャート、図12は図7及び図8の実施の形態の動作を説明するためのフローチャート、図13及び図14は本発明の他の実施の形態を示すブロック図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態について詳細に説明する。図7及び図8は本発明に係るデジタルインターフェースを有する装置の一実施の形態を示すブロック図である。図7は送信側を示し、図8は受信側を示している。また、図9は本実施の形態に係るデジタルインターフェースを有する装置を用いて構成したネットワークを説明するための説明図である。

図9では、1台の送信機15と3台の受信機16乃至18によってネットワークを構成した例を示している。送信機15及び受信機16乃至18は、例え

ば、デジタルVTRである。図9においては、伝送路19としてはアイソクロノスデータの送受が可能な例えばIEEE1394ケーブルが採用される。本実施の形態におけるネットワークにおいては、記録するデータの伝送に先立って、同期化のためのデータを伝送するようになっている。

図7は図9中の送信機15の具体的な構成を示し、図8は図9中の受信機16乃至18の具体的な構成を示している。図7において入力端子21には図示しないヘッドからの再生信号が入力される。この再生信号は再生信号処理回路22に供給される。再生信号処理回路22は、再生信号に対して所定の信号処理を施してダビング用のダビングデータを作成するようになっている。例えば、再生信号処理回路22は、図4の再生側の回路から1394回路2及びデジタルI/Fパケット変換回路3を削除した構成と同様の構成にすることができる。

この場合には、再生信号処理回路22は、再生信号を波形等化した後復調処理を行って再生データを得るようになっている。再生信号処理回路22は再生データに誤り訂正復号化処理を施してエラー訂正を行うと共に、データの並べ換えを行って、例えば再生データからSD規格のパケットを得るようになっている。

再生信号処理回路22は、シリンダサーボ回路及びテープ走行サーボ回路26によって再生信号処理が制御されるようになっている。シリンダサーボ回路及びテープ走行サーボ回路26は、再生基準信号及びフレーム基準信号として、例えばヘッドスイッチパルス及びフレームパルスを発生するようになっている。ヘッドスイッチパルスは、DVTRにおけるヘッド切換え及びシリンダ回転の基準信号となる。また、フレームパルスは、再生信号のフレームの先頭位置を示すものである。

再生信号処理回路22の出力はダビングデータとしてアイソクロノス packets 変換回路23に供給される。アイソクロノス packets 変換回路23は、再生データをアイソクロノス packets に変換して出力する。アイソクロノス packets 変換回路23の出力はスイッチ24を介してデジタルインターフェース送信回路25に供給されるようになっている。

本実施の形態においては、シリンダサーボ回路及びテープ走行サーボ回路26は、発生した基準信号及びフレーム基準信号をアイソクロノス packets 変換回路27に出力するようになっている。アイソクロノス packets 変換回路27はアイソクロノス packets 変換回路23と同様の構成であり、入力された基準信号（オリジナルタイミング基準信号）をアイソクロノス packets に変換して出力する。

図10はアイソクロノス packets 変換回路27から出力されるアイソクロノス packets の一例を示す説明図である。

図10に示すように、アイソクロノス packets には先頭にヘッダが配列され、次に、ヘッダCRC、CIPヘッダが配列され、次いでアイソクロノスデータを含むアイソクロノスデータエリアが配列され、最後にデータCRCが配列される。なお、CIPヘッダにはFDFエリアを有している。なお、フレームパルスはFDFエリア内にフラグとして挿入される。ヘッドスイッチパルス等の基準信号のデータはアイソクロノスデータエリアに挿入されるようになっている。

アイソクロノス packets 変換回路27の出力はスイッチ24を介してデジタルインターフェース送信回路25に供給されるようになっている。スイッチ24はアイソクロノス packets 変換回路23、27の出力を切換え選択してデジタルインターフェース送信回路25に供給するようになっている。

デジタルインターフェース送信回路25は I E E E 1 3 9 4 のリンク層及び物理層を制御するものであり、入力されたアイソクロノス packets を I E E E 1 3 9 4 規格のアイソクロノス packets として出力端子28を介して図示しない 1 3 9 4 ケーブルに送出するようになっている。

本実施の形態においては、ダビングデータの送出以前に、シリンダサーボ回路及びテープ走行サーボ回路26からの基準信号及びフレーム基準信号を送出するようになっている。

受信側においては、図8の入力端子31には、図示しない 1 3 9 4 ケーブルからのアイソクロノス packets が入力される。このアイソクロノス packets はデジタルインターフェース受信回路32に供給される。デジタルインターフェース受信回路32は、I E E E 1 3 9 4 のリンク層及び物理層を制御するものであり、入力された I E E E 1 3 9 4 規格のアイソクロノス packets を受信して、スイッチ33に出力するようになっている。

スイッチ33は入力されたデータのうちダビングデータのアイソクロノス packets についてはアイソクロノス packets 変換回路34に供給し、基準信号のアイソクロノス packets についてはアイソクロノス packets 変換回路36に供給するようになっている。アイソクロノス packets 変換回路34、36は同様の構成である。アイソクロノス packets 変換回路34は、入力された I E E E 1 3 9 4 規格のアイソクロノス packets をダビングデータに戻して記録処理回路35に出力する。また、アイソクロノス packets 変換回路36は、入力された I E E E 1 3 9 4 規格のアイソクロノス packets を基準信号及びフレーム基準信号に戻してシリンダサーボ回路及びテープ走行サーボ回路37に出力するようになっている。

記録処理回路35は入力されたダビングデータに所定の記録処理を施し

て出力端子38を介してヘッドに供給するようになっている。例えば、記録処理回路35は、図4の記録側の回路から1394回路2及びデジタルI/Fパケット変換回路3を削除した構成と同様の構成にすることができる。

この場合には、記録処理回路35は、入力されたSD規格のパケットに対して、訂正符号化を行うと共にデータの並べ換えを行って、SD規格の記録フォーマットのデータを得るようになっている。更に、記録処理回路35は、エラー訂正処理されたダビングデータを変調処理し増幅した後端子38を介して図示しないヘッドに供給するようになっている。

本実施の形態においては、記録処理回路35はシリンダサーボ回路及びテープ走行サーボ回路37によって制御されるようになっている。

シリンダサーボ回路及びテープ走行サーボ回路37は、入力された基準信号及びフレーム基準信号に基づいて、自機で用いる基準信号及びフレーム基準信号を作成する。例えば、基準信号及びフレーム基準信号として夫々ヘッドスイッチパルス及びフレームパルスが用いられる。シリンダサーボ回路及びテープ走行サーボ回路37は、ヘッドスイッチパルス及びフレームパルスに同期させてシリンダの回転及びテープ走行を制御するようになっている。

シリンダサーボ回路及びテープ走行サーボ回路37が用いる基準信号及びフレーム基準信号は、送信機15の基準信号及びフレーム基準信号に基づくものであるので、自機のシリンダ回転及びテープ走行を送信機15のシリンダ回転及びテープ走行に同期化したものとなる。シリンダサーボ回路及びテープ走行サーボ回路37は、発生した基準信号及びフレーム基準信号を記録処理回路35に供給する。

記録処理回路35は、基準信号及びフレーム基準信号に基づくタイミン

グで、例えばエラー訂正処理等を行うようになっている。ダビングデータが送信機15の基準信号及びフレーム基準信号に同期して送出され、受信機16乃至18が送信機15の基準信号及びフレーム基準信号に基づく基準信号及びフレーム基準信号を用いて記録処理を行うので、受信データをバッファメモリに保持することなく、同期化が可能である。

次に、このように構成された実施の形態の動作について図11のタイミングチャート及び図12のフローチャートを参照して説明する。図11は、上から送信機15のヘッドスイッチパルス、アイソクロノスケット変換回路27からの1394アイソクロノスケット、1394ケーブル上のアイソクロノスケット、受信機16乃至18のヘッドスイッチパルス、アイソクロノスケット変換回路23からの1394アイソクロノスケット、1394ケーブル上のデータ、受信機16乃至18において復元したアイソクロノスケット、受信機16乃至18のエラー訂正処理及び受信機16乃至18の記録処理を示している。なお、実際のDVTRでは、ヘッドスイッチパルスの周期は3.33m秒であり、アイソクロノスサイクルは125μ秒であるので、ヘッドスイッチパルスの半周期に26アイソクロノスサイクルの packets が伝送されるが、図面の簡略化のために、図11ではパケット数を正確に示していない。

いま、図9に示すネットワーク構成において、送信機15であるDVTRが再生したアイソクロノスデータを受信機16乃至18において受信して記録するものとする。受信機16乃至18であるDVTRは既に記録が行われているテープにつなぎ撮り記録を行うものとする。

本実施の形態におけるネットワークでは、送信機15からのアイソクロノスデータの送出が通知される（ダビング命令が発生する）（ステップS1）と、受信機16乃至18においては、記録が可能な状態になるまで、

即ち、送信機15との同期化が終了するまで、例えば”準備中”を表わすステータスコマンドを送信機に送出する（ステップS6）。この場合には、受信機16乃至18はステータスコマンドとして「同期合わせ中」のコマンドを送信機15に送出する。これにより、送信機15はダビングデータの送信の待機状態となる。

同期化が終了するまでは、各受信機16乃至18は、相互に独立した基準信号に基づいてシリンダ回転及びテープ走行が行われており、また、トラック及びフレーム等の基準信号も相互に独立した位相となっている。なお、同期合わせは、ダビングデータの送出前に行えばよく、例えば、機器を1394ケーブルに接続すると同時に同期合わせを行ってもよい。この場合には、受信機16乃至18において準備中となる時間を短縮することができる。なお、図11においては、図面の簡略化のために、ダビングデータの伝送と基準信号の伝送とを同一タイミングで示している。

ここで、送信機15が図11に示すヘッドスイッチパルスを基準信号として、ヘッド回転及びテープ走行を行っているものとする。送信機15は、ダビングデータの送出前に、同期合わせのための基準信号の送出を行う（ステップS2）。即ち、送信機15のシリンダサーボ回路及びテープ走行サーボ回路26は、ヘッドスイッチパルスをアイソクロノスケット変換回路27に供給する。ヘッドスイッチパルスはアイソクロノスケット変換回路27においてアイソクロノスケットに変換され、図11に示すアイソクロノスケットがスイッチ24を介してデジタルインターフェース送信回路25に供給される。

デジタルインターフェース送信回路25はIEEE1394規格のリンク層及び物理層を制御して、基準信号を伝送するアイソクロノスケットを端子28から図示しない1394ケーブルに送出する。なお、ディ

デジタルインターフェース送信回路25の処理には、一般的に1アイソクロノスサイクル（125 μ 秒）程度の所定の時間が必要であり、アイソクロノス packets は、図11に示すように、この所定の遅延時間分だけ遅延してIEEE1394に規定された伝送速度で1394ケーブル上を伝送される。

図11に示すアイソクロノス packets は、受信機16乃至18の端子31を介してデジタルインターフェース受信回路32に取り込まれる。デジタルインターフェース受信回路32は、IEEE1394規格のリンク層及び物理層を制御し、アイソクロノス packets を受信してスイッチ33を介してアイソクロノス packets 変換回路36に供給する。なお、デジタルインターフェース受信回路32の処理によって、送信側と同様に、例えば1アイソクロノスサイクル程度の遅延時間が生じる。

アイソクロノス packets はアイソクロノス packets 変換回路36において元の基準信号に戻されて、シリンダサーボ回路及びテープ走行サーボ回路37に供給される。シリンダサーボ回路及びテープ走行サーボ回路37は入力された基準信号に位相が同期した基準信号を発生して自機の基準信号とする（ステップS7）。シリンダサーボ回路及びテープ走行サーボ回路37は、この基準信号に基づいて、シリンダ回転及びテープ走行並びに記録処理等を制御する（ステップS8）。

これらの処理は、受信機16乃至18において同様に行われる。即ち、図11に示すように、受信機16乃至18においては、いずれも送信機15のヘッドスイッチパルスに対して例えば2アイソクロノスサイクルだけ遅延して同期化したヘッドスイッチパルスが用いられる。なお、受信機16乃至18においては、アイソクロノスデータのCIPヘッダのFDFエリアにフラグとして挿入されているフレームパルスを用いて自機のフレーム

パルスを復元しており、受信機16乃至18相互間でフレームパルスも同期化させることができる。

受信機16乃至18においては、エラー訂正処理のために例えば2トラック期間を要するので、受信機16乃至18は、送信機15のヘッドスイッチパルスに対して2アイソクロノスサイクル+2トラック期間だけ遅延したフレームパルスを用いる。

これにより、送信機15の再生タイミングと受信機16乃至18の記録タイミングとは2アイソクロノスサイクル+2トラック期間の遅延時間を有して同期化する。受信機16乃至18は、自機の記録位置（先頭フレームの位置）までテープを搬送させた後（ステップS9）、一時停止状態にして待機する。なお、シリンダは基準信号に基づいて回転している。

次に、受信機16乃至18は、送信機15に対して受信可能又は送信可能であることを示すアシンクロノス（ASYNCHRONUS）（非同期）信号を出力する（ステップS10）。これにより、送信機15はダビングデータの送出が可能となる。

送信機15は、図11のヘッドスイッチパルスに基づいてヘッドトレースが行われて、図示しないテープに記録されているデータを再生する（ステップS3）。再生信号は再生処理回路22に供給され、波形等化、復調、エラー訂正処理等が行われる。再生信号はダビングデータとしてアイソクロノス packets 変換回路23に供給され、図11に示すように、ヘッドスイッチパルスに同期してフレーム先頭タイミングからアイソクロノス packets が得られる。

このアイソクロノス packets はスイッチ24を介してデジタルインターフェース送信回路25に供給され、1アイソクロノスサイクルだけ遅延して、端子28から1394ケーブルにIEEE1394規格の伝送速度

で伝送される（ステップS4）。

1394ケーブル上には図11に示すダビングデータのアイソクロノスパケットが伝送される。このアイソクロノスパケットは各受信機16乃至18のデジタルインターフェース受信回路32に入力される（ステップS11）。デジタルインターフェース受信回路32は、図11に示すように、入力されたアイソクロノスパケットを1アイソクロノスサイクルだけ遅延させ、アイソクロノスパケットをスイッチ33を介してアイソクロノスパケット変換回路34に出力する。

アイソクロノスパケットはアイソクロノスパケット変換回路34によって元のダビングデータ、例えば、SD規格の画像及び音声パケット等に戻されて記録処理回路35に供給される（ステップS12）。即ち、記録処理回路35には図11のタイミングでダビングデータの packets が入力される。このタイミングは、受信機16乃至18のフレーム先頭タイミングに対して例えば2トラック期間だけ先行したタイミングである。

記録処理回路35は入力された packets に対してエラー訂正符号化を行うと共に、データの並べ換えを行って、例えばSD規格の記録フォーマットに変換する。更に、記録処理回路35は、エラー訂正符号化されたダビングデータを変調して増幅した後、端子38を介して図示しないヘッドに供給する。

一方、シリンダサーボ回路及びテープ走行サーボ回路37は、記録処理回路35における処理に要する記録処理遅延量の後にテープ走行を開始させて、ヘッドトレースを行ってダビングデータの記録を開始する（ステップS13）。記録処理回路35における処理に要する記録処理遅延量は2トラック期間であり、ヘッドは、図11に示すように、フレームの先頭タイミングでテープへの記録を開始する。

受信機16乃至18は相互に同期化したヘッドスイッチパルスを用いて処理を行っているので、いずれの受信機16乃至18においても、記録はフレームの先頭タイミングから開始される。受信機16乃至18は先頭フレームの位置で待機状態となっていたので、受信機16乃至18のいずれにおいても、確実につなぎ撮り記録が行われる。

このように、本実施の形態においては、ダビングデータの伝送に先行させて基準信号を伝送し、この基準信号を用いて受信機相互間で同期化を達成した後に、ダビングデータを伝送するようになっている。これにより、受信機側で大容量のバッファを必要とすることなくシンクロダビングが可能である。また、送信機の基準信号に基づいた基準信号を受信機で用いており、送信機が自機の基準信号に応じて再生したダビングデータを送出した場合でも、受信機側は大容量のバッファを必要とすることなくフレーム先頭タイミングから記録を行うつなぎ撮り記録が可能である。また、送信機側においても大容量のバッファは不要であることは明らかである。即ち、送信機及び受信機のいずれにおいても大容量のバッファを必要とすることなく、受信側で所定の記録位置から記録を行うことができ、ダビングを行う装置において回路規模を低減することができる。

なお、本実施の形態においては、伝送遅延が1又は2アイソクロノスサイクルとして説明したが、これに限定されるものではなく、任意の遅延量であってよい。

上記実施の形態においては、送信機の基準信号を受信機に送出して、受信機の基準信号を発生させる例を示したが、ネットワーク内のいずれの機器が基準信号を送出するようにしてもよいことは明らかである。例えば、ネットワーク全体を制御する機器が基準信号を送出し、他の送信

機及び受信機が伝送された基準信号に基づいて基準信号を発生させて、再生タイミング及び記録タイミング等を同期化させるようにしてもよい。

例えば、図13及び図14は受信機のいずれか1台が基準信号を送信し、他の受信機及び送信機が伝送された基準信号に基づいて基準信号を発生する例を示すブロック図である。図13は送信側を示し、図14は基準信号を送出する1台の受信側を示している。なお、他の受信側の構成は図8と同様である。図13及び図14において図7及び図8と同一の構成要素には同一符号を付して説明を省略する。

図13に示す送信機はアイソクロノスケット変換回路27並びにシリンダサーボ回路及びテープ走行サーボ回路26に夫々代えてアイソクロノスケット変換回路36並びにシリンダサーボ回路及びテープ走行サーボ回路37を用い、デジタルインターフェース送信回路25に代えてデジタルインターフェース送受信回路41を採用した点が図7の送信機と異なる。

デジタルインターフェース送受信回路41は、デジタルインターフェース送信回路25とデジタルインターフェース受信回路32との機能を備えており、例えば、IEEE1394規格のリンク層及び物理層を制御して、スイッチ24からのアイソクロノスケットを1394ケーブルに送出すると共に、1394ケーブルに流れているアイソクロノスケットを取り込んでスイッチ24に出力するようになっている。

一方、基準信号を送出する1台の受信機は、図14に示すように、シリンダサーボ回路及びテープ走行サーボ回路37並びにアイソクロノスケット変換回路36に夫々代えて、シリンダサーボ回路及びテープ走行サーボ回路26並びにアイソクロノスケット変換回路27を用い、デジタルインターフェース受信回路32に代えてデジタルインターフェース送

受信回路42を採用した点が図8の受信機と異なる。

このように構成されたネットワークにおいては、ダビングデータの送出に先立って、図14に示す受信機から基準信号の送出が行われる。即ち、シリンダサーボ回路及びテープ走行サーボ回路26は自機で用いる基準信号をアイソクロノスケット変換回路27に出力する。この基準信号はアイソクロノスケット変換回路27によってアイソクロノスケットに変換された後、スイッチ33を介してデジタルインターフェース送受信回路42に供給されて、1394ケーブルに送出される。

1394ケーブルに流れた基準信号は、図13の送信機及び図8と同一構成の他の受信機に入力される。図13の送信機においては、デジタル送受信回路41によってアイソクロノスケットが取り込まれ、スイッチ24を介してアイソクロノスケット変換回路36に供給される。アイソクロノスケットはアイソクロノスケット変換回路36によって元の基準信号に戻されて、シリンダサーボ回路及びテープ走行サーボ回路37に供給される。

シリンダサーボ回路及びテープ走行サーボ回路37は、入力された基準信号に基づいて自機の基準信号を発生する。この場合には、シリンダサーボ回路及びテープ走行サーボ回路37は、パケット変換処理及び記録再生処理等の遅延時間を考慮したタイミングの基準信号を発生する。

また、図8と同一構成の他の受信機においても、伝送された基準信号に対して、パケット変換処理及び記録再生処理等の遅延時間を考慮したタイミングの基準信号を発生する。

送信機及び受信機相互間で同期化が達成された後に、送信機からダビングデータの送出を行う。ダビングデータの伝送及び記録時の動作は図7及び図8の実施の形態と同様である。

また、上記各実施の形態においては、1台の送信機と複数台の受信機とで構成したネットワークを例にして説明したが、IEEE 1394においては、複数のチャンネルのアイソクロノスデータを伝送することが可能であり、ネットワーク内の複数台の送信機からのデータをマルチチャンネルで伝送し、1台又は複数台の受信機で記録するようにすることもでき、本発明はこのような場合にも適用することができる。

なお、この場合には、1台の送信機からの基準信号を他の送信機においても用いることにより、複数台の送信機と複数台の受信機とを同期化することが可能となる。そうすると、例えば、2台の送信機からのデータをマルチチャンネルで伝送し、これらの複数チャンネルのデータを1台の受信機でシンクロダビングすることも可能となる。

この場合には、複数の送信機からの複数のチャンネルのデータを1台の受信機で同時記録しないものとする、各チャンネル毎に、基準信号は別位相であってもよく、同じ位相であってもよい。

また、上記実施の形態においては送信機及び受信機としてDVTRを例にして、基準信号としてヘッドスイッチパルスを用いたが、例えばDVD（デジタルビデオディスク）等の他の記録再生機器についても適用することができることは明らかである。

更に、伝送路としてIEEE 1394規格のデジタルインターフェースを例にして説明したが、アイソクロノスデータの伝送が可能な他のいずれのデジタルインターフェースにも適用可能である。

産業上の利用可能性

以上のように、本発明に係るデジタルインターフェースを有する装置及びデジタルインターフェース方法は、ネットワークを介して接続

された複数の機器間の記録制御に有用であり、例えば、IEEE 1394規格に対応したネットワーク上でダビング記録によるつなぎ撮り記録を行うのに適している。

請 求 の 範 囲

1. 複数の機器によって構成されるネットワーク内の 1 又は 2 以上の第 1 の機器に設けられ、オリジナルタイミング基準信号を第 1 の同期伝送されるデータに変換して前記ネットワークを構成する伝送路に送出するタイミング基準信号送出手段と、

前記ネットワーク内の前記第 1 の機器以外の第 2 の機器に設けられ、前記伝送路を介して伝送された前記オリジナルタイミング基準信号に基づくタイミング基準信号を得るタイミング基準信号発生手段と、

前記ネットワーク内の機器に設けられ、前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して所定の伝送データを第 2 の同期伝送されるデータに変換して前記伝送路に送出する送信手段と、

前記ネットワーク内の機器に設けられ、前記第 2 の同期伝送されるデータを前記伝送路を介して受信して前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して記録を行う記録手段とを具備したことを特徴とするデジタルインターフェースを有する装置。

2. 前記ネットワーク内の第 1 の機器は、前記送信手段を有する機器と同一の機器であって、前記第 2 の同期伝送されるデータを得るための再生手段を有し、

前記オリジナルタイミング基準信号は、前記再生手段の再生タイミング基準信号であることを特徴とする請求項 1 に記載のデジタルインターフェースを有する装置。

3. 前記記録手段を有する機器は、自機が前記タイミング基準信号に同期化可能となったことを通知する通知手段と、

自機が前記タイミング基準信号に同期化した後に所定の記録媒体の記

録開始位置で記録待機状態にする待機手段とを具備し、

前記送信手段を有する機器は、前記通知手段からの通知が前記記録手段を有する全ての機器から発生したことを検出する検出手段を具備して、

前記記録手段を有する全ての機器が前記タイミング基準信号に同期化可能となったことを検出した後に、前記送信手段から前記第2の同期伝送されるデータを送出させることにより前記記録手段を有する全ての機器において同期記録を可能にすることを特徴とする請求項1に記載のデジタルインターフェースを有する装置。

4. 前記送信手段を有する機器のタイミング基準信号と前記記録手段を有する機器のタイミング基準信号とは前記記録手段における記録処理に基づく遅延時間差を有することを特徴とする請求項1に記載のデジタルインターフェースを有する装置。

5. 前記伝送路は、IEEE 1394規格に対応したものであることを特徴とする請求項1に記載のデジタルインターフェースを有する装置。

6. 複数の機器によって構成されるネットワーク内の1又は2以上の第1の機器からオリジナルタイミング基準信号を第1の同期伝送されるデータに変換して前記ネットワークを構成する伝送路に送出するタイミング基準信号送出手順と、

前記伝送路を介して伝送された前記オリジナルタイミング基準信号を前記ネットワーク内の前記第1の機器以外の第2の機器によって受信して、伝送された前記オリジナルタイミング基準信号に基づく記録タイミング基準信号を得ることにより同期化を行う同期化手順と、

前記ネットワーク内の機器が、前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して、所定の伝送データを第2の同期伝送されるデータに変換して前記伝送路に送出する送信手順と、

前記ネットワーク内の機器が前記第 2 の同期伝送されるデータを前記伝送路を介して受信して前記オリジナルタイミング基準信号又は前記タイミング基準信号に同期化して記録を行う記録手順とを具備したことを特徴とするデジタルインターフェース方法。

7. 前記ネットワーク内の第 1 の機器は、前記送信手順を行う機器と同一の機器であって、

前記送信手順は、前記オリジナルタイミング基準信号として再生タイミング基準信号を用いて前記第 2 の同期伝送されるデータを得るために再生処理を行う再生手順を具備したことを特徴とする請求項 6 に記載のデジタルインターフェース方法。

8. 前記同期化手順と前記送信手順との間に、前記ネットワーク内の前記第 2 の機器が前記タイミング基準信号に同期化可能となったことを通知すると共に、前記記録手順を行う機器が所定の記録媒体の記録開始位置で記録待機状態にする手順と、

前記ネットワーク内の前記第 2 の機器の全てが同期化可能となったことを検出する検出手順とを付加したことを特徴とする請求項 6 に記載のデジタルインターフェース方法。

9. 前記ネットワークは、マルチチャンネルの伝送が可能で、

前記タイミング基準信号は、チャンネル毎に独立した位相に設定されることを特徴とする請求項 1 に記載のデジタルインターフェースを有する装置。

10. 前記ネットワークは、マルチチャンネルの伝送が可能で、

前記タイミング基準信号は、位相を複数のチャンネルで同一に設定可能とすることにより、前記送信手段を有し異なるチャンネルで前記第 2 の同期伝送されるデータを伝送する複数の機器からの伝送データを前記

記録手段を有する単一の機器によって同期記録可能にしたことを特徴とする請求項 1 に記載のデジタルインターフェースを有する装置。

1/12

図1

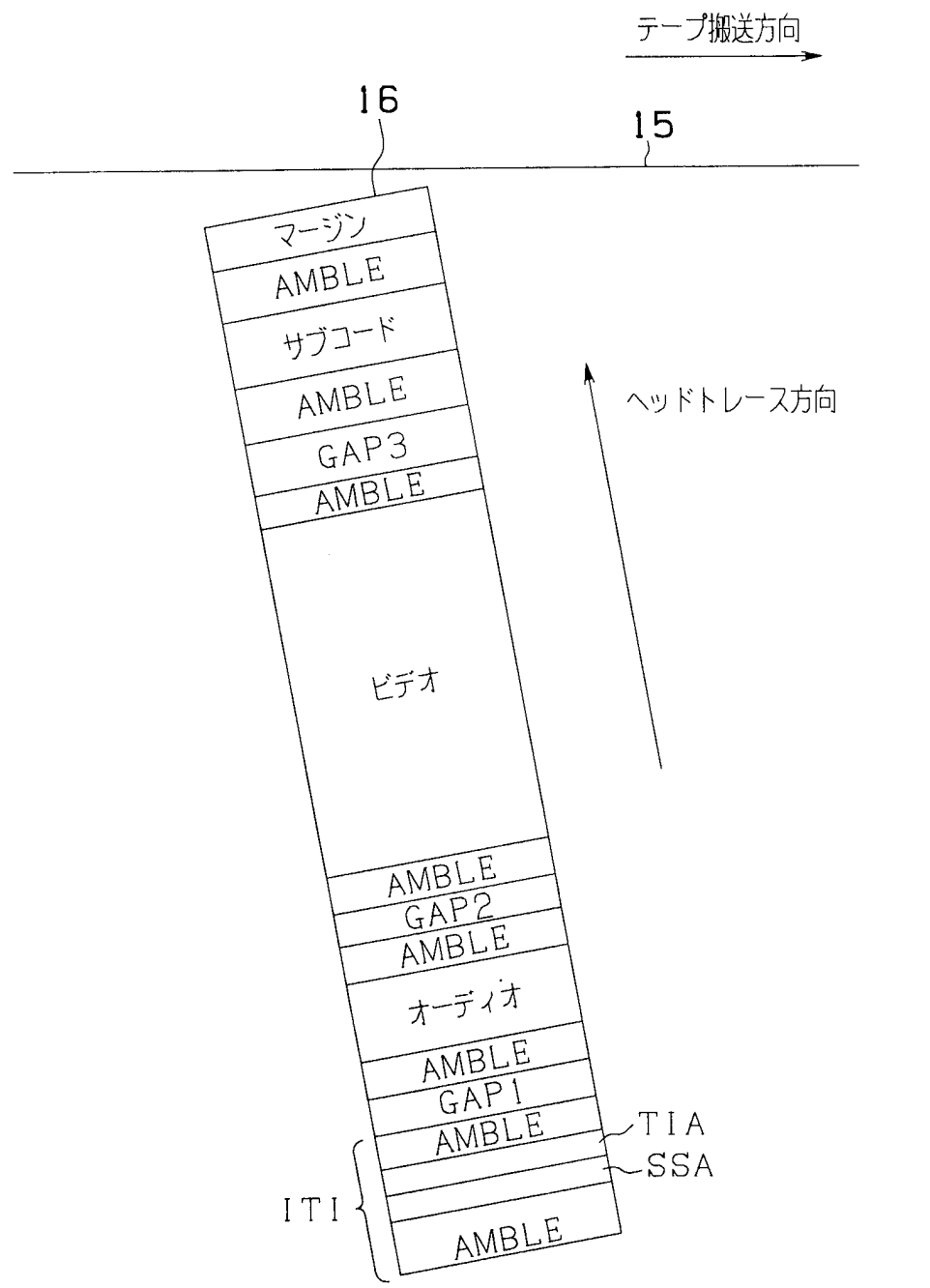


図2

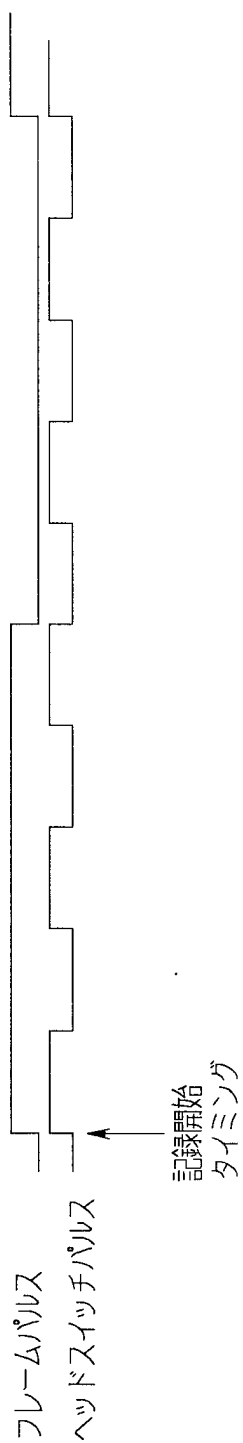


図3

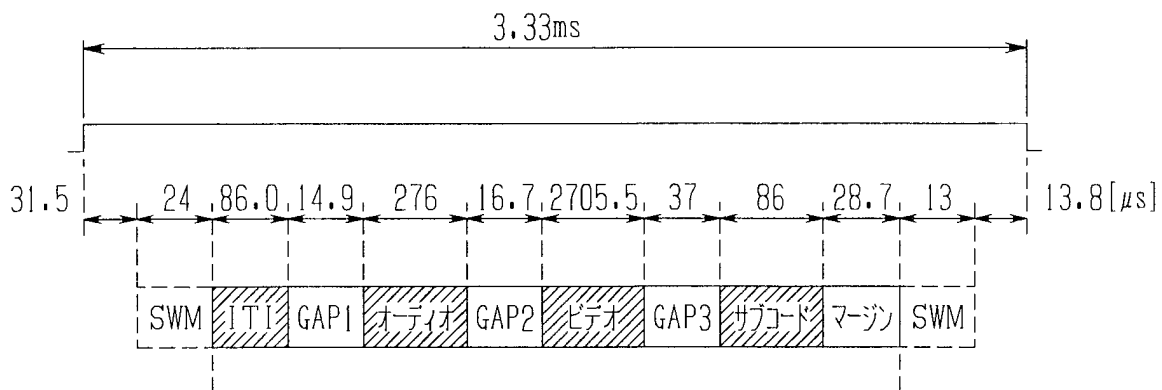


図6

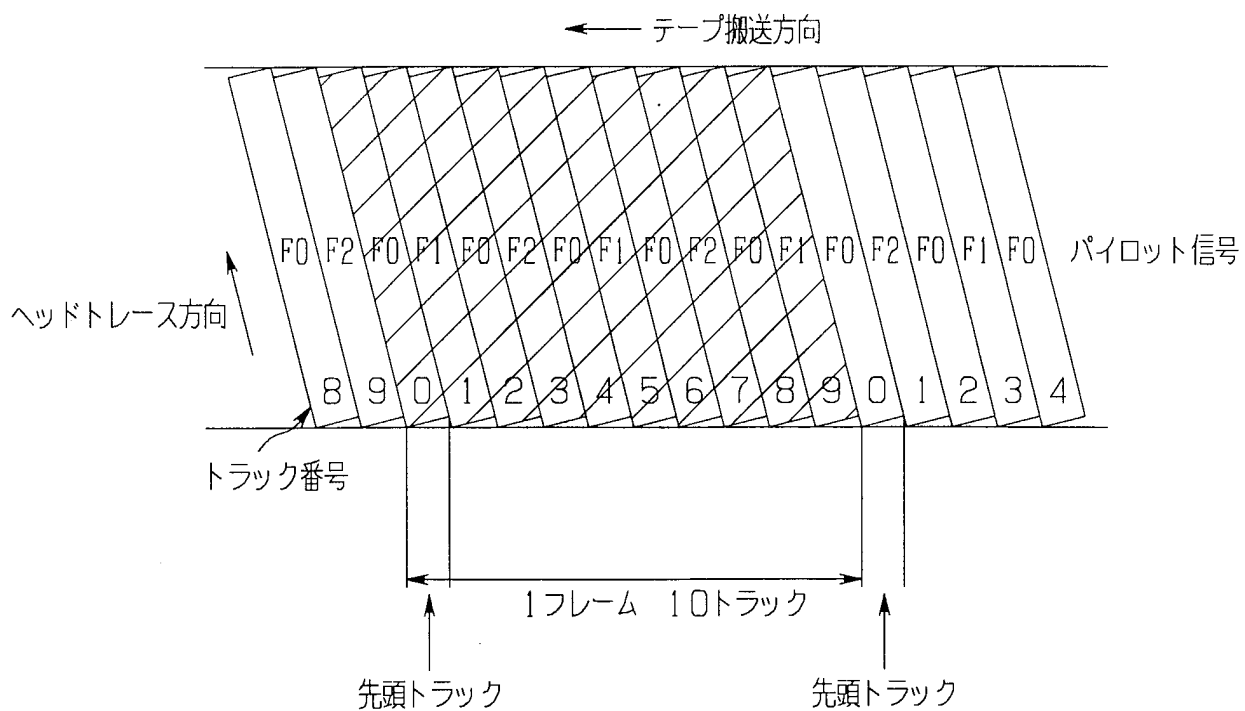


図4

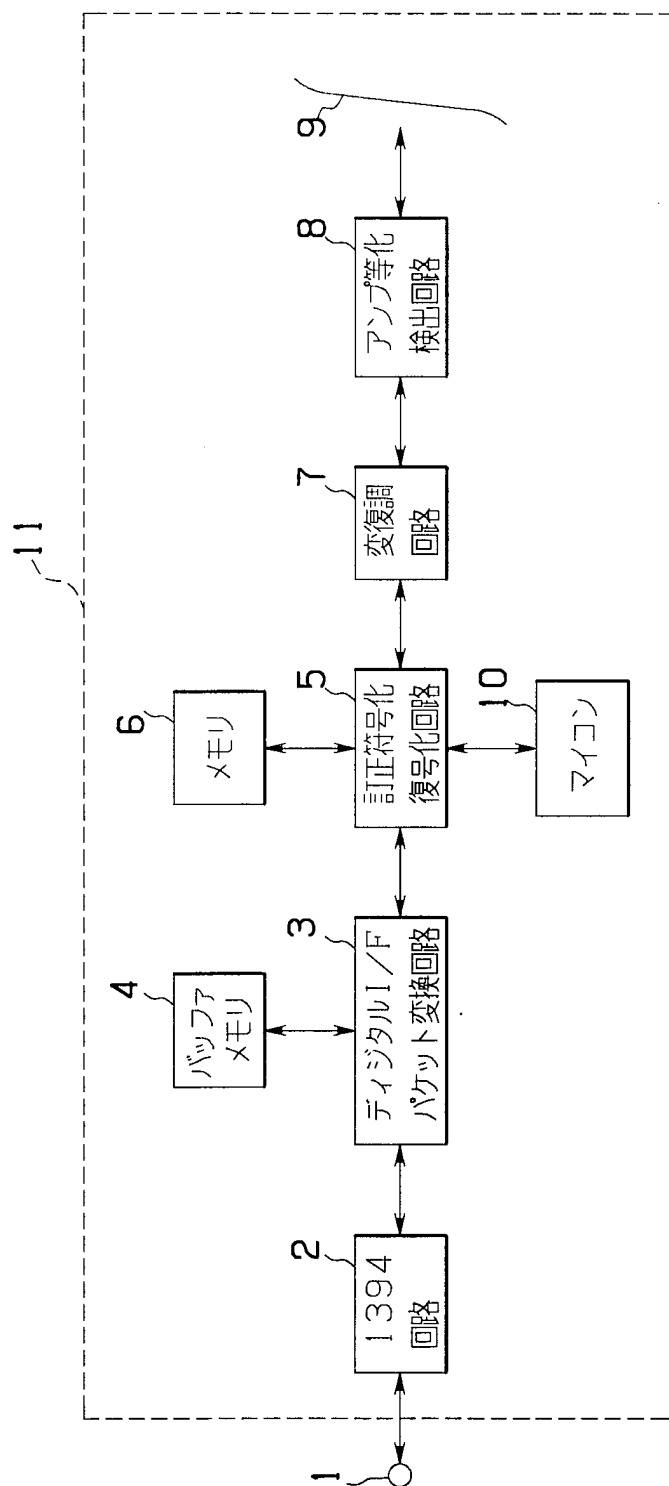
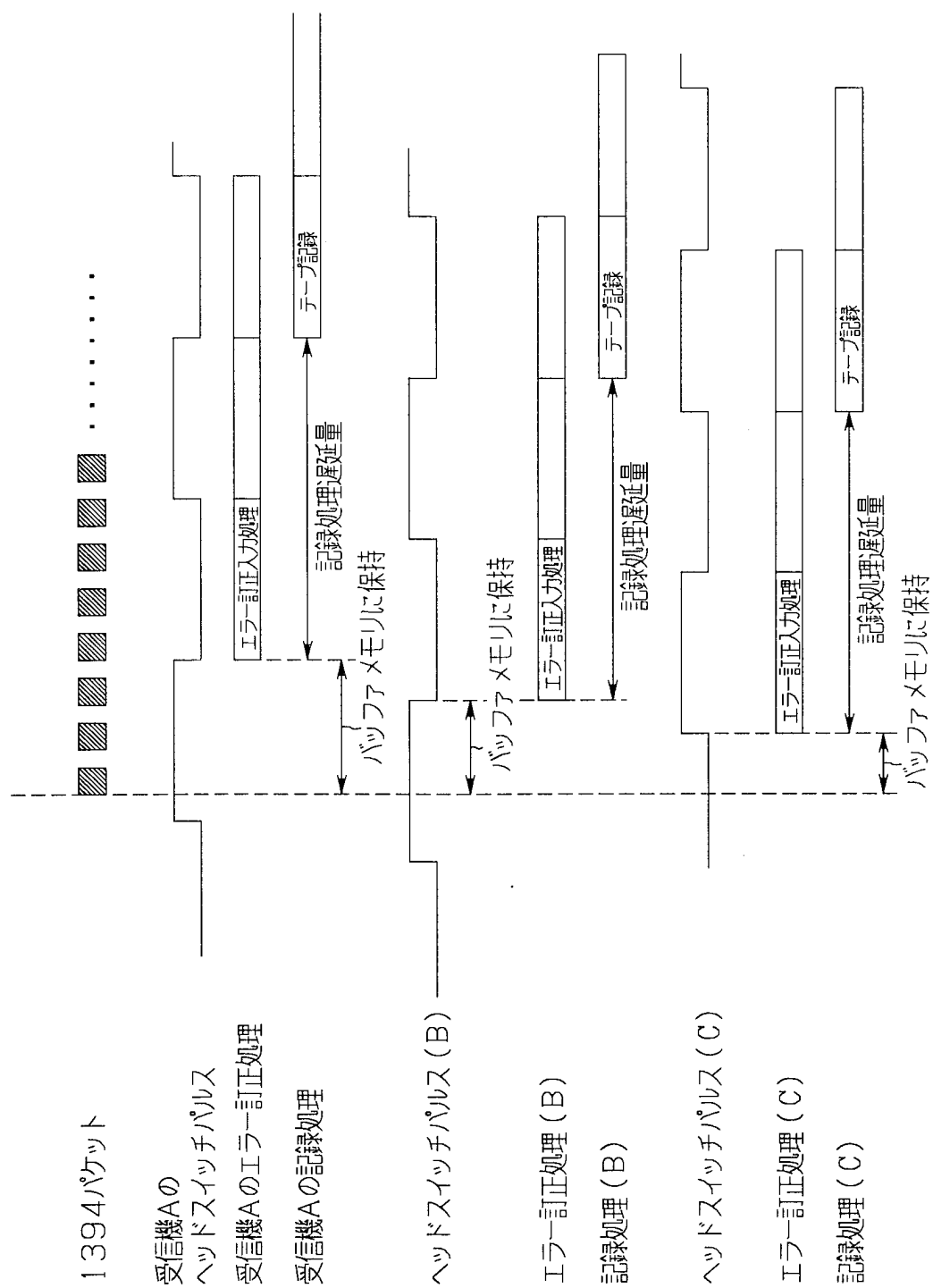


図5



6/12

図7

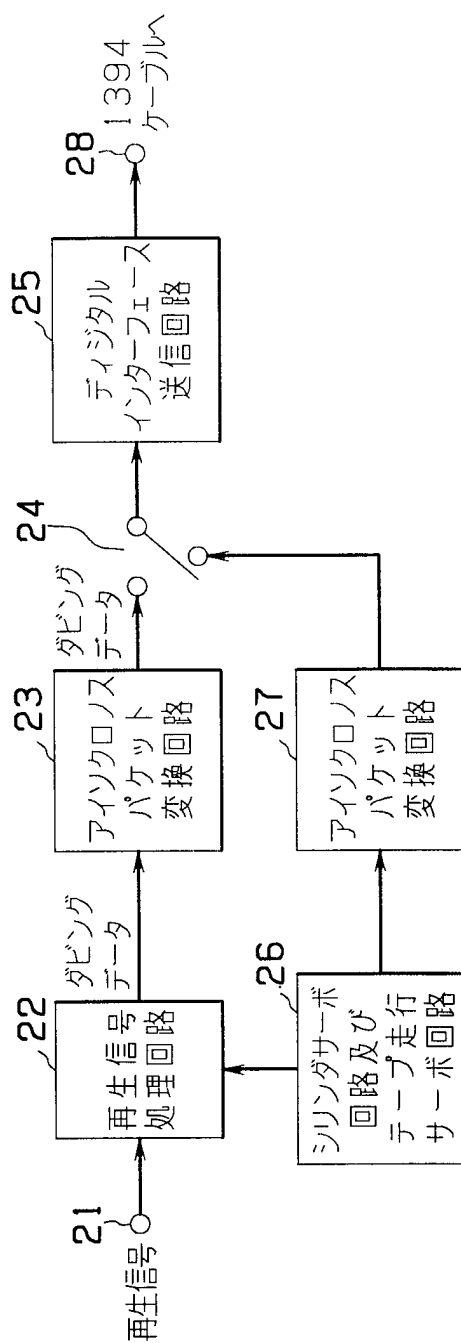


図8

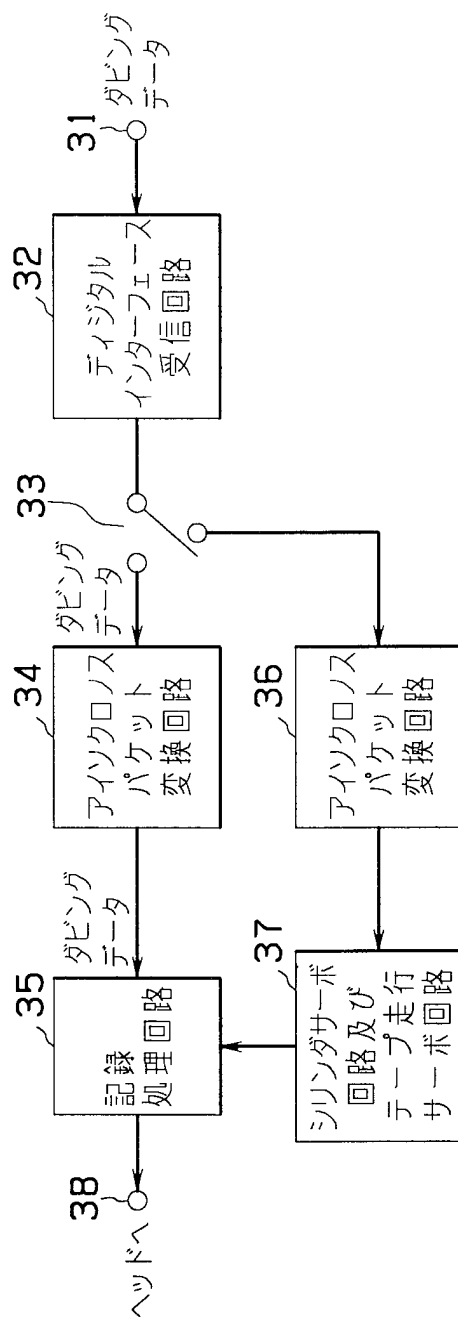


図9

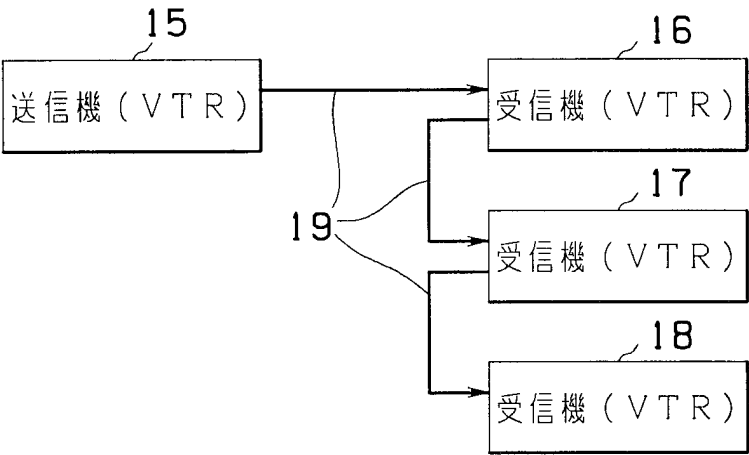
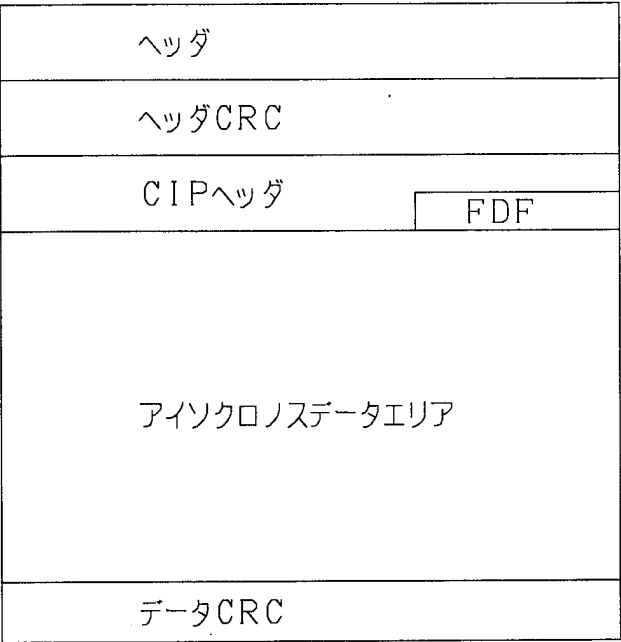
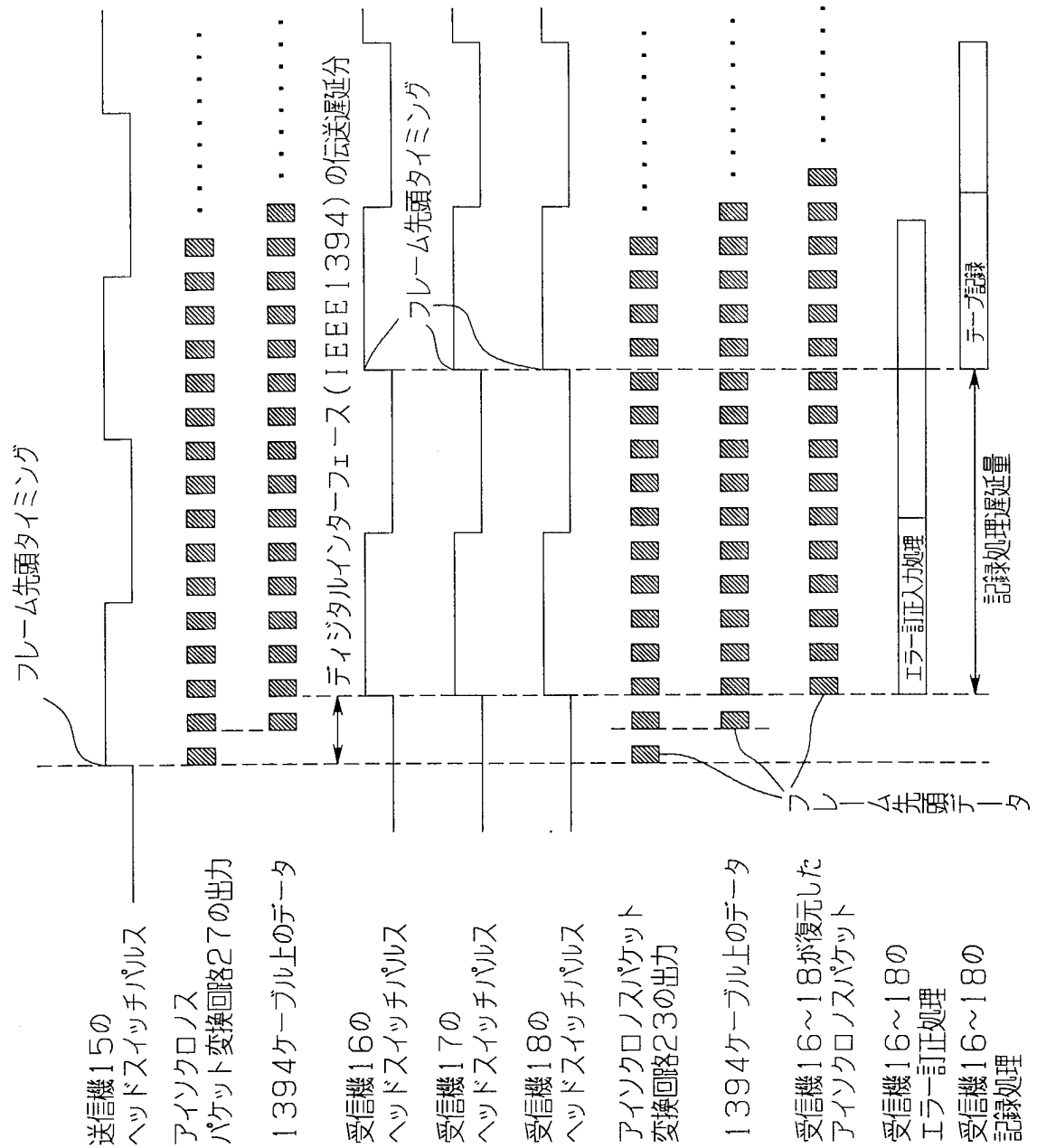


図10



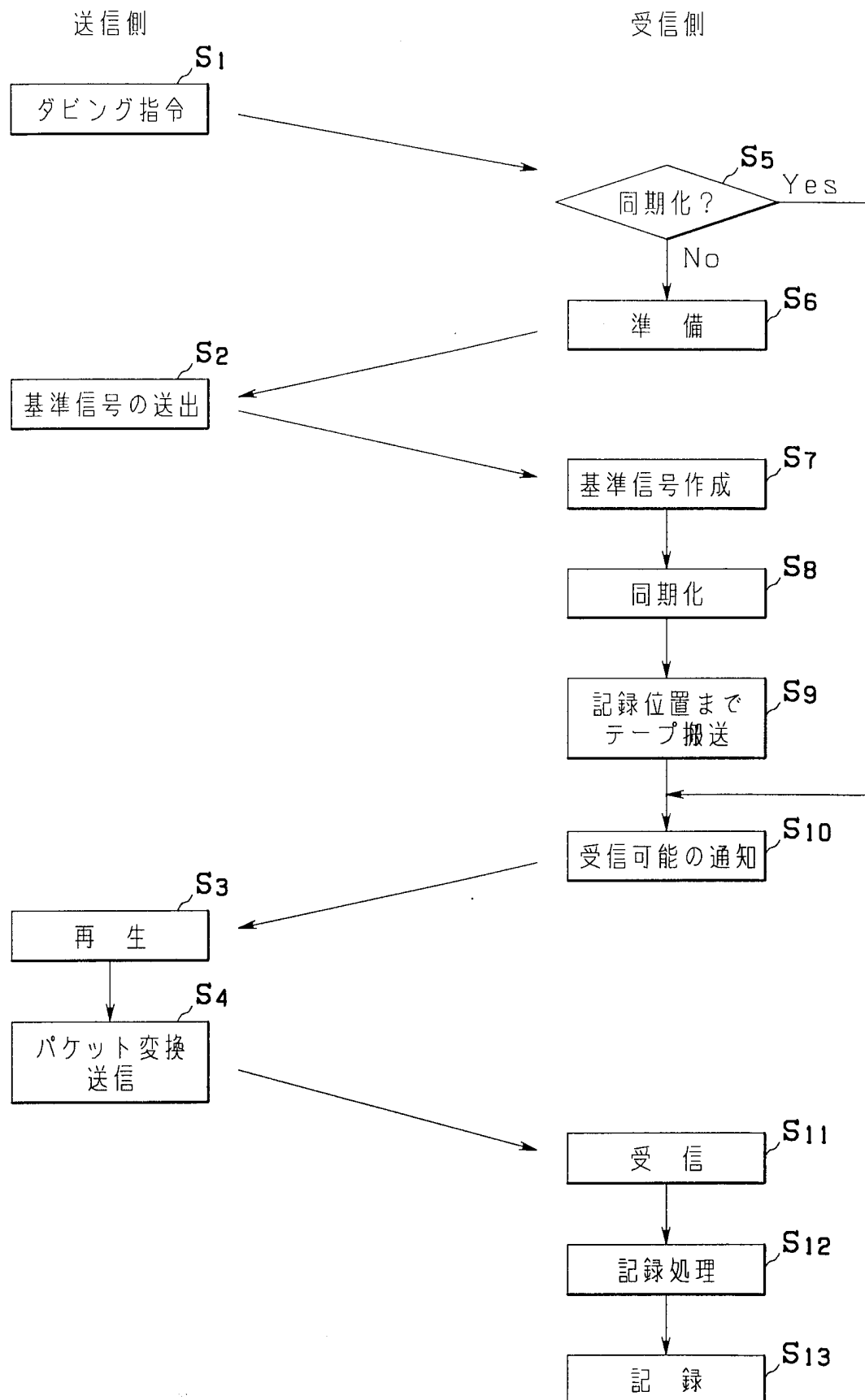
9/12

図11



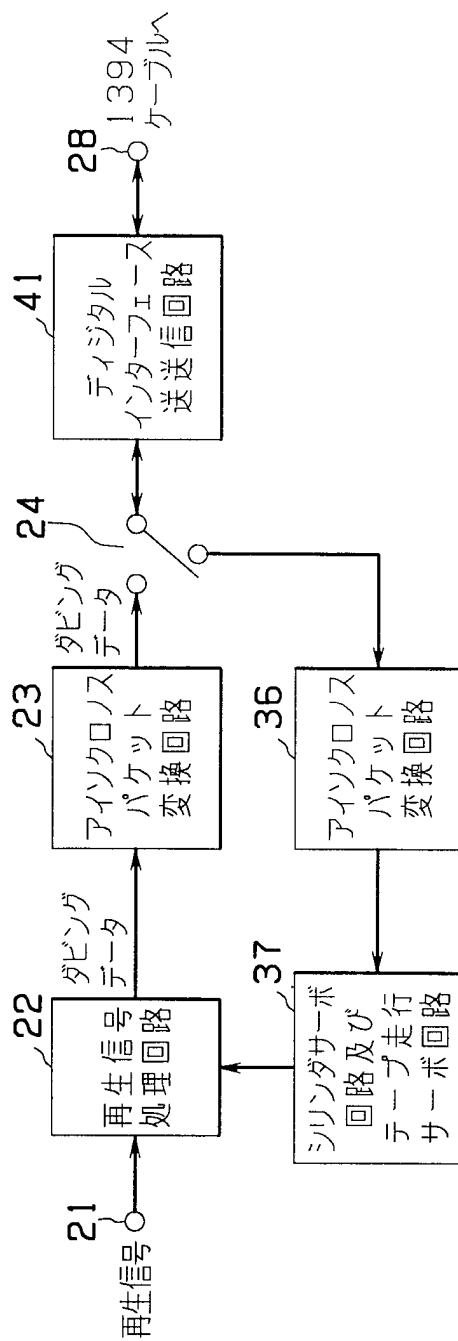
10/12

図12



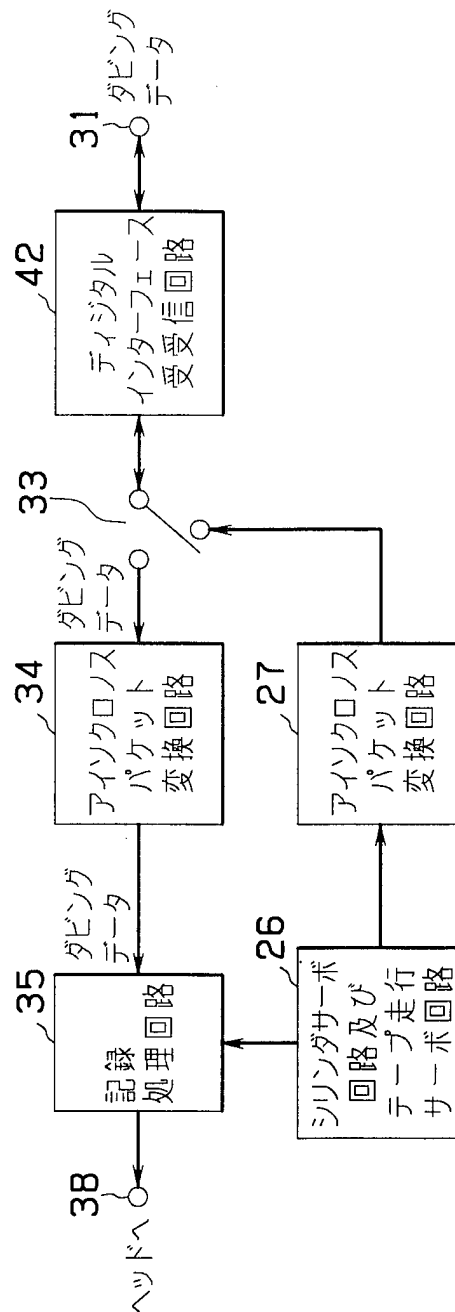
11/12

図13



12/12

図14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00473

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G11B20/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G11B20/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1940-1998	Jitsuyo Shinan Toroku Koho	1996-1998
Kokai Jitsuyo Shinan Koho	1971-1998	Toroku Jitsuyo Shinan Koho	1994-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-327032, A (Matsushita Electric Industrial Co., Ltd.), December 12, 1995 (12. 12. 95) (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search
 March 31, 1998 (31. 03. 98)

 Date of mailing of the international search report
 April 14, 1998 (14. 04. 98)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ G11B20/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ G11B20/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案広報 1940-1998年

日本国公開実用新案広報 1971-1998年

日本国実用新案登録広報 1996-1998年

日本国登録実用新案広報 1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 7-327032, A (松下電器産業株式会社), 12. 12月. 1995 (12. 12. 95) (ファミリーなし)	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

31. 03. 98

国際調査報告の発送日

14.04.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小松 正

5D

7736

電話番号 03-3581-1101 内線 3551