

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-225928

(P2007-225928A)

(43) 公開日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 642A	
H05B 33/02 (2006.01)	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 4 O L (全 179 頁) 最終頁に続く		

(21) 出願番号 特願2006-47303 (P2006-47303)

(22) 出願日 平成18年2月23日 (2006.2.23)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 高原 博司

東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC05 CC33 EE03

EE21 EE63 HH02 HH04

5C080 AA06 BB05 DD04 DD05 DD28

EE19 EE28 FF11 JJ02 JJ03

JJ04 JJ05

(54) 【発明の名称】 E L表示装置、およびE L表示装置の駆動方法

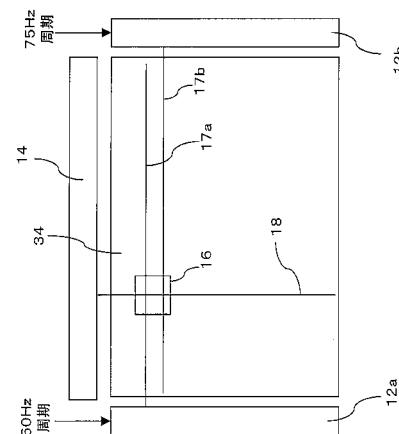
(57) 【要約】 (修正有)

【課題】表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせないこと。また、動画視認性を向上させること。

【解決手段】ゲートドライバ回路12aは、入力映像信号の周波数60Hz（1秒間に画像が60枚）に同期して画面34を書き換える。ゲートドライバ回路12aは、水平走査同期信号に同期して表示領域34の1番目の画素行からn（nは画素行の最大値）番目の画素行を順次選択し、ソースドライバ回路14からのプログラム電流（電圧）を選択された画素行に印加する。ゲートドライバ回路12bは、ゲートドライバ回路12aの水平走査同期信号とは異なる点灯制御同期信号に同期して表示領域34の1番目の画素行からn（nは画素行の最大値）番目の画素行を順次選択する。ゲートドライバ回路12bは、点灯制御同期信号に同期してゲート信号線17bを選択し、ゲート信号線17bのオンオフ制御を行う。

。

【選択図】 図158



【特許請求の範囲】

【請求項 1】

E L 素子がマトリックス状に配置された E L 表示装置であって、
画素行を順次選択し、映像信号を前記画素行に書き込む第 1 の選択回路と、
前記 E L 素子に流す電流を画素行単位で制御する第 2 の選択回路とを具備し、
前記第 1 の選択回路の動作周波数と、前記第 2 の選択回路の動作周波数が異なることを
特徴とする E L 表示装置。

【請求項 2】

E L 素子がマトリックス状に配置された画面を有し、前記画面が少なくとも第 1 の領域
と第 2 の領域とに分割されている E L 表示装置であって、画素行を順次選択し、映像信号
を前記画素行に書き込む書き込み制御回路と、前記第 1 の領域の E L 素子に流す電流を画
素行単位で制御する第 1 の E L 選択回路と、前記第 2 の領域の E L 素子に流す電流を画素
行単位で制御する第 2 の E L 選択回路とを具備する E L 表示装置を駆動する E L 表示装置
の駆動方法であって、

前記書き込み制御回路が前記第 1 の領域に画像を書き込む際は、前記第 1 の E L 選択回
路は、受け持つ E L 素子に電流を流さないように制御し、前記第 2 の E L 選択回路は、受
け持つ E L 素子に電流を流すように制御するステップと、

前記書き込み制御回路が前記第 2 の領域に画像を書き込む際は、前記第 2 の E L 選択回
路は、受け持つ E L 素子に電流を流さないように制御し、前記第 1 の E L 選択回路は、受
け持つ E L 素子に電流を流すように制御するステップとを具備することを特徴とする E L
表示装置の駆動方法。

【請求項 3】

E L 表示パネルと、
光透過性を有する筐体とを具備し、
前記 E L 表示パネルの無効領域と前記筐体間に、光結合材が充填されていることを特徴
とする E L 表示装置。

【請求項 4】

E L 素子がマトリックス状に配置された E L 表示装置であって、
映像信号を書き込む画素行の選択位置と、E L 素子に電流を流す画素行の選択位置が一
致する時、前記 E L 素子に電流を流す画素行の選択を解除する制御回路を具備することを
特徴とする E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス（E L）素子などを用いる E L 表
示パネル（表示装置）などの自発光表示パネル（表示装置）を用いた、E L 表示装置およ
び E L 表示装置の駆動方法に関するものである。

【背景技術】

【0002】

電気光学変換物質として有機エレクトロルミネッセンス（E L）材料あるいは無機 E L
材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じ
て発光輝度が変化する。E L 表示パネルは、各画素に発光素子を有する自発光型である。
E L 表示パネルは、液晶表示パネルに比べて画像の視認性が高い、発光効率が低い、バッ
クライトが不要、応答速度が速い等の利点を有する。

【0003】

アクティブマトリクス方式の有機 E L 表示パネルは、特許文献 1 に開示されている。

【0004】

この表示パネルの一画素の等価回路を図 2 に示す。画素 16 は発光素子である E L 素子
15、第 1 のトランジスタ（駆動用トランジスタ）11a、第 2 のトランジスタ（スイッ
チング用トランジスタ）11b および蓄積容量（コンデンサ）19 からなる。発光素子 1

10

20

30

40

50

5は有機エレクトロルミネッセンス（EL）素子である。本明細書では、EL素子15に電流を供給（制御）するトランジスタ11aを駆動用トランジスタ11と呼ぶ。また、図2のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

【0005】

図2の動作について説明する。ゲート信号線17を選択状態とし、ソース信号線18に輝度情報を表す電圧の映像信号を印加する。ゲート信号線17の選択により、トランジスタ11aが導通し（クローズ状態＝オン）、映像信号が蓄積容量19に充電される。ゲート信号線17を非選択状態とすると、トランジスタ11aがオープン状態（オフ状態）になる。トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート端子電位は蓄積容量（コンデンサ）19によって保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート／ドレイン端子間電圧 V_{gd} に応じた値となる。発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

10

【0006】

図2の画素構成を駆動するドライバ回路は、電圧の映像信号を出力する。電圧の映像信号を出力するドライバ回路は、液晶表示パネルを駆動するドライバ回路と構成が近似する。ドライバ回路から、映像信号としての電圧信号がソース信号線18に印加される。印加された電圧信号が画素16に印加されコンデンサ19に保持される。

【特許文献1】特開平8-234683号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、有機EL表示パネルは、低温あるいは高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成するが、有機EL素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0008】

図2は電圧プログラム方式の画素構成である。なお、電圧プログラム方式とは、電圧の大きさあるいは強弱で示される映像信号などの電圧信号（プログラム電圧）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで電圧信号を電流

30

【0009】

電流プログラム方式とは、電流の大きさあるいは強弱で示される映像信号などの電流信号（プログラム電流）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで印加した電流信号をEL素子に印加する。

【0010】

駆動用トランジスタ11からEL素子15に流入する電流、EL素子15から駆動用トランジスタに流出する電流のいずれをも、駆動用トランジスタ11からEL素子15に電流を印加すると呼ぶ。あるいは電流プログラム方式とは、印加した電流信号に略比例した電流信号、もしくは印加した電流に所定の変換処理を行った電流信号（プログラム電流）を直接的にあるいは間接的にEL素子に印加する構成、あるいは回路構成もしくは駆動方法を言う。

40

【0011】

図2に図示する画素構成では、電圧の映像信号をトランジスタ11aで電流信号に変換する。したがって、駆動用トランジスタ11aに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、駆動用トランジスタ11aは50%以上の特性バラツキが発生している。したがって、図2の構成では特性バラツキに対応して表示ムラが発生する。

【0012】

電圧プログラム方式は、画素16のトランジスタ特性を補償する能力が低い。したがっ

50

て、トランジスタの特性バラツキに伴う表示ムラが発生する。しかし、電圧プログラム方式は、低階調領域、高階調領域のいずれの領域にあっても、ソース信号線などの充放電能力が高い。したがって、書き込み不足がなく、良好な画像表示を実現できる。

【0013】

表示ムラは、電流プログラム方式の構成を採用することにより低減することができる。電流プログラム方式は、低階調領域では駆動電流が小さい。そのため、ソース信号線18の寄生容量により良好に駆動できないという課題があった。

【0014】

液晶表示パネルは、応答性が遅いため、動画視認性が悪いと言う課題があった。また、液晶表示パネルで黒挿入表示を行うことにより動画視認性を向上させる方式もあるが、フリッカが発生する。また、メモリを必要としコストが高くなるという課題があった。

【0015】

なお、電流プログラム（方式）は、電流駆動（方式）と呼ぶこともある。また、電圧プログラム（方式）は、電圧駆動（方式）と呼ぶこともある。

【0016】

本発明は、上述した従来課題を解決するもので、表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせない、また、動画視認性を向上させるEL表示装置およびEL表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

上述した課題を解決するために、本発明のEL表示装置は、例えば、画素の駆動用トランジスタ11aから定電流を出力させる。そして、駆動用トランジスタ11aが定電流を出力した状態で、ソース信号線18を介して、駆動用トランジスタ11aのゲート端子電位を測定する。

【0018】

測定した電位は、A/D（アナログ→デジタル）変換してメモリに格納する。メモリには、好ましくは、全画素の駆動用トランジスタ11aのデータを格納する。EL表示パネルを表示する時は、このメモリに格納した各画素の電圧データを読み出し、D/A（デジタル→アナログ）変換して、基準電圧とする。この基準電圧をプリチャージ電圧 V_p としてソース信号線に印加し、印加後、必要に応じてプログラム電圧をソース信号線に印加する。また、この基準電圧に、階調電圧の加減算処理をし、目標階調電圧として、画素16の駆動用トランジスタ11aに印加する。

【0019】

また、表示領域34の画素16のコンデンサ19をメモリとして用い、映像を書き込むゲートドライバ回路12aの動作クロックと、EL素子15に流れる電流のオンオフを制御するゲートドライバ回路12bの動作クロックを独立させることにより、フレームレート変換を行う。

【発明の効果】

【0020】

本発明は、画素のトランジスタに定電流を印加し、もしくは画素の駆動トランジスタから定電流を出力させ、前記定電流を印加または出力した状態で画素の駆動トランジスタのゲート端子の電圧を測定する。各画素の駆動トランジスタのゲート端子の電圧は、駆動トランジスタの特性により異なる。

【0021】

駆動トランジスタに定電流を印加し、駆動トランジスタのゲート端子電圧を測定することは、駆動トランジスタの特性を測定することになる。測定した電圧は、A/D変換してソースドライバIC（回路）の内部あるいは外部に形成または配置されたメモリに記憶する。または、測定あるいは取得した電圧をサンプルホールドする。

【0022】

EL表示装置に画像を表示する際は、このメモリに記憶した電圧データをD/A変換し

てアナログ電圧とし、このアナログ電圧を基準または原点として、階調電圧の加減算処理などをし、目標の階調信号を求め、対応する画素に印加する。もしくは、サンプルホールドした電圧を、基準または原点として、階調電圧の加減算処理などをし、目標の階調信号を求め、対応する画素に印加する。

【0023】

したがって、測定した電圧を基準として、階調あるいは階調差に対応する映像電圧を加算し前記トランジスタに印加するという動作は、画素の駆動用トランジスタの特性を補償した上で、映像信号としての階調信号（電圧信号）を印加していることになる。

【0024】

測定する駆動用トランジスタのゲート端子電圧は、測定後、リアルタイムに映像電圧に加減算処理をして、画素の駆動用トランジスタに印加するように構成してもよい。定電流は、0の状態も含む（定電流を流さない）。この場合は、ソース信号線18には定電流 I_w を供給せず、対応画素を選択し、画素の駆動用トランジスタのゲートドレイン端子を短絡すればよい。

【0025】

本発明における定電流 I_w とは、所定値に設定した電流あるいは制御した電流の意味であり、必ずしも定電流に限定するものではない。つまり、所定値の電流の意味である。定電流発生回路は、電流階調回路154と兼用してもよいし、別途定電流発生回路を設けてもよい。また、定電流 I_w をソース信号線18に流し、前記ソース信号線18の電位を測定あるいは取得し、測定あるいは取得した電位をデータとしてメモリなどの記憶手段に保持させる時は、画像表示には定電流発生回路は必要ない。つまり、EL表示装置の一部ではない。

【0026】

電圧プログラム方式は、画素のトランジスタの特性補償が不十分であるという欠点を有していた。しかし、本発明は、画素のトランジスタに定電流を印加するという電圧プログラム方式を実施し、トランジスタのゲート端子電位を測定することにより、電圧プログラム方式の利点であるトランジスタの特性補償能力を発揮させる。

【0027】

第1の本発明は、画素行を選択し、ソース信号線18に印加する定電流を所定以上の大きさの電流値とすることにより、ソース信号線18の電位を測定あるいは取得する。測定した電位は、選択した画素行の駆動用トランジスタ11の特性を示している。この測定あるいは取得した電圧をそのまま、あるいは加減算処理などを行って、ソース信号線18にプリチャージ電圧 V_p として印加し、ソース信号線18の電位を目標電位に近くする。次に、目的の映像信号に対応するプログラム電流を画素16に書き込む。

【0028】

また、必要に応じて測定あるいは取得した電圧を映像信号の階調を求める関数の変数値として使用することにより、プログラムする階調電流を求める。求めた階調電流を画素16に書き込み、必要に応じて、図6、図9で説明するN倍駆動を実施する。プリチャージ電圧 V_p を印加することにより、また、定電流を所定以上の大きさとすることにより、電圧プログラム方式の弱点である低階調領域（低電流領域）での書き込み不足の課題が発生しない。

【0029】

第2の本発明は、画素行を選択し、ソース信号線18に印加する定電流を所定以上の大きさの電流値とすることにより、ソース信号線18の電位を測定する。測定した電位は、選択した画素行の駆動用トランジスタ11の特性を示している。

【0030】

測定した電圧を映像信号の階調を求める関数の変数値として使用することにより、目標の階調電圧を求める。求めた階調電圧をソース信号線18に印加することにより、選択した画素行の駆動用トランジスタに目標の電流がEL素子15に流れるようにプログラムする。つまり、画素16に印加する映像信号に対応する信号は電圧信号となる。したがって

、電圧信号であるから、低階調領域であっても、書き込み不足は発生しない。

【0031】

以上のように、測定したソース信号線18の電圧を基準として加算あるいは減算することにより階調電圧を算出あるいは求め、この階調電圧を画素のトランジスタに印加することにより電圧駆動の特徴である全階調領域で書き込み不足がないという利点を発揮させることができる。

【0032】

本発明は、トランジスタに定電流を印加し、トランジスタのゲート端子電圧を直接あるいは間接的に測定もしくは保持するとして説明するが、これに限定するものではない。また、定電流の印加による電圧の測定あるいはメモリへの取得は、電圧の大きさに限定するものではなく、前後の電圧の変化量、電圧の変化速度、電圧の差分値であってもよい。

【0033】

また、電圧の測定とは、測定した電圧をアナログーデジタル変換(A/D変換)して、ドライバ回路外部あるいは内部に保持する動作あるいは構成も含む。また、電圧をデジタルデータとしてメモリに保持する動作を含む。また、測定だけでなく、コンデンサなどの保持媒体に一時的に保持あるいはラッチもしくは記憶する動作あるいは構成も含む。また、定電流とは、定電流を印加しない状態(0(A))も含む。

【0034】

また、定電流は、固定値であることに限定されない。たとえば、1水平走査期間に、サイン波形のように変化していてもよい。一定の期間に平均した値が、所定値であればいずれの構成あるいは値であってもよい。

【0035】

本発明は、ゲートドライバ回路12aは、入力映像信号の周波数60Hz(1秒間に画像が60枚)に同期して画面34を書き換える。ゲートドライバ回路12aは、水平走査同期信号に同期して表示領域34の1番目の画素行からn(nは画素行の最大値)番目の画素行を順次選択し、ソースドライバ回路14からのプログラム電流(電圧)を選択された画素行に印加する。ゲートドライバ回路12bは、ゲートドライバ回路12aの水平走査同期信号とは異なる点灯制御同期信号に同期して表示領域34の1番目の画素行からn(nは画素行の最大値)番目の画素行を順次選択する。ゲートドライバ回路12bは、点灯制御同期信号に同期してゲート信号線17bを選択し、ゲート信号線17bのオンオフ制御を行う。したがって、映像信号を書き込むフレームレートと画像表示するフレームレートを異ならせることができ、画像表示するフレームレートを速くすることができるのでフリッカなどは発生しない。

【発明を実施するための最良の形態】

【0036】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0037】

本明細書では、駆動用トランジスタ11a、スイッチング用トランジスタ11bなどは薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではない。また、シリコンウエハに形成したトランジスタでもよい。もちろん、トランジスタとは、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。その他、ダイオード、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

【0038】

ソースドライバ回路(IC)14は、単なるドライバ機能だけでなく、電源回路(チャージポンプ回路、DCDCコンバータ回路)、バッファ回路(シフトレジスタなどの回路を含む)、レベルシフタ回路、データ変換回路、ラッチ回路、コマンドデコーダ、アドレ

10

20

30

40

50

ス変換回路、画像メモリなどを内蔵させてもよい。ソースドライバ回路14は、アレイ基板30にポリシリコン技術で形成してもよい。

【0039】

アレイ基板30はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、アレイ基板30は、金属基板、シリコンなどの半導体基板、セラミック基板、プラスチックシート（板）などを使用してよい。

【0040】

本発明の表示パネルなどを構成するトランジスタ11、ゲートドライバ回路12、ソースドライバ回路（IC）14などは、ガラス基板などに形成し、転写技術により他の基板（プラスチックシート）に移し変えて構成または形成したものでもよいことは言うまでもない。 10

【0041】

まず、本発明のEL表示装置の画素16の構造と動作、ソースドライバ回路14などについて説明をする。

【0042】

図1は、本発明のEL表示装置の画素16の構成図である。1画素内に4つのトランジスタ（TFT）11（11a、11b、11c、11d）を有している。駆動用トランジスタ11aのゲート端子は、トランジスタ11bのソース端子に接続されている。トランジスタ11bおよびトランジスタ11cのゲート端子は、ゲート信号線17aに接続されている。トランジスタ11bのドレイン端子は、トランジスタ11cのソース端子ならびにトランジスタ11dのソース端子に接続され、トランジスタ11cのドレイン端子は、ソース信号線18に接続されている。トランジスタ11dのゲート端子はゲート信号線17bに接続され、トランジスタ11dのドレイン端子はEL素子15のアノード電極（端子）に接続されている。 20

【0043】

図1の画素構成では、トランジスタ11b、11cのゲート端子は、ゲート信号線17aに接続されている。トランジスタ11b、11cは、ゲート信号線17aに印加されたオンオフ制御信号によりオン（クローズ）、オフ（オープン）制御される。トランジスタ11dのゲート端子は、ゲート信号線17bに接続されている。トランジスタ11dは、ゲート信号線17bに印加されたオンオフ制御信号によりオン（クローズ）、オフ（オープン）制御される。 30

【0044】

ゲートドライバ12（図3では、ゲートドライバ回路12a、12b）は、ゲート信号線17a、17bを制御する。図3に図示するように、表示画面34の左端にゲートドライバ回路12aを形成または配置し、右端にゲートドライバ回路12bを形成または配置してもよい。ゲートドライバ回路12aはゲート信号線17aを制御し、ゲートドライバ回路12bはゲート信号線17bを制御する。

【0045】

図1に図示する有機ELの画素構成では、第1のトランジスタ11bは、画素を選択するためのスイッチング用トランジスタとして機能させる。また、第2のトランジスタ11aは、EL素子15に電流を供給するための駆動用トランジスタとして機能させている。 40

【0046】

ゲートドライバ12に印加するクロックCLK信号（CLK1、CLK2）、スタート信号ST（ST1、ST2）などは、コントローラ回路801からソースドライバ回路14に印加される。クロックCLK信号、スタート信号は、ソースドライバ回路14でロジックレベルがレベルシフトされ、ゲートドライバ回路12に印加される。つまり、ゲートドライバ回路12に印加される信号は、ソースドライバ回路14から供給される。

【0047】

ゲートドライバ回路12aが同時に選択するゲート信号線17aは、1ゲート信号線に限定されるものではない。複数の画素行を同時に選択してもよい。たとえば、2本のゲー 50

ト信号線 17a を同時に選択してもよい。つまり、2 画素行を同時に選択する。

【0048】

表示領域 34 には、赤 (R)、緑 (G)、青 (B) の 3 原色の画素がマトリックス状に形成されている。RGB の画素は塗りわけ蒸着により形成する。なお、R、G、B に限定されるものではない。単色でもよく、また、シアン、イエロー、マゼンダなどでもよく、RGB に加えて、白色 (W) の 4 色などでもよい。R、G、B、W の場合は、カラーフィルタにより形成する。

【0049】

表示領域 34 は複数画面を有してもよい。たとえば、メイン画面とサブ画面である。メイン画面とサブ画面のゲートドライバ回路は独立して形成し、ソース信号線 18 を共通にする。また、ソースドライバ回路 14 もメイン画面とサブ画面を共通にする。 10

【0050】

表示領域 34 において、画素 16 のトランジスタを構成する膜は、図 109 に図示するように、レーザーアニール時に、レーザー照射スポットの長手方向をソース信号線に略平行となるように照射して作製している。

【0051】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、比較的均一である。形成温度が 450 ~ 550 度 (摂氏) 以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のバラツキが $\pm 0.2 \text{ V} \sim \pm 0.5 \text{ V}$ の範囲でバラツキがある。そのため、駆動用トランジスタ 11a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のバラツキのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 11 の劣化によっても特性は変化する。 20

【0052】

トランジスタの特性バラツキは、低温ポリシリコン技術で形成されたトランジスタに限定されるものではなく、プロセス温度が 450 度 (摂氏) 以上の高温ポリシリコン技術でも、固相成長 (CGS) を用いた半導体膜を用いて形成したトランジスタでも発生する。その他、有機材料で形成した有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【0053】

本発明は、以上のすべての技術で形成されたトランジスタなどからなる EL 表示装置あるいは表示パネルの構成もしくは駆動方法に適用できるものである。 30

【0054】

図 1 などで示す本発明の表示パネルの画素 16 を構成するトランジスタ 11 は、p-チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ 11b、11d は、デュアルゲート以上であるマルチゲート構造としている。

【0055】

図 1 において、本発明の表示パネルの画素 16 を構成するトランジスタ 11b は、トランジスタ 11a のソースドレイン間のスイッチとして作用する。したがって、トランジスタ 11b は、できるだけ低リーク電流特性が要求される。トランジスタ 11b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより低リーク電流特性を実現できる。 40

【0056】

図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくい。したがって、EL 表示装置に採用することが好ましい。ただし、本発明は EL 表示装置の画素、ドライバ回路などを P チャンネルで構成することのみに限定するものではない。これらを N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

【0057】

ただし、パネルを低コストで作製するためには、画素を構成するトランジスタ11をすべてPチャンネルで形成し、ゲートドライバ回路12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

【0058】

図1のように画素16の駆動用トランジスタ11a、トランジスタ(11b、11c)がPチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、トランジスタ(11b、11c)のG-S容量(寄生容量)を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときにはVGH電圧(トランジスタのオフ電圧)となる。そのため、コンデンサ19の端子電圧がアノード電圧Vdd側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、トランジスタ11aは電流を流さない方向に変化する。したがって、より黒表示となる、良好な黒表示を実現できる。

【0059】

コンデンサ19などによる突き抜け電圧のシフト量は一定であり、また、VGH電圧(トランジスタのオフ電圧)、VGL電圧(トランジスタのオン電圧)が一定値であるからである。電流駆動方式(電流プログラム方式)では、低階調ではプログラム電流が小さくなり、ソース信号線18の寄生容量の充放電が困難である。突き抜け電圧の発生効果により、プログラム電流を低減(電流が流れない方向にトランジスタ11aのゲート電圧電位をシフトさせる)させる。したがって、ソース信号線18に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ11aがEL素子15に流す電流はプログラム電流よりも小さくすることができる。結果的に、小さなプログラム電流(低階調領域のプログラム電流)を画素16に書き込むことができる。

【0060】

突き抜け電圧は、画素16を選択するゲート信号線17aの振幅の大きさ $V_g = V_{GH} - V_{GL}$ に依存する。電流駆動方式においては、この突き抜け電圧を有効に作用させることが重要である。本発明では、 V_g の大きさを6(V)以上としている。また、アノード電圧Vdd、カソード電圧Vssとすると、アノード電圧とカソード電圧の電位差 $V_e = V_{dd} - V_{ss}$ は、 $V_e = V_g - 0.5$ (V)以下となるようにしている。

【0061】

なお、トランジスタがPチャンネルの場合は、VGHはトランジスタをオフ(オープン)させる電圧であり、VGLはトランジスタをオン(クローズ)させる電圧である。トランジスタがNチャンネルの場合は、VGLはトランジスタをオフ(オープン)させる電圧であり、VGHはトランジスタをオン(クローズ)させる電圧である。

【0062】

本発明は、駆動用トランジスタ11a、トランジスタ11bなどをPチャンネルに限定するものではない。しかし、駆動用トランジスタ11a(カレントミラー回路の場合は、トランジスタ11b(図12などを参照のこと))の極性(PまたはN)とスイッチ用トランジスタ11b、11cの極性を一致させることが本発明の特徴である。もしくは、スイッチ用トランジスタ11b、11cがオフになる時、駆動用トランジスタ11aの電流が流れにくくなる方向に、電位シフトするようにトランジスタの極性、ゲート信号線12bの振幅変化方向が設定されていることが特徴である。

【0063】

以上のように、本発明は、画素16の駆動用トランジスタ11aおよびスイッチングトランジスタ11bの両方をPチャンネルトランジスタで形成することにより黒表示(黒および低階調範囲)を良好にできるという特徴ある効果を発揮する。なお、画素16の駆動用トランジスタ11aがNチャンネルトランジスタの場合は、スイッチングトランジスタ11bもNチャンネルトランジスタとする。つまり、駆動用トランジスタ11aとスイッチングトランジスタ11bの両方を同一極性のトランジスタで構成することが好ましい。

【0064】

10

20

30

40

50

つぎに、図 3 を用いて、本発明の E L 表示パネルで使用する電源（電圧）について説明をする。ゲートドライバ回路 1 2 は、主としてバッファ回路 3 2 とシフトレジスタ回路 3 1 から構成される。バッファ回路 3 2 はオフ電圧（V G H）とオン電圧（V G L）を電源電圧として使用する。一方、シフトレジスタ回路 3 1 はシフトレジスタの電源 V G D D とグラウンド（G N D）電圧を使用し、また、入力信号（C L K、U D、S T）の反転信号を発生させるための V R E F 電圧を使用する。また、ソースドライバ回路（I C）1 4 は、電源電圧 V s とグラウンド（G N D）電圧を使用する。

【0065】

ゲートドライバ回路 1 2 a はゲート信号線 1 7 a をオンオフ制御する。ゲートドライバ回路 1 2 b はゲート信号線 1 7 b をオンオフ制御する。説明を容易にするため、画素構成は図 1 を例にあげて説明をする。 10

【0066】

各シフトレジスタ回路 3 1 は、正相と負相のクロック信号 C L K x（C L K x P、C L K x N）、スタートパルス（S T x）で制御される。なお、x は添え字である。その他、ゲート信号線の出力、非出力を制御するイネーブル（E N B L）信号、シフト方向を上下逆転するアップダウン（U D）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路 3 1 にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【0067】

シフトレジスタ回路 3 1 のシフトタイミングはコントローラ回路（図示せず）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路 3 1 を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。 20

【0068】

シフトレジスタ回路 3 1 のシフトタイミングはコントロール I C（図示せず）からの制御信号で制御される。また、ゲートドライバ回路 1 2 は、外部データのレベルシフトを行うレベルシフト回路を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【0069】

シフトレジスタ回路 3 1 の駆動能力は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジスタ回路 3 1 の出力とゲート信号線 1 7 を駆動する出力ゲート間には少なくとも 2 つ以上のインバータ回路（バッファ回路 3 2 に含まれる）が形成されている。 30

【0070】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧 V d d を 6（V）とし、カソード電圧 V s s を -9（V）とする（図 1 などを参照のこと）。G N D 電圧は 0（V）とし、ソースドライバ回路 1 4 の V s 電圧は V d d 電圧と同一の 6（V）とする。V G H 1 と V G H 2 電圧は、V d d より 0.5（V）以上 3.0（V）以下とすることが好ましい。ここでは、V G H 1 = V G H 2 = 8（V）とする。

【0071】

ゲートドライバ回路 1 2 の V G L 1 は、図 1 のトランジスタ 1 1 c のオン抵抗を十分に小さくするため、低くする必要がある。ここでは、回路構成を容易にするため、V G H 1 と絶対値が逆である V G L 1 = -8（V）にする。V G D D 電圧はシフトレジスタ回路の電圧である。V G H よりも低く、G N D 電圧よりも高くする必要がある。ここでは、発生電圧回路を容易にし、回路コストを低減するため、V G H 電圧の 1 / 2 の 4（V）にする。一方で、V G L 2 電圧は、余り低くすると、トランジスタ 1 1 b のリークを発生する危険性があるため、V G D D 電圧と V G L 1 電圧の中間電圧にすることが好ましい。ここでは、電圧回路を容易にし、回路コストを低減するため、V G D D 電圧と絶対値が等しく、また反対極性である -4（V）にする。

【0072】

本発明のEL表示装置の各部の電圧について図4を用いて説明をする。本発明では、カソード電圧 V_{ss} をグランド(GND)電圧とする。アノード電圧 V_{dd} とソースドライバ回路14の電源電圧 V_d は共通にしている。つまり同一電圧とする。もちろん、カソード電圧 V_{ss} は、GND以外の電圧に設定することができるが、図4のように構成することにより、電源回路が簡略化でき、効率も向上する。

【0073】

図4の本発明の電源回路方式では、アノード電圧 V_{dd} が上下変動すれば、ソースドライバ回路14の電源電圧 V_d も同様に上下変動する。プリチャージ電圧 V_p の最高電圧は、アノード電圧 V_{dd} と同一(一致)にし、最低電圧は、図4に図示するように V_{min} とする。したがって、プリチャージ電圧 V_p は、アノード電圧 V_{dd} を基準としてグランド方向に電位をとる。 V_{min} 電圧は、負のレギュレータで入力電圧を V_{dd} とグランド(GND)にすることにより容易に発生できる。なお、 $V_{dd} - V_{min}$ の値は、2V以上4V以下とすることが好ましい。プリチャージ電圧 V_p は、 V_{dd} と V_{min} 電圧を刻み数(階調数)で分割して電子ボリウムを構成し、入力デジタルデータを前記電子ボリウムでアナログデータに変換して出力する。プリチャージ電圧 V_p とは、プリチャージ電圧 V_p 電圧だけでなく、プログラム電圧も意味する。

10

【0074】

ゲートドライバ回路12が出力するゲートオン電圧 V_{GH} は、図4に図示するようにアノード電圧 V_{dd} を基準(原点)にして正方向にとる。 $V_{GH} - V_{dd}$ は、0.5V以上2.5V以下にする。また、ゲートドライバ回路12が出力するゲートオフ電圧 V_{GL} は、図4に図示するようにグランド電圧(GND)を基準(原点)にして負方向にとる。 $GND - V_{GL}$ は、0.5以上2.5V以下にする。 V_{GL} は、 V_{dd} を基準として発生してもよい。 V_{GH} 、 V_{GL} はチャージポンプ回路で発生する。

20

【0075】

画素16を選択するゲート信号線17aの振幅の大きさ $V_g = V_{GH} - V_{GL}$ とすると、本発明では、 V_g の大きさを6(V)以上としている。また、アノード電圧 V_{dd} 、カソード電圧 V_{ss} とすると、アノード電圧とカソード電圧の電位差 $V_e = V_{dd} - V_{ss}$ は、 $V_g + 2$ (V)以上としている。また、 V_{GL} 電圧は、ポリシリコン技術により、アレイ基板30にチャージポンプ回路などを形成して発生させてもよい。また、アノード電圧を発生するDCDC(直流-直流)コンバータ回路には、入力部または出力部に突入電流制限回路を設けることが好ましい。

30

【0076】

図4では、 V_{GL1} と V_{GL2} (図3を参照のこと)を同一の電圧としたが、これに限定するものではなく、 $V_{GL1} < V_{GL2}$ の関係にすることが好ましい。つまり、 V_{GL1} の方が V_{GL2} より電圧が低い。ただし、駆動用トランジスタ11aがPチャンネルの場合である。駆動用トランジスタ11aがNチャンネルの場合は、逆の関係にする。なお、 V_{GL1} は画素行を選択するゲートドライバ回路12aのオン電圧であり、 V_{GL2} は、トランジスタ11dを選択するゲートドライバ12bのオン電圧である。

【0077】

V_{GL1} を V_{GL2} より小さくすることにより、ゲート信号線17aの振幅動作により、駆動用トランジスタ11aのゲート端子の突き抜け電圧が大きくなり、本発明の駆動方式と組み合わせることにより良好な黒表示を実現できるからである。たとえば、 $V_{GL1} = -9$ (V)、 $V_{GL2} = -3$ (V)が例示される。

40

【0078】

駆動用トランジスタ11aが出力するプログラム電流の大きさを大きくするには、アノード電圧 V_{dd} を高くする必要がある。プログラム電流を大きくすれば、EL素子15は高輝度に発光するから、EL表示装置を高輝度表示することができる。高輝度表示はEL表示装置を屋外で使用するときに有効である。しかし、常時、アノード電圧 V_{dd} を高くするとEL表示装置で使用する消費電力が増大する。そのため、駆動用トランジスタ11aが大きなプログラム電流を出力する期間あるいは状態を極力少なくしたい。本発明では

50

、高輝度表示が必要な場合に、アノード電圧 V_{dd} を高くする。また、低階調表示あるいは低点灯率のように、プログラム電流の書き込み不足が発生する場合に、図4に示すようにアノード電圧を高くする。この方式は、図147で説明する。

【0079】

図4では、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する場合に、アノード電圧 V_{dd} を高くするとして説明した。しかし、駆動方式としては、カソード電圧 V_{ss} を低下させる方式も考えられる。つまり、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する場合に、カソード電圧 V_{ss} を低くする方式が例示される。また、高輝度表示が必要な場合、低階調表示あるいは低点灯率のようにプログラム電流の書き込み不足が発生する状態をアノード電圧 V_{dd} またはカソード電圧 V_{ss} を通常状態とし、通常の輝度時あるいは、書き込み不足が発生してもよい場合に、アノード電圧 V_{dd} またはカソード電圧を低くしてもよい。また、アノード電圧 V_{dd} とカソード電圧 V_{ss} の両方を変化させてもよい。

10

【0080】

また、動画、静止画など表示画像の種類あるいは状態により、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を変化させてもよい。また、外部照度の高低に対応してアノード電圧 V_{dd} 、カソード電圧 V_{ss} を変化させてもよい。外部照度が高い時は、アノード電圧 V_{dd} などを高くし、照度が低い時は、アノード電圧 V_{dd} などを低くする。照度の検出は、PINホトダイオードなどにより行う。また、パネル温度より、プログラム電圧またはプログラム電流を印加したときの書き込み状態が変化する場合がある。この場合も、アノード電圧 V_{dd} などを変化すればよい。温度の検出はパネルの裏面あるいは無効領域（表示に有効な光が出射しない領域）に取り付けたサーミスタ、ポジスタで行う。アノード電圧 V_{dd} 、カソード電圧 V_{ss} の変化あるいは調整は、本発明は、表示輝度、プログラム電流の書き込み状態、表示状態、点灯率、外部照度などに対応させて、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を変化あるいは調整する方式である。

20

【0081】

以上のように表示装置で使用する電源電圧を発生あるいは制御することにより、アノード電圧 V_{dd} を変化させた時、同時にソースドライバ回路14の電源電圧、プリチャージ電圧 V_p の V_{min} 、 V_{GH} も変化する。したがって、高輝度表示が必要な時に、アノード電圧 V_{dd} などを変化させても、 V_{GH} 、プリチャージ電圧 V_p の相対値も同時に変化するので良好な画像表示を維持できる。以上の動作は、後に図147などで説明する点灯率制御方式と組み合わせることで特に有効な効果を発揮できる。また、図6、図9などで説明するN倍駆動、 $duty$ 比駆動方式と組み合わせることも有効である。Nが大きいときに、アノード電圧 V_{dd} などを高くする。

30

【0082】

本発明では、点灯率に対応して図4で示すアノード電圧 V_{dd} などを変化させる。点灯率が低い時は、アノード電圧 V_{dd} を定常値よりも高くし、また、基準電流を大きくすることにより、電流駆動における書き込み不足を改善する。また、図9、図10、図11などで説明するN倍駆動（非点灯領域挿入駆動）を実施し、階調に対する輝度は定常値と略同一に制御している。

40

【0083】

第1の本発明のEL表示装置およびその駆動方法では、基本的には第1の動作（書き込み動作）と第2の動作（発光動作）の2つの動作状態からなる。また、第1の動作は、プリチャージ電圧 V_p などをソース信号線18に印加し、ソース信号線18の電位を強制的に変化させる電位変化動作（画素16の駆動用トランジスタ11aのゲート端子電位を変化させることも含む）と、プログラム電流を駆動用トランジスタ11aなどに印加する電流プログラム動作に分離される。また、必要に応じて、第1の動作前に、ソース信号線18に定電流（0（A）も含む）を印加し、ソース信号線18の電位を測定あるいは取得する初期動作を実施する。

50

【0084】

第2の動作は、プログラムされた電流を画素16のEL素子15に印加し、もしくは、画素16のEL素子15にプログラムされた電流を流れるようにし、EL素子15を発光させる期間である。この第2の動作において、必要に応じて、図9、図10、図11などで説明するようにゲート信号線17bにオンオフ電圧を印加し、駆動用トランジスタ11aからEL素子15に供給される電流を印加または遮断動作を行う。また、図147で説明するように、点灯率制御を実施する。

【0085】

プリチャージ電圧 V_p （または、 V_a 、 V_0 ）などの電圧印加動作において、印加するのは電圧に限定されるものではない。プログラム電流よりも大きな電流（過電流）をソース信号線18に印加し、短時間でソース信号線の電荷を充放電させることも技術範疇である。この実施例は、図81、図82などで説明している。つまり、電位変化動作は、ソース信号線18または駆動用トランジスタ11aのゲート端子電位を変化させる動作であればいずれの方式であってもよい。また、過電流を印加する前に、所定の電圧をソース信号線18に印加し、その後に過電流を印加してもよい。

10

【0086】

初期動作では、画素の駆動用トランジスタ11aに定電流（所定のプログラム電流）を印加し、前記駆動用トランジスタ11aを動作させ、駆動用トランジスタ11aの動作が定常状態になった時点で、駆動用トランジスタ11aのゲート端子電圧またはソース信号線18の電圧を測定する。測定した電圧は、 A/D 変換してメモリなどに格納する。もしくは、サンプルホールド回路などに電圧をホールドさせる。取得した電圧は、第1の動作の電位変化動作の電圧として使用する。

20

【0087】

なお、初期動作で、定電流を印加するとしたが、本発明ではこれに限定するものではなく、定電流を印加せず（定電流＝0（A））、選択した画素16の駆動用トランジスタ11aのゲートドレイン端子を短絡して、駆動用トランジスタ11aがオフセットキャンセル（駆動用トランジスタ11aが電流を流さない状態、カットオフの状態）した時に電位（ V_a または V_0 ）を測定あるいは取得してもよい。画素16を選択した時、ソース信号線18と画素16の駆動用トランジスタ11aのゲート端子とは電氣的接続状態であるので、この電位もソース信号線18の電位を測定することにより、取得することが可能である。

30

【0088】

第2の本発明のEL表示装置およびその駆動方法では、初期動作と、第1の動作（書き込み動作）と第2の動作（発光動作）の2つの動作状態からなる。

【0089】

初期動作は、第1の本発明のEL表示装置（パネル）およびその駆動方法と同様である。初期動作では、画素の駆動用トランジスタ11aに定電流（所定のプログラム電流）を印加し、前記駆動用トランジスタ11aを動作させる。駆動用トランジスタ11aの動作が定常状態になった時点で、駆動用トランジスタ11aのゲート端子電圧またはソース信号線18の電圧（ V_a または V_0 ）を測定する。

40

【0090】

定電流は、書き込む階調に応じて変化させることが好ましい。ただし、定電流は0（A）の場合も含まれる。定電流が0（A）の場合は、実質的に駆動用トランジスタ11aをオフセットキャンセルしていることになる。測定した電圧（ V_a または V_0 ）は、 A/D 変換してメモリなどに格納する。もしくは、サンプルホールド回路などに電圧をホールドさせる。取得した電圧は、第1の動作の電位変化動作の電圧として使用する。

【0091】

なお、初期動作前に、ソース信号線18に所定電圧を印加し、ソース信号線18の電位を安定にまたは所定電圧にすることが好ましい。

【0092】

50

第1の動作は、初期動作で取得した電圧を基準電圧 V_a （または原点電圧 V_0 ）として、この基準電圧に階調電圧を加減算し、目標電圧を求める。求めた目標電圧は、該当画素を選択している期間に、該当画素に書き込む。

【0093】

第2の動作は、プログラムされた電圧（目標電圧）を駆動用トランジスタ11aで電圧-電流変換を行い、得られた電流を画素16のEL素子15に印加する動作である。目標電圧は、画素16のコンデンサ19に保持されている。この第2の動作の期間において、必要に応じてゲート信号線17bにオンオフ電圧を印加し、駆動用トランジスタ11aからEL素子15に供給される電流を印加または遮断動作を行う。また、基準電流の増減制御、 $duty$ 比制御（図9、図11など）を行う。また、点灯率に対応してオンオフ制御を変化させる。 10

【0094】

階調電圧は、電圧に限定されるものではない。電流（過電流）をソース信号線18に印加し、短時間でソース信号線の電荷を充放電させることも技術的範疇である。電流の印加によりソース信号線18の電位は変化する。つまり、電流を印加することも電圧を印加していることと実質上同じである。電位変化動作は、ソース信号線18または駆動用トランジスタ11aのゲート端子電位を変化させる動作であればいずれの方式であってもよい。

【0095】

図5は図1の動作の説明図である。図5(a)は、ソースドライバ回路14から定電流を供給し、駆動用トランジスタ11aから定電流 I_w がソースドライバ回路14に向かって流れている状態を示している。駆動用トランジスタ11aが定電流 I_w を流している時は、トランジスタ11b、11cがクローズ（オン）状態である。したがって、駆動用トランジスタ11aのゲート端子電位とソース信号線18の電位は同一である。 20

【0096】

図5(b)は、駆動用トランジスタ11aからEL素子15に電流 I_e を供給している状態を示している。つまり、EL素子15に電流を供給し、画像表示を行っている状態である。

【0097】

以上の動作を表示画面34で図示すると、図6に図示するようになる。図6(a)の61は、表示画面34における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。あるいは、 V_a 、 V_0 電圧を測定している画素行（画素）である。または、目標電圧 V_c を書き込んでいる画素行（画素）である。 30

【0098】

基本的には、定電流が0(A)の時のソース信号線18の電位を V_0 とし、定電流 I_a （ I_a は任意の値）の時のソース信号線18の電位を V_a と呼ぶ。しかし、便宜的に、また、説明を容易にするため、映像信号の階調0に対応する電圧を V_0 とし、映像信号の階調aに対応する電圧を V_a の意味で使用する場合もある。

【0099】

画素（行）61は、非点灯（非表示画素（行））とする。非点灯にするには、ゲートドライバ回路12bを制御し、画素16のトランジスタ11dをオープン状態にすればよい。トランジスタ11dをオープンにするためには、ゲート信号線17bにオフ電圧を印加すればよい。ゲートドライバ回路12がゲート信号線17にオフ電圧を印加する位置は、水平同期信号に同期してシフトさせる。 40

【0100】

非点灯（非表示）とは、EL素子15に流れていない状態をいう。もしくは、一定以内の小さな電流が流れている状態をいう。つまり、暗い表示状態である。したがって、非点灯画素行とは、該当画素行のEL素子15に電流が流れていない状態あるいは比較的暗い表示状態を意味する。

【0101】

表示画面34の非表示（非点灯）の範囲を非表示領域62と呼ぶ。表示画面34の表示 50

(点灯)の範囲を表示(点灯)領域63と呼ぶ。表示領域63の画素16のスイッチング用トランジスタ11dはクローズし、EL素子15に電流が流れている。ただし、黒表示の画像表示ではEL素子15に電流が流れないのは当然である。スイッチング用トランジスタ11dがオープン領域は、非表示領域62となる。

【0102】

図6、図9では、表示画面34に非表示領域62と、表示領域63を発生させる。このように表示する駆動方法を duty 比駆動方式と呼ぶ。

【0103】

本発明は、表示領域63と非表示領域62との比を変化させる、あるいは表示画面34の面積に対し非表示領域62の面積を変化させる、あるいは表示状態の画素数を増減することにより、画面の輝度あるいは明るさを調整することの特徴とする。 10

【0104】

本発明は、画面34に占める表示領域63を複数に分割できる。また、表示領域63または非表示領域62の分割数を動画表示と静止画表示で異ならせる。画面34に占める非表示領域62または表示領域63が、帯状となって画面の上から下方向または画面の下から上方向に移動することの特徴とする。

【0105】

通常、NTSCのフレームレートは60Hz(1秒間に60枚、1画面を書き換える時間は1/60秒)、PALは50Hz(1秒間に50枚)である。図6、図9のように、本発明の duty 比駆動を実施する場合は、フレームレートを1.2倍以上2.5倍以下に変換して表示する。つまり、入力フレームレートが60Hzの場合は、 $60 \times 1.2 = 72\text{Hz}$ 以上、 $60 \times 2.5 = 150\text{Hz}$ 以下にする。好ましくは、1.25倍の75Hz以上2倍の120Hz以下とする。あるいは、1.25倍の75Hz、1.5倍の90Hz、2倍の120Hzのいずれかを選択する。 20

【0106】

入力信号は、画像メモリに蓄積し、フレームレート変換を行う。もしくは、入力信号のフレームレートを72Hz以上150Hz以下で本発明の表示装置に入力する。以上のフレームレートに関する事項は、本発明の他の実施例においても適用される。

【0107】

図1の画素構成の場合は、図5(a)に図示するように、プログラム電流(定電流) I_w がソース信号線18に流れる。このプログラム電流 I_w が駆動用トランジスタ11aを流れ、プログラム電流 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。または、駆動用トランジスタ11aのゲート端子にプログラム電流 I_w を流す電流が流れるようにコンデンサ19に電圧が保持される。このとき、トランジスタ11dはオープン状態(オフ状態)である。 30

【0108】

EL素子15に電流を流す期間は図5(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(VGH)が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(VGL)が印加され、トランジスタ11dがオンする。 40

【0109】

タイミングチャートを図7に図示する。図7において、選択された画素行の画素16では、ゲート信号線17aにオン電圧(VGL)が印加されている時(図7(a)を参照)には、ゲート信号線17bにはオフ電圧(VGH)が印加されている(図7(b)を参照)。この期間は、選択された画素行のEL素子15には電流が流れていない(非点灯状態)。選択期間は1水平走査期間(1H)としている。

【0110】

ゲート信号線17aにオン電圧が印加されていない(選択されていない)画素行で、点灯状態の画素行では、ゲート信号線17bにはオン電圧(VGL)が印加されている。この画素行のEL素子15には電流が流れ、EL素子15が発光している。 50

【0111】

ゲート信号線17aにオン電圧が印加されていない（選択されていない）画素行で、非点灯状態の画素行では、ゲート信号線17bにはオフ電圧（VGH）が印加されている。この画素行のEL素子15には電流が流れず、EL素子15は非発光状態である。

【0112】

以上の動作を図示すると、図6のようになる。図6（a）の61は、表示画面34における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。画素（行）61は、非点灯（非表示画素（行））とする。また、スイッチング用トランジスタ11dがクローズし、EL素子15に電流が流れている（ただし、黒表示は流れない）領域は、表示領域63となる。また、スイッチング用トランジスタ11dがオープン領域は、非表示領域62となる。

【0113】

図1の画素構成の場合は、図5（a）に示すように、電流Iwが駆動用トランジスタ11aを流れ、プログラム電流Iwを流す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。または、駆動用トランジスタ11aのゲート端子にプログラム電流Iwを流す電流が流れるように電圧が保持される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0114】

次に、EL素子15に電流を流す期間は図5（b）のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧（VGH）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（VGL）が印加され、トランジスタ11dがオンする。

【0115】

Va電圧を測定あるいは取得する際に、ソース信号線18の充放電を高速に行う場合、また、画像表示に黒挿入（非表示領域挿入）を行い、動画視認性を向上させる場合は、定電流の大きさをN倍にする。定電流の大きさをN倍にすることによりEL素子15に流れる電流もN倍となる。

【0116】

Vx（xは階調番号）を従来と同様に1倍とする場合は、N倍の定電流を書き込み効果によりソース信号線18の充放電を高速にできるという効果が発揮される。この場合は、基準となるVa電圧がすでにN倍のEL電流となる電圧であるから、加減算するVx電圧もこの点を考慮して設定する必要がある。目標電圧Vcも同様である。

【0117】

以下、説明を容易にするため、Va電圧を測定する際の定電流IwもN倍（基準となる電圧Vaも駆動用トランジスタ11aがN倍の電流を流すように設定される。）とし、Va、V0に加算されるVxも駆動用トランジスタ11aがEL素子15にN倍の電流を流すように設定されとする。また、1倍の電流の時にEL表示装置が表示する表示画面34の輝度はBとし、N倍の電流が流れる時は発光部の輝度は、 $B \times N$ の輝度で表示されるものとする。なお、説明は、Nは1以上として説明するが、Nが1未満であっても、本発明は適用できることは言うまでもない。

【0118】

図6、図9では、表示画面34の表示領域63の画素16をN倍の輝度で発光させる。もしくは、N倍の電流を流す。このように、表示する駆動方法をN倍駆動方式と呼ぶ。

【0119】

EL素子15に流す定電流あるいはプログラム電流Iwは、表示画面34の平均（所定）輝度Bを得るのに必要な電流のN倍とする。したがって、EL素子15は、所定のN倍の輝度（ $N \cdot B$ ）で点灯する。点灯期間は $1F/N$ とする。1Fとは1フィールド（フレーム）である。なお、説明を容易にするため、1フィールド（フレーム）にブランキング期間はないとして説明をする。実用上は、ブランキング期間があるため、正確には $N \cdot B$ とはならない。つまり、1Fの $1/N$ の期間、N倍の輝度（ $N \cdot B$ ）でEL素子15が発

10

20

30

40

50

光する。したがって、1 Fを平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1 / N) = B$ (所定輝度) となる。

【0120】

なお、Nはいずれの値でもよい。ただし、Nがあまりにも大きいとEL素子15に流れる瞬時電流が大きいため、Nは10以下にすることが好ましい。もちろん、 $N=1$ とし、書き込み画素行181以外を表示(点灯)領域63としてもよいことは言うまでもない。この場合は、EL素子15に流す電流Iwは、表示画面34の平均(所定)輝度Bを得るのに必要な電流とする。したがって、EL素子15は、所定の輝度Bで点灯(発光)する。

【0121】

また、発光輝度 $N \cdot B$ となるように定電流あるいはプログラム電流Iwを流す理由の1つは、ソース信号線18の寄生容量の影響を小さくするためである。大きな電流を流すことにより、寄生容量の電荷を短時間で充放電することができるようになる。

【0122】

以上の実施例は、主としてシリコンチップからなるICでソースドライバ回路(IC)14を構成するものであった。しかし、本発明はこれに限定するものではなく、図8などに図示するように、アレイ基板30に直接にポリシリコン技術(CGS技術、低温ポリシリコン技術、高温ポリシリコン技術など)を用いて出力段回路81など(ポリシリコン電流保持回路82)を形成または構成してもよい。

【0123】

図8は、R、G、Bの出力段回路81(R用は81R、G用は81G、B用は81B)と、RGBの出力段回路81を選択するスイッチSがポリシリコン技術で形成(構成)されている。スイッチSは1水平走査期間(1H期間)を時分割して動作する。基本的には、スイッチSは、1Hの1/3期間がRの出力段回路81Rに接続され、1Hの1/3期間がGの出力段回路81Gに接続され、残りの1Hの1/3期間がBの出力段回路81Bに接続される。

【0124】

図8に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ(回路)14は、出力端子83でソース信号線18と接続される。ポリシリコンからなるスイッチSが時分割で切り換えられ、出力段回路81R、81G、81Bに接続される。出力段回路81(81R、81G、81B)はRGBの映像データからなる電流が保持される。なお、図8ではポリシリコン電流保持回路82は1段分しか図示していないが、実際には2段構成されていることは言うまでもない。

【0125】

図8では、スイッチSは、1Hの1/3期間がRの出力段回路81Rに接続され、1Hの1/3期間がGの出力段回路81Gに接続され、残りの1Hの1/3期間がBの出力段回路81Bに接続されると説明したが本発明はこれに限定するものではない。R、G、Bを選択する期間は異なってもよい。これは、R、G、Bのプログラム電流Iwの大きさが異なっているためである。R、G、BでEL素子15の効率が異なるため、R、G、Bでプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線18の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線18の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線18の寄生容量の大きさは、R、G、Bで同一であることが多い。

【0126】

図6では表示領域63を1つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図9に図示するように、表示領域63と非表示領域62とを複数に分散させてもよい。

【0127】

また、図9に図示するように、間欠する間隔(非表示領域62/表示領域63)は等間隔に限定するものではない。たとえば、ランダムでもよい(全体として、表示期間もしく

10

20

30

40

50

は非表示期間が所定値（一定割合）となればよい）。また、RGBで異なっているとしてもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【0128】

非表示領域62とは、ある時刻において非点灯EL素子15の画素16領域である。表示領域63とは、ある時刻において点灯EL素子15の画素16領域である。非表示領域62、表示領域63は、水平同期信号に同期して、1画素行ずつ位置がシフトしていく。

【0129】

本発明の駆動方法では、図10に図示するように間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ11dは最大でも1H周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために間欠表示の期間、映像データを蓄積するため画像メモリが必要である。本発明は、映像データは各画素16のコンデンサ19に保持されている。そのため、本発明の駆動方法では間欠表示を実施するための画像メモリは不要である。

【0130】

本発明の駆動方法はスイッチングのトランジスタ11d（図1などを参照のこと）などをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、映像データはそのまま画素16のコンデンサ19に保持されている。したがって、次のタイミングでトランジスタ11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【0131】

本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより、従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0132】

さらに、大型の表示装置でソース信号線18の配線長が長くなり、ソース信号線18の寄生容量が大きくなる場合は、N値（Nは1よりも大きな値）を大きくすることにより対応できる。ソース信号線18に印加するプログラム電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【0133】

1つの本発明は、電流駆動の画素構成のEL表示パネルにおいて、各画素の駆動用トランジスタ11aに定電流を流し、または、定電流（ $I_w = 0$ ）が流れないようにして、Va電圧またはV0電圧を測定あるいは取得する。測定あるいは取得したVa電圧またはV0電圧をA/D変換してメモリなどに格納する。画像表示時に、このVa電圧またはV0電圧を読み出しD/A変換し、プリチャージ電圧Vpとしてソース信号線18に印加する。プリチャージ電圧Vpの印加後に、必要に応じてプログラム電流を印加するものである。

【0134】

1つの本発明は、各画素の駆動用トランジスタ11aに定電流を印加し、または、電流が流れないようにして、Va電圧またはV0電圧を測定する。測定した電圧はA/D変換してメモリなどに格納する。画像表示時に、このVa電圧またはV0電圧を読み出しD/A変換し、このVa電圧またはV0電圧を基準として階調電圧Vx（xは階調番号）を加算し、目標電圧Vcを発生する方式である。

【0135】

なお、本発明はこれに限定するものでない。たとえば、電圧Vaを測定あるいは取得す

る際、印加する定電流 I_w を最大階調 I_{wm} に該当する電流としてもよい。

【0136】

最大階調に該当する定電流 I_{wm} を駆動用トランジスタ 11a に印加することにより、駆動用トランジスタ 11a は最大階調の電流が流れるように、そのゲート端子に電圧 V_a が発生する。この V_a を基準にし、階調電圧 V_x を減算して目標電圧 V_c を発生させる。発生させた電圧 V_{cm} を駆動用トランジスタ 11a のゲート端子に印加する。

【0137】

以上のように、本発明の重要な駆動方式の重要なあるいは特徴ある動作は、電流駆動方式の画素を流れる電流をソース信号線 18 に取り出す、もしくはソース信号線 18 の電位を測定することである。駆動用トランジスタ 11a もしくは駆動用トランジスタ 11a とカレントミラー結合されたトランジスタ 11b のドレイン端子またはソース端子が、直流的にソース信号線 18 に結線されている構成あるいは配置、つまり、駆動用トランジスタ 11 (11a、11b) である必要がある。EL 素子 15 に電流を流すとは、EL 素子 15 に電流を供給する場合と、EL 素子 15 から前記駆動用トランジスタ 11 に流れ込む場合の両方を含む。

10

【0138】

本発明は、 V_a 、 V_0 、 V_{am} を基準として駆動用トランジスタ 11 に略 1 倍の電流 I_e を流す実施例であった。しかし、本発明はこれに限定するものではない。たとえば、「 $1F/N$ の期間の間だけ、EL 素子 15 に電流を流し、他の期間 ($1F(N-1)/N$) は電流を流さない」駆動方式では、定電流を N 倍に設定してもよいことは言うまでもない。つまり、 N 倍の定電流 (リセット電流) に対応する V_a 電圧を求め、この電圧 V_a を基準にして目標電圧 V_c を発生させる。なお、 N 倍の定電流としたが、これに限定するものではない。 N は 1 以上であればいずれの値でもよい。

20

【0139】

この方式は、ソース信号線 18 の寄生容量が大きい場合に特に有効である。また、EL 表示装置が 10 インチ以上と大きい場合に有効である。ソース信号線 18 の寄生容量が大きい場合、リセット電流 (プログラム電流 I_w) を N 倍にすること (少なくとも 1 倍以上とすること) により、定電流 I_w の「書き込み不足」を改善することができる。

【0140】

本発明の駆動方法では、図 11 に図示するように赤 (R)、緑 (G)、青 (B) ごとに間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ 11d は最大でも 1H 周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは間欠表示を行わない駆動方式と同じであるため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。

30

【0141】

本発明の画素構成は、図 1 の構成を例示して説明するが、これに限定するものではない。たとえば、図 12 の画素構成であってもよい。図 12 の画素構成は、電流プログラム時は、トランジスタ 11c、11d がオン (クローズ) する。ソースドライバ回路 14 がプログラム電流 (定電流) I_w を出力する。駆動用トランジスタ 11b とカレントミラー回路を構成するトランジスタ 11a にプログラム電流 (定電流) I_w が流れ、プログラム電流に対応した電圧がコンデンサ 19 に保持される。なお、トランジスタ 11e はゲート信号線 17b に印加した制御信号 (オンオフ信号) により、オンオフ (クローズオープン) 制御されて図 11、図 9 などで説明した間欠制御などを実現する。

40

【0142】

図 12 の実施例は、トランジスタ 11a にプログラム電流 I_w を流す。図 1 のように EL 素子 15 に電流 I_e を印加するトランジスタ 11b にプログラム電流 (定電流) I_w を流す実施例ではない。図 12 の画素構成は、トランジスタ 11a とトランジスタ 11b とがカレントミラー回路を構成し、ミラー比が 1 の場合は、トランジスタ 11a を流れる電流 I_w とトランジスタ 11b を流れる電流 I_e が等しい。しかし、トランジスタ 11a にプログラム電流 I_w を流し、トランジスタ 11b の特性補償をするという点では、図 1 の

50

画素構成と同一である。

【0143】

本発明の技術的思想は、ソースドライバ回路14などからプログラム電流または定電流 I_w などを流し、直接的に駆動用トランジスタ11aまたは間接的にEL素子15に電流を流す駆動用トランジスタ11bの特性補償を行う点にある。定電流 I_w の印加により、駆動用トランジスタ11の特性がゲート端子電位(=ソース信号線18の電位)として出力されるからである。この出力された電圧を変数として用いて、階調電流あるいは階調電圧を求める。したがって、図12の画素構成であっても、本発明の駆動方式を実施することができるから、図12の画素構成は、本発明の技術的範疇である。なお、図12の画素構成では、トランジスタ11eを省略してもよい。Va測定時などに定電流 I_w が分流されてEL素子15に流れることがないからである。 10

【0144】

図1、図12などの画素構成は、トランジスタ11dによりEL素子15に流す電流をトランジスタ11dにより制御するものであった。本発明はこれに限定するものではない。たとえば、図13に図示する画素構成でも本発明を適用できる。図13は、トランジスタ11dがなくともEL素子15に印加する電流をオンオフ制御することができる。

【0145】

図13では、ゲートドライバ回路12bは、ゲート信号線17bを制御し、ゲート信号線17bの電位は、Vdd電圧と、それより低い電圧であるEL素子15に電流が流れない電圧Vgで駆動される。つまり、ゲート信号線17bには、Vdd電圧とVg電圧が出力される。ゲート信号線17bにVdd電圧が印加されたときは、EL素子15に電流が流れ、ゲート信号線17bにVg電圧が印加されたときには、EL素子15には電流が流れない。駆動用トランジスタ11aに定電流 I_w を印加する点において、図13でも図1と同様である。したがって、図13のように、ゲートドライバ12bを有さない構成も本発明の技術的範疇である。同様に、図1の画素構成の変形である図14にも適用できることはいうまでもない。スイッチング用トランジスタ11dをオンオフ制御する。 20

【0146】

駆動用トランジスタ11a、11bは1つのトランジスタに限定するものではなく、複数個で構成してもよい。たとえば、5つのトランジスタ11aを並列あるいは直列に形成する構成が例示される。また、スイッチング用トランジスタ11c、11dなどを複数個並列にあるいは直列に形成してもよい。 30

【0147】

以下、ソースドライバ回路14と、定電流あるいはプログラム電流 I_w の電流出力回路について説明をする。図15は、本発明のソースドライバ回路14の構成の説明図である。本発明のソースドライバ回路14は、赤(R)、緑(G)、青(B)に対応する基準電流回路153(153R、153G、153B)を有している。

【0148】

基準電流回路153は、抵抗R1(R1r、R1g、R1b)とオペアンプ151a、トランジスタ167aから構成される。抵抗R1(R1r、R1g、R1b)の値は、R、G、Bの階調電流に対応して独立に設定あるいは調整できるように構成されている。抵抗R1は、ソースドライバ回路14の外部に配置された外付け抵抗である。 40

【0149】

オペアンプの+端子cには、電子ボリウム152により、電圧Viが印加されている。電圧Viは、安定した基準電圧Vsを抵抗Rで分圧し、スイッチS(S1、S2、S3、・・・)で分圧して発生した電圧を選択することにより得られる。

【0150】

電子ボリウム152は、外部信号でスイッチSの制御することにより出力電圧Viを変化させるものである。したがって、外部からの制御信号により、出力電圧を変化させる電圧出力回路と考えてもよい。また、本発明はこれに限定するものではなく、内部インピーダンスを変化させる電子抵抗であってもよい。また、電圧だけでなく、出力電流を変化さ 50

せるものであってもよい。たとえば、図15において、外部からの制御信号により、基準電流 I_c を直接発生あるいは供給するものであってもよい。これらの概念も電子ボリウム152の技術的思想に含まれる。

【0151】

基準電流 I_c は $(V_s - V_i) / R_1$ となる。RGBの基準電流 I_c (I_{cr} 、 I_{cg} 、 I_{cb}) は、それぞれ独立した基準電流回路153で調整あるいは可変される。可変は、RGBごとに形成された電子ボリウムで実施される。したがって、電子ボリウム152に印加される制御信号により、電子ボリウム152から出力される電圧 V_i の値が変化する。電圧 V_i によりRGBの基準電流の大きさが変化し、端子83から出力される階調電流（プログラム電流） I_w の大きさが比例して変化する。

10

【0152】

発生した基準電流 I_c (I_{cr} 、 I_{cg} 、 I_{cb}) は、トランジスタ167aから167bに印加される。トランジスタ167bとトランジスタ群165cとはカレントミラー回路を構成している。なお、図15において、トランジスタ167b1は、1つのトランジスタで構成しているように図示しているが、実際には、トランジスタ群165cと同様に、単位トランジスタ164の集合（トランジスタ群）として形成している。

【0153】

ソースドライバ回路14が出力する階調数を K とし、単位トランジスタ164の大きさを S_t (平方 μm) としたとき、 $40 \leq K / \sqrt{S_t}$ かつ $S_t \leq 300$ を満足するように、単位トランジスタ164が形成されている。

20

【0154】

トランジスタ群165cからのプログラム電流 I_w は出力端子83より出力される。トランジスタ群165cの各単位トランジスタ164のゲート端子およびトランジスタ167bのゲート端子は、ゲート配線163で接続されている。

【0155】

トランジスタ群165cは、図16に図示するように、単位トランジスタ164の集合として構成される。理解を容易にするため、映像データとプログラム電流は比例あるいは相関の関係で変換されるとして説明する。映像信号によりスイッチ161が選択され、スイッチ161の選択により、単位トランジスタ164の集合としてのプログラム電流 I_w が発生する。したがって、映像信号をプログラム電流 I_w に変換できる。本発明は単位トランジスタ164の単位電流が、映像データ1の大きさに該当するように構成されている。

30

【0156】

各端子83の出力電流 I_w がバラツキなく発生するには、複数の単位トランジスタ164を動作させる必要がある。各出力端子83で出力電流 I_w のバラツキを少なくするためには、電流を発生する単位トランジスタ164が占める面積を一定以上の大きさにする必要がある。したがって、定電流 I_w を各端子83でバラツキなく（精度よく）出力できるようにするには、出力電流源を複数の単位トランジスタ164で形成し、かつ、所定の面積以上に構成する必要がある。本発明では、図15、図16は階調電流回路として、説明しているが、単位トランジスタ164の個数を固定すれば、所定の定電流 I_w となる。したがって、トランジスタ群165は定電流 I_w の発生部であり、階調電流回路154である。もちろん、図15の定電流回路153などを使用してもよい。

40

【0157】

単位電流とは、基準電流 I_c の大きさに対応して単位トランジスタ164が出力する1単位のプログラム電流の大きさである。基準電流 I_c が変化すると、単位トランジスタ164が出力する単位電流も比例して変化する。トランジスタ167bと単位トランジスタ164がカレントミラー回路を構成しているからである。

【0158】

図15のトランジスタ167b1、図16のトランジスタ167bは、本発明の別のトランジスタの一例にあたる。なお、トランジスタ167bはトランジスタ群165bを構

50

成してもよい。図 20 にトランジスタ群 165b として図示している。

【0159】

単位トランジスタ 164 とは、1 単位あるいは最小単位のプログラム電流 I_w を出力するトランジスタもしくは電流源である。つまり、単位トランジスタ 164 = 単位電流源である。また、複数の単位トランジスタ 164 が集合し、階調に対応したプログラム電流を出力する構成あるいは部分をトランジスタ群（電流出力回路）165c と呼ぶ。

【0160】

単位電流の大きさは基準電流回路 153 が出力する基準電流 I_c の大きさあるいは強さを調整することにより可変することができる。基準電流 I_c の調整は、ソースドライバ回路 14 内に内蔵した電子ボリウム 152 などで行う。基準電流 I_c を発生する基準電流回路 153 は R、G、B 回路ごとに設けられている。

10

【0161】

RGB の各トランジスタ群 165c は単位トランジスタ 164 の集合で構成されており、単位トランジスタ 164 の出力電流（単位プログラム電流）の大きさは、基準電流 I_c の大きさに調整できる。基準電流 I_c の大きさを調整すれば、RGB ごとに各階調のプログラム電流（定電流） I_w の大きさを変更あるいは可変することができる。したがって、RGB の単位トランジスタ 164 の特性が同一であるような理想的状態では、RGB の基準電流回路 153 の基準電流 I_c の大きさの比率を変化させることにより、EL 表示装置の表示画像のホワイトバランスをとることができる。

【0162】

20

以下、説明を容易にする、また作図を容易にするため、ソースドライバ回路（IC）14 のトランジスタ群 165c は 6 ビットであるとして説明をする。図 16 において、各単位トランジスタ 164 は、定電流データ（D0～D5）ごとに配置される。D0 ビットには 1 個の単位トランジスタ 164 が配置される。D1 ビットには 2 個の単位トランジスタ 164 が配置される。D2 ビットには 4 個の単位トランジスタ 164 が配置され、D3 ビットには 8 個の単位トランジスタ 164 が配置され、D4 ビットには 16 個の単位トランジスタ 164 が配置される。同様に、D5 ビットには 32 個の単位トランジスタ 164 が配置されている。

【0163】

各ビットの単位トランジスタ 164 の出力電流が出力端子 83 に出力されるか否かは、アナログスイッチ 161（161a～161f）によるオンオフ制御で実現される。アナログスイッチ 161a～161f は定電流 I_w の制御信号の各ビット（一例として 6 ビット）に対応する。D0 ビットに対応するスイッチ 161a が閉じると、1 単位電流が出力端子 83 から出力（入力）される。出力端子 83 には、ソース信号線 18 が接続されている。同様に、D1 ビットに対応するスイッチ 161b が閉じると、2 単位電流が出力端子 83 から出力（入力）される。

30

【0164】

同様に、D2 ビットに対応するスイッチ 161c が閉じると、4 単位電流が出力端子 83 から出力（入力）される。D3 ビットに対応するスイッチ 161d が閉じると、8 単位電流が出力端子 83 から出力（入力）される。D4 ビットに対応するスイッチ 161e が閉じると、16 単位電流が出力端子 83 から出力（入力）される。D5 ビットに対応するスイッチ 161f が閉じると、32 単位電流が出力端子 83 から出力（入力）される。

40

【0165】

以上のように、定電流の制御信号のビットに対応して、デジタル的にスイッチ 161 がクローズまたはオープンし、単位電流の総和（プログラム電流 I_w ）が出力端子 83 から出力される。

【0166】

プログラム電流 I_w は内部配線 162 を流れる。内部配線 162 の電位 V_w は、ソース信号線 18 の電位となる。ソース信号線 18 の電位は、定電流 I_w をソース信号線 18 に印加し、定常状態した時は、画素 16 の駆動用トランジスタ 11a のゲート端子の電圧（

50

図 1 の画素構成の場合) である。

【0167】

単位トランジスタ 164 はトランジスタ 167b とカレントミラー回路を構成している。なお、図 15、図 16、図 17 では、理解を容易にするためトランジスタ 167b を 1 つと図示している。実際は、複数のトランジスタ (トランジスタ群) で構成 (形成) される。トランジスタ 167b とトランジスタ群 165c とは所定のカレントミラー比でカレントミラー回路を構成する。

【0168】

つまり、トランジスタ 167b も多数の単位トランジスタ 164 を有する群として構成されている。ただし、トランジスタ群 165c を構成する単位トランジスタ 164 とトランジスタ 167b を構成する単位トランジスタのサイズ、出力電流特性は異ならせてもよいことは言うまでもない。また、トランジスタ 167a も複数のトランジスタで形成あるいは構成してもよいことは言うまでもない。なお、単位トランジスタ 164 を有する定電流出力回路をトランジスタ群 165c と呼ぶ。

【0169】

以上のように、1 つの動作を行うトランジスタ (図 15、図 16、図 17 などの 167b、167a、168a、168b、165b、165c) を、複数の同一特性の単位トランジスタ 164 からなるトランジスタ群として形成することにより、出力端子 83 間、ソースドライバ回路 14 間で特性バラツキが少なくなり、良好な動作を実現できる。

【0170】

トランジスタ 167b には基準電流 I_c が流れ、この基準電流 I_c のカレントミラー比に応じた電流が単位トランジスタ 164 に流れる。図 16 の 63 個の単位トランジスタ 164 はすべて同一の単位電流を出力する。単位トランジスタ 164 の単位電流が内部配線 162 に流れるためには、該当のスイッチ 161 を閉じ、電流経路を構成する必要がある。

【0171】

図 15 で説明したように、基準電流 I_c はオペアンプ 151a と抵抗 R_1 からなる定電流発生回路 153 で発生する。基準電流 I_c は基準電圧 V_s を安定化かつ高精度化することにより安定化させる。電圧 V_i と V_s が抵抗 R_1 の両端に印加される。したがって、基準電流 $I_c = (V_s - V_i) / R_1$ となる。基準電流 I_c は RGB ごとに設定することができる。つまり、RGB ごとにトランジスタ群 165c が構成 (形成) されている。前記トランジスタ群 165c のトランジスタ 167b に流れる電流 I_c を設定 (調整) できる。抵抗 R_1 は、ソースドライバ回路 (IC) 14 外に配置されており、抵抗 R_1 の値を RGB で調整することにより、良好にホワイトバランスを調整あるいは設定できる。

【0172】

図 17 (a) は基準電流 I_c を、 V_s 電圧を用いて発生する回路構成である。図 17 (b) は GND とオペアンプ 151a の一端子間に配置 (挿入) された抵抗 R_1 を用いて基本的な電流を発生させ、トランジスタ 292b とトランジスタ 167a からなるカレントミラー回路で折り返し、トランジスタ 167b に基準電流 I_c を流す構成である。図 17 (b) の方が、基準電流の I_c の大きさを調整しやすい。しかし、トランジスタ 292b とトランジスタ 167a からなるカレントミラー回路で折り返すために、出力電流 I_w のバラツキが発生しやすい。したがって、図 15、図 17 (a) のように構成することが好ましい。

【0173】

本発明は図 16 (a) に図示するように、各ビットに 1 個または複数の単位トランジスタ 164 を形成または配置するとした。たとえば、1 ビット目は、1 個の単位トランジスタを形成し、2 ビット目は 2 個の単位トランジスタを形成する。

【0174】

しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する 1 つの単位トランジスタ 164 を形成または配置してもよいことは言

10

20

30

40

50

うまでもない。たとえば、1ビット目のトランジスタは、0ビット目のトランジスタの2倍の電流を出力するトランジスタを1個形成または配置する。2ビット目のトランジスタは、0ビット目のトランジスタの4倍の電流を出力するトランジスタを1個形成または配置する。その他、2ビット目のトランジスタは、1ビット目のトランジスタの2倍の電流を出力するトランジスタを2個形成または配置してもよい。

【0175】

図16(a)に図示するように、64階調(RGB各6ビット)の場合は、63個の単位トランジスタ164を形成するとした。したがって、256階調(RGB各8ビット)の場合、255個の単位トランジスタ164が必要になることになる。

【0176】

トランジスタ群165cが出力する電流は、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ164において、チャンネル長Lを一定にし、チャンネル幅Wを $1/2$ にすれば、単位トランジスタ164が流す電流がおよそ $1/2$ になるという特徴ある性質がある。同様に、チャンネル長Lを一定にし、チャンネル幅Wを $1/4$ にすれば、単位トランジスタ164が流す電流がおよそ $1/4$ になるという特徴ある性質がある。実際には、完全には $1/n$ にはならない。しかし、本明細書では説明を容易にするため、チャンネルWを $1/n$ にするとして説明をする。技術的な主旨は、単位トランジスタの単位電流の $1/n$ の電流を出力する単位トランジスタを形成または配置することである。

【0177】

図18(a)は、各ビットに対して同一のサイズの単位トランジスタ164を配置したトランジスタ群165cの構成である。説明を容易にするため、図18(a)は63個の単位トランジスタ164が構成され、6ビットのトランジスタ群165cを構成(形成)している。また、図18(b)は8ビットであるとする。

【0178】

図18(b)では、下位2ビット(Aで示す)は、単位トランジスタ164よりも小さいサイズのトランジスタで構成している。最小ビット目の第0ビット目は、単位トランジスタ164のチャンネル幅Wの $1/4$ で形成している(単位トランジスタ164bで示す)。また、第1ビット目は、単位トランジスタ164のチャンネル幅Wの $1/2$ で形成している(単位トランジスタ164aで示す)。なお、単位トランジスタ164aは、単位トランジスタ164のチャンネル幅Wの $1/4$ である単位トランジスタ164bを2個で形成してもよい。

【0179】

以上の実施例では、単位トランジスタ164bのWは、単位トランジスタ164のWの $1/4$ であるとした。単位トランジスタ164bの出力電流は、単位トランジスタ164の $1/4$ である。単位トランジスタ164のWが $6\mu\text{m}$ であれば、単位トランジスタ164bのWは $1/4$ の $1.5\mu\text{m}$ となる。しかし、これは理想的な特性を示す場合である。実際には $1.5\mu\text{m}$ より大きくしている。つまり、 $2.0\mu\text{m}$ など大きくしている。一般的にトランジスタが小さな領域では、出力電流とチャンネル幅は比例関係にない。チャンネル幅を理想値の $1/4$ よりも大きくすることにより、単位トランジスタ164bの4倍の電流が単位トランジスタ164の電流と一致するように構成することができる。以上の事項は後にさらに詳しく説明をする。

【0180】

図19に図示するように、単位トランジスタ164a(図19(b))、トランジスタ164b(図19(b))、トランジスタ164(図19(a))のゲート端子はゲート配線163に接続される。ゲート配線163はトランジスタ167bのゲート端子と接続されている。

【0181】

下位2ビットは上位の単位トランジスタ164よりも小さいサイズの単位トランジスタ(164a、164b)で形成している。したがって、単位トランジスタ164a、16

10

20

30

40

50

4bは、単位トランジスタ164の $1/2$ 、 $1/4$ の単位電流を出力することができる。単位トランジスタ164a、164bが占める面積はわずかである。また、正規の単位トランジスタ164の個数は63個で変化がない。したがって、6ビット（64階調）から8ビット（256階調）に変更しても、トランジスタ群165cの形成面積は図18（a）と図18（b）で大差はない。つまり、プログラム電流方式で用いるソースドライバ回路14のチップサイズは階調数にほとんど依存しない。逆に、プログラム電圧方式で用いるソースドライバ回路14は、階調数に大きく依存する。

【0182】

図18（b）に図示するように、6ビットから8ビット仕様に変化させても、電流プログラム方式のソースドライバ回路14の出力段のトランジスタ群165cのサイズが大き 10
くならないのは、単位電流（ $1/n$ の単位電流も含む）の加算によりプログラム電流（定電流）が発生できるという点、単位トランジスタ164において、チャンネル長 L を一定にし、チャンネル幅 W を $1/n$ にすれば、単位トランジスタ164が流す電流がおおよそ $1/n$ になるという点をうまく利用しているからである。

【0183】

また、図18（b）に図示するように、単位トランジスタ164a、164bのようにトランジスタサイズが小さくなると、出力電流（定電流）バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ164aまたは164bの出力電流は加算される。つまり、階調の逆転は原理的に発生しない。また、出力されるプログラム電流のバラツキは、最大階調時は、6ビットも8ビットも同一である。出力電流のバラツキ 20
は、各出力段の単位トランジスタ群が占める面積に依存しているからである。

【0184】

実際にはチャンネル幅 W を $1/n$ にしても出力電流は正確には $1/n$ にはならない。多少の補正が必要である。チャンネル幅 W $1/2$ にすることに大きな意味を持つものではなく、トランジスタ24aの出力電流を単位トランジスタ164の出力電流を $1/2$ にすることに技術的意味がある。したがって、チャンネル幅 W だけでなく、チャンネル長 L を変化させて出力電流を $1/2$ あるいは $1/4$ のように、略整数分の1に構成すればよい。また、図18（b）で図示した単位トランジスタ164、164a、164bは同一ゲート電圧で動作させる。これは図16に図示するように、内部配線162にすべての単位トラ 30
ンジスタのゲート端子を接続することにより容易に実現できる。また、すべての単位トランジスタ（164、164a、164b）はトランジスタ167bとカレントミラー回路を構成させればよい。

【0185】

チャンネル幅 W を $1/2$ にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、 $1/2$ 以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズを変化させる場合、以下のようにトランジスタサイズを設定している。

【0186】

ソースドライバ回路（IC）14の単位トランジスタ164を2種類のサイズのように、少ない形状の種類で構成する。複数の単位トランジスタ164のチャンネル長 L は同一 40
にする。つまり、チャンネル幅 W のみを変化させる。もしくは、チャンネル幅 W またはチャンネル長 L の一方のみを変化させて単位トランジスタを形成する。好ましくは、トランジスタ群165cを構成する単位トランジスタ164の大きさ、形状は、3種類以下とする。特に、2種類以下とすることが好ましい。

【0187】

第1の単位トランジスタの第1の単位出力電流と、第2の単位トランジスタの第2の単位出力電流の比を n （第1の単位出力電流：第2の単位出力電流＝ $1:n$ 、ただし、 n は1より小さい値）とするとき、第1の単位トランジスタのチャンネル幅 $W_1 <$ 第2の単位トランジスタのチャンネル幅 $W_2 \times n \times a$ の関係となるように構成する。

【0188】

$W1 \times n \times a = W2$ とした場合、 $1.05 < a < 1.3$ の関係が成り立つようにすることが好ましい。補正係数 a は、テストトランジスタを形成し、測定あるいは評価することにより補正係数を容易に把握することができる。

【0189】

本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ164に比較して小さい単位トランジスタ164を形成または配置するものである。この小さいという概念は、上位ビットを構成する単位トランジスタ164の出力電流よりも小さいという意味である。したがって、単位トランジスタ164に比較してチャンネル幅 W が小さいだけでなく、同時にチャンネル長 L も小さい場合も含まれる。また、他の形状も含まれる。単位トランジスタ164 a の出力電流が単位トランジスタ164の $1/2$ とは精度が要求されるものではない。したがって、各ビットでの出力電流が反転しないように、60%～140%の範囲で設定できればよい。つまり、略 $1/2$ 、略 $1/4$ であればよい。

【0190】

図18(b)はトランジスタ群165cを構成する単位トランジスタ164のサイズを複数種類とするものであった。図18(b)では3種類(164、164a、164b)としている。種類数を限定する理由は、先に説明したように、単位トランジスタ164のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ群165cを構成する単位トランジスタ164のサイズは低階調用と高階調用の2種類とすることが好ましい。たとえば、図18(b)において、低階調の単位トランジスタである0ビット目の単位トランジスタ164bを2個用いて、1ビット目を構成すればよい。つまり、高階調用の単位トランジスタ164で2ビット目から7ビット目を形成し、低階調の単位トランジスタ164bを用いて0ビット目と1ビット目を形成する。

【0191】

図16でも図示しているように、トランジスタ群165cを構成する単位トランジスタ164のゲート端子は、1つの内部配線162で接続されている。内部配線162に印加された電圧により単位トランジスタ164の出力電流が決定される。したがって、トランジスタ群165c内の単位トランジスタ164の形状が同一であれば、各単位トランジスタ164は同一の単位電流を出力する。

【0192】

本発明は、トランジスタ群165cを構成する単位トランジスタ164の内部配線162を共通にすることには限定されない。たとえば、図19(a)のように構成してもよい。なお、トランジスタ群165bとはトランジスタ167bが対応する。つまり、トランジスタ群165cによりトランジスタ167bが構成されている。図19(a)において、トランジスタ群165b1とカレントミラー回路を構成する単位トランジスタ164と、トランジスタ群165b2とカレントミラー回路を構成する単位トランジスタ164とが配置されている。

【0193】

トランジスタ群165b1は内部配線162aで接続されている。トランジスタ群165b2は内部配線162bで接続されている。図19(a)の一番上の1個の単位トランジスタ164はLSB(0ビット目)であり、2段目の2個の単位トランジスタ164は1ビット目、3段目の4個の単位トランジスタ164は2ビット目である。また、4段目の組の8個の単位トランジスタ164は3ビット目である。

【0194】

図19(a)において、内部配線162aと内部配線162bの印加電圧を変化させることにより、各単位トランジスタ164のサイズ、形状が同一であっても、各単位トランジスタ164の出力電流を内部配線162の印加電圧により変化（変更）することができる。

【0195】

10

20

30

40

50

図19(a)において、単位トランジスタ164のサイズなどを同一にして、内部配線162a、162bの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ164のサイズなどを異ならせ、印加する内部配線162a、162bの電圧を調整することにより、異なる形状の単位トランジスタ164の出力電流を同一となるようにしてもよい。

【0196】

ソースドライバ回路(IC)14の単位トランジスタ164の最小出力電流は0.5nA以上10nAにしている。特に単位トランジスタ164の最小出力電流は2nA以上20nAにすることがよい。ドライバIC14内のトランジスタ群165cを構成する単位トランジスタ164の精度を確保するためである。

10

【0197】

また、図20に図示するように、トランジスタ167bを単位トランジスタ164の集合からなるトランジスタ群165bとして形成してもよい。トランジスタ群165bの単位トランジスタのゲート端子はトランジスタ群165cの単位トランジスタ164のゲート端子と共通にされ、カレントミラー回路を構成している。トランジスタ群165bは複数形成することが好ましい。

【0198】

また、図20に図示するように、トランジスタ167bまたはトランジスタ群165bは、トランジスタ群165cの左右に形成配置することが好ましい。また、トランジスタ群165b、トランジスタ167bには、基準電流発生回路153から基準電流Icを供給する。

20

【0199】

本発明のトランジスタ群165cが電流出力であるとして説明するが、これに限定するものではない。たとえば、トランジスタ群165cが電圧出力であってもよい。つまり、ソースドライバ回路(IC)14が液晶表示パネルのように、トランジスタ群165cが電圧を出力し、電圧駆動を実施する場合が例示される。その他、トランジスタ群165cが電圧出力するオペアンプなどで構成してもよい。本発明は、EL表示パネルが電圧駆動である場合も同様に適用される。また、選択回路222、291は、ソースドライバ回路(IC)14がシリコンチップとして構成され、前記チップ14に内蔵されているとして説明するが、これに限定するものではない。たとえば、トランジスタ群165cを、ポリシリコン技術などでガラスアレイ基板30に直接形成してもよい。また、別チップに形成または構成してもよい。

30

【0200】

図21に図示するように、ソースドライバ回路(IC)14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージ回路214を内蔵する。プリチャージ回路は、プリチャージ電圧Vpを出力する。プリチャージ電圧Vpとは、Va電圧、V0電圧が該当する。また、プリチャージ電圧Vpの概念には、ソース信号線18の電荷を強制的に放出する電圧と充電する電圧の両方が含まれる。また、プリチャージ電圧Vpの概念には、プログラム電圧も含まれる。つまり、プリチャージ電圧Vpを印加するとは、電圧を印加する動作である。プリチャージ電圧Vpは、基本的にはソース信号線18に印加する。もちろん、画素16の駆動用トランジスタ11aのゲート端子に直接印加してもよい。たとえば、画素電極に圧接したプローブでプリチャージ電圧Vpを印加する方式が例示される。プリチャージ電圧Vpは、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである。

40

【0201】

プリチャージ電圧Vpの印加とは、ソース信号線18の電荷を充放電させるため、もしくはソース信号線18に所定の電圧にするために用いる方式である。Va、V0電圧を印加すること、水平走査期間の最初に目標階調電圧またはプログラム電圧を印加すること、過電流印加によりソース信号線電位を変化させることも、プリチャージ電圧Vpの印加の概念に含まれる。

50

【0202】

図21はプリチャージ回路部の構成図である。プリチャージ電圧 V_p は映像データD0～D5により出力期間範囲が決定される。プリチャージ電圧 V_p は、水平走査期間におよびドットクロックCLKに同期して出力される。プリチャージ電圧 V_p を出力する時間は、水平同期信号HDを基点としてカウンタ回路212の設定値で決定される。カウンタ回路212はクロックCLK信号に同期してカウントアップされる。プリチャージ電圧 V_p の出力期間は、水平走査期間(1H)の最初から開始される。

【0203】

カウンタ回路212はカウントしたカウント値と設定値が一致すると、プリチャージ電圧 V_p の出力期間が終了する。カウンタ回路342の出力はアンド(AND)回路213のa部入力となる。なお、プリチャージ電圧 V_p は、オン(印加する)/オフ(印加しない)を切り替えられるように構成する。オン/オフは、ソース信号線18に印加する映像信号もしくは映像信号に対応するプログラム電流またはプログラム電圧の大きさ、あるいは映像信号の変化(前水平走査期間に印加した映像信号との差)映像信号に対応するプログラム電流またはプログラム電圧の大きさ(前水平走査期間で印加したプログラム電流またはプログラム電圧の変化)で決定される。

【0204】

図21の構成では、どの電圧範囲までプリチャージするかは、一致回路211で決定される。一致回路211には、映像データD0～D5が印加される。一致回路はプリチャージ範囲が記憶あるいは設定されている。記憶または設定された値よりも、映像データD0～D5が小さい時、プリチャージ電圧が端子83から出力される。一致回路211はクロックCLKで同期して動作する。また、イネーブル信号ENがHレベルの時、プリチャージ電圧は出力され、Lレベルの時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路211の出力はAND回路213のb端子入力となる。

【0205】

AND回路213のa部入力がHで、b端子入力がHの時、スイッチ161aが閉じ、プリチャージ電圧 V_p が内部配線162に印加され、かつHI信号がHの時、スイッチ161bが閉じて出力端子83からプリチャージ電圧 V_p が出力される。

【0206】

図22は、ソースドライバ回路(IC)14のプリチャージ回路(プリチャージ電圧を出力する回路構成部)を中心とするブロック図である。プリチャージ回路214は、プリチャージ制御回路からプリチャージ制御信号PC信号(赤(RPC)、緑(GPC)、青(BPC))が出力される。

【0207】

選択(セレクト)回路222は、メインクロックに同期して出力段に対応するラッチ回路221に順次ラッチしていく。ラッチ回路221はラッチ回路221aとラッチ回路221bの2段構成である。ラッチ回路221bは水平走査クロック(1H)に同期してプリチャージ回路214にデータを送出する。つまり、セレクトは、1画素行分の画像データおよびPCデータを順次ラッチしていき、水平走査クロック(1H)に同期して、ラッチ回路221bでデータをストアする。

【0208】

なお、図22では、ラッチ回路221のR、G、BはRGBの画像データ6ビットのラッチ回路であり、Pはプリチャージ信号(RPC、GPC、BPC)の3ビットを保持するラッチ回路である。

【0209】

プリチャージ回路214は、ラッチ回路221bの出力がHレベルの時、スイッチ161aをオンさせ、ソース信号線18にプリチャージ電圧 V_p を出力する。トランジスタ群165cは画像データに応じて、プログラム電流(定電流)をソース信号線18に出力する。

【0210】

プリチャージ電圧 V_p を印加するか否かは、判断前にソース信号線 18 に印加されている電圧（保持されている電位）に基づいて判断する。判断前にソース信号線 18 に印加されている電位と、次に印加する電圧（あるいはプログラム電流の印加による想定されるソース信号線 18 の電位）との電位差あるいは変化量にもとづいて判断する。たとえば、第 N （ N は 1 以上最大画素行以下の整数）画素行の画素に印加した電圧あるいはプログラム電流の印加による変化電位が、 4.0 （V）で、次に印加する電圧が、 4.1 （V）と電位差が小さい時は、第 $N+1$ 画素行の画素にはプリチャージ電圧 V を印加する。逆に 2.0 （V）と電位差が大きな時は、第 $N+1$ 画素行の画素にはプリチャージ電圧 V_p を印加しない。

【0211】

本発明は、画素 16 の駆動用トランジスタ 11a が P チャンネルの時にあっては以下の範囲で、プリチャージ電圧 V_p の印加の有無を判断する。説明を容易にするため、アノード電圧を V_{dd} 、カソード電圧を V_{ss} とし、ソースドライバ回路 14 の電源電圧を V_d 、ソースドライバ回路 14 のグランド電位を GND とする。また、ソース信号線 18 に保持されている電位（1H 前に印加された電圧）を V_n 、ソースドライバ回路 14 から出力される電圧（またはプログラム電流の印加により変化する目標電圧）を V_m とする。なお、アノード V_{dd} 、カソード V_{ss} 、 V_n 、 V_m は GND に対する電圧値である。また、図 4 の電位関係を満足させることが好ましい。

【0212】

画素 16 の駆動用トランジスタ 11a が P チャンネルの時にあっては少なくとも以下の条件の 1 つ以上が合致する時に、ソース信号線 18 または画素 16 にプリチャージ電圧 V_p を印加する。

【0213】

$$0.5 \leq (V_{dd} - V_m) / V_{dd} \leq 0.9$$

$$0.5 \leq (V_d - V_m) / V_{dd} \leq 0.9$$

$$0.1 \leq |(V_n - V_m)| / V_n \leq 0.3 \quad \text{ただし、} 0.5 \leq (V_d - V_m) / V_{dd}$$

画素 16 の駆動用トランジスタ 11a が N チャンネルの時にあっては少なくとも以下の条件の 1 つ以上が合致する時に、ソース信号線 18 または画素 16 にプリチャージ電圧 V_p を印加する。ただし、 V_n 、 V_m は、 V_{ss} 側の電圧であり、一極性の電圧である。

【0214】

$$0.5 \leq |(V_{ss} - V_m)| / V_{ss} \leq 0.9$$

$$0.5 \leq |(V_{ss} - V_n)| / V_{ss} \leq 0.9$$

$$0.1 \leq |(V_n - V_m)| / V_n \leq 0.3 \quad \text{ただし、} 0.5 \leq (V_{ss} - V_m) / V_{ss}$$

以上の実施例は、ソース信号線 18 に保持されている電位または印加する電圧などに基づき、プリチャージ電圧 V_p を印加するか否かを判断するとした。しかし、このことは、画素 16 に印加する映像信号の階調により判断を行っても同様のことを実現できることは言うまでもない。本発明では、最大の階調数を M とし、各ソース信号線 18 に対して、1H 前に印加した映像信号の階調を N_1 とし、次に印加する映像信号の階調を N_2 とした時、少なくとも、以下の条件のうち、1 つ以上が該当するときに、プリチャージ電圧 V_p を印加する。

【0215】

$$1 \leq N_2 \leq M \times 0.25$$

$$1 \leq |N_2 - N_1| \leq 8$$

1 画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチ

10

20

30

40

50

ャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。

【0216】

本発明は、1画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断を行ってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【0217】

プリチャージをするかしないかの判定は、1画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線18に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線18の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ回路（IC）801に1画素行分（FIFOのため2ラインのメモリが必要）のラインメモリを形成（配置）することにより容易に実現できる。

【0218】

本発明において、プリチャージ駆動では、プリチャージ電圧 V_p （ V_a 、 V_0 ）を出力するとして説明をするが、これに限定するものではない。1水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線18に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線18に書込み、その後プログラム電流をソース信号線18に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である（本発明の範囲内である）。

【0219】

本発明のプリチャージ駆動では所定電圧をソース信号線18に印加する。また、ソースドライバICはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線18に出力するプリチャージ電圧はプログラム電圧になる。ソースドライバIC内にこのプリチャージ電圧の電圧階調回路231を導入した回路構成が図23である。

【0220】

電圧階調回路231は、プログラム電圧などの階調電圧を出力する構成あるいは動作として説明するが、本発明はこれに限定するものではない。所定の定電圧あるいはプログラム電圧を出力する回路の意味でも用いる。その他、サンプルホールド回路の意味でも用いる。つまり、多段階で電圧値を出力できる回路である。ただし、プリチャージ電圧 V_p が固定値の場合は、1つの電圧を出力する構成でよい。この場合も、電圧階調回路231の概念に含まれる。また、電子ボリウム152も外部入力データにより、出力電圧を変化あるいは調整できるから、電圧階調回路である。また、D/A（デジタル→アナログ変換）回路391も電圧階調回路である。

【0221】

なお、電圧階調回路231は、デジタル信号入力に対応してアナログ電圧を出力するものに限定するものではなく、アナログ電圧をインピーダンス変換あるいは、増幅もしくは低減して出力するものも含まれる。また、広義には、1つの所定電圧あるいは複数の電圧を選択して出力するものも電圧階調回路231である。つまり、電圧階調回路231とは、定電圧発生源として理解してもよい。

【0222】

図23は主として1つのソース信号線18に対応する1出力回路のブロック図である。階調に応じてプログラム電流を出力する電流階調回路154と、階調に応じたプリチャー

10

20

30

40

50

ジ電圧を出力する電圧階調回路 231 で構成される。電流階調回路 154 と電圧階調回路 231 には映像データが印加される。電圧階調回路 231 の出力はスイッチ 161a、161b がオンすることによりソース信号線 18 に印加される。スイッチ 161a はプリチャージイネーブル（プリチャージ E N B L）信号と、プリチャージ信号（プリチャージ S I G）で制御される。

【0223】

電流階調回路 154 は、基本的にはプログラム電流などの階調電流を出力するとして説明するが、本発明はこれに限定しない。所定の定電流を出力する回路（定電流出力回路）としての意味でも使用する。また、定電流源の意味でも使用する。階調電流を出力できる回路構成であれば、 $1\mu\text{A}$ 、 $0.5\mu\text{A}$ などのように、所定値の定電流を出力できるから

10

【0224】

当然のことながら、電流階調回路 154 を簡略化し、定電流 I_w を出力する定電流回路として構成してもよいことは言うまでもない。また、 V_a 、 V_0 を測定するためには、定電流 I_w を印加するだけで十分であり、この機能を達成するためには、階調電流回路 154 を用いてもよいし、簡略化された定電流回路を用いてもよいことは言うまでもない。また、階調電流は、プログラム電流 I_w を定電流と考えてもよい。

【0225】

電圧階調回路 231 は、一例としてサンプルホールド回路で構成される。また、必要に応じて D/A 変換回路などで構成される。デジタルの映像データに基づいて、D/A 変換回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路 241 によりサンプルホールドされ、オペアンプを介してスイッチ 161a の一端子に印加される。

20

【0226】

D/A 変換回路は電圧階調回路 231 ごとに構成または形成する必要がなく、ソースドライバ回路（IC）14 の外部に D/A 変換回路を構成し、この D/A 変換回路の出力を電圧階調回路 231 内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【0227】

図 24 に図示するように、8 ビットの映像信号 D A T A に対応する電圧（プログラム電圧）が、映像クロックに同期して電子ボリウム 152 から出力される。プログラム電圧は、駆動用トランジスタ 11a にプリチャージ電圧として印加される電圧である。また、プログラム電圧は、この電圧を印加することにより、階調にほぼ対応した電流が EL 素子 15 に印加されるように駆動用トランジスタ 11a のゲート端子に保持される電圧である。

30

【0228】

プログラム電圧は C c 容量に一時的に保持され、バッファアンプ 151a から出力される。出力された電圧は、サンプルホールド回路（この実施例では切り換え回路のように図示している）241 により、各出力端子 83 に順次振り分けられる（出力端子 83a、83b、83c、83d・・・、83n、83a、83b、83c、・・・、83n・・・）。振り分けはクロック C L K に同期して実施される。なお、本発明では、8 ビットのアドレス信号 P A D R S により、任意の端子にプログラム電圧を振り分けできるように構成されている。このように、アドレス信号 P A D R S により任意の出力端子 83 に振り分け（8 ビットであるから 256 本の端子のいずれかに振り分け可能である）できるように構成することにより、プログラム電圧の書き換えが必要な端子のみ新規のプログラム電圧を印加することができる。また、プログラム電圧の振り分けをランダム化することができる。プログラム電圧は容量 C に保持され（サンプリングされ）、バッファ回路 151b の出力は、スイッチ S p の制御により出力端子 83 に印加されたり、遮断されたりする。スイッチ S p は、図 23 ではスイッチ 161a が該当する。

40

【0229】

電流階調回路 154 は、具体的には図 16 の回路構成が該当する。電流階調回路 154

50

のプログラム電流出力はスイッチ S_i により制御される。以上のように、電流階調回路 154 と電圧階調回路 231 の出力はスイッチ S_i 、 S_p により制御され、プリチャージ駆動（電圧プログラム）＋電流プログラミングが実現される。以上の信号は、出力端子 83 からソース信号線端子 242 に印加される。プログラム電圧はソース信号線 18 の寄生容量 C_a を短時間で充放電させる。

【0230】

電圧階調回路 231 の出力であるプリチャージ電圧 V_p は、図 25 に図示するように、1 水平走査期間（1H）の最初に印加される（記号 A で示す）。その後、電流階調回路 154 によりソース信号線にプログラム電流が供給される（記号 B で示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ 11a は目的電流に近い値まで、高速に設定される。その後、電流階調回路 154 が出力するプログラム電流により駆動用トランジスタ 11a の特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

10

【0231】

プリチャージ電圧信号が印加される A 期間は、1 水平走査期間（1H）の $1/100$ 以上 $1/2$ 以下の期間が好ましい。または、 $0.2 \mu\text{sec}$ 以上 $40 \mu\text{sec}$ 以下の期間に設定することが好ましい。好ましくは 1 水平走査期間（1H）の $1/100$ 以上 $1/5$ 以下の期間が好ましい。または、 $0.2 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間に設定することが好ましい。したがって、A 期間以外が B 期間のプログラム電流の印加期間である。A 期間が短いとソース信号線 18 の電荷の充放電が十分に行われなため、書き込み不足が発生する。一方、長すぎると電流印加期間（B）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ 11a の電流補正不足となる。

20

【0232】

電圧印加期間（A 期間）は、1H の最初から実施することが好ましいが、これに限定されない。たとえば、1H の終わりのブランキング期間から開始してもよい。また、1H（水平走査期間）の途中に A 期間を実施してもよい。つまり、1H のいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、1H の最初から $1/4H$ （＝ $0.25H$ ）の期間内に実施することが好ましい。

【0233】

図 25 の実施例では、電圧プリチャージ（A）の期間後、電流を印加（B 期間）するのだがこれに限定するものではない。たとえば、図 26（a）に図示するように、1H の期間のすべてを（あるいは大半を、あるいは過半数を）プリチャージ電圧 V_p を印加する期間（電圧プリチャージ（*A で示す）期間）としてもよい。

30

【0234】

図 26（a）でも理解できるように、ソース信号線 18 の電位がアノード電位（ V_{dd} ）に近い場合に、1H の期間のすべてに（大半に）電圧が印加される。ソース信号線 18 の電位が 0（V）に近くなると、電圧プログラム（A 期間）と電流プログラム（B）が 1H の期間内に実施される。なお、ソース信号線 18 の電位が 0（V）に近い場合（高階調領域）では、1H の期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0235】

図 26（a）の *A 以外の期間は、1H の一定期間（A で示す）に電圧プログラムによる電圧をソース信号線 18 に印加し、その後、B の期間に電流プログラムによる電流を印加している。以上のように A 期間の電圧の印加により画素 16 のトランジスタ 11a のゲート電位に所定電圧を印加し、概略 EL 素子 15 に流す電流が所望値になるようにしている。その後、B 期間のプログラム電流により、EL 素子 15 に流れる電流が所定値となるようにしている。*A 期間は、1H 期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

40

【0236】

図 26（a）は、画素 16 のトランジスタ 11a（駆動用トランジスタ）が P チャンネルの場合のソース信号線 18 への印加信号波形である。しかし、本発明はこれに限定する

50

ものではない。画素16のトランジスタ11aがNチャンネルであってもよい。この場合は、図26(b)に図示するように、ソース信号線18の電位が0(V)に近い場合に、1Hの期間のすべてに(大半に)電圧が印加される。ソース信号線18の電位がアノード電圧(V_{dd})に近くなると、電圧プログラム(A期間)と電流プログラム(B)が1Hの期間に実施される。

【0237】

なお、ソース信号線18の電位がV_{dd}に近い場合(高階調領域)では、1Hの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0238】

本発明では、駆動用トランジスタ11aはPチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ11aはNチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ11aがPチャンネルトランジスタであるとして説明を行うだけである。

【0239】

本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、1Hの最初に印加した電圧(電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧の種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである)が支配的となるからである。

【0240】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる(電流駆動が支配的である)。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である。もちろん、電圧を印加してもよいことは言うまでもない。

【0241】

電圧階調回路の出力と電流階調回路(プリチャージ回路も含む)の出力とを出力端子83でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点(短絡で過電流が流れるなど)が発生することはない。

【0242】

本発明で電圧出力と電流出力状態とを切り換えとしたがこれに限定するものではない。電流階調回路154からプログラム電流を出力した状態で、スイッチ161(図23を参照のこと)をオンして、電圧階調回路231の電圧を出力端子83に印加してもよいことは言うまでもない。

【0243】

スイッチ161を閉じて出力端子83に電圧を印加した状態で、電流階調回路154からプログラム電流を出力してもよい。電流階調回路154は高インピーダンスであるので回路的には問題がない。以上の状態も、本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【0244】

図27に図示するように、1H期間に印加するプログラムを電圧またはプログラム電流の一方にしてもよいことは言うまでもない。図27において、Aの期間は電圧プログラムが実施された1H期間であり、Bの期間は電流プログラムが実施されている1H期間である。主として低階調領域では電圧プログラムが実施され(Aで示す)、中間調以上の領域

10

20

30

40

50

では電流プログラムが実施される（Bで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【0245】

図23の本発明の実施例では、電圧階調回路231と電流階調回路154には、同一の映像信号DATAが入力されている。したがって、映像信号DATAのラッチ回路は電圧階調回路231と電流階調回路154と共通でよい。つまり、映像信号DATAのラッチ回路は電圧階調回路231と電流階調回路154とに独立に設ける必要はない。共通の映像信号DATAのラッチ回路からのデータに基づき、電流階調回路154または（および）電圧階調回路231がデータを出力端子83に出力する。

10

【0246】

図28は本発明の駆動方法のタイミングチャートである。図28において、(a)のDATAは画像データである。(b)のCLKは回路クロックである。(c)のPcntlは、プリチャージのコントロール信号である。Pcntl信号がHレベルの時は、電圧駆動のみモード状態になり、Lレベルの時、電圧+電流駆動モードになる。(d)のPtcはプリチャージ電圧あるいは電圧階調回路231からの出力の切り換え信号である。Ptc信号がHレベルの時は、プリチャージ電圧などの電圧出力がソース信号線18に印加される。Ptc信号がLレベルの時は、電流階調回路154からのプログラム電流がソース信号線に出力される。

【0247】

たとえば、映像信号データD(2)、D(3)、D(8)の時は、Pcntl信号がHレベルであるから、ソース信号線18に電圧階調回路231から電圧が出力される(A期間)。PcntlがLレベルの時は、ソース信号線18にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をAで示し、電流が出力される期間をBで示す。電圧を出力する期間Aは、Ptc信号で制御される。Ptc信号は、図23のスイッチ161のオンオフを制御する信号である。

20

【0248】

Pcntl信号がHレベルの時は、電圧駆動のみモード状態になり、Lレベルの時、電圧+電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全に書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧+電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態（低点灯率）の場合も、電圧を印加する期間を長くすることによって、電圧+電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

30

【0249】

以上のように、電圧+電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ（映像データ）に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、EL素子15に流す電流を小さくするときは（本発明では低点灯率範囲）、電圧駆動モード期間を長くし、EL素子15に流す電流を大きくするときは（本発明では高点灯率範囲）、電圧駆動モード期間を短くするか、もしくは‘なし’にするように制御あるいは調整もしくは装置を構成する。

40

【0250】

図28において、電圧出力期間Aと電流出力期間Bとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ161（図23を参照）をオンして、電圧階調回路231の電圧を出力端子83に印加してもよいことは言うまでもない。また、スイッチ161を閉じて出力端子83に電圧を印加した状態で、電流階調回路154からプログラム電流を出力してもよい。A期間後にスイッチ161をオープンにする。以上のように電流階調回路154は高インピーダンスであるので電圧回路と短

50

絡状態にしても回路的には問題がない。

【0251】

図29は、図23などの電流階調回路154と電圧階調回路231の構成部分をさらに詳細に記載したブロック図である。シフトレジスタ回路（セレクト回路）222はスタート信号（ST1）、クロック（CLK1）により順次シフト動作する。シフト動作により、第1のラッチ回路（保持回路）221aに、DATA9ビットの保持位置を指定する。DATA9ビットとは、映像信号8ビットとプリチャージ信号1ビットの計9ビットである。ラッチ回路221aは1水平期間に順次DATAを保持していく。

【0252】

第1のラッチ回路に保持されたDATAは、ロード信号（LD）により2段目の第2のラッチ回路221bにロードされる。ラッチ回路221bに保持されたDATAは、電圧階調回路231の入力と、電流階調回路154の入力となる。プリチャージ信号の1ビットは、電圧階調回路231のプログラム電圧と、電流階調回路154のプログラム電流の切り換え信号である。プリチャージ信号は、切り換え回路（図23のスイッチ161などが該当する）291を時間的に制御し、出力端子83からプリチャージ信号がオンのときはまずプリチャージ電圧を出力し、その後プログラム電流を出力する。

【0253】

なお、電圧階調回路のサンプルホールド回路は比較的低速でしか動作しないため、電圧階調回路のサンプルホールド用として1段のラッチ回路を追加し、3段のラッチ回路で構成してもよいことは言うまでもない。また、切り換え回路291はアレイ基板30にポリシリコン技術で形成してもよい。

【0254】

図30はプリチャージ電圧発生回路からの出力（一例としてVpa、Vpb、Vp）をソースドライバ回路14の内部配線で伝達した構成である。配線は、ICチップの長手方向に形成される（各トランジスタ群165と垂直）。プリチャージ電圧Vp（Vpa、Vpb、Vp、open）を伝達するプリチャージ電圧配線PS（PSa、PSb、PSc、PSd）がソース信号線18に直交するように配線される。プリチャージ電圧配線PSと内部配線162とは直交し、各交点にスイッチSpが配置されている。スイッチSpはSEL信号（プリチャージ電圧の選択信号、openを含む）で切り換えられる。openがスイッチSp0aで選択された場合は、プリチャージ電圧は出力されない。スイッチSpは出力端子83ごとに自由に設定できる。スイッチSpは映像信号の大きさ、変化などにより適切なものが選択され制御される。

【0255】

図29と図30との差異は、図29が映像信号ごとに対応するプリチャージ電圧をサンプルホールドして発生させる構成である。サンプルホールドしたプリチャージ電圧は、出力端子ごとに、プリチャージビット（プリチャージ電圧を印加するか否かの判断ビット）により判断され印加される。図30は複数のプリチャージ電圧を発生させておき、1つのプリチャージ電圧を選択する構成である。選択するプリチャージ電圧は、プリチャージビット（SEL信号：どのプリチャージ電圧を印加するか指定ビット。ただし、プリチャージ電圧を印加しない（open）場合もある）により判断され、ソース信号線18に印加される。

【0256】

以上の実施例は、ソースドライバ回路14内にプリチャージ電圧Vp（Va、V0）を形成し、この回路から、必要に応じてソース信号線18にプリチャージ電圧Vpを印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ基板30にプリチャージ電圧用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧線に印加されたプリチャージ電圧Vpをソース信号線18に印加するように構成してもよいことは言うまでもない。

【0257】

図30などで、オープン機能（openの選択、つまりプリチャージを実施しない）を

設けている。しかし、必ずしもソースドライバ回路 14 内に構成あるいは形成すること
に限定するものではない。

【0258】

以上の実施例では、プリチャージ電圧 V_p (V_a 、 V_0) はアノード電圧 V_{dd} に近い
電圧 (V_{dd} 以下 $V_{dd} - 3$ (V)) であるとして説明をした、しかし、画素構成によっ
ては、プリチャージ電圧 V_p がカソード電圧に近い (V_{ss} 以上 $V_{ss} + 3$ (V)) 場合
がある。たとえば、駆動用トランジスタ 11a が N チャンネルトランジスタで形成してい
る場合、駆動用トランジスタ 11a が、P チャンネルトランジスタで吐き出し電流 (図 1
の画素構成は吸い込み (シンク) 電流) で電流プログラムが実施される場合である。この
場合は、プリチャージ電圧 V_p はカソード電圧に近い電圧とする必要がある。

10

【0259】

電流駆動で書き込み不足が発生する原因は、図 31 に図示するようにソース信号線 18
の寄生容量 C_s による影響が大きい。寄生容量 C_s はゲート信号線 17 とソース信号線 1
8 との交差部などに発生する。

【0260】

以下の説明は説明を容易にするために、画素 16 の駆動用トランジスタ 11a が P チャ
ンネルトランジスタで、かつ吸い込み (シンク) 電流 (ソースドライバ回路 (IC) 14
に吸い込む電流) で電流プログラムを実施する場合であるとして説明をする。

【0261】

なお、画素 16 の駆動用トランジスタ 11a が N チャンネルトランジスタの場合、ある
いは駆動用トランジスタ 11a を吐き出し (ソース) 電流 (ソースドライバ回路 14 から
吐き出す電流) で電流プログラムを実施する場合は逆の関係にする。この場合は、ソー
スドライバ回路 14 内に形成された単位トランジスタ 164 は、P チャンネルトランジスタ
で形成する。つまり、本発明は吸い込み (シンク) 電流の場合を例示して説明するが、吐
き出し (ソース) 電流の場合は、画素の構成あるいは動作、ソースドライバ回路 14 の構
成あるいは動作を逆の関係に変更あるいは読み変える。このことは当業者であれば容易で
あるので説明を省略する。

20

【0262】

図 31 (a) に図示するように、黒表示 (低階調表示) から白表示 (高階調表示) に変
化する時は、ソースドライバ回路 (IC) 14 が出力するシンク電流が主体的に関与する
。ソースドライバ回路 (IC) 14 がプログラム電流 I_{d1} (I_w) で寄生容量 C_s の電
荷を吸い込む。電流を吸い込むことにより、寄生容量 C_s の電荷を放電し、ソース信号線
18 の電位が低下する。したがって、画素 16 の駆動用トランジスタ 11a のゲート端子
電位が低下し、プログラム電流 I_w を流すように電流プログラムが行われる。

30

【0263】

白表示 (高階調表示) から黒表示 (低階調表示) に変化する時は、画素 16 の駆動用ト
ランジスタ 11a の動作が主体である。ソースドライバ回路 (IC) 14 は黒表示の電流
を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ 11a が動作し
、プログラム電流 I_{d2} (I_w) の電位に一致するように寄生容量 C_s を充電する。寄生
容量 C_s に電荷を充電することにより、ソース信号線 18 の電位が上昇する。したがって
、画素 16 の駆動用トランジスタ 11a のゲート端子電位が上昇し、プログラム電流 I_w
を流すように電流プログラムが行われる。

40

【0264】

しかし、図 31 (a) の駆動は低階調領域では電流 I_{d1} が小さく、また、定電流動作
のため、寄生容量 C_s の電荷の放電に非常に長時間を必要とする。特に白輝度に到達する
までの時間が長いため白ウィンドウ表示で上辺の輝度が所定輝度より低い。ソース信号線
18 の電位が黒表示電位 (アノード電圧 V_{dd} に近い) から白表示電位 (アノード電圧 $V_{dd} - 3$ (V) など) へ、1 水平走査期間内に変化できないためである。白ウィンドウ部
の下辺の次の画素行の黒表示輝度は、比較的目標の黒表示になりやすい。この変化では、
図 31 (b) に図示するように駆動用トランジスタ 11a が主体的に変化する。また、図

50

31 (b) では駆動用トランジスタ 11a が非線形動作するため、比較的電流 I_{d2} が大きい。そのため、Cs の充電時間が比較的是やい。したがって、白ウィンドウ部の最終白表示画素部の次に位置する黒表示画素行では、輝度が目標の輝度あるいはその近傍に変化する。

【0265】

プログラム電流の書き込み不足の課題を解決するために、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが超大型になれば、図 31 (b) の白から黒表示の実現が困難になる場合がある (プリチャージ電圧 V_p により、ソース信号線 18 の電位をアノード V_{dd} 側に变化させることにより、黒表示を実現することを想定している)。

【0266】

この対策として、本発明では、1H の前半にソースドライバ回路 (IC) 14 からのプログラム電流を増加させる。なお、後半は正規のプログラム電流 I_w を出力する。ただし、正規のプログラム電流は、図 6、図 9 などの場合は N 倍される。つまり、所定条件の時は、1H の最初に所定のプログラム電流よりも大きな電流をソース信号線 18 に流し、後半に正規のプログラム電流をソース信号線 18 に流す。以下この実施例について説明をする。

【0267】

以下に説明する駆動方法 (駆動装置あるいは駆動方式) を過電流駆動と呼ぶ。また、過電流駆動は本発明の他の駆動方式あるいは駆動装置と組み合わせることができることは言うまでもない。たとえば、プリチャージ電圧 V_p を印加した後、過電流駆動を実施し、その後、プログラム電流を印加 (プログラム電流駆動) することが例示される。また、プリチャージ電圧 V_p を印加せず、過電流駆動を実施し、その後、プログラム電流駆動を行う方式が例示される。

【0268】

なお、過電流駆動は、ソース信号線 18 の電荷を充放電する方式であるから、技術的思想としては、プリチャージ電圧駆動の概念に含まれる。

【0269】

なお、過電流は、吐き出し電流と吸い込み電流のいずれでもよい。画素 16 の駆動用トランジスタ 11a のチャンネル極性に対応して実施する。画素 16 の駆動用トランジスタ 11a が P チャンネルの場合は、過電流は、ソースドライバ回路 14 に流れ込む方向 (シンク電流) とし、画素 16 の駆動用トランジスタ 11a が N チャンネルの場合は、過電流は、ソースドライバ回路 14 から吐き出す方向 (ソース電流) とする。また、過電流駆動は、すべての画素 16 に実施するものではなく、画素 16 に印加された階調値、ソース信号線 18 の電位、または、次に印加する階調による電位変化などに対応して印加の有無を判断する。また、過電流の大きさ、印加期間を変化させる。

【0270】

図 32 は本発明の過電流駆動方式を実現するソースドライバ回路 (IC) 14 の説明図である。図示を容易とするため、単位トランジスタ 164 が 1 個の電流回路は単位トランジスタ群 321a とし、' 1 ' で図示している。以下同様に、単位トランジスタ 164 が 2 個の電流回路 (カレントミラー回路) は単位トランジスタ群 321b とし、' 2 ' で図示している。また、単位トランジスタ 164 が 4 個の電流回路は単位トランジスタ群 321c とし、' 4 ' で図示している。単位トランジスタ 164 が 8 個の電流回路は単位トランジスタ群 321d とし、' 8 ' で図示している。

【0271】

以下、同様に、単位トランジスタ 164 が 64 個の電流回路は単位トランジスタ群 321g とし、' 64 ' で図示し、単位トランジスタ 164 が 128 個の電流回路は単位トランジスタ群 321h とし、' 128 ' で図示している。ただし、図 18 (b) で説明したように、各単位トランジスタ群 321 に、物理的に必要な単位トランジスタ 164 を形成することに限定しない。各単位トランジスタ群 321 に必要な単位電流を出力するものであればいずれの構成あるいは方式であってもよい。

10

20

30

40

50

【0272】

これらの単位トランジスタ群321(321a~321h)の1組がトランジスタ群165cである。なお、作図を容易にするため、また、説明を容易にするため単位トランジスタ群321のビット数は各8ビットとしている。したがって、ビット数は、6ビット、10ビットでもよいことは言うまでもない。

【0273】

また、単位トランジスタ群321は、RGBごとに形成される。ただし、RGBで、形成するビット数を変化させてもよい。たとえば、RとBを6ビットとし、階調が多く必要なGを8ビットにする構成が例示される。また、過電流の大きさについても、RGBで変化あるいは変更できるように構成することが好ましい。たとえば、R、Bで過電流の大きさを大きくし、Gで過電流の大きさを小さくできるようにする構成、方式が例示される。以上の事項は、本発明の他の実施例に適用される。以上の事項は、トランジスタ群165cにも適用される。また、トランジスタ群165bにも適用される。

【0274】

図32の構成は、過電流のプログラム電流を流す担当のトランジスタ群は、単位トランジスタ群321hとしている。つまり、階調データの最上位ビットのスイッチD7をオンオフ制御することにより、過電流をソース信号線18に流す。過電流を流すことにより寄生容量Csの電荷を短時間で放電させることができる。たとえば、階調5の場合は、スイッチD0とD2をクローズさせて、5単位のプログラム電流を流すが、プログラム電流印加前に、スイッチD7をオンさせて、128単位の電流(過電流)をソース信号線18に印加する。また、過電流の印加前に、必要に応じてあるいは必須的にソース信号線18にプリチャージ電圧Vpを印加する。

【0275】

最上位ビットを過電流制御(過電流を発生させる)に使用するのとは、以下の理由による。まず、説明を容易にするため、1階調から4階調に変化させるとする。また、階調数は256階調(RGB各8ビット)とする。

【0276】

1階調から白階調に変化させる場合であっても、1階調から中間調以上(たとえば、128階調以上)に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量Csの充放電が比較的早いからである。

【0277】

しかし、1階調から中間調以下(たとえば、127階調以下)に変化する場合は、プログラム電流が小さく、1H期間に寄生容量Csを十分に充放電させることができない。したがって、1階調から4階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流駆動を実施する。

【0278】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、1階調から変化させる場合、目標の階調は、'01111111'以下である(最上位ビットのスイッチD7は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流駆動を実施する。

【0279】

最初の階調(変化前の階調)が1であれば、スイッチD0がオンで単位トランジスタ164が1個動作する。目標の階調が4であれば、スイッチD2が動作し、単位トランジスタ164が4個動作する。しかし、単位トランジスタ164が4個では十分に寄生容量Csの電荷を目標値まで放電させることができない。そこで、スイッチD7を閉じ単位トランジスタ群321hを動作させる。

【0280】

なお、D7スイッチの動作は、D2スイッチの動作に加えて実施してもよいし(1Hの前半あるいは最初にD7とD2スイッチをオンさせ、後半にD2スイッチのみをオンさせる)、1Hの前半あるいは最初にスイッチD7のみをオンさせ、後半にスイッチD2のみ

をオンさせてもよい。

【0281】

スイッチD7がオンすれば、単位トランジスタ164が128個動作する（もしくは128個分に相当する単位電流が出力される）。したがって、D2スイッチのみの動作に比較して $128/4=32$ であるから32倍の速度で寄生容量Csの電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【0282】

スイッチD7をオンさせるか否かは、RGBの映像データごとにコントローラ回路（IC）（図示せず）で判断する。コントローラ回路（IC）からは判断ビットKDATAがソースドライバ回路（IC）14に印加される。KDATAは一例として5ビットである。KDATAは、MSBの1ビットと下位4ビットに分けられる。KDATAのMSBが0（Lレベル）の時は、過電流駆動は実施しない。KDATAのMSBが1（Hレベル）の時は過電流駆動を実施する。つまり、過電流駆動を実施し、その後、目的階調に対応するプログラム電流を印加する。

10

【0283】

なお、プリチャージ電圧Vpを印加するか否かは、プリチャージビットで設定する。プリチャージビットが0（Lレベル）の時は、プリチャージ電圧Vpを印加しない。プリチャージビットが1（Hレベル）の時は、プリチャージ電圧Vpを印加し、また、KDATAの設定値に対応して過電流駆動を実施し、その後、目的階調に対応するプログラム電流を印加する。

20

【0284】

KDATAの下位4ビットは過電流を印加する期間を15段階で示す。この値に基づき、16段階の期間の過電流駆動を実施する。したがって、KDATAの下位4ビットの大きさは、D5ビットをオンさせる時間を示す。

【0285】

KDATAはラッチ回路221で1H期間保持される。カウンタ回路212はHD（1Hの同期信号）でリセットされ、クロックCLKでカウントされる。カウンタ回路212とラッチ回路221のデータが比較され、カウンタ回路212のカウント値が、ラッチ回路221のデータ値（KDATAの下位4ビット）よりも小さいとき、AND回路213は内部配線162bにオン電圧を出力しつづけ、スイッチD5のオン状態が維持される。したがって、単位トランジスタ群321hの単位トランジスタ164の電流が内部配線162aおよびソース信号線18に流れる。なお、電流プログラム時はスイッチ161bが閉じ、プリチャージ駆動時は、スイッチ161aが閉じ、スイッチ161bがオープン状態となる。

30

【0286】

図33はコントローラIC（回路）の動作の説明図である。ただし、1画素列（RGBの組）の処理の説明図である。映像データDATA（8ビット×RGB）は内部クロックに同期してラッチ回路221aと221bに2段ラッチされる。したがって、ラッチ回路221bには、1H前の映像データが保持され、ラッチ回路221aには現在の映像データが保持される。

40

【0287】

比較回路331は1H前の映像データと現在の映像データを比較し、KDATAの値を導出する。導出は、過電流駆動を実施するか否かのMSBの1ビットと、過電流を印加する期間である下位4ビットの値である。また、必要に応じて、プリチャージ電圧Vpを印加するか否かのプリチャージビットの設定も行う。また、過電流駆動において必要に応じて、どのスイッチD0～D7をオン（クローズ）するかを設定してもよい。また、プリチャージ電圧Vpの大きさを設定してもよい。

【0288】

映像データDATAはソースドライバ回路（IC）14に転送される。また、コントローラIC（回路）はカウンタ回路212の上限カウント値CNTをソースドライバ回路（

50

I C) 14に転送する。

【0289】

K D A T Aは比較回路331で決定される。決定は、変化前の映像データ（1H前のデータ）と変化後の映像データ（現在のデータ）から決定される。1H前のデータとは、現在のソース信号線18の電位を示す。現在のデータとは、変化させるソース信号線18の目標電位を示す。また、ソース信号線18の電位は、映像データの階調に対応するから、映像データに基づいて決定してもよい。

【0290】

図31に図示して説明したように、プログラム電流の書き込みは、ソース信号線18の電位を考慮して行うことが重要である。書き込み時間Tは、 $T = A C V / I$ （A：比例定数、C：寄生容量の大きさ、V：変化する電位差、I：プログラム電流）で表すことができる。したがって、変化する電位差Vが大きければ書き込み時間が長くなる。一方、プログラム電流 $I = I_w$ が大きくすれば書き込み時間は短くなる。

【0291】

本発明では、過電流駆動でIを大きくする。しかし、いずれの場合でもIを大きくすると、目標のソース信号線18電位を越える場合が発生する。したがって、過電流駆動を実施する場合には、電位差Vを考慮する必要がある。現在のソース信号線18の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図34の縦方向）））から決定される目標のソース信号線18電位から、K D A T Aを求める。

【0292】

K D A T AはD7スイッチをオンさせる時間の場合もあるが、過電流駆動での電流の大きさでもよい。また、D7スイッチのオン時間（時間が長いほどソース信号線18に印加する過電流印加時間が長くなり、過電流の実効値が大きくなる）と、過電流の大きさ（大きさが大きいほどソース信号線18に印加する過電流の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、K D A T AはD7スイッチのオン時間であるとして説明をする。

【0293】

比較回路331は1H前と変化後（図34を参照のこと）の映像データを比較してK D A T Aの大きさを決定する。K D A T Aに0以外のデータが設定される場合は以下の条件に合致する場合である。

【0294】

1H前の映像データが低階調領域である場合（0階調以上全階調の1/8以下の領域であることが好ましい。たとえば、256階調の場合は、0階調以上32階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（1階調以上全階調の1/2以下の領域であることが好ましい。たとえば、256階調の場合は、1階調以上128階調以下の領域である。）にK D A T Aを設定する。設定するデータは、駆動用トランジスタ11aのV I特性カーブを考慮して決定する。ソース信号線18のV d d電圧から、0階調目の電圧であるV 0（完全黒表示）までの電位差は大きい。また、V 0電圧から、1階調目のV 1までの電位差は大きい。次の2階調目であるV 2電圧とV 1電圧までの電位差は、V 0電圧からV 1電圧までの電位差よりもかなり小さい。以降、V 3とV 2、V 4とV 3になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ11aのV I特性が非線形であることにほかならない。

【0295】

階調間の電位差は、寄生容量C sの電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流駆動では過電流I dの印加時間と大きさに連動する。たとえば、1H前のV 0（階調0）と変化後のV 1（階調1）の階調差が小さいからといって、過電流I dの印加時間を短くすることはできない。電位差が大きいからである。

【0296】

逆に、階調差が大きくとも過電流を大きくする必要がない場合もある。たとえば、階調

10

20

30

40

50

10と階調32では、階調10の電位V10と階調32の電位V32の電位差も小さく、階調32のプログラム電流Iwも大きいから、寄生容量Csを短時間で充放電できるからである。

【0297】

図34は、横軸に1H前（変化前、つまり現在のソース信号線18電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つまり変化させる目標のソース信号線18電位を示す）を示している。

【0298】

0階調目（1H前）から0階調目（変化後）に変化させるのは、電位変化がないため、KDATAは0でよい。ソース信号線18の電位変化がないからである。0階調目（1H前）から1階調目（変化後）に変化させるのは、V0電位からV1電位に変化させる必要がある。V1-V0電圧は大きいから、KDATAはMSBを1とし、下位4ビットを最高値の15（一例である）に設定する。ソース信号線18の電位変化が大きいからである。1階調目（1H前）から2階調目（変化後）に変化させるのは、V1電位からV2電位に変化させる必要があり、V2-V1電圧は比較的大きいから、KDATAの下位4ビットは最高値近傍の12（一例である）に設定する。ソース信号線18の電位変化が大きいからである。3階調目（1H前）から4階調目（変化後）に変化させるのは、V3電位からV4電位に変化させる必要がある。しかし、V4-V3電圧は比較的小さいから、KDATAの下位4ビットは小さい値の2に設定する。ソース信号線18の電位変化が小さくてすみ、寄生容量Csの充放電が短時間で実施でき、目標のプログラム電流を画素16に書き込むことができるからである。

【0299】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、KDATAのMSB=0とし、下位4ビットの値は0である。変化後の階調に対応するプログラム電流が大きく、1H期間内にソース信号線18の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、2階調から38階調目に変化させる場合は、KDATA=0である。

【0300】

変化後が変化前より低階調の場合において、過電流駆動は実施しない。38階調から2階調目に変化させる場合は、KDATAのMSBを0とし、下位4ビット=0である。この場合は、図31（b）が該当し、主として画素16の駆動用トランジスタからプログラム電流Idが寄生容量Csに供給されるからである。図31（b）の場合は、過電流駆動方式は実施せず、電圧+電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【0301】

本発明の過電流駆動方式において、図6、図9などで説明したN倍駆動方式、duty比を制御する駆動方式と組み合わせることは効果がある。また、過電流を印加する時に基準電流を増加させることは効果がある。基準電流の可変は、図15などで説明した電子ボリウム152などで行う。基準電流の増加により、図32などの構成では過電流も増加させることができるからである。したがって、寄生容量Csの充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流駆動方式の過電流の大きさを制御することができる点も本発明の特徴ある構成である。

【0302】

以上のように、KDATAがコントロールIC（回路）で決定され、KDATAがソースドライバ回路（IC）14に差動信号で伝送される。伝送されたKDATAは図32のラッチ回路221で保持され、D7スイッチが制御される。なお、制御は、スイッチD7だけでなく、スイッチD7、D6を同時に制御してもよい。また、時分割で制御してもよい。つまり、複数のスイッチを過電流印加時に制御を行ってもよい。

【0303】

図34の表の関係は、マトリックスROMテーブルまたはルックアップテーブル931 50

を用いてK D A T Aを設定してもよいが、計算式をプログラムし、マイコンあるいはコントローラ I C（回路）の乗算器を用いてK D A T Aの算出（導出）を行ってもよい。また、コントローラ I C（回路）で実施することに限定されるものではなく、ソースドライバ回路（I C）14に内蔵のコントロール回路あるいは演算回路で実施してもよいことは言うまでもない。

【0304】

本発明は、基準電流の大きさによりプログラム電流 I wの大きさが基準電流に比例して変化する。したがって、図32などの過電流駆動の過電流の大きさも基準電流の大きさに比例して変化する。図34で説明したK D A T Aの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、K D A T Aの大きさは、基準電流の大きさに連動させる、あるいは基準電流の大きさを考慮することが好ましい。基準電流が大きければ過電流の大きさが比例して大きくなり、基準電流の大きさが小さければ過電流の大きさも小さくなるからである。

10

【0305】

本発明の過電流駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ11aからの出力電流などに対応して過電流の大きさ、印加時間（印加期間）、過電流の実効値を設定するものである。また、過電流駆動とプリチャージ駆動とを組み合わせるものである。

【0306】

比較回路331または比較手段などではR G Bの映像データごとに比較を実施するが、R G Bデータから輝度（Y値）を求めて、K D A T Aを算出してもよいことは言うまでもない。つまり、単に、各R G Bで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してK D A T Aを算出あるいは決定もしくは演算する。また、1画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してK D A T Aを導出してもよいことは言うまでもない。たとえば、表示画面34を複数のブロックに分割し、各ブロック内の映像データなどを考慮してK D A T Aを決定する方式が例示される。

20

【0307】

図32などにおいて、過電流駆動時に過電流を流すために選択するスイッチのクローズ期間（たとえば、D7スイッチが選択される時間）は、1H（1水平走査期間）の3/4期間以下1/32期間以上に設定することが好ましい。さらに好ましくは1H（1水平走査期間）の1/2期間以下1/16期間以上に設定することが好ましい。過電流を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。また、寄生容量の温度依存性により過電流を印加しすぎとなるからである。逆に過電流の印加期間が短いとソース信号線18の電位変化を目標値に到達させることができなくなり、目標値の電位に対する偏差も大きくなる。

30

【0308】

過電流を印加する期間が短いと、目標のソース信号線18の電位まで到達することができない。過電流駆動では、目標の階調のソース信号線18電位まで行うことが好ましいのは言うまでもない。しかし、過電流駆動のみで完全に目標のソース信号線電位にする必要はない。1Hの前半の過電流駆動後に、正規の電流駆動を実施し、過電流駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。したがって、過電流駆動は、ソース信号線18の電位目標値よりも小さめに設定（未到達）することが好ましい。本発明は、過電流駆動での偏差が発生しても、映像信号に対するプログラム電流で補正できることが1つの特徴ある方式である。

40

【0309】

図35は、過電流駆動方式を実施した場合の、ソース信号線18の電位変化を図示している。図35（a）は一例としてD7スイッチを1/（2H）期間オン状態にした場合である。1水平走査期間（1H）の最初であるt1よりD7スイッチをオンし、128個分の単位トランジスタ164の単位電流が出力端子83から吸い込まれる。D7スイッチは

50

1 / (2H) の t 2 期間までの間、オン状態が維持され、過電流 I d 2 がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V n 電位近傍の V m 電位まで低下する。その後 (t 2 後)、D 5 スイッチはオフ状態となり、正規のプログラム電流 I w が 1 H の終了 (t 3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V n 電位となる。

【0310】

ソースドライバ回路 (IC) 14 は定電流動作する。したがって、t 2 ~ t 3 期間には定電流のプログラム電流 I w が流れる。このプログラム電流 I w により、寄生容量 C s が目標電位になるまで充放電されると、画素 16 の駆動用トランジスタ 11 a から電流 I が流れ、ソース信号線 18 の電位は目標プログラム電流 I w が流れるように保持される。したがって、駆動用トランジスタ 11 a は所定プログラム電流 I w が流れるように保持される。以上のように、過電流駆動の過電流の精度は必要ない。精度がなくとも、画素 16 の駆動用トランジスタ 11 a により補正される。 10

【0311】

図 35 (b) は D 7 スイッチを 1 / (4H) 期間オン状態にした場合である。1 水平走査期間 (1H) の最初である t 1 より D 7 スイッチをオンし、32 個分の単位トランジスタ 164 の単位電流が出力端子 83 から吸い込まれる。D 7 スイッチは 1 / (4H) の t 4 期間までの間、オン状態が維持され、過電流 I d 2 がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V n 電位近傍の V m 電位まで低下する。その後 (t 4 後)、D 7 スイッチはオフ状態となり、正規のプログラム電流 I w が 1 H の終了 (t 3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V n 電位となる。 20

【0312】

ソースドライバ回路 (IC) 14 は定電流動作する。したがって、t 4 ~ t 3 期間には定電流のプログラム電流 I w が流れる。このプログラム電流 I w により、寄生容量 C s が目標電位になるまで充放電されると、画素 16 の駆動用トランジスタ 11 a から電流 I が流れ、ソース信号線 18 の電位は目標プログラム電流 I w が流れるように保持される。したがって、駆動用トランジスタ 11 a は所定プログラム電流 I w が流れるように保持される。以上のように、過電流駆動の過電流の精度は必要ない。精度がなくとも、画素 16 の駆動用トランジスタ 11 a により補正される。 30

【0313】

図 35 (c) は D 7 スイッチを 1 / (8H) 期間オン状態にした場合である。1 水平走査期間 (1H) の最初である t 1 より D 7 スイッチをオンし、32 個分の単位トランジスタ 164 の単位電流が出力端子 83 から吸い込まれる。D 7 スイッチは 1 / (8H) の t 5 期間までの間、オン状態が維持され、過電流 I d 2 がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V n 電位近傍の V m 電位まで低下する。その後 (t 5 後)、D 7 スイッチはオフ状態となり、正規のプログラム電流 I w が 1 H の終了 (t 3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V n 電位となる。 40

【0314】

以上のように、単位トランジスタ 164 の動作個数と、1 つの単位トランジスタ 164 の単位電流の大きさが固定値である。したがって、D 7 スイッチのオン時間により、比例して寄生容量 C s の充放電時間を操作することができ、ソース信号線 18 の電位を操作することができる。なお、説明を容易にするため、寄生容量 C s を過電流により充放電させているが、画素 16 のスイッチトランジスタなどのリークもあるから、C s の充放電に限定されるものではない。 40

【0315】

以上のように、過電流の大きさが単位トランジスタ 164 の動作個数により把握できる点が本発明の特徴ある構成である。書き込み時間 t は、 $T = ACV / I$ (A : 比例定数、C : 寄生容量の大きさ、V : 変化する電位差、I : プログラム電流) で表すことができる 50

から、K D A T A も値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ 1 1 a の V I 特性（アレイ設計時に把握できる）などから理論値に K D A T A の値を決定できる。

【0316】

図 3 2 の実施例は、最上位ビット D 7 スイッチを操作することにより、過電流駆動の過電流 I d の大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。

【0317】

図 3 6 は、ソースドライバ回路（I C）1 4 が各 R G B 8 ビット構成である場合において、最上位ビットのスイッチ D 7 と最上位ビットから 2 番目のスイッチ D 6 を K D A T A により制御した構成である。なお、説明を容易にするため、D 7 ビットには 1 2 8 個の単位トランジスタ 1 6 4 が形成または配置されているとし、D 6 ビットには 6 4 個の単位トランジスタ 1 6 4 が形成または配置されているとする。

【0318】

図 3 6（a 1）は D 7 スイッチの動作を示している。図 3 6（a 2）は D 6 スイッチの動作を示している。図 3 6（a 3）はソース信号線 1 8 の電位変化を示している。図 3 6（a）では D 7、D 6 のスイッチが同時に動作するため、単位トランジスタ 1 6 4 は 1 2 8 + 6 4 個が同時に動作し、出力端子 8 3 からソースドライバ回路（I C）1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 3 の V 3 電圧まで高速にソース信号線 1 8 電位を変化させることができる。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 8 3 からソースドライバ回路（I C）1 4 に吸い込まれる。

【0319】

同様に、図 3 6（b 1）は D 7 スイッチの動作を示している。図 3 6（b 2）は D 6 スイッチの動作を示している。図 3 6（b 3）はソース信号線 1 8 の電位変化を示している。図 3 6（b）では D 7 スイッチのみが動作するため、単位トランジスタ 1 6 4 は 1 2 8 個が同時に動作し、出力端子 8 3 からソースドライバ回路（I C）1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 2 の V 2 電圧まで高速にソース信号線 1 8 電位を変化させることができる。図 3 6（a）より変化速度は小さい。しかし、変化する電位が V 0 から V 2 であるから、適正である。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 8 3 からソースドライバ回路（I C）1 4 に吸い込まれる。

【0320】

なお、以上の実施例は、シンク電流の場合である。駆動用トランジスタ 1 1 a が N チャンネルの場合は、ソースドライバ回路 1 4 の単位トランジスタ 1 6 4 は、P チャンネルトランジスタで形成される。したがって、単位トランジスタ 1 6 4 からの出力電流（過電流）は、ソース信号線 1 8 に吐き出される。

【0321】

以上のように、本発明は、ソースドライバ回路 1 4 がシンク電流動作する場合を例示して説明しているがこれに限定するものではなく、ソース電流（吐き出し電流）の場合も、実施例の必要箇所を読み替えるだけで適用することができるから、本発明の技術的範疇である。

【0322】

同様に、図 3 6（c 1）は D 7 スイッチの動作を示している。図 3 6（c 2）は D 6 スイッチの動作を示している。図 3 6（c 3）はソース信号線 1 8 の電位変化を示している。図 3 6（c）では D 6 スイッチのみが動作するため、単位トランジスタ 1 6 4 は 6 4 個が同時に動作し、出力端子 8 3 からソースドライバ回路（I C）1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 1 の V 1 電圧まで高速にソース信号線 1 8 電位を変化させることができる。図 3 6（b）より変化速度は小さい。しかし、変化する電位が V 0 から V 1 であるから、適正である。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 8 3 からソースドライバ回路（I C）1 4 に吸い込まれる。

【0323】

以上のようにK D A T Aにより、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ164の個数あるいは単位電流の大きさを变化あるいは可変もしくは調整することにより、適正なソース信号線電位に設定あるいは変化させることができる。

【0324】

図36では、過電流駆動によるスイッチD(D6、D7)をt1からt2の期間に動作させるとしたが、これに限定するものではなく、図28に図示あるいは説明したように、t2、t3、t4などのようにK D A T Aの値によって变化あるいは変更してもよいことは言うまでもない。また、過電流を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流の大きさを調整してもよい。なお、この場合であっても、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

10

【0325】

操作するスイッチはD7、D6に限定するものではなく、D7など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。a期間の例では、過電流駆動として1/(2H)の期間D7スイッチをオン状態にして、128個の単位電流からなる過電流をソース信号線18に印加している。

【0326】

b期間の例では、過電流駆動として1/(2H)の期間D7、D6スイッチをオン状態にして、128+64個の単位電流からなる過電流をソース信号線18に印加している。

20

【0327】

c期間の例では、過電流駆動として1/(2H)の期間D7、D6、D5スイッチをオン状態にして、128+64+32個の単位電流からなる過電流をソース信号線18に印加している。

【0328】

d期間の例では、過電流駆動として1/(2H)の期間D7、D6、D5スイッチと前記スイッチに該当しない映像データのスイッチ(たとえば、映像データが4であれば、D2スイッチ)をオン状態にして、128+64+32+α個の単位電流からなる過電流をソース信号線18に印加している。

30

【0329】

以上の実施例は、図32などで説明したように、スイッチD7などを制御することにより、所定期間に過電流を発生させる方式であった。他に、図15で説明した基準電流Icを変化させることも例示される。つまり、所定期間に、電子ボリウム152を制御することにより、基準電流Icを大きくし、出力端子83から出力されるプログラム電流Iwを大きくする。大きくしたプログラム電流Iwは図32などで説明した過電流とみなせる。したがって、図32などで説明した効果を楽しむことができる。また、以上に説明した所定期間に基準電流を大きくする方式と、図32などで説明した所定期間にスイッチDを制御する方式を組み合わせてもよいことは言うまでもない。また、以上の方式と図147で説明する点灯率制御方式などと組み合わせてもよいことは言うまでもない。また、duty比制御、N倍駆動方式、プリチャージ駆動などと組み合わせてもよいことは言うまでもない。

40

【0330】

本発明では、ソースドライバ回路(IC)14内にトランジスタ群165cを有し、このトランジスタ群165cはスイッチDのオンオフにより、階調の対応した単位電流(プログラム電流)を出力できる。したがって、トランジスタ群165cから所定の階調に該当するプログラム電流を出力し、画素16の駆動用トランジスタ11aを動作させることにより、前記画素16の駆動用トランジスタ11aがプログラム電流を流すことができるように設定あるいは調整することができる。

【0331】

この動作時、図1に図示する画素構成では、トランジスタ11b、11cがクローズ状

50

態であるから、ソース信号線 18 の電位と、画素 16 の駆動用トランジスタ 11 a のゲート端子の電位は同一電位である。したがって、画素 16 の駆動用トランジスタ 11 a がプログラム電流 I_w を流している時のソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11 a がプログラム電流 I_w を流すのに必要な電位（電圧）ということになる。この電圧をプリチャージ電圧 V_p とすると、プリチャージ電圧 V_p をソース信号線 18 に印加すれば、画素 16 の駆動用トランジスタ 11 a がプログラム電流 I_w を流すことになる。

【0332】

ソースドライバ回路 14 からプリチャージ電圧 V_p をソース信号線 18 に印加し、該当画素行のゲート信号線 17 a にオン電圧を印加することにより選択する。画素 16 の駆動用トランジスタ 11 a のゲート端子にプリチャージ電圧 V_p が印加され、駆動用トランジスタ 11 a がプログラム電流 I_w を流すようにプログラム（設定）される。したがって、プリチャージ電圧 V_p を該当画素 16 の駆動用トランジスタ 11 a の特性に合わせて印加すれば、精度よく駆動用トランジスタ 11 a はプログラム電流 I_w にプログラムされる。プリチャージ電圧 V_p は電圧であるから、ソース信号線 18 に寄生容量があっても、順次のソース信号線 18 の電位を充放電できる。つまり、プリチャージ駆動の利点を享受できる。

【0333】

本発明では、映像の階調信号に対応するプログラム電流と、定電流を I_w と表現している。これは、定電流 I_w はソースドライバ回路 14 から発生させるため発生素子、その構造が一致していること、階調に対応するプログラム電流を所定の設定にした場合が定電流であるためである。

【0334】

以上のように、ソース信号線 18 に定電流（所定電流） I_w を印加し、その時にソース信号線 18 の電位を測定したものをプリチャージ電圧 V_p とした。図 25 の A 期間に印加する電圧をプリチャージ電圧 V_p とした。両者は意味合いが多少異なるが、ソース信号線 18 に印加し、ソース信号線 18 の電荷を充放電する機能として同一である。したがって、両者ともプリチャージ電圧 V_p と呼ぶ。

【0335】

以上のことから、画素 16 の各駆動用トランジスタ 11 a がプログラム電流 I_w を流す電位を測定あるいは把握し、この電圧をプリチャージ電圧 V_p として、プログラム時（階調書き込み時）に設定できれば、ソース信号線 18 の寄生容量に左右されず、高速に画素 16 に階調を書き込むことができる。もちろん、プリチャージ電圧 V_p の印加後、プログラム電流 I_w を印加することにより、高い精度で画素のプログラム設定することができる。

【0336】

つまり、本発明は、駆動用トランジスタ 11 a に定電流 I_w （ $I_w = 0$ （A）も含む）を印加し、その時の駆動用トランジスタ 11 a のゲート端子電位を、ソース信号線 18 を介して測定あるいは取得する。測定あるいは取得した電位を、演算あるいは所定の処理を行い、もしくはそのままプリチャージ電圧 V_p として、ソース信号線 18 に印加することにより、画素 16 の駆動用トランジスタ 11 a の特性を反映して階調書き込み（電圧プログラム、電流プログラム）を行うものである。

【0337】

本発明は、画素のトランジスタに定電流 I_w を印加し、もしくは画素の駆動トランジスタ 11 a から定電流 I_w を出力させ、前記定電流 I_w を印加または出力した状態で画素の駆動トランジスタ 11 a のゲート端子の電圧を測定する。各画素の駆動トランジスタ 11 a のゲート端子の電圧は、駆動トランジスタ 11 a の特性により異なる。つまり、駆動トランジスタ 11 a に定電流を印加し、駆動トランジスタ 11 a のゲート端子電圧を測定することは、駆動トランジスタ 11 a の特性を測定することになる。

【0338】

測定した電圧は、A/D変換してソースドライバ回路14の内部あるいは外部に形成または配置されたメモリに記憶する。EL表示装置に画像を表示する際は、このメモリに記憶した電圧データをD/A変換してアナログ電圧とし、このアナログ電圧（プリチャージ電圧 V_p ）をそのまま、あるいはこのアナログ電圧を基準または原点として、階調電圧を加減算し、目標の階調信号（プリチャージ電圧 V_p ）を求め、対応する画素に印加する。

【0339】

したがって、測定した電圧を基準として、階調あるいは階調差に対応する映像電圧を加算し前記駆動用トランジスタ11aに印加するという動作は、画素の駆動用トランジスタ11aの特性を補償した上で、映像信号としての階調信号（電圧信号）を印加していることになる。

10

【0340】

測定あるいは取得する駆動用トランジスタ11aのゲート端子電圧は、測定後、リアルタイムに映像電圧に加減算処理、あるいはそのまま画素の駆動用トランジスタに印加するように構成してもよい。また、定電流 I_w は0（A）の状態も含む（定電流を流さない）。定電流 $I_w=0$ （A）の場合は、対応画素を選択し、画素の駆動用トランジスタ11aのゲートドレイン端子を短絡すればよい。

【0341】

電圧プログラム方式は、画素のトランジスタ11aの特性補償が不十分であるという欠点を有していた。しかし、本発明は、画素のトランジスタ11aに定電流を印加するという電流プログラム方式を実施し、トランジスタのゲート端子電位を測定することにより、電流プログラム方式の利点であるトランジスタの特性補償能力を発揮させる。

20

【0342】

定電流 I_w を所定以上の大きさの電流値とすることにより、電流プログラム方式の弱点である低階調領域（低電流領域）での書き込み不足の課題が発生しない。また、映像表示する際に、画素に印加する映像信号は、電圧信号であるから、低階調領域であっても、書き込み不足は発生しない。つまり、測定した電圧を基準として電圧を加算あるいは減算することにより階調電圧を算出あるいは求め、この階調電圧を画素のトランジスタ11aに印加することにより電圧駆動の特徴である全階調領域で書き込み不足がないという利点を発揮させることができる。

【0343】

本発明はトランジスタ11aに定電流を印加し、トランジスタ11aのゲート端子電圧を直接あるいは間接的に測定もしくは保持するとして説明するが、これに限定するものではない。また、定電流の印加による電圧の測定あるいはメモリへの取得したデータは、電圧の大きさに限定するものではなく、前後の電圧の変化量、電圧の変化速度、電圧の差分値であってもよい。つまり、プリチャージ電圧 V_p を発生できるデータなどであればいずれのものであってもよい。

30

【0344】

電圧の測定とは、測定した電圧をアナログーデジタル変換（A/D変換）して、ドライバ回路外部あるいは内部に保持する動作あるいは構成も含む。また、電圧をデジタルデータとしてメモリに保持する動作を含む。また、測定だけでなく、コンデンサなどの保持媒体に一時的に保持あるいはラッチもしくは記憶する動作あるいは構成も含む。また、定電流 I_w とは0（A）も含む。

40

【0345】

画素16構成は、図1のように駆動用トランジスタ11aの出力電流がソース信号線18に入出力できる構成、または図12のように、駆動用トランジスタ11bとカレントミラー回路を構成するトランジスタ11aの出力電流がソース信号線18に入出力できる構成であることが必要である。もしくは、画素16構成は、図1のように駆動用トランジスタ11aのゲート端子電位がソース信号線18から測定あるいは把握できる構成、または図12のように、駆動用トランジスタ11bとカレントミラー回路を構成するトランジスタ11a、トランジスタ11bのゲート端子の電位がソース信号線18から測定あるいは

50

把握できる構成であることが必要である。これらは、電流駆動の画素構成である。

【0346】

以上のように動作あるいは構成することにより、画素16の駆動用トランジスタ11aに前記プリチャージ電圧 V_p に該当するプログラム電流が流れるように動作させることができる。この時のソース信号線18の電位を測定することにより、前記所定の階調に該当するプリチャージ電圧 V_p を取得することができる。

【0347】

以上の実施例では、各画素16の駆動用トランジスタ11aに定電流（0も含む）を印加し、画素16の駆動用トランジスタ11aが定電流 I_w を流すプリチャージ電圧 V_p を測定するとしたが、本発明はこれに限定するものではない。アレイ30にマトリックス状に形成される駆動用トランジスタ11aの特性は各ロットでは異なっているが、ロット内の各アレイでは、特性バラツキが少ない。したがって、アレイ30内で特性のトランジスタに定電流（0も含む）を流し、このトランジスタのゲート端子の電位 V_p を測定し、この V_p をその他の画素の駆動用トランジスタ11aに印加してもよい。印加する V_p は、多少画素の駆動用トランジスタ11aがプログラム電流 I_w を流す特性電圧から乖離しているが、その後、プログラム電流を印加するので問題はない。

【0348】

本発明は、プリチャージ電圧 V_p の設定に必要な階調に該当するプログラム電流をソースドライバ回路（IC）14から出力し、このプログラム電流（定電流）を駆動用トランジスタ11aが流すように駆動用トランジスタ11aのゲート端子電圧を変化させる。駆動用トランジスタ11aのゲート端子電圧を測定してプリチャージ電圧 V_p としてフィードバックするのである。このように動作あるいは設定させることにより、ソースドライバ回路（IC）14の特性とアレイの特性をフィードバックして精度のよいプリチャージ電圧 V_p を設定することができる。

【0349】

以下、図面を参照しながら、プリチャージ電圧 V_p を精度よく取得する方法について説明をする。なお、プリチャージ電圧 V_p とはプログラム電圧であり、駆動用トランジスタ11aのゲート端子電圧であるとして説明をする。プログラム電圧の印加によりEL素子15に目標電流を供給するものである。

【0350】

まず、プリチャージ電圧 V_p を測定あるいは取得する実施例として、アレイ30に形成または配置された測定画素16sに定電流を印加する方法について説明する。測定画素16sは、表示画面34の周辺部（画像表示に寄与しない領域）などに形成されている。もちろん画像表示で使用する画素16を測定画素16sとしてもよい。

【0351】

図37（a）は、説明を容易にするため、階調に対応するプリチャージ電圧 V_p の関係を示している。図37（a）に図示するように、一例として、階調0に対応するプリチャージ電圧 V_p を V_0 とする。階調1に対応するプリチャージ電圧 V_p を V_1 、階調8に対応するプリチャージ電圧 V_p を V_2 、階調32に対応するプリチャージ電圧 V_p を V_3 、階調128に対応するプリチャージ電圧 V_p を V_4 、階調255に対応するプリチャージ電圧 V_p を V_5 とする。もちろん、他の階調を $V_0 \sim V_5$ に設定してもよい。また、 $V_0 \sim V_5$ の6つに限定するものではなく、6つ以上であってもよいし、6つ以下でもよい。

【0352】

図37（b）は、プリチャージ電圧 V_p を発生するための駆動用トランジスタ11aを有する測定画素16sを示している。測定画素16sは、プログラム電流を発生させるものであるから、EL素子15を形成する必要はない。したがって、図1におけるトランジスタ11dは不要であり、また、ゲート信号線17bも必要ない。もちろん、画像を表示する画素16と同様に、EL素子15を形成してもよい。寄生容量などが画素16と同一となり、プリチャージ電圧 V_p の測定が良好になるからである。なお、プリチャージ電圧 V_p を測定するために用いる画素16を測定画素16sと呼ぶ。

【0353】

測定画素16sは、ゲート信号線17aにオン電圧が印加され、ソース信号線18にプログラム電流が印加されることにより、駆動用トランジスタ11aが動作し、駆動用トランジスタ11aのゲート端子電圧が変化する。この時のソース信号線18電位を読み取ることにより、プリチャージ電圧Vpを取得することができる。

【0354】

たとえば、階調1のプリチャージ電圧V1を取得する場合には、階調1に該当するプログラム電流（通常、1個の単位トランジスタからの出力電流）をソース信号線18に印加し、測定画素16sの駆動用トランジスタ11aを動作させる。この動作が完了時のソース信号線18の電位を測定すれば、プリチャージ電圧V1を取得することができる。

10

【0355】

本発明の実施例ではソース信号線18の電位を測定するとして説明するが、本発明はこれに限定するものではない。たとえば、画素16の駆動用トランジスタ11aのゲート端子にプローブ針を圧接して測定してもよい。また、1つの駆動用トランジスタ11aのゲート端子電位を測定するものではなく、たとえば、複数画素行を同時に選択し、複数の画素16の駆動用トランジスタ11aのゲート端子を同時にあるいは平均して測定あるいは把握してもよい。また、Vp電圧の測定は、ゲートドライバ回路12を制御し、選択するゲート信号線17aの位置を順次走査することにより行う。

【0356】

本発明の実施例において、電圧を測定するとしたが、測定の概念は、電圧を保持するあるいは、得る、把握するを含む概念である。つまり、取得したソース信号線18の電位をプリチャージ電圧Vpとして活用できる方式であれば、いずれの構成、形式、方法であってもよい。たとえば、ソース信号線18sの電位をサンプルホールドして活用する構成が例示される。また、ソース信号線18sのアナログ電位をアナログーデジタル変換（A/D変換）し、デジタルデータをそのまま、プリチャージ電圧V0～V5として活用する構成あるいはアナログ変換してV0～V5として活用する構成が例示される。また、ソース信号線18sの電位をそのまま、フィードバックし、V0～V5として活用する構成が例示される。

20

【0357】

本発明の方式において、取得または測定したソース信号線18sの電位あるいは電圧もしくはは電位変化をかさ上げしたり、一定の比率と演算したり、重み付け処理をしたり、レベルシフトしたり、また、所定の加工あるいは他の電圧値と、加算あるいは減算などをしてよいことはいうまでもない。また、複数回の測定値を平均して所望値を得てもよいことは言うまでもない。また、ソース信号線18sの電位変化から目的電圧を予測あるいは推測する動作あるいは処理を含む。本明細書では、説明を容易にするため、これらの概念、方式あるいは構成を含む概念として‘測定’として説明する。

30

【0358】

プリチャージ電圧V0～V5は、プリチャージ電圧Vpの発生だけではなく、電圧駆動あるいは、ガンマ曲線を発生することにも用いることができる。したがって、本発明の技術的思想は、電流プログラム方式（駆動）だけではなく、電圧プログラム方式（駆動）としても適用することができるものである。

40

【0359】

図37（b）において、コンデンサ19bを付加することにより、駆動用トランジスタ11aが流す電流をレベルシフトすることができる。また、ゲート信号線17aの電位の振幅値を変化させることにより、駆動用トランジスタ11aが流す電流をレベルシフトすることができる。コンデンサ19bの大きさなどの画像を表示する画素16と異ならせることにより、プリチャージ電圧Vpを適正な値にアナログ的に変化（シフト）させることができる。

【0360】

たとえば、ゲート信号線17aにオン電圧（VGL）を印加し、画素16sを選択し、

50

駆動用トランジスタ 11a に定電流 I_w を流した時の駆動用トランジスタ 11a のゲート端子電位が、3.8 (V) とする。次に、ゲート信号線 17a にオフ電圧 (V_{GH}) を印加し、画素 16 の選択を完了させる。すると、ゲート信号線 17a の電位は、 V_{GL} から V_{GH} に変化する。変化により、駆動用トランジスタ 11a のゲート端子電位もコンデンサ 19a、19b により電位が突き抜けアノード電位 V_{dd} 側にシフトする。たとえば、突き抜けによる電位変化が、0.5 (V) であれば、駆動用トランジスタ 11a のゲート端子電位は、3.8 (V) + 0.5 (V) = 4.3 (V) となり、駆動用トランジスタ 11a は I_w より小さな電流を流すように設定されて保持される。

【0361】

10 以上の実施例は、定電流 I_w より小さな電流が流れるように画素 16 に設定できることを意味する。電流駆動では、小さなプログラム電流を画素 16 に書き込むことは苦手である。しかし、以上のように構成あるいは動作させることにより、小さな電流をプログラムできる。したがって、その利点は大きい。

【0362】

図 38 は本発明のプリチャージ電圧 V_p の測定回路の説明図である。プリチャージ電圧 V_p の電圧測定回路 381 はソースドライバ回路 14 内に形成または構成されている。もちろん、ポリシリコン技術を用いてアレイ基板 30 に直接に形成または構成してよいことは言うまでもない。

【0363】

20 ソースドライバ回路 14 内に電圧測定回路 381 を構成することにより、ソース信号線 18s に接続された出力端子 83s からプリチャージ電圧 V_p を取得することができる。したがって、プリチャージ電圧 V_p を測定するために新たな出力端子 83 の形成は不要である。また、ソースドライバ回路 14 を半導体チップで形成あるいは構成することにより、サンプルホールド回路、オペアンプ、アナログスイッチなどプリチャージ電圧 V_p を測定するための回路が小面積で高精度に作製あるいは形成もしくは構成することができる。

【0364】

プリチャージ電圧 V_p を測定するために出力するプログラム電流の発生回路は、プログラム電流を出力する電流階調回路 154 の構成と同様である。電流階調回路は図 16、図 17、図 18、図 23 など説明しているので説明を省略する。

【0365】

30 ゲートドライバ回路 12a は、測定画素 16s を選択するゲート信号線 17a1 と、画像を表示する画素 16 を順次選択するゲート信号線 17a2 (図 1 などでは、ゲート信号線 17a が該当する) を制御する。ゲート信号線 17a1 は画像表示に関係なく、選択あるいは非選択動作にされる。プリチャージ電圧 V_p を測定する時は、ゲート信号線 17a1 が選択される。それ以外の期間は、非選択とされる。ソース信号線 18s はプリチャージ電圧 V_p を測定するため、形成された専用線である。

【0366】

40 電流階調回路 154 は、階調 0 に対応するプログラム電流を出力する。ただし、階調 0 に対応するプログラム電流 I_w は 0 である。したがって、スイッチ 161b (図 21 を参照のこと) はオープン状態と同一である。つまり、ソース信号線 18s にはプログラム電流は供給されず、ゲート信号線 17a1 が選択される。測定画素 16s の駆動用トランジスタ 11a はソース信号線 18s に電流が流れない状態まで、ソース信号線 18s に電荷を充電あるいは放電させる。ソース信号線 18s の電位が一定値に落ち着くと、電圧測定回路 381 を動作させて、ソース信号線 18s の電位を測定する。ソース信号線 18s の電位は、画素 16s の駆動用トランジスタ 11a のゲート端子の電位である。もちろん、電圧測定回路 381 はたえず、動作させておき、ソース信号線 18s の電位が安定した後、プリチャージ電圧 V_p としてもよいことは言うまでもない。

【0367】

50 電圧測定回路 381 は、ソース信号線 18s の電圧を測定し、電圧階調回路 231 に保持する。もしくはメモリに測定あるいは取得した値を記憶する。保持されたプリチャージ

電圧 V_0 は、図 37 などの V_0 電圧となる。電圧測定回路 381 の機能は電圧測定だけでなく、電圧を取得する概念、一定期間あるいは一時的に電圧を保持する概念も含む。また、電圧には限定されず、電圧と関連するデータを間接的にあるいは直接に測定あるいは取得する概念も含まれる。また、A/D変換回路 391 も内部に構成してもよい。また、電圧測定回路 381 は、ソースドライバ回路 14 内に形成しても、ソースドライバ回路 14 の外部に配置してもよい。

【0368】

同様に、電流階調回路 154 は、階調 1 に対応するプログラム電流 I_w を出力する。階調 1 に対応するプログラム電流は 1 個の単位トランジスタ 164 の出力電流（1 単位電流）である。ソース信号線 18s には 1 単位のプログラム電流が供給され、ゲート信号線 17a1 が選択される。ただし、プリチャージ電圧 $V_0 \sim V_5$ を連続して測定する場合は、ゲート信号線 17a1 は連続して選択状態を維持してもよい。測定画素 16s の駆動用トランジスタ 11a はソース信号線 18s に 1 単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線 18s の電位が変化する。また、駆動用トランジスタ 11a は、1 単位電流が安定して流れるような状態になるまで、ソース信号線 18s に電荷を充電あるいは放電させる。

【0369】

ソース信号線 18s の電位が一定値に落ち着くと、電圧測定回路 381 を動作させて、ソース信号線 18s の電位 V_1 を測定する。もちろん、電圧測定回路 381 はたえず、動作させておき、ソース信号線 18s の電位が安定した後に測定した電圧 V_1 を、プリチャージ電圧 V_p としてもよいことは言うまでもない。

【0370】

電圧測定回路 381 が電圧 V_1 を測定している時は、ゲート信号線 17a1 を非選択状態として説明するが、たえず、ゲート信号線 17a1 を選択状態としてもよいことは言うまでもない。電圧測定回路 381 は、ソース信号線 18s の電圧 V_1 を測定し、電圧階調回路 231 に保持する、またはメモリに記憶する。測定された V_1 電圧は、図 37 などの V_1 電圧となる。

【0371】

プリチャージ電圧 V_2 も同様である。電流階調回路 154 は、階調 8 に対応するプログラム電流を出力する（図 37（a）を参照のこと。図 37 では説明を容易にするため、 V_2 電圧は階調 8 番目に対応するとしている）。階調 2 に対応するプログラム電流は 8 個の単位トランジスタ 164 の出力電流（8 単位電流）である。図 16 では図示していないが、スイッチ 161d がクローズし、他のスイッチ 161 はオープン状態に制御される。

【0372】

ソース信号線 18s には 8 単位のプログラム電流が供給され、ゲート信号線 17a1 が選択される。測定画素 16s の駆動用トランジスタ 11a はソース信号線 18s に 8 単位のプログラム電流が定常的に流れるように動作する。定常の単位電流が流れることにより、また、定常の単位電流が流れるように、ソース信号線 18s の電位が変化する。

【0373】

ソース信号線 18s の電位が一定値に落ち着く、あるいは、一定値となることが推定される時間後に、電圧測定回路 381 を動作させて、ソース信号線 18s の電位を測定する。もちろん、電圧測定回路 381 はたえず、動作させておき、ソース信号線 18s の電位が安定した後、あるいは安定すると推定される時間経過後に測定してもよい。また、ソース信号線 18s が変化している状態であっても、ソース信号線 18s の定常電位が推測できる場合は、変化状態で測定してもよい。測定した電圧は、プリチャージ電圧 $V_p = V_2$ となる。電圧測定回路 381 は、ソース信号線 18s の電圧（プリチャージ電圧 V_2 ）を測定し、電圧階調回路 231 に保持する。

【0374】

同様の操作あるいは動作または駆動を、階調 32 に対応するプリチャージ電圧 V_p を V

10

20

30

40

50

3、階調128に対応するプリチャージ電圧 V_p を V_4 、階調255に対応するプリチャージ電圧 V_p を V_5 として実施する。

【0375】

以上の実施例では、プリチャージ電圧 V_p は V_0 から V_5 まで順次測定するとしたが、この順序に限定するものではない、プリチャージ電圧 V_5 から V_0 に順次測定してもよい。また、ランダムに測定してもよい。また、 V_0 から V_5 のすべてを測定することに限定されるものではない。たとえば、 V_0 、 V_3 、 V_5 を測定し、 V_1 、 V_2 、 V_4 の電位は、 V_0 、 V_3 、 V_5 の電圧値から計算により求めてもよい。また、ソース信号線18sに一定の電圧（黒電圧あるいはリセット電圧）を印加し、ソース信号線18sの電位を所定電位にしてから、各プリチャージ電圧 V_p に対応する単位電流をソース信号線18sに印加してもよい。また、プリチャージ電圧 $V_0 \sim V_5$ の測定は複数回行って平均化してもよい。また、プリチャージ電圧 $V_p = V_0$ のみを測定してもよい。 V_0 は定電流 $I_w = 0$ （A）であり、階調0に対応する。したがって、ガンマカーブの原点である。原点が測定あるいは把握できれば、他の階調（8ビットの場合は、1～255）は容易に発生できるからである。

【0376】

プリチャージ電圧 V_0 を測定する時間を長くし、プリチャージ電圧 V_5 を測定する時間を短くするなど、各プリチャージ電圧 V_p 測定に、設定する測定時間を可変してもよい。プリチャージ電圧 V_1 などは、ソース信号線18sに流れ込む電流（定電流 I_w ）が小さく、ソース信号線18sの電位変化が遅いからである。

【0377】

一方、プリチャージ電圧 V_5 などは、ソース信号線18sに流れ込む電流（定電流 I_w ）が大きく、ソース信号線18sの電位変化が速いからである。また、定電流 I_w はソースドライバ回路14内で発生することに限定されるのではなく、ソースドライバ回路14外に定電流発生回路を形成または配置し、定電流発生回路が出力する定電流 I_w を画素16に直接にあるいはソースドライバ回路14を介して供給してもよい。

【0378】

図38に図示する本発明では、マトリックス状に配置された表示画素16の駆動用トランジスタ11aの特性を反映する測定画素16sの駆動用トランジスタ11aは、アレイ基板30内に形成されている。つまり、測定画素16sの駆動用トランジスタ11aはアレイ基板30の表示画素16のトランジスタの特性を反映している。

【0379】

この測定画素16sの駆動用トランジスタ11aに、ソースドライバ回路（IC）14からプログラム電流 I_w を供給し、プリチャージ電圧 V_p を測定する。したがって、プリチャージ電圧 $V_0 \sim V_5$ はアレイ基板30の画素16の駆動用トランジスタ11aの特性を反映したものとなっている。また、温度依存に関しても、本発明の表示パネルを駆動している温度を反映したものとなっている。

【0380】

以上のように、本発明は、ソースドライバ回路14から、精度のよいプログラム電流を発生させる。このプログラム電流が、実際に表示装置の画像表示するための階調に対応する電流である。したがって、全体としてソースドライバ回路（IC）14の小型化、低コスト化を実現できる。また、測定画素16sは、画素16を形成するアレイ基板30に作製あるいは形成する。測定画素16sは画像を表示する画素16と同時に形成する（同一プロセスあるいは工程）。また、同一のプログラム電流を画素16と、測定画素16sに印加したとき、ソース信号線18とソース信号線18sの電位は略同一になるようにする。

【0381】

画素16の駆動用トランジスタ11aと測定画素16sの駆動用トランジスタ11aとは、同一特性になるように構成あるいは形成する。同一特性にするには、基本的には、画素16と画素16sを同一構成あるいはレイアウトにすればよい。駆動用トランジスタ1

10

20

30

40

50

1 a のチャンネル幅 W 、チャンネル長 L に構成するのが最も簡単であり、好ましい。本発明では、測定用画素 1 6 s の駆動用トランジスタ 1 1 a と、画素 1 6 の駆動用トランジスタ 1 1 a とは、同一サイズ、形状に構成している。

【0382】

図 3 9 は、アナログーデジタル (A/D) 変換回路 3 9 1 を用いた構成である。電流階調回路 1 5 4 内のトランジスタ群 1 6 5 s (図 1 6、図 1 8 など説明したトランジスタ群 1 6 5 c と同一の構成である) から、プログラム電流がソース信号線 1 8 s に出力される。

【0383】

以上の実施例ではプログラム電流は吸い込み (シンク) 電流であるが、本発明はこれに限定するものではない。画素 1 6 の駆動用トランジスタ 1 1 a が N チャンネルトランジスタなどの場合は、吐き出し (ソース) 電流にする。この場合は、トランジスタ群 1 6 5 c を構成する単位トランジスタ 1 6 4 は P チャンネルトランジスタで構成する。

【0384】

測定画素 1 6 s の駆動用トランジスタ 1 1 a は、プログラム電流により動作し、ソース信号線 1 8 s の電位が変化する。プログラム電流に対応するソース信号線 1 8 の電位を V_p とする。 V_p 電圧は電圧測定回路 3 8 1 により測定される。この電圧は A/D 変換回路 3 9 1 でデジタルデータに変換され、メモリあるいは保持回路 (ラッチ回路など) により蓄積または保持される。保持されたデータは電圧階調回路 2 3 1 に印加される。電圧階調回路 2 3 1 は、デジタルーアナログ (D/A) 変換してプリチャージ電圧 V_p としてソース信号線 1 8 に印加する。

【0385】

プリチャージ電圧 V_p は、ソース信号線 1 8 に印加するとしたが、本発明はこれに限定するものではない。たとえば、画素 1 6 の駆動用トランジスタ 1 1 a のゲート端子あるいは E L 素子 1 5 の画素電極などにプローブ針を圧接し、このプローブ針にプリチャージ電圧 V_p を印加してもよい。

【0386】

ソース信号線 1 8 に出力された測定プリチャージ電圧 V_p は、電圧測定回路 3 8 1 を介さず、直接に A/D 変換回路 3 9 1 によりデジタルデータに変換してもよい。つまり、本発明では、電圧測定回路 3 8 1 を形成または配置し、この電圧測定回路 3 8 1 を使用あるいは動作させるとしたが、何らかの構成あるいは手段あるいは方法により、ソース信号線 1 8 s あるいはソース信号線 1 8 の電圧を取得できるものあればいずれの構成あるいは手段でもよい。たとえば、サンプルホールド回路により、プリチャージ電圧 V_p をサンプルホールドし一定の期間、保持してもよい。

【0387】

ソース信号線 1 8 s にプログラム電流を流すトランジスタ群 1 6 5 s、電圧測定回路 3 8 1 などは、ソースドライバ回路 (IC) 1 4 と分離し、別チップ (IC) としてもよい。この別チップ (IC) をアレイ基板 3 0 に COG 技術で実装する。また、TAB 技術で実装してもよい。

【0388】

図 3 8 の実施例では、測定画素 1 6 s は 1 つの場合と図示した。しかし、本発明はこれに限定するものではない。たとえば、図 4 0 に図示するように、複数の測定画素 1 6 s (1 6 s 1、1 6 s 2、1 6 s 3、1 6 s 4、・・・・・・) を形成又は構成し、測定画素 1 6 s をゲート信号線 1 7 a (1 7 a 1、1 7 a 2、1 7 a 3、1 7 s 4、・・・・・・) で順次選択する。

【0389】

各測定画素 1 6 s はそれぞれプリチャージ電圧 $V_0 \sim V_5$ を測定する。複数の測定画素 1 6 s で測定したプリチャージ電圧 $V_0 \sim V_5$ をそれぞれ平均化し、平均値としての $V_0 \sim V_5$ を求めることにより、精度のよいプリチャージ電圧 V_p を求めることができる。

【0390】

10

20

30

40

50

測定画素 16 s 1 はプリチャージ電圧 V_0 を測定する画素とし、測定画素 16 s 2 はプリチャージ電圧 V_1 を測定する画素とし、測定画素 16 s 3 はプリチャージ電圧 V_2 を測定する画素とし、・・・・・・、測定画素 16 s 6 はプリチャージ電圧 V_5 を測定する画素とする、というように、各測定画素 16 s が受け持つプリチャージ電圧 V_p を設定してもよい。

【0391】

各測定画素 16 s が受け持つプリチャージ電圧 V_p は、一定の周期で変更してもよい。たとえば、1 周期目は、測定画素 16 s 1 はプリチャージ電圧 V_0 を測定する画素とし、測定画素 16 s 2 はプリチャージ電圧 V_1 を測定する画素とし、測定画素 16 s 3 はプリチャージ電圧 V_2 を測定する画素とし、・・・・・・、測定画素 16 s 6 はプリチャージ電圧 V_5 を測定する画素とする。 10

【0392】

2 周期目は、測定画素 16 s 1 はプリチャージ電圧 V_5 を測定する画素とし、測定画素 16 s 2 はプリチャージ電圧 V_4 を測定する画素とし、測定画素 16 s 3 はプリチャージ電圧 V_3 を測定する画素とし、・・・・・・、測定画素 16 s 6 はプリチャージ電圧 V_0 を測定する画素とする、というように制御する。

【0393】

周期は、1 フレーム周期でもよいし、それ以上あるいはそれ以下でもよい。また、ゲート信号線 17 b の走査と同期を取って、ゲート信号線 17 a を順次選択してもよい。つまり、1 つのゲート信号線 17 a の選択期間は、1 水平走査期間 (1 H) となる。 20

【0394】

図 4 1 に図示するように、電圧測定回路 38 1 は測定信号に同期してプリチャージ電圧 V_p を測定する。図 4 1 では、H レベルの時にプリチャージ電圧 V_p を測定し、L レベルの時には、プリチャージ電圧 V_p は測定しない。図 4 1 では、上段は、トランジスタ群 16 5 s が出力する単位電流の大きさを示している。0 は、すべての単位トランジスタ 16 4 が選択されていない状態である (階調 0)。1 は単位トランジスタ 16 4 が 1 個選択された状態である (階調 1)。2 は単位トランジスタ 16 4 が 2 個選択された状態である (階調 2)。以下同様に、4 は単位トランジスタ 16 4 が 4 個選択された状態 (階調 4) であり、・・・・・・32 は単位トランジスタ 16 4 が 32 個選択された状態である (階調 32)。 30

【0395】

図 4 1 の実施例では、出力電流は、1、2、4、8、16、・・・・・・と 2 の乗数で変化させている。つまり、図 16 において、スイッチ 16 1 a、16 1 b、16 1 c、16 1 d・・・・・・と順次クローズしていく方式である。プリチャージ電圧 V_p の階調の 2 の乗数で測定し取得される。図 4 1 の構成では、トランジスタ群 16 5 s の制御が容易であり、プリチャージ電圧 V_p の測定精度も高い。

【0396】

図 3 9 のトランジスタ群 16 5 s からの出力電流により、測定用画素 16 s の駆動用トランジスタ 11 a などが動作して、ソース信号線 18 s の電位が変化する。本発明の構成では、単位電流の大きさ (プログラム電流の大きさ) が大きくなるにつれてソース信号線 18 s の電位は低下する。駆動用トランジスタ 11 a が P チャンネルとして説明しているからである。 40

【0397】

プログラム電流の大きさが変化すると、ソース信号線 18 s の電位は変化する。ソース信号線 18 s には寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。図 4 1 ではこの期間は、測定信号は L レベルであり、電圧測定回路 38 1 は動作しない。ソース信号線 18 s の寄生容量を充放電し、目標電位まで変化する、測定信号は H レベルとなり、プリチャージ電圧 V_p (ソース信号線 18 s の電位) が測定される。以上の測定がソース信号線 18 s に印加されるプログラム電流に対応して順次繰り返され、プリチャージ電圧 V_p が測定し保持される。 50

【0398】

図41はプログラム電流を2の乗数倍で変化させ、プリチャージ電圧 V_p を測定するものである（取得するものである）。図42は、図37で説明したように、プリチャージ電圧 V_0 、 V_1 、 V_2 、 V_3 、 V_4 、 V_5 を測定（取得）する方法である。トランジスタ群165sから、プログラム電流、0、1、8、32、128、255が順次ソース信号線18sに印加される。このプログラム電流に対応して、ソース信号線18sの電位が変化する。電圧測定回路381は変化後のソース信号線18sの電位を測定する。

【0399】

プリチャージ電圧 V_p は、決められた階調に対応して測定あるいは取得するとしたが、本発明はこれに限定するものではない。すべての階調（たとえば、256階調の場合は、0階調目から255階調目）に対してプリチャージ電圧 V_p を測定（取得）してもよい。このプリチャージ電圧 V_p を階調信号として使用すれば、良好な電圧駆動を実現できる。

【0400】

以上の実施例では、3つ以上のプリチャージ電圧 V_p を測定するものであった。しかし、最大階調の階調255（256階調の時）と、最低階調の階調0を測定し、この両者から中間のプリチャージ電圧 V_p を発生させてもよい。

【0401】

図43の駆動方式によりプリチャージ電圧 $V_p = V_0$ 、 V_{255} を測定する方式である。図44は、図43で測定されたプリチャージ電圧 V_0 と、 V_{255} を用いる方式である。図44において、切り換え回路（ V_0 電圧を V_{255} 電圧の振り分け回路）441で、 V_0 電圧を平均化回路443aに入力する。また、測定したプリチャージ電圧 V_p を切り換え回路（ V_0 電圧を V_{255} 電圧の振り分け回路）441で、 V_{255} 電圧を平均化回路443bに入力する。平均化回路443aは交互にあるいは連続して測定されたプリチャージ電圧 V_0 、プリチャージ電圧 V_{255} を平均化し、安定したプリチャージ電圧 V_0 、プリチャージ電圧 V_{255} とするものである。

【0402】

平均化回路443の出力はオペアンプ151に入力され、インピーダンスを低減して、電子ボリウム152に入力される。電子ボリウム152では、入力されたプリチャージ電圧 $V_p = V_0$ 、 V_{255} を抵抗 R で分圧し、階調に対応するプリチャージ電圧（ $V_0 \sim V_{255}$ ）を発生する。

【0403】

図43に図示するように、トランジスタ群165sからの出力電流（0または255）により、駆動用トランジスタ11aなどが動作して、ソース信号線18sの電位が変化する。プログラム電流の大きさが変化すると、ソース信号線18sの電位は変化する。ソース信号線18sには寄生容量があるため、目標電位まで変化するのに一定の期間が必要である。そのため、ソース信号線18sの電位変化は曲線を描く。階調に対するプリチャージ電圧 V_p （ソース信号線18sの電位）と、階調255に対するプリチャージ電圧 V_p が、電圧測定回路381により測定される。以上の測定がソース信号線18sに印加されるプログラム電流に対応して順次繰り返され、測定された、プリチャージ電圧 V_0 と V_{255} が図44に図示する切り換え回路441に伝送（伝達）される。

【0404】

図43は、プリチャージ電圧 V_0 と V_{255} の場合であった。本発明はこれに限定するものではない。図45に図示するように、プリチャージ電圧 $V_0 \sim V_5$ を順次、電圧測定回路381で測定し、順次、切り換え回路441に伝送する。切り換え回路441は受信したプリチャージ電圧 $V_0 \sim V_5$ を平均化回路443に振り分ける。平均化回路443はそれぞれのプリチャージ電圧 V_p を平均化する。 $V_0 \sim V_5$ 電圧は、 V_0 （A） $\sim V_5$ （A）として安定化され、電子ボリウム152などに印加される。

【0405】

図37（b）で説明したように、EL素子15を有しない測定画素16sを形成し、プリチャージ電圧 V_p を測定するとした。しかし、図46に図示するように、駆動用トラン

10

20

30

40

50

ジスタ 11a からなる測定画素 16s を形成し、この測定画素 16s を動作させてプリチャージ電圧 V_p を測定してもよい。図 46 の測定画素 16s のゲート端子とドレイン端子は短絡して形成されている。ソース端子は画素 16 の駆動用トランジスタと同様にアノード電圧 V_{dd} に接続されている。

【0406】

測定画素 16s は、図 47 に図示するように、アレイ基板 30 の複数箇所の画素 (16sa、16sb、16sc、16sd) として形成することが好ましい。複数箇所に形成された測定画素 16s の駆動用トランジスタ 11a を動作させてプリチャージ電圧 V_p を測定することが好ましい。アレイ基板 30 内の各部分で作製された駆動用トランジスタ 11a の特性バラツキがあるからである。複数箇所の測定画素 16s で測定されたプリチャージ電圧 V_p は平均化して、所望のプリチャージ電圧 $V_0 \sim V_5$ を取得する。また、複数箇所に測定画素 16s を形成しておけば、そのうち 1 つの測定画素 16s が不良であっても、他の測定画素 16s からプリチャージ電圧 $V_0 \sim V_5$ を取得することができる。

【0407】

図 48 に図示するように、画像を表示するためのトランジスタ群 165c と同様に、プリチャージ電圧 V_p を測定するためのトランジスタ群 165s を形成してもよい。トランジスタ群 165s の単位トランジスタ 164 数を選択して、測定画素 16s に印加する。

【0408】

図 48 などのトランジスタ群 165c、165s の数字は、単位トランジスタ 164 の個数を示している。つまり、1 は単位トランジスタ 164 が 1 個であり、2 は単位トランジスタ 164 が 2 個であり、4 は単位トランジスタ 164 が 4 個であり、8 は単位トランジスタ 164 が 8 個・・・128 は単位トランジスタ 164 が 128 個である。単位トランジスタ 164 の個数をスイッチ 161 で切り換え、各単位トランジスタ 164 の個数に対する (階調に対する) プリチャージ電圧 V_p を測定する。

【0409】

図 48 などの構成では、ソース信号線 18 にプログラム電流を出力するトランジスタ群 165c と、ソース信号線 18s にプログラム電流を出力するトランジスタ群 165s とは、同一の構成である (図 16、図 20 などを参照のこと)。したがって、トランジスタ群 165s とトランジスタ群 165c の単位トランジスタが出力する単位電流は同一である。しかし、本発明はこれに限定するものではない。たとえば、図 49 に図示するように、トランジスタ群 165s とカレントミラー回路を構成するトランジスタ群またはトランジスタ 167b に流れる基準電流を、トランジスタ群 165c とは別に発生させてもよい。

【0410】

図 49 の電子ポリウム 152 は、電圧 V を変化させる 8 ビットの D A T A により制御される。D A T A は、コントローラ (図示せず) で制御される。この電圧 V と抵抗 R_1 によりトランジスタ 167b に流れる基準電流 I_c を変更 (可変) することができる。トランジスタ 167b はトランジスタ群 167b とカレントミラー回路を構成する。

【0411】

図 50 の実施例では、ソースドライバ回路 (IC) 14 にスイッチ S (S_1 、 S_2 、 S_3 、・・・) が形成されている。1 つのスイッチ S が選択されることにより、選択されたスイッチ S に接続された出力端子 83 のソース信号線 18 の電位が、ソース信号線電位検出線 501 に印加される。

【0412】

図 50 では、各出力端子 83 に接続されたトランジスタ群 165c からプログラム電流 $I_w = I_0$ (階調 0 に対応する。ただし、階調 0 ではプログラム電流 $I_w = 0$ とする) が出力される。各ソース信号線 18 の電位は、プログラム電流 I_0 に対応する電位に変化する。この状態でスイッチ S_0 から S_n (n は出力端子 83 の最大番号値) まで、順次クローズする。各ソース信号線 18 の電位がソース信号線電位検出線 501 に印加され、この電圧は V_{sd} として測定されてコントローラ回路 (IC) 801 に伝送される。コントロ

ーラ回路（IC）801では、プログラム電流I0に対する各ソース信号線18の電位は、Vst0電圧として、メモリ502に記憶される。このVst0がプリチャージ電圧V0に該当する。

【0413】

ソース信号線18の電位検出は、図51に図示するように、第1画素行目あるいは第1画素列などのように特定の画素行あるいは画素列を指定して検出してもよいことはいふまでもない。

【0414】

プリチャージ電圧V1に対しては、各出力端子83に接続されたトランジスタ群165cからプログラム電流I1が出力される。すると、各ソース信号線18の電位は、プログラム電流I1に対応する電位に変化する。この状態でスイッチS0からSn（nは出力端子83の最大番号値）まで、順次クローズし、各ソース信号線18の電位がソース信号線電位検出線501に印加される。この電圧はVsd1として測定されてコントローラ回路（IC）801に伝送される。コントローラ回路（IC）801は、この電圧データをプログラム電流I1に対する各ソース信号線18の電位Vst1として、メモリ（SRAM、EEPROM）502に記憶させる。このVst1がプリチャージ電圧Vp=V1に該当する。

10

【0415】

プリチャージ電圧Vp=V2に対しては、各出力端子83に接続されたトランジスタ群165cからプログラム電流Iw=I2が出力され、この状態でスイッチS0からSn（nは出力端子83の最大番号値）まで、順次クローズし、各ソース信号線18の電位がソース信号線電位検出線501に印加され、この電圧はVsd2として測定されてコントローラ回路（IC）801に伝送される。以下同様である。

20

【0416】

以上のように測定されたプリチャージ電圧V0～V5は、プリチャージ電圧Vpの設定値Vstとして、また、必要に応じて、ソースドライバ回路（IC）14に伝送され、電子ボリウム152などの設定値として使用される。

【0417】

以上のように構成すれば、プリチャージ電圧Vpを測定するためのプログラム電流Iwを、トランジスタ群165cと変化させることができる。したがって、より柔軟にかつ適

30

正なプリチャージ電圧Vpを測定することができる。

【0418】

プリチャージ電圧Vpの測定回路は、図52に図示するように、ソースドライバ回路（IC）14と別回路またはICとしてもよい。図52では、電圧測定回路機能を有する電圧測定回路IC621をアレ基板30にCOG実装した実施例である。また、図53は3つのソースドライバ回路（IC）14に電圧測定回路381からの出力を印加した構成である。また、図54は3つのソースドライバ回路（IC）14にA/D変換回路391からのデジタル信号にされたプリチャージ電圧Vpを印加した構成である。

【0419】

複数のソースドライバ回路（IC）14を用いる場合は、各ソースドライバ回路（IC）14内に電圧測定回路381を構成あるいは形成し、複数のソースドライバ回路（IC）14のうち、1つの電圧測定回路381を動作させる。この電圧測定回路381からのプリチャージ電圧Vpを他のソースドライバ回路（IC）14に供給あるいは印加すればよい。図55はこの構成の説明図である。3つのソースドライバ回路（IC）14は、マスタースレーブ選択端子（M/S）により、マスターとスレーブ設定がロジック的に設定される。マスターモードの時は、M/S端子はロジックレベル1とされ、スレーブモードの時は、M/S端子はロジックレベル0と設定される。

40

【0420】

図55ではソースドライバ回路（IC）14aがマスターモードに設定され、ソースドライバ回路（IC）14bと14cがスレーブモードに設定されている。マスターモード

50

では、ソースドライバ回路（IC）14a内の電圧測定回路381が動作し、ソース信号線18sの電位を測定してプリチャージ電圧V0～V5を出力する。出力されたプリチャージ電圧V0～V5はスレーブモードのソースドライバ回路（IC）14（14b、14c）の電子ポリウム回路などに印加される。スレーブモードに設定されたソースドライバ回路（IC）14（14b、14c）の電圧測定回路381は動作しないように構成されている。

【0421】

以上のように、ソースドライバ回路（IC）14にマスターモードとスレーブモードが設定されるのは、プリチャージ電圧Vpを測定するソース信号線18sまたは測定画素16sが表示画面34以外の箇所に形成されるためである。したがって、測定用画素16sは表示画面34の端に構成されることになる。したがって、プリチャージ電圧Vpを測定するソースドライバ回路（IC）14は、表示画面34の端に位置するものが選択されることになる（図55ではソースドライバ回路（IC）14aが該当する）。この選択をM/S端子で設定する。マスターモードとはプリチャージ電圧Vpを測定する動作あるいは機能をもたせたモードであり、スレーブモードとはプリチャージ電圧Vpを測定あるいは持たせないモードである。

【0422】

表示画面34の両端にソース信号線18s、測定画素16sが形成できる場合は、図57に図示するように、表示画面34の両端に位置するソースドライバ回路（IC）14（14a、14d）をマスターモードに設定する。ソースドライバ回路（IC）14aが出力するプリチャージ電圧Vpを選択するか、ソースドライバ回路（IC）14dが出力するプリチャージ電圧Vpを選択してスレーブモードのソースドライバ回路（IC）14に印加するかは、スイッチSaとSbにより行う。もちろん、スイッチSaとSbの両方を選択し、プリチャージ電圧Vpを測定してもよい。

【0423】

ソースドライバ回路（IC）14aをマスターモードにする時は、スイッチSaをクローズし、ソースドライバ回路（IC）14dをスレーブモードにして、スイッチSbをオープンにする。他のソースドライバ回路（IC）14（14b、14c）はスレーブモードとして使用する。ソースドライバ回路（IC）14dをマスターモードにする時は、スイッチSbをクローズし、ソースドライバ回路（IC）14aをスレーブモードにして、スイッチSaをオープンにする。他のソースドライバ回路（IC）14（14b、14c）は常時スレーブモードとして使用する。

【0424】

ソースドライバ回路（IC）14aを常時マスターモードにするか、もしくはソースドライバ回路（IC）14dを常時マスターモードにするかを固定する方法も例示されるが、ソースドライバ回路（IC）14aとソースドライバ回路（IC）14dを交互にマスターモードにして使用するほうが、プリチャージ電圧Vpが平均化され、良好な結果が得られる。

【0425】

切り換えは、1フィールドあるいは1フレームなど周期的に行う。もちろん、1水平走査期間などの周期で切り換えてもよい。また、マスターモードにするソースドライバ回路（IC）14は、2つ以上であってもよい。たとえば、4つであれば、4つのソースドライバ回路（IC）14から1つのスイッチSを制御してプリチャージ電圧Vpを他のソースドライバ回路（IC）14に印加すればよい。

【0426】

たとえば、第1フレームで、ソースドライバ回路（IC）14aをマスターモードにし、スイッチSaをクローズし、ソースドライバ回路（IC）14dをスレーブモードにし、スイッチSbをオープンにする。他のソースドライバ回路（IC）14（14b、14c）はスレーブモードとして使用する。第1フレームの次の第2フレームでは、ソースドライバ回路（IC）14dをマスターモードにし、スイッチSbをクローズし、ソースド

10

20

30

40

50

ライバ回路 (IC) 14a をスレーブモードにし、スイッチ S a をオープンにする。同様に、第 2 フレームの次の第 3 フレームでは、ソースドライバ回路 (IC) 14a をマスターモードにし、スイッチ S a をクローズし、ソースドライバ回路 (IC) 14d をスレーブモードにし、スイッチ S b をオープンにする。他のソースドライバ回路 (IC) 14 (14b、14c) はスレーブモードとして使用する。

【0427】

他の実施例として図 58 に図示するように、2 ビットのセクタ信号 (CS) で切り換える方式も例示される。図 58 において、CS = 1 の時は、チップ 14a の左側のトランジスタ群 165 S a が動作する。チップ 14c は、CS = 2 であり、CS = 2 の時は、チップ 14c の右側のトランジスタ群 165 S a が動作する。チップ 14b は、CS = 0 であり、CS = 0 の時は、チップ 14b の両方のトランジスタ群 165 S は選択されない。

10

【0428】

図 52 の電圧測定回路 (IC) 521 は、トランジスタ群 165 s を内部に構成または配置してもよい。また、A/D 変換回路 391 もソースドライバ回路 14 の内部に構成または配置してもよい。電圧測定回路 IC 521 が測定したプリチャージ電圧 V0 ~ V5 は、アナログデータあるいはデジタルデータとして、ソースドライバ回路 (IC) 14 に供給 (印加) される。ソースドライバ回路 (IC) 14 が複数ある場合は、複数のソースドライバ回路 (IC) 14 に共通に印加される。

【0429】

以上の実施例は、1 つのトランジスタ群 165 s からのプログラム電流を 1 つの測定画素 16 s に印加し、複数のプリチャージ電圧 Vp を取得する方式であった。本発明はこれに限定するものではない。図 59 に図示するように、1 つのトランジスタ群 165 s からのプログラム電流を複数の測定画素 16 s に印加し、プリチャージ電圧 Vp を取得してもよい。

20

【0430】

図 59 の構成では、トランジスタ群 165 s のプリチャージ電圧 V0 ~ V5 に対応する単位トランジスタ 164 から構成されている。図 59 において、トランジスタ群 165 s の '0' は、プリチャージ電圧 V0 を発生させる 0 個の単位トランジスタ (単位トランジスタ群 0) を意味している。トランジスタ群 165 s の '1' は、プリチャージ電圧 V1 を発生させる 1 個の単位トランジスタ (単位トランジスタ群 1) を意味している。同様に、トランジスタ群 165 s の '8' は、プリチャージ電圧 V2 を発生させる 8 個の単位トランジスタ (単位トランジスタ群 8) を意味している。

30

【0431】

同様に、トランジスタ群 165 s の '32' は、プリチャージ電圧 V3 を発生させる 32 個の単位トランジスタの集合 (単位トランジスタ群 32) を意味し、トランジスタ群 165 s の '128' は、プリチャージ電圧 V4 を発生させる 128 個の単位トランジスタの集合 (単位トランジスタ群 128) を意味し、トランジスタ群 165 s の '255' は、プリチャージ電圧 V5 を発生させる 255 個の単位トランジスタの集合 (単位トランジスタ群 255) を意味する。

【0432】

トランジスタ群 165 s 1 はプログラム電流 I1 を出力する。トランジスタ群 165 s 8 はプログラム電流 I8 を出力する。同様に、トランジスタ群 165 s 32 はプログラム電流 I32 を出力し、トランジスタ群 165 s 128 はプログラム電流 I128 を出力し、トランジスタ群 165 s 255 はプログラム電流 I255 を出力する。

40

【0433】

単位トランジスタ群 165 s 0 だけは特殊で、単位トランジスタは配置されていない。つまり、電流 Iw = 0 である。プリチャージ電圧 V0 を測定する電圧測定回路 381a がソース信号線 18s0 に接続されている。また、測定画素 16s0 が接続されている。測定画素 16s0 はプリチャージ電圧 V0 に対応する電圧をソース信号線 18s0 に設定し、電圧測定回路 381a はプリチャージ電圧 V0 を測定し出力する。

50

【0434】

単位トランジスタ群165s1は、単位トランジスタが1個形成または配置されている。もしくは、階調1に該当するプログラム電流が出力できるように構成されている。単位トランジスタ群165s1には、プリチャージ電圧V1を測定する電圧測定回路381bがソース信号線18s1に接続されている。また、測定画素16s1が接続されている。測定画素16s1は、階調1に対応するプログラム電流Iwの印加により、プリチャージ電圧V1に対応する電圧をソース信号線18s1に設定あるいは調整あるいは動作し、電圧測定回路381bはプリチャージ電圧V1を測定し出力する。

【0435】

単位トランジスタ群165s8は、単位トランジスタが8個形成または配置されている。もしくは、階調8に該当するプログラム電流Iwが出力できるように構成されている。たとえば、単位トランジスタの8倍のチャンネル幅を有するトランジスタが1個形成されている。ただし、トランジスタ群165sもトランジスタ群165cと同様に同一の単位トランジスタ164の集合で構成するほうが、出力する定電流Iwのバラツキが少なく有利である。 10

【0436】

単位トランジスタ群165s8には、プリチャージ電圧V2を測定する電圧測定回路381cがソース信号線18s8に接続されている。また、測定画素16s2が接続されている。測定画素16s2は、階調8に対応するプログラム電流Iw=I8の印加により、プリチャージ電圧V2に対応する電圧をソース信号線18s2に設定あるいは調整あるいは動作し、電圧測定回路381cはプリチャージ電圧V2を測定し出力する。 20

【0437】

同様に、単位トランジスタ群165s32には、プリチャージ電圧V3を測定する電圧測定回路381dがソース信号線18s3に接続されている。また、測定画素16s3が接続されている。測定画素16s3は、階調32に対応するプログラム電流Iw=I32の印加により、プリチャージ電圧V3に対応する電圧をソース信号線18s3に設定あるいは調整あるいは動作し、電圧測定回路381dはプリチャージ電圧V3を測定し出力する。

【0438】

単位トランジスタ群165s128には、プリチャージ電圧V4を測定する電圧測定回路381eがソース信号線18s4に接続されている。また、測定画素16s4が接続されている。測定画素16s4は、階調128に対応するプログラム電流Iw=I128の印加により、プリチャージ電圧V4に対応する電圧をソース信号線18s4に設定あるいは調整あるいは動作し、電圧測定回路381eはプリチャージ電圧V4を測定し出力する。 30

【0439】

同様に、単位トランジスタ群165s255には、プリチャージ電圧V5を測定する電圧測定回路381fがソース信号線18s5に接続されている。また、測定画素16s5が接続されている。測定画素16s5は、階調255に対応するプログラム電流Iw=I255の印加により、プリチャージ電圧V5に対応する電圧をソース信号線18s5に設定あるいは調整あるいは動作し、電圧測定回路381fはプリチャージ電圧V5を測定し出力する。 40

【0440】

図59は、プリチャージ電圧V0~V5の場合であったが、本発明はV0~V5に限定するものではない。図60に図示するようにプリチャージ電圧V0~V8としてもよい。また、プリチャージ電圧VpをV0~V255のいずれの電圧設定としてもよい。他の構成は、図59と同様であるので説明を省略する。

【0441】

なお、本発明の第1の画素がマトリックス状に形成され、画像を表示する。本発明の第2の画素は、たとえば、図59の画素16s0、16s1、16s8、16s32、16 50

s 1 2 8、1 6 s 2 5 5が該当する。また、図 6 0の画素 1 6 s 0、1 6 s 1、1 6 s 2、1 6 s 4、1 6 s 8、1 6 s 1 6、1 6 s 3 2、1 6 s 6 4、1 6 s 1 2 8も、本発明の第 2の画素に該当する。また、図 7 3の 1 6 Sも、本発明の第 2の画素に該当する。なお、本発明の第 2の画素は、図 7 5の画素 1 6 Sのようにマトリックス状に配置してもよい。

【0 4 4 2】

なお、本発明の第 1の画素および第 2の画素は、いずれも本発明の画素の一例にあたる。

【0 4 4 3】

以上の実施例では、ソース信号線 1 8 s および測定画素 1 6 s を形成し、ソース信号線 1 8 s にプログラム電流 I_w を印加して、ソース信号線 1 8 s の電位を電圧測定回路 3 8 1 で測定するものであった。しかし、本発明はこれに限定するものではない。たとえば、表示画面 3 4 に形成されたソース信号線 1 8 および画素 1 6 にプログラム電流 I_w を印加し、ソース信号線 1 8 の電位を測定してプリチャージ電圧 V_p を取得してよい。

【0 4 4 4】

この回路構成の実施例を図 6 1 に示している。基本的な構成は、以前に説明した構成と同一であり、動作も同一である。単にソース信号線 1 8 s をソース信号線 1 8 に、測定画素 1 6 s を画素 1 6 に置き換えればよい。したがって、構成、動作は以前に説明した内容と同一あるいは類似であるため説明は省略する。つまり、別途測定画素 1 6 s を形成することなく、マトリックス状に形成された表示画素 1 6 を用いてプリチャージ電圧 V_p を測定あるいは取得する。

【0 4 4 5】

図 6 1 は、これらの構成に加えて、各ソース信号線 1 8 から測定されるプリチャージ電圧 V_p をスイッチ S (S_a 、 S_b 、 S_c 、 $\dots$ 、 S_n) により選択する。たとえば、トランジスタ群 1 6 5 c 1 からプリチャージ電圧 V_p を測定するためのプログラム電流を出力した場合は、スイッチ S_a を選択し、電圧測定回路 3 8 1 に印加する。トランジスタ群 1 6 5 c 2 からプリチャージ電圧 V_p を測定するためのプログラム電流を出力した場合は、スイッチ S_b を選択し、電圧測定回路 3 8 1 に印加する。

【0 4 4 6】

もちろん、すべてのソース信号線 1 8 あるいは、複数のソース信号線 1 8 にプリチャージ電圧 V_p を測定するためのプログラム電流 I_w を印加した場合は、該当するソース信号線に接続されたスイッチ S を選択してあるいは、順次選択して電圧測定回路 3 8 1 に印加する。

【0 4 4 7】

なお、プログラム電流 I_w の発生回路は、ソースドライバ回路 1 4 外に構成または配置してもよい。このプログラム電流の発生回路が出力する定電流をソース信号線 1 8 に印加する。また、定電流は一定値に限定するものではない。一定周期で変化させてもよいことは言うまでもない。また、パルス状に変化させてもよい。以上の事項は本発明の他の実施例にも適用される。

【0 4 4 8】

図 6 1 などにおいて、スイッチ S の選択は 1 つに限定されるものではない。複数のスイッチ S を同時に選択し、電圧測定回路 3 8 1 に印加してもよい。たとえば、すべてのトランジスタ群 1 6 5 c から階調 1 に対応するプログラム電流を出力し、ゲート信号線 1 7 a を選択して、階調 1 のプログラム電流を印加したソース信号線 1 8 に接続された画素 1 6 の駆動用トランジスタ 1 1 a を動作させる。

【0 4 4 9】

各画素 1 6 の駆動用トランジスタ 1 1 a は各ソース信号線 1 8 に階調 1 に対応するプログラム電流を出力する。このとき、階調 1 のプログラム電流を印加したソース信号線 1 8 に接続されたスイッチをクローズする。すると、各ソース信号線は電圧配線 6 1 1 で短絡される。したがって、各ソース信号線 1 8 の電位は同一電圧になる。この同一電圧となっ

10

20

30

40

50

た電圧 V_1 は、各ソース信号線 18 の階調 1 のプリチャージ電圧 V_p を平均化した値となる。したがって、電圧配線 611 のプリチャージ電圧 V_1 を電圧測定回路 3811 で測定すれば、良好なプリチャージ電圧 V_1 を取得することができる。他の階調のプリチャージ電圧 V_p の測定にあっても同様である。

【0450】

以上の実施例では、すべてのソース信号線 18 に階調に対応するプログラム電流 I_w ($I_w = 0$ (A) も含む) を印加し、すべてのスイッチ S をクローズさせてプリチャージ電圧 V_p を取得するとしたが、これに限定するものではない。任意の複数のソース信号線 18 に階調に対応するプログラム電流を印加し、前記選択した任意のスイッチ S をクローズさせてプリチャージ電圧 V_p を取得してもよいことは言うまでもない。たとえば、偶数番目に位置するソース信号線 18 のスイッチをクローズさせ、電圧 V_p を測定し、次のタイミングでは、奇数番目に位置するソース信号線 18 のスイッチをクローズさせ、電圧 V_p を測定する方式が例示される。その他、2 つまたは 4 つのスイッチを順次選択し、プリチャージ電圧 V_p を順次測定する方式が例示される。

10

【0451】

すべてのソース信号線 18 に同一の階調に対応するプログラム電流を印加する必要はない。たとえば、奇数番目に位置するトランジスタ群 165 には、階調 1 に対応するプログラム電流を印加し、偶数番目に位置するトランジスタ群 165 には、階調 32 に対応するプログラム電流を印加し、奇数番目に位置するソース信号線 18 に接続されたスイッチをクローズして、階調 1 に対応するプリチャージ電圧 V_1 を測定し、偶数番目に位置するソース信号線 18 に接続されたスイッチをクローズして、階調 32 に対応するプリチャージ電圧 V_3 を測定するとしてもよい。

20

【0452】

ソース信号線 18 の選択数と、選択するスイッチの個数とが一致している必要はない。プログラム電流を印加するソース信号線 18 が 32 本であっても、そのうち、16 本のソース信号線 18 に接続されたスイッチを選択してクローズ動作させてもよい。また、スイッチ S をクローズする前に、あらかじめソース信号線 18 に定電流 I_w を印加しておくことは、プリチャージ電圧 V_p を測定する時間を短縮するのに効果がある。

【0453】

各ソース信号線 18 に印加する階調に対応するプログラム電流は、順次変化させ、順次プリチャージ電圧 V_p を測定していてもよいことは言うまでもない。また、1 つのソース信号線 18 を固定して特定の階調のプリチャージ電圧 V_p を測定するよりは、周期的に変化させて各プリチャージ電圧 V_p を測定するように構成あるいは動作させることが好ましい。

30

【0454】

測定するプリチャージ電圧 V_p は、階調ごとに測定期間あるいはウェイト期間（測定までの待ち時間）を異ならせることが好ましい。ウェイト時間はコントローラ回路（IC）801 からの指示により可変できるプログラム機能を持たせる。ウェイト時間を異ならせるのは、たとえば、 V_1 電圧はプログラム電流が小さいためソース信号線 18 の電位変化が完了するのに時間を必要とするからである。階調 255 に対応する V_5 電圧は、プログラム電流が大きいいためソース信号線 18 の電位変化は短時間で完了するので、ウェイト時間はほとんど必要ない。また、電圧測定回路 381 などを複数形成することにより、プリチャージ電圧 V_p の測定を同時に複数行うことができる。したがって、プリチャージ電圧 V_p の測定時間（期間）を短縮できる。

40

【0455】

図 61 の実施例では、表示画面 34 の画素 16 を用いて、プリチャージ電圧 V_p を測定する。したがって、画像表示させている期間には、プリチャージ電圧 V_p を測定できない。ただし、表示画像の階調のプログラム電流が、プリチャージ電圧 V_p を取得するためのプログラム電流と一致している時は、プリチャージ電圧 V_p を取得できることは言うまでもない。

50

【0456】

基本的は、プリチャージ電圧 V_p の取得は、図62に図示するように、1フィールドまたは1フレームのブランキング期間あるいは、1水平走査期間のブランキング期間に実施する。ブランキング期間に、プリチャージ電圧 V_p に該当するプログラム電流をソース信号線18に印加し、電圧測定回路381でプリチャージ電圧 V_p を測定する。

【0457】

図63に図示するように、画像表示を行う前、つまり、表示装置の電源をオン (power ON) し、画像表示を行うまえに、リチャージ電圧に該当するプログラム電流をソース信号線18に印加し、電圧測定回路381でプリチャージ電圧 V_p を測定してもよい。

10

【0458】

さらには、一度あるいは前回の動作時に測定した、プリチャージ電圧 V_p はデジタル化して表示装置のメモリに格納し、次回からはこの格納したデジタルデータを初期電圧 (開始電圧) としてプリチャージ電圧 V_p を発生させてもよい。また、前記プリチャージ電圧 V_p に対応するデジタルデータから対応する定電流 I_w を計算し、あるいは求め、ソース信号線18に印加してもよい。

【0459】

図63の実施例では、画像表示を行う前に、プリチャージ電圧 V_p を測定するとしたが、これに限定するものではない。たとえば、表示装置の電源をオフする前に、プリチャージ電圧 V_p を測定し、測定したデータをフラッシュメモリに書き込んで保持してもよい。つまり、本発明はプリチャージ電圧 V_p の測定は、何らかのタイミングにおいて測定し、測定したプリチャージ電圧 V_p を使用するものであればいずれでもよい。

20

【0460】

本発明の実施例において、電圧測定回路381は、ソース信号線18の電圧を測定するとした。しかし、本発明はこれに限定するものではない。ソース信号線18に限定されず、擬似的にソース信号線18のように電位変化を発生できるものであればいずれのものでもよい。たとえば、別途形成した配線でもよい。また、測定画素16sの駆動用トランジスタ11aのゲート端子と電圧測定回路381とを直接結線するように構成してもよい。また、画素16の駆動用トランジスタ11aのゲート端子にプローブ針を圧接し、電位 (電圧) を測定してもよい。

30

【0461】

電圧測定回路381の機能は、ソース信号線18などの電位 (電圧) を測定することによって限定するものではなく、ソース信号線18の電荷、あるいは電界からプリチャージ電圧 V_p を求めるものであってもよい。あるいは、これらの変化速度からプリチャージ電圧 V_p を求めるものであってもよい。たとえば、ピックアップコイルを画素16上に配置し、画素16から放射される電気力線の大きさからプリチャージ電圧 V_p を間接的に取得してもよい。その他、画素16に電子ビームを照射し、電荷などの大きさを測定する方式も例示される。

【0462】

以上の実施例では、1つの測定画素16sにプログラム電流を印加し、ソース信号線18の電位を電圧測定回路381で測定するものであった。本発明はこれに限定するものではない。たとえば、図64に図示するように、複数の画素16 (16a~16n) を動作させ、各ソース信号線18の電圧を電圧測定回路381で測定させてもよい。

40

【0463】

図64では、表示画素16に各トランジスタ群165cからプログラム電流を印加し、また、表示画素16の駆動用トランジスタ11aを動作させる。たとえば、トランジスタ群165caは、画素16aに所定の測定すべきプリチャージ電圧 V_p に対応するプログラム電流を印加する。画素16aの駆動用トランジスタ11aはプログラム電流を流し、ソース信号線18aの電位はプログラム電流に該当する電圧に変化する。

【0464】

50

トランジスタ群 165c b は、画素 16 b に所定の測定すべきプリチャージ電圧 V_p に対応するプログラム電流を印加する。画素 16 b の駆動用トランジスタ 11 a はプログラム電流を流し、ソース信号線 18 b はプログラム電流に該当する電圧に充電または放電される。以下、同様に、トランジスタ群 165c c は、画素 16 c に所定の測定すべきプリチャージ電圧 V_p に対応するプログラム電流を印加する。画素 16 c の駆動用トランジスタ 11 a はプログラム電流を流し、ソース信号線 18 c はプログラム電流に該当する電圧に充電または放電される。

【0465】

電圧測定回路 381 は、スイッチ S_a をクローズすることにより、ソース信号線 18 a に保持されたプリチャージ電圧 V_p を測定する。また、スイッチ S_b をクローズすることにより、ソース信号線 18 b に保持されたプリチャージ電圧 V_p を測定する。以下、同様に、スイッチ S_c をクローズすることにより、ソース信号線 18 c に保持されたプリチャージ電圧 V_p を測定する。

【0466】

また、電圧測定回路 381 は、同時に複数のスイッチ S ($S_a \sim S_n$) のいずれかを選択する。複数のスイッチ S を選択することにより、選択された複数のソース信号線 18 に保持されたプリチャージ電圧 V_p が平均化し、表示領域の駆動用トランジスタ 11 a の特性を反映したプリチャージ電圧 V_p を測定できるようになる。

【0467】

以上のように、本発明は、複数の画素 16 を選択し、各ソース信号線 18 に保持されたプリチャージ電圧 V_p を測定してもよい。また、複数のソース信号線 18 を選択してプリチャージ電圧 V_p を測定してもよい。また、1つあるいは複数の画素 16 に n 倍 (n は 1 以上の整数) のプログラム電流を印加し、前記画素 16 の駆動用トランジスタ 11 a を動作させて、ソース信号線 18 を充放電させ、このソース信号線 18 の電位を測定してもよい。測定したソース信号線 18 の電位は、演算処理などによりプリチャージ電圧 V_p を取得する。

【0468】

ソースドライバ回路 14 の内部配線 162 は、出力端子 83 を介してソース信号線 18 と接続されている。本発明は、ソース信号線 18 の電位あるいはソースドライバ回路 14 の内部配線 162 の電位を測定することにより、プリチャージ電圧 V_p を取得する。しかし、電圧測定回路 381 で測定された (取得された) プリチャージ電圧 V_p はそのままプリチャージ電圧 V_p として、使用できない場合がある。たとえば、0 階調あるいは 1 階調に該当するプリチャージ電圧 V_p は、完全な黒表示を実現するため、トランジスタ群 165 から 0 階調または 1 階調に該当するプログラム電流を印加して取得したプリチャージ電圧 V_p よりもアノード側に寄せる (アノード電圧に近い方にシフトさせる) 必要がある。この例は、駆動用トランジスタ 11 a が P チャンネルトランジスタの場合で、前記トランジスタのソース端子がアノード端子に接続されている場合である。

【0469】

以上の課題を解決する方式を図 65 に図示している。電圧測定回路 381 で測定されたプリチャージ電圧 V_p は、A/D 変換回路 391 でデジタルデータ $MDATA$ に変換される。一方、どの程度アノード電圧側に電位シフトさせるかの大きさを示すデータ $HDATA$ は、ラッチ回路 221 に保持されている。 $HDATA$ は、ソースドライバ回路 14 の外部のコントローラ回路 (IC) 801 により設定される。

【0470】

演算回路 651 は $HDATA$ と $MDATA$ とを加算し、目標の $VDATA$ が得られる。 $VDATA$ が D/A 変換されて、アナログデータとなりプリチャージ電圧 V_p として出力される。あるいは電子ポリウム 152 に入力される。なお、 $HDATA$ と $MDATA$ とを加算するとしたが、場合によっては減算により、 $VDATA$ を求める場合もある。また、 $HDATA$ あるいは $MDATA$ に一定の割合で重み付け処理をして $VDATA$ を求めてもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用されることはいう

10

20

30

40

50

までもない。

【0471】

以上の場合、測定データなどをデジタル信号処理する方法である。しかし、本発明はこれに限定するものではない。図66に図示するようにアナログ的に処理を実施してもよい。電圧測定回路381で測定されたプリチャージ電圧 V_p は、アナログデータMDATAとして演算回路651に印加される。一方、どの程度アノード電圧側に電位シフトするかを示すデータHDATAは、可変抵抗VRで発生される。この場合、HDATAはアナログ値である。演算回路651はHDATAとMDATAとを加算し、目標のVDATAが得られる。VDATAがDA変換されて、アナログデータとなり、電子ボリウム152などに印加される。

10

【0472】

図65、図66などのHDATA、VDATAは温度により可変してもよい。また、パネルの表示輝度に応じて変化させてもよい。温度は温度センサで検出し、表示輝度は、アノードに流れる電流により間接的に検出あるいは取得する。もちろん、表示輝度は輝度計あるいはホトセンサで測定してもよい。温度センサとして、サーミスタが例示される。

【0473】

プリチャージ電圧 $V_0 \sim V_5$ は、対応するプログラム電流 I_w を、画素16に印加することにより取得する。図67では、トランジスタ群165cbよりプログラム電流 I_w を出力し、画素16が動作する。電圧 V_0 の測定は、ソース信号線18にはプログラム電流は流さない。つまり、ソース信号線18はフローティング状態である。選択された画素16の駆動用トランジスタ11aのゲート端子とドレイン端子は短絡される。短絡によりトランジスタ11aは電流を出力しないようにゲート端子電位を変化させる。変化が終了した電位が V_0 電圧となる。電圧測定回路381は電圧 V_0 を測定し出力し、出力された電圧は、A/D変換などされてメモリ（記憶手段）に格納される。

20

【0474】

トランジスタ群165cbは、電圧 V_1 に相当するプログラム電流を出力し、電圧測定回路381は電圧 V_1 を測定し出力する。同様に、トランジスタ群165cbは、電圧 V_2 に相当するプログラム電流を出力し、電圧測定回路381は電圧 V_2 を測定し出力する。以上の動作を V_5 まで繰り返し、 V_5 まで実施すると、再び V_0 の測定動作（取得動作）より実施する。

30

【0475】

図67は、電圧測定回路381は出力端子83aと接続されている。トランジスタ群165cbは出力端子83bと接続されている。出力端子83aはアレイ基板30のソース信号線端子242aと接触し、電氣的接続が取られている。出力端子83bはアレイ基板30のソース信号線端子242bと接触し、電氣的接続が取られている。

【0476】

図48などでは、電圧測定回路381の端子とトランジスタ群165の出力端子83sは共通である。図67ではトランジスタ群165cの出力端子83bと、電圧測定回路381の出力端子83aは分離されている。図67のように構成すれば、端子数は増加するが、電圧測定回路381とトランジスタ群165cとを分離して検査を行うことができる。

40

【0477】

以上の実施例は、電圧測定回路381でソース信号線18の電位を測定するものであった。電圧測定回路381の概念あるいは動作さらにメモリへの記憶動作には、図68で図示するように、サンプルホールド回路も含まれる。一例としてのサンプルホールド回路は、スイッチS1、S2、コンデンサC、オペアンプ151で構成されている。

【0478】

図68に図示するように、トランジスタ群165cから出力されたプログラム電流 I_w は、ソースドライバ回路14の内部配線162、出力端子83を通じてソース信号線18に印加され、画素16に供給される。ソース信号線18にプログラム電流 I_w に対応した

50

プリチャージ電圧 V_p が出力され、プリチャージ電圧 V_p は内部配線 162 に印加させる。

【0479】

スイッチ S_2 が閉じることによりプリチャージ電圧 V_p はコンデンサ C に印加され、その後、スイッチ S_2 が閉じていてもプリチャージ電圧 V_p は保持される。プリチャージ電圧 V_p はオペアンプ 151 により低インピーダンス化されて出力される。スイッチ S_1 が閉じることによりプリチャージ電圧 V_p は C_n に保持される。保持されたプリチャージ電圧 V_p は電子ボリウム 152 などに印加される。以上のような構成あるいは方式も電圧測定回路 381 である。また、図 68 の構成は、プリチャージ電圧 V_p を保持するメモリ回路も共用している。したがって、低コスト化が可能である。

10

【0480】

以上の構成は、トランジスタ群 165s などを半導体チップとして構成したものである。しかし、図 69 に図示するように、トランジスタ群 165c、電圧測定回路 381 の双方あるいはいずれかをアレイ基板 30 に直接に構成あるいは形成してもよい。また、図 69 に図示するように画素 16 あるいは測定画素 16s の駆動用トランジスタ 11a は P チャンネルトランジスタではなく、N チャンネルトランジスタであってもよい。

【0481】

図 69 に図示するように、トランジスタ群 165c から出力されたプログラム電流 I_w により駆動用トランジスタ 11a が動作する。ソース信号線 18 はプリチャージ電圧 V_p に相当する電圧が出力され（プログラム電流 I_w によりソース信号線 18 に印加されていると考えることもできる）、この電圧がアレイ基板 30 に形成された電圧測定回路 381 により測定される。もちろん、トランジスタ群 165c をアレイ基板 30 に直接形成し、電圧測定回路 381 を半導体チップとして構成してもよい。

20

【0482】

表示パネルでは、各 RGB で独立したトランジスタ群 165c を形成する。階調 0 に対応するプリチャージ電圧 $V_p = V_0$ は、RGB で共通にできる。 $V_1 \sim V_n$ は別のプリチャージ電圧 V_p に設定する。RGB でプログラム電流 I_w に対する発光効率が異なるからである。もちろん、RGB のプログラム電流が同一の時あるいは略一致する場合であれば、RGB で各階調に対するプリチャージ電圧 V_p は共通としてもよい。

【0483】

RGB でプリチャージ電圧 V_p を異ならせる場合は、図 70 のように構成する。トランジスタ群 165c (165cR、165cG、165cB) はスイッチ S_a (S_aR 、 S_aG 、 S_aB) により選択させて、ソースドライバ回路 14 の内部配線 162 に接続される。スイッチ S_a 、 S_b はアナログスイッチやトランジスタが例示される。スイッチ S_a 、 S_b は選択手段である。内部配線 162 は出力端子 83 により測定画素 16S に接続されている。したがって、スイッチ S_a (S_aR 、 S_aG 、 S_aB) によりトランジスタ群 165c (165cR、165cG、165cB) が選択されて、各トランジスタ群 165c からのプログラム電流 I が電圧測定画素 16S (または画素 16) に印加される。

30

【0484】

トランジスタ群 165cR からのプログラム電流はスイッチ S_aR がクローズすることにより、測定画素 16S に印加される。スイッチ S_aR がクローズする時は、スイッチ S_bR がクローズし、ソース信号線 18 の電位が R の電圧測定回路 381R に印加され、電圧測定回路 381R はプリチャージ電圧 $V_0R \sim V_mR$ (m はプリチャージ電圧 V_p の最大番号値) を測定あるいは取得する。

40

【0485】

トランジスタ群 165cG からのプログラム電流はスイッチ S_aG がクローズすることにより、測定画素 16S に印加される。スイッチ S_aG がクローズする時は、スイッチ S_bG がクローズし、ソース信号線 18 の電位が G の電圧測定回路 381G に印加され、電圧測定回路 381G はプリチャージ電圧 $V_0G \sim V_mG$ を測定あるいは取得する。

【0486】

50

トランジスタ群 165cBからのプログラム電流はスイッチ SaBがクローズすることにより、測定画素 16Sに印加される。スイッチ SaBがクローズする時は、スイッチ SbBがクローズし、ソース信号線 18の電位がBの電圧測定回路 381Bに印加され、電圧測定回路 381Bはプリチャージ電圧 V0B~VmBを測定あるいは取得する。

【0487】

電圧測定回路 381R、381G、381Bは、共通にして、1つの電圧測定回路 381で兼用してもよい。また、内部配線 162、測定画素 16SもRGBごとに分離してもよい。また、図71に図示するように、スイッチ Sbを形成しなくともよい。

【0488】

図72は、RGBでプリチャージ電圧 Vpを異ならせた場合の構成図である。電子ポリウム 152にはデジタル化されたプリチャージ電圧 Vpが印加される。電子ポリウム 152Rには、プリチャージ電圧 V0R~V5Rが印加される。電子ポリウム 152Gには、プリチャージ電圧 V0G~V5Gが印加される。電子ポリウム 152Bには、プリチャージ電圧 V0B~V5Bが印加される。

【0489】

トランジスタ群 165sあるいはトランジスタ群 165cから出力するプログラム電流 Iはn倍にして出力してもよい。n倍にすることは図6などで説明している。n倍のプログラム電流を印加し、プリチャージ電圧 Vpを取得する場合は、図73に図示するように、測定画素 16sも駆動用トランジスタ 11aをn個形成する。もしくは、n倍のプログラム電流で、既定のプリチャージ電圧 Vp（画素 16が1つの駆動用トランジスタ 11aで構成されている場合に取得されるプリチャージ電圧 Vp）が得られるように構成または形成する。もしくはプログラム電流の大きさを設定あるいは調整する。

【0490】

図73に図示するように、プリチャージ電圧 Vpを測定するための画素 16sをn個の駆動用トランジスタ 11aで構成することにより、駆動用トランジスタ 11aの特性バラツキによるプリチャージ電圧 Vpのバラツキを低減することができる。つまり、プリチャージ電圧 Vpの精度を向上できる。

【0491】

図73において、トランジスタ群 165sから出力されたプログラム電流は、ソースドライバ回路 14の内部配線 162、出力端子 83を通じてソース信号線 18に印加され、画素 16sあるいは画素 16に供給（印加）される。画素 16sのn個の駆動用トランジスタ 11aからソース信号線 18にプログラム電流 nIに対応したプリチャージ電圧 Vpが出力され、プリチャージ電圧 Vpは内部配線 162に印加される。図73ではn=4とし、画素 16sには4つの駆動用トランジスタ 11aを形成している。

【0492】

図73では、 $4 \times I = 4I$ のプログラム電流が印加され、4個の駆動用トランジスタ 11aが動作する。したがって、個々の駆動用トランジスタ 11aはIの大きさのプログラム電流を流すことになる。トランジスタ群 165cからは4Iのプログラム電流を出力するが、1つの駆動用トランジスタ 11aはIのプログラム電流を流すことになる。結局、画素 16が1個の駆動用トランジスタ 11aで構成されている場合に、トランジスタ群 165cからIのプログラム電流を流し、画素 16の駆動用トランジスタ 11aがIの電流を流す場合と同一になる。しかし、画素 11sには駆動用トランジスタ 11aが複数形成されているため、多少駆動用トランジスタ 11aにバラツキが発生していても、精度のよいプリチャージ電圧 Vpを取得することができる。他の構成あるいは動作は、本発明の他の実施例と同様であるので説明を省略する。

【0493】

本発明は測定画素 16sまたは画素 16を用いてプリチャージ電圧 Vpを取得する方式である。しかし、課題はプリチャージ電圧 Vpを取得する画素 16などに欠陥が発生している場合である。欠陥が発生した画素は正常なプリチャージ電圧 Vpを出力しない。またはプリチャージ電圧 Vpを取得することができない。また、プリチャージ電圧 Vpを取得

する駆動用トランジスタ 11a の特性が異常の場合も問題となる。

【0494】

本発明はこの課題に対して、プリチャージ電圧 V_p を取得する画素 16s を複数個形成し、この複数個の画素 16s から正常な画素を選択することにより解決している。図 74 はその説明図である。図 74 において、プリチャージ電圧 V_p を取得する測定画素 16s が 4 個形成されている。どの測定画素 16s を選択するかは、スイッチ S ($S_1 \sim S_4$) により決定される。図 74 では、スイッチ S_1 がクローズされ、他のスイッチ $S_2 \sim S_4$ をオープンにすることにより、測定画素 16s1 が選択される。したがって、トランジスタ群 165c からのプログラム電流は測定画素 16s1 に印加される。

【0495】

どの測定画素 16s を選択するかは、事前に複数の画素 16s の特性を測定し選択あるいは設定しておく。選択あるいは設定した情報はスイッチ S ($S_1 \sim S_4$) のクローズ情報として不揮発性のメモリに保持する。また、デフォルトで選択するスイッチ S (S_1 、 S_2 、 S_3 、 S_4) を決めておく。

【0496】

図 73 のように、 n 個のスイッチ S をクローズさせ、 n 倍のプログラム電流を印加してもよいことは言うまでもない。また、複数の測定画素 16s が正常の場合は、正常な測定画素 16s が接続されたスイッチ S を順次切り換えてプリチャージ電圧 V_p を取得してもよい。

【0497】

測定画素 16s は図 75 に図示するようにマトリックス状に形成してもよい。また、1 画素列あるいは 1 画素行として複数個の測定画素 16s を形成してもよい。図 75 は 4 画素行、6 画素列のマトリックス状に測定画素 16s を形成した場合を示している。

【0498】

マトリックス状に形成された測定画素 16s の構成は、表示画面 34 の構成と同様である。測定画素 16s の画素行方向には、ゲートドライバ回路 12s が接続または形成され、測定画素 16s の画素列方向には、ソースドライバ回路 (IC) 14 のトランジスタ群 165s が接続または形成されている。どの測定画素 16s を選択するかは、選択するソース信号線 18 とゲートドライバ 12s の制御により決定される。また、どのソース信号線 18 のプリチャージ電圧 V_p を測定するかは、電圧測定回路 381 の制御により決定される。

【0499】

ゲートドライバ回路 12s がどの測定画素行を選択するかは、ゲートドライバ回路 12 の ST_1 、 CLK_1 (図 3 も参照のこと) の制御と同様に、 ST_3 と CLK_3 により実施される。ゲートドライバ回路 12s はゲート信号線 17s (ゲート信号線 17a と同様の機能を有する) を順次選択し、選択した画素行の駆動用トランジスタ 11a を動作させる。

【0500】

ゲートドライバ回路 12s はあらかじめ指定 (決定) されたゲート信号線 17s (ゲート信号線 17a と同様の機能を有する) を選択し、選択した画素行の駆動用トランジスタ 11a を動作させる。この場合はどの測定画素行を選択し、また、どの測定画素を選択するかは、事前に複数の画素 16s の特性を測定し選択しておく。選択した情報は不揮発性のメモリに保持する。また、デフォルトで測定画素行あるいは測定画素 16s を決めておく。また、ソースドライバ回路 (IC) 14 の制御により、測定画素行にプログラム電流 I_w を印加する。

【0501】

図 73 と同様に、 n 個の測定画素 16s を選択し、 n 倍のプログラム電流を印加してもよいことは言うまでもない。また、ゲートドライバ 12s を走査し、プリチャージ電圧 V_p を測定する測定画素 16s を順次切り換えてプリチャージ電圧 V_p を取得してもよい。

【0502】

10

20

30

40

50

図 7 5 において、ゲートドライバ回路 1 2 s とゲートドライバ 1 2 は別回路のように図示したが、これに限定するものではなく、1 つの回路として構成してもよい。この 1 つのゲートドライバ回路の走査により、たとえば、1 F の最初のブランキング時間にゲートドライバ回路により測定画素行を選択し、その後、表示画面 3 4 の画素行を選択するように構成してもよい。

【0503】

図 7 5 において、ソースドライバ回路 (IC) 1 4 の測定画素用と表示領域用の 2 つを別回路のように図示したが、これに限定するものではなく、1 つの回路として構成し、この 1 つのソースドライバ回路 (IC) 1 4 の制御により、たとえば、1 F の最初のブランキング時間にソースドライバ回路 (IC) 1 4 により測定画素行にプログラム電流を印加し、その後、表示画面 3 4 の画素行にプログラム電流を印加するように構成してもよい。

10

【0504】

図 7 6 は、プリチャージ電圧 $V_0 \sim V_5$ を測定する測定画素 1 6 s と電圧測定回路 3 8 1 とを形成または配置した構成である。また、プリチャージ電圧 V_p を取得するトランジスタ群 1 6 5 s と画像を表示するトランジスタ群 1 6 5 c と、共通のトランジスタ群 1 6 5 b とでカレントミラー回路を構成した実施例である。

【0505】

図 7 6 において、トランジスタ群 1 6 5 s は、プリチャージ電圧 $V_0 \sim V_5$ に対応するプログラム電流 I_w を順次出力する。プリチャージ電圧 V_0 に対応するプログラム電流 $I_w (= 0 \text{ (A)})$ がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 0 が選択され、電圧測定回路 3 8 1 a でプリチャージ電圧 V_0 が測定され、電子ボリウム 1 5 2 などに印加される。

20

【0506】

プリチャージ電圧 V_1 に対応するプログラム電流 I_w がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 1 が選択され、電圧測定回路 3 8 1 b でプリチャージ電圧 V_1 が測定され、電子ボリウム 1 5 2 などに印加される。同様に、プリチャージ電圧 V_2 に対応するプログラム電流がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 2 が選択され、電圧測定回路 3 8 1 c でプリチャージ電圧 V_2 が測定される。プリチャージ電圧 V_3 に対応するプログラム電流がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 3 が選択され、電圧測定回路 3 8 1 d でプリチャージ電圧 V_3 が測定される。プリチャージ電圧 V_4 に対応するプログラム電流がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 4 が選択され、電圧測定回路 3 8 1 e でプリチャージ電圧 V_4 が測定される。プリチャージ電圧 V_5 に対応するプログラム電流がソース信号線 1 8 s に印加されたときは、測定画素 1 6 s 5 が選択され、電圧測定回路 3 8 1 f でプリチャージ電圧 V_5 が測定され、電子ボリウム 1 5 2 などに印加される。

30

【0507】

図 7 6 の構成に本発明が限定されるものではなく、図 7 7 のように、電圧測定回路 3 8 1 は 1 つで構成してもよい。また、図 7 8 に図示するように、RGB ごとにトランジスタ群 2 6 1 s、電圧測定回路 3 8 1 を構成してもよいことは言うまでもない。

【0508】

以上の実施例ではプリチャージ電圧 V_p は、測定画素 1 6 s または画素 1 6 を動作させて取得するとした。しかし、プリチャージ電圧 V_p はパネル外部で発生して印加してもよい。たとえば、図 7 9 に図示するように、外部で発生したプリチャージ電圧 $V_0 b \sim V_5 b$ と、測定画素 1 6 s または画素 1 6 を動作させて取得したプリチャージ電圧 $V_0 a \sim V_5 a$ とをスイッチ S で選択または切り換えできるように構成する。外部で発生したプリチャージ電圧 $V_0 b \sim V_5 b$ を選択する場合はスイッチを b 側に切り換える。測定画素 1 6 s または画素 1 6 を動作させて取得したプリチャージ電圧 $V_0 a \sim V_5 a$ (内部で発生したプリチャージ電圧 V_p) を選択する場合はスイッチ S を a 側に切り換える。スイッチ S の切り換えは、ユーザーが手動で切り換えてもよいし、外光センサ、温度センサなどの出力結果により自動で切り換えてもよい。

40

50

【0509】

プリチャージ電圧 V_p を測定するタイミング、測定時間、測定画素 16 s の指定、プリチャージ電圧 V_p の印加期間、タイミングなどの制御は、図 80 に図示するようにコントローラ回路 (IC) 801 で実施する。また、プリチャージ電圧 V_p を測定するタイミング、測定時間、測定画素 16 s の指定、プリチャージ電圧 V_p の印加期間、タイミングなどの制御は、ユーザーが独自に設定あるいは可変できるように構成してもよい。

【0510】

図 80 において、RDAT A は赤の映像データ、GDAT A は緑の映像データ、BDAT A は青の映像データである。PC はプリチャージをするしないを制御する信号、PT はプリチャージ期間信号、VC は、プリチャージ電圧 V_p の測定信号、VNO は $V_0 \sim V_5$ のどのプリチャージ電圧 V_p を測定するか指定信号、VT はプリチャージ電圧 V_p の測定期間を指定する信号である。

10

【0511】

以上のように、本発明は、定電流 I_w (階調 0 に対応する 0 (A) も含む) をソース信号線 18 に印加し、駆動用トランジスタ 11 a を動作させることによって、プリチャージ電圧 V_p を測定するものである。プリチャージ電圧 V_p の測定は、画像表示以前 (パネル製造直後の検査、調整時を含む) あるいは画像表示を行っている時 (ブランキング期間、1 水平走査期間の最初など) に行う。

【0512】

測定あるいは取得したプリチャージ電圧 V_p は、図 25、図 26、図 27、図 28、図 32 などで説明した A 期間に、プリチャージ電圧 V_p (階調電圧と呼ぶべきである) として印加する。ただし、A 期間に印加するプリチャージ電圧 V_p と測定したプリチャージ電圧 V_p とは同一であることに限定されない。測定したプリチャージ電圧 V_p 電圧から、表示する映像信号の階調番号に基づき、A 期間に印加する電圧に変換してもよいことはいうまでない。

20

【0513】

たとえば、階調 16 に対応する定電流 I_{w16} を画素 16 の駆動用トランジスタ 11 a に印加し、前記定電流 $I_w = 16$ に対応するプリチャージ電圧 V_{p16} が測定された場合を例示する。この場合で、画素 16 に階調 32 を印加する場合は、プリチャージ電圧 V_{p16} に階調 32 と階調 16 との電位差 V_{sd} を加算して、プリチャージ電圧 V_{p32} を求め、A 期間にソース信号線 18 にプリチャージ電圧 V_{p32} を印加する。プリチャージ電圧 V_{p16} に階調 32 と階調 16 などの各階調の電位差 V_{sd} は、標準的な駆動用トランジスタ 11 a の特性を測定しておき、あらかじめ求めておく。

30

【0514】

また、以上の本発明の実施例では、階調 0 に対応するプリチャージ電圧 $V_p = V_0$ を求めることが有効である。プリチャージ電圧 $V_p = V_0$ は、RGB の画素の駆動用トランジスタ 11 a の特性が一致している場合、RGB の画素で同一であるからである。つまり、原点電圧として使用することができる。

【0515】

V_0 電圧は、画素 16 を選択し、ゲート信号線 17 a にオン電圧を印加することにより、対象の駆動用トランジスタ 11 a のゲート端子とドレイン端子とを短絡することにより得られる。印加するプログラム電流 $I_w = 0$ (A) であるから、各ソース信号線 18 はソースドライバ回路 14 から電氣的に切り離された状態 (フローティング状態) である。駆動用トランジスタ 11 a は電流が流れないようにソース信号線 18 の電位を変化させる。駆動用トランジスタ 11 a が、電流が流れない (カットオフ) 状態になった時の電位が V_0 電圧である。

40

【0516】

測定あるいは取得された V_0 電圧には、突き抜け電圧の影響などが含まれているため、一定電圧を加減算あるいは一定比率を乗算することにより目的のプリチャージ電圧 $V_p = V_0$ が得られる。

50

【0517】

プリチャージ電圧 $V_p = V_0$ は図81に図示するように、A期間に印加する。説明を容易にするため、第1行目の画素行を選択する期間を「第1Hが対応する」とする。次の第2行目の画素行を選択する期間を「第2Hが対応する」とする。同様に、第3行目の画素行を選択する期間を「第3Hが対応する」とする。以下、同様である。

【0518】

図81(a)では、 V_0 電圧は各画素行で同一のように図示している。もちろん、 V_0 電圧は、各画素行で共通でもよいが、各画素16で測定したプリチャージ電圧 V_p に対応させて変化させてもよい（画素16ごとに個別設定をおこなってもよい）。

【0519】

図81(a)では、水平走査期間（画素行選択期間）の最初のA期間にプリチャージ電圧 V_p として V_0 電圧を印加する。 V_0 電圧の印加により、画素16の駆動用トランジスタ11aは黒表示（電流を流さない状態）とされる。もしくは、 V_0 電圧は低階調領域の電圧とし、駆動用トランジスタ11aが出力する電流が低階調領域の電流以下となるようにする。

【0520】

低階調領域以下では、階調に対するプログラム電流が小さい。したがって、ソース信号線18の寄生容量の影響を強く受け、書き込み不足が起こりやすい。したがって、プログラム精度が得にくい。プリチャージ電圧 $V_p = V_0$ の印加により、ソース信号線18の電位は、階調0の電位となる。駆動用トランジスタ11aにプログラムされるプログラム電流が低階調領域であっても、ソース信号線18の電位変化は、階調0からの電位変化であるから、ソース信号線18の電荷の充放電は少なくてすむ。したがって、目標の低階調領域の電位に変化させることができる。

【0521】

図81において、第1HのC1期間、第2HのC2期間、第3HのC3期間は、B期間に印加する目標階調に対応するプログラム電流の大きさによって異なる。C1、C2、C3期間に過電流駆動を行う。過電流駆動は図32などを用いて説明した方式である。過電流の印加によりソース信号線18の電位は、プリチャージ電圧 $V_p = V_0$ から目標階調の電位となるように高速に変化する。

【0522】

V_0 電圧が駆動用トランジスタ11aの特性を反映したものであれば、過電流駆動により変化する電位も駆動用トランジスタ11aの特性を反映したものとなる。過電流駆動での電位変化は線形成があるからである。したがって、マトリックス状に形成された画素16の駆動用トランジスタ11aの特性にバラツキが発生していても、各駆動用トランジスタ11aの階調0に対応するプリチャージ電圧 $V_p = V_0$ を印加することにより、表示ムラのない、均一な画像表示を実現できる。

【0523】

B期間は、画素16に表示する階調に対応するプログラム電流を印加している期間である。プリチャージ電圧 $V_p = V_0$ と過電流印加により、最適に目標電位に変化していれば、期間Bでは電位変化は発生しない。目標電位に未到達であっても、B期間にプログラム電流を印加することにより、精度よく目標電位に変化（補償）させることができる。したがって、精度よく画素16のEL素子15にプログラムされた電流を印加できる。

【0524】

図81(b)は、第2Hの期間に、 V_0 電圧を印加していない。また、過電流駆動を実施していない。これは、第1Hのソース信号線18の電位から第2Hのソース信号線18への電位変化が小さく、プログラム電流により十分に目標電位に変化できると判断されたためである。判断は、コントローラ回路(IC)801にプログラムされた判断ルーチンで実施される。

【0525】

図82は、第2Hの期間に、C期間がない。つまり過電流を印加していない。これは、

10

20

30

40

50

V0 電圧のソース信号線 18 の電位から第 2 H のソース信号線 18 への電位変化が小さく、プログラム電流により十分に目標電位に変化できると判断されたためである。判断は、コントローラ回路 (IC) 801 にプログラムされた判断ルーチンで実施される。

【0526】

以上のように、水平走査期間の最初にプリチャージ電圧 V_p を印加するか否か、過電流駆動を実施するか否かは、画素 16 に書き込む階調あるいは電位変化などに基づいて判断される。

【0527】

最適な V0 電圧はパネル温度で変化する。また、各プリチャージ電圧 $V_p = V_1, V_2, V_3, \dots$ も温度により変化する。したがって、パネルの温度をモニターし (サーミスタなどの温度センサを用いる)、温度による補正係数をかけて V0 電圧を求めて A 期間に印加することが好ましい。 10

【0528】

また、A 期間に印加するプリチャージ電圧 V_p は書き込む階調あるいは電位、もしくは前水平走査期間のソース信号線電位または、前水平走査期間に画素に書き込まれた階調との変化に基づいて変化あるいは調整することが好ましい。また、V0 電圧に限定するものではなく、書き込む階調に対応して印加する。

【0529】

0 階調に該当する V0 電圧は、画素 16 の駆動用トランジスタ 11a によって決定される。通常、駆動用トランジスタ 11a は、RGB で共通のサイズあるいは大きさである。したがって、RGB では V0 電圧は一致している。寄生容量 C_s の充放電は V0 電圧が基準になる場合が多い。したがって、V0 電圧は電流駆動あるいは電圧駆動方式において原点 (階調 0) の電圧の位置づけとなる。 20

【0530】

以上の実施例は、ソース信号線 18 の電位などからプリチャージ電圧 V_p を取得するものであった。プリチャージ電圧 V_p は、ソース信号線 18 の電位以外からも取得することができる。以下、説明を容易にするため、プリチャージ電圧 $V_p = V_0$ を求める方式について説明をする。

【0531】

V0 電圧の取得は、図 83、図 84 の構成でも測定あるいは取得もしくは把握できる。図 83 は、カソード電流を測定することにより取得する方法である。図 83 は各ソース信号線 18 を短絡し、短絡した状態でソース信号線に設定する V0' 電圧を印加する。この状態で、ゲートドライバ 12a、12b を走査し、ソース信号線 18 に印加された V0' 電圧を画素 16 に書きこむ。一方、抵抗 R_m 18 電位を電圧測定回路 381 で測定する。 30

【0532】

図 83 では、電圧測定回路 381 を用いて、カソード端子に直列接続した抵抗 R_0 に分流抵抗 R_m を接続し、前記抵抗 R_m の端子電圧を測定するとしたが、本発明の目的は、カソードに流れる電流を測定するものである。したがって、カソード端子に直接電流測定手段を配置して測定してもよい。また、電流の測定は、アノード端子側でもよい。EL 表示装置において、カソード電流とアノード電流とは略一致しているからである。 40

【0533】

ソース信号線 18 に印加された V0' 電圧を画素 16 に書きこむ。V0' 電圧は、設定された最大電流値 I_m の値が目標値 (以下) となるように調整する。最大電流 I_m とは、階調 0 に対応する電流値 I_0 で、理想的には $I_0 = 0$ (A) である。しかし、完全に 0 (A) とするのは困難であり、また、余りにも階調 0 での電流値が 0 に近いと、階調 0 の電位が余りにもアノード電圧 V_{dd} に近くなりすぎ、次の水平走査期間において、他の階調への変化が困難になる。したがって、 I_0 の最大値である I_m を設定する。

【0534】

I_m が目標値となったときのソース信号線 18 に印加する V0' 電圧を V0 電圧とする。図 83 の画素構成では、V0' 電圧をアノード端子側にすれば、 I_0 電流は減少する。 50

しかし、 V_0 電圧を必要以上にアノード電圧よりにすると、階調 0 に対応する V_0 電圧を印加したときは、良好な黒表示を実現できるが、階調 0 電位が深すぎ、階調 0 から階調 1 などに変化する時に、階調 1 が書き込みにくくなる。

【0535】

適正な V_0 電圧が得られる I_0 電流は、表示パネルの表示領域の対角長を d (インチ) とし、 I_0 (mA) するとき、 $K = I_0 / d$ とした時、 K は 0.2 以上 2 以下とすることが好ましい。さらに好ましくは、 K は、0.3 以上 1.0 以下とすることが好ましい。この I_0 電流を I_m として設定する。以上に設定することにより、良好な黒表示を実現でき、かつ 0 階調から他の階調にプリチャージ駆動 (過電流駆動) を実施する場合でも良好な階調変化を実現できる。

10

【0536】

以上のように、 V_0 電圧を変化させ、変化に対応して、 I_0 電流を測定する。 I_0 電流が K の範囲 (I_m 以下) を満足した時点で、ソース信号線 18 に印加している V_0 電圧をプリチャージ電圧 V_0 とする、

プリチャージ電圧 V_0 は図 84 で取得することも好ましい。図 84 では、複数のソース信号線 18 は、短絡配線 841 で短絡されている。短絡配線 841 は黒電圧 (プリチャージ電圧 V_0) を測定した後、 $a-a'$ 線で切断される。

【0537】

図 84 においては、すべてのソース信号線 18 は短絡配線 841 で短絡されている。したがって、各ソース信号線 18 はフローティング状態である。短絡配線 841 には端子電極 842 が形成または配置されている。端子電極 842 にはプローブ 843 が圧接されている。プローブ 843 には、配線 845 を介して定電流源 844 が接続されている。定電流源 844 はプリチャージ電圧 V_0 の場合は、出力する電流は 0 である。

20

【0538】

配線 845 には、配線 845 の電位を測定する電圧測定回路 381 が接続されている。電圧測定回路 381 はプローブ 843 を介してソース信号線 18 の電位を測定していることになる。今、定電流源 844 の出力電流は 0 であるから、ソース信号線 18 には電流が印加されていない。つまり、ソース信号線 18 はプリチャージ電圧 V_0 (階調 0) の状態である。

【0539】

図 85 は、取得された V_0 電圧から補正し、適正な V_0 電圧を得る方法の説明図である。得られたプリチャージ電圧 V_0 は一定の補正をすることが好ましい。たとえば、より黒表示を実現したいと言う場合である。

30

【0540】

図 85 において、プローブ 843 が端子 842 に接続される。配線 841 の電位は電圧測定回路 381 で 8 ビットのデジタルデータに変換される。補正する大きさは ROM 502 に保持されている。ROM データは、RDATa として、外部より書き換えることができる。

【0541】

ROM 502 に保持されたデータも 8 ビットである。この ROM データと電圧測定回路 381 のデータが加算 (減算の場合もある) 回路 651 で加算される。一般的に加算データにより、アノード電圧側にデータはシフトされる。

40

【0542】

加算されたデータは 9 ビットになる。このデータは D/A (デジタルーアナログ変換) 回路 391 でアナログデータに変換され、パネル温度を検出する温度補償回路 851 で温度補償されて、ソースドライバ回路 (IC) 14 に印加される。温度補償回路 851 を必要とするのは、プリチャージ電圧 V_p は電圧駆動であるため、温度依存性があるからである。これは、駆動用トランジスタ 11a が流す電流は、ゲート端子電位が一定値であっても、温度により変化することに起因する。図 85 では V_0 電圧を補正するとしたが、他のプリチャージ電圧 V_p においても同様の処理を実施すればよいことは言うまでもない。

50

【0543】

図86はソース信号線18の信号波形である。図86(a)の電流駆動の場合はプログラム電流が微弱であるため、寄生容量により信号波形はなまってしまう。図86(b)の電圧駆動の場合は、ソースドライバ回路(IC)14の出力インピーダンスが小さいため、ソース信号線18に印加される信号波形は、ほとんど鈍ることがない。したがって、駆動信号を確実に画素16に書き込める方法としては電圧駆動方式が良好である。しかし、電圧駆動方式では画素16に駆動用トランジスタ11aのバラツキを補償することができない。電流駆動では画素16の駆動用トランジスタ11aを良好に補償することができる。

【0544】

以下、図87などを参照しながら、本発明の他の駆動方式を説明する。電流階調回路154は所定の階調番号に対応する電流を出力する。説明を容易にするため、一例として出力する階調電流I1は、256階調の128階調目であり、その値が $I1 = 1 \mu A$ であるとする。

【0545】

なお、電流階調回路154はすべての階調に対応するプログラム電流を出力する必要はなく、128階調目、64階調目あるいは0階調目、1階調目、255階調目など特定の階調の電流を出力できればよい。もちろん、全階調電圧を出力できる電圧階調回路231に構成することが望ましいことは言うまでもない。また、低階調(127階調以下)のプログラム電圧を出力できるものであればよいことは言うまでもない。

【0546】

説明を容易にするため、電流階調回路154はソースドライバ回路(IC)14内に形成あるいは構成するとしたが、これに限定するものではない。たとえば、ソースドライバ回路(IC)14外に定電流 $Iw = I1$ を発生する回路を設け、この定電流I1にスイッチ回路を介してソース信号線18に供給し、画素16の駆動用トランジスタ11aのゲート端子電圧(ソース信号線18)V1を測定してもよい。また、測定した電圧は、ソースドライバ回路(IC)14の外部に配置したEEPROMに書き込み、書き込んだデータから画素16の駆動用トランジスタ11aV-Iカーブを発生させてもよい。以上の測定はパネル出荷前のパネル調整工程で実施してもよいことは言うまでもない。

【0547】

まず、駆動用の電圧データを測定あるいは発生する測定段階について説明をする。測定段階は、電源投入時など、画像表示を行っていない状態で実施する。または、画像表示に影響を与えない状態で実施する。

【0548】

以前にも説明したように、本発明の駆動方式には、画素構成は、図1、図12、図14などの電流駆動型である必要がある。図87の実施例である本発明の駆動方式は、ソースドライバ回路(IC)14から印加する定電流を、該当駆動用トランジスタ11aなどに流し、駆動用トランジスタ11aのゲート端子の電位を変化させ、ソース信号線18の電位を測定する必要があるからである。つまり、駆動用トランジスタ11aから流れる電流がソース信号線18に流入あるいは流出するように画素16が構成されている必要がある。

【0549】

電圧駆動型の画素(たとえば、図2の画素構成)では、駆動用トランジスタ11aからの出力電流はソース信号線18には流れ込まない。また、電圧オフセットキャンセル型の画素構成では、ソース信号線18と駆動用トランジスタ11a間はコンデンサでDC電流のカットが行われている。したがって、基本的には本発明のEL表示パネルには採用できない。

【0550】

本発明は、画素構成は電流駆動型の画素構成であり、この画素にプログラム電圧を印加し、電圧駆動(プログラム電圧を印加)を実施するものである。また、少なくとも1点以

10

20

30

40

50

上の画素 16 の駆動用トランジスタ 11 a の特性カーブの電圧を測定し、この電圧から電圧駆動に対応する特性カーブを発生し、駆動するものである。階調 0 の電圧 V_0 を測定あるいは発生し、この階調 0 の電圧 V_0 を基準に電圧プログラムデータを発生し、駆動する状態は電圧オフセットキャンセルと同一あるいは類似の電圧方式である。

【0551】

もちろん、階調 0 に対応する電圧に限定するものではない。ただし、階調 0 の測定電圧値を精度よく求めることにより、精度のよい電圧オフセットを実施することができる。また、階調 0 以外であれば、中間階調（最大階調の $1/8$ 以上 $1/2$ 以下の階調）で測定あるいは求めた電圧値を用いて特性カーブを求めることが好ましい。この範囲での駆動用トランジスタの特性バラツキがめだつからである。

10

【0552】

駆動用トランジスタ 11 a（EL 素子 15 に電流を供給するトランジスタまたは前記トランジスタに流れる電流を規定するトランジスタ）の電圧－電流（ $V-I$ ）特性カーブは、多項式を演算することにより、あるいはマトリックステーブルあるいはルックアップテーブル 931 を参照することにより、発生することができる。前記処理は、映像信号データに対応して逐次求めてもよいし、あらかじめ求めておいてもよい。また、すべての映像信号データに対応して求める必要はなく、間欠あるいは飛び飛びにもとめてもよい。近傍の画素の映像信号データは近似しており、また、アレイ 30 の駆動用トランジスタなどの特性も近傍の画素では近似しているからである。

【0553】

20

以上のように構成することにより、本発明の EL 表示装置は電圧駆動と電流駆動の両方が実施できることになる。したがって、電圧＋電流駆動を実施することができる（図 25、図 81 などを参照のこと）。特に、プログラム電流の小さい低階調領域では、精度のよい電圧駆動を実施することができ、プログラム電流が大きい高階調領域では、精度のよい電流駆動を実施することができ、また、電圧駆動と電流駆動とを双方を補完した駆動方式を実施することができる。

【0554】

図 87 の構成は、本発明のソースドライバ回路（IC）14 に、ソース信号線 18 に発生している電位を順次選択して出力するか、あるいは複数のソース信号線 18 を選択してその電位を出力するスイッチ S_x （ $x=1\sim n$ ： n はソース信号線 18 の形成数）を付加した構成である。

30

【0555】

なお、ソース信号線 18 の電位を測定するとしたが、これに限定するものではない。たとえば、電荷の移動を検出したり、電界の強度を測定したりして、近似的にソース信号線 18 の電位を測定あるいは推定するものであればよい。また、ソース信号線 18 の電位に限定するものではなく、画素 16 の駆動用トランジスタ 11 のゲート端子電圧を直接あるいは間接的に測定できるものであればいずれの構成であってもよい。

【0556】

本発明は、ゲートドライバ回路 12 a を制御し、順次ゲート信号線 17 a を選択し、選択した画素行の駆動用トランジスタ 11 a のゲート端子電圧を順次測定する点にも特徴がある。つまり、画素行を選択し、規定の定電流をソース信号線 18 に印加し、選択した画素行の駆動用トランジスタのゲート端子電圧を測定する。測定は十分時間をかけて行われる。測定したゲート端子電圧から前記駆動用トランジスタの $V-I$ 特性を推定する。映像信号は、推定された $V-I$ カーブからプログラム電圧に変換され、前記プログラム電圧が画像表示時にソース信号線に印加される。

40

【0557】

スイッチ S_x （ $x=1\sim n$ ）は、各ソース信号線 18 に形成され、スイッチ S_x は主としてアナログスイッチで形成される。スイッチ S_x は、電圧の検出だけであり、電流はほとんど流さないから小さな高インピーダンスのもので十分である。

【0558】

50

スイッチ S_x は、図 89、図 88 に図示するように、A 端子から各ソース信号線 18 に電位を入力あるいは出力できるように構成してもよい。また、スイッチ S_x で入出力するのは電圧だけでなく、電流、電荷であってもよいことは言うまでもない。また、スイッチ S_x はソースドライバ回路 (IC) 14 内に形成することには限定されるものではなく、ソースドライバ回路 (IC) 14 外に形成してもよい。たとえば、プローブ針を各ソース信号線 18 に接続し、各プローブ針をリレー回路などにより選択することにより、各ソース信号線 18 に電圧を印加したり、電圧を出力したり、また、電流を印加したり、電流を取り出したりする構成が例示される。

【0559】

スイッチ S_x は各ソース信号線 18 に形成するとしたが、これに限定するものではなく、たとえば、奇数番目のソース信号線 18 のみに形成してもよい。また、たとえば 4 の倍数に位置するソース信号線 18 に形成してもよい。また、表示パネルの構成によっては、ゲート信号線 17 にスイッチあるいはそれに類するものを形成もしくは接続してもよい。

【0560】

スイッチ S_x は図 90 で説明するように、各カソード線 (アノード線) を選択するように形成してもよいことは言うまでもない。つまり、本発明の構成は、各画素 16 あるいは選択した画素 16 に印加する電圧あるいは出力される電圧もしくは電流 (EL 素子 15 に流れる電流、EL 素子 15 に流れ込む電流など) もしくはこれらに類する電流あるいは電圧を、検出あるいは出力もしくは選択して処理できるように構成するものであればいずれの構成であってもよい。

【0561】

図 87 の構成図は、ソースドライバ回路 (IC) 14 内に A/D 変換 (アナログ→デジタル変換回路)、メモリ (フラッシュメモリなど) 502 などを形成または配置するとしたが、これに限定するものではない。たとえば、図 89 に図示するように、ソースドライバ回路 (IC) 14 に端子 A を設け、ここからソース信号線 18 に印加あるいは出力されている電圧を出力し、この電圧を外部に配置または構成した A/D 変換回路 391 に印加するように構成してもよい。

【0562】

図 89 に図示するようにメモリ 502 も外付け部品を用いてもよい。また、図 88 に図示するように、電流階調回路 154 (もしくは電圧階調回路) もソースドライバ回路 (IC) 14 外に形成または配置し、この電流階調回路 154 からの出力電流を各ソース信号線 18 に印加できるように構成してもよいことは言うまでもない。

【0563】

図 87 のブロック図は本発明のソースドライバ回路 (IC) 14 を説明するブロック図である。出力端子 83 はアレイ基板のソース信号線 18 の端子と接続する。電流階調回路 154 は電流階調回路である。電圧階調回路 231 は電圧出力手段であり、プログラム電圧を出力する。セレクト回路 222 は外部クロックによりスイッチ回路 S (S₁ ~ S_n、n は画素行数) を順次選択し、出力端子 83 に印加されている電圧をアナログ→デジタル変換回路 (A/D 変換回路) 391 と接続する。

【0564】

A/D 変換回路 391 は各ソース信号線 18 に印加された電圧 (出力端子 83 に印加された電圧) をデジタル化して、ソースドライバ回路 (IC) 14 のメモリ 502 に保持する。各メモリのビット数は 8 ビットであり、メモリ 502 は、画素数分が作製または形成されている。

【0565】

A/D 変換回路 391 により、出力端子 83 に印加されている電圧 (ソース信号線 18 の電位 = 駆動用トランジスタ 11a のゲート端子電圧) をデジタル化するとしたが、これに限定するものではない。アナログ信号をサンプルホールドし、アナログ信号から電圧階調データを生成できる場合は、A/D 変換回路 391 は不要である。なお、説明に不要な箇所は省略している。また、本発明の他の実施例と組みあわせることができることもいう

10

20

30

40

50

までもない。

【0566】

図87の主要部を取り出すと図91の構成となる。スイッチ S_v をクローズすることによりプログラム電圧がソース信号線に出力される。スイッチ S_i をクローズすることにより定電流が出力される。電流階調回路154は一例として図16に図示するように単位トランジスタ164で構成される。また、 $1\mu A$ 、 $0.5\mu A$ など規定の電流を選択して出力される構成が例示される。

【0567】

本発明のEL表示パネル（表示装置）は、本発明のソースドライバ回路（IC）14を用いる。図87において、電流階調回路154は所定の定電流 I_1 をソース信号線18に供給する。ゲートドライバ回路12は順次画素行を選択する。図92（a）に図示するように、画素16は駆動用トランジスタ11aを介してソース信号線18に定電流 I_1 を供給する。駆動用トランジスタ11aのゲート端子は、定電流 I_1 を流せるように電位が変化する（図92（b）を参照のこと）。駆動用トランジスタ11aのゲート端子電位はスイッチ用トランジスタ11cを介してソース信号線18と接続されている。したがって、ソース信号線18の電位をA/D変換回路で測定すれば、定電流 I_1 を流す場合の駆動用トランジスタ11aのゲート端子電圧を測定あるいは把握することができる。

【0568】

以上のことから、定電流 I_1 を流すプログラム電圧 V_1 を測定できることになる。前記プログラム電圧 V_1 は駆動用トランジスタ11aの特性カーブ（ゲート電圧－出力電流（ $V-I$ ）カーブ）の一点である。この V_1 から、特性カーブを推定できることになる。なお、プログラム電圧 V_1 は特性カーブの任意の一点でよい。階調0番目の電圧 V_0 であってもよい。ただし、階調0番目の定電流は0である。 V_0 は電流0のときの駆動用トランジスタ11aのゲート端子電圧である。

【0569】

表示画面34の画素16はレーザーアニール特性ムラなどにより特性がばらついている。しかし、定電流 I_1 を流し、 V_1 電圧を測定し、 V_1 電圧の大きさから各画素の特性を把握することができる。したがって、 V_1 電圧の大きさから各画素16の特性カーブを求めることができる。特性カーブは、 V_1 データからマトリックステーブルあるいはルックアップテーブル931による変換によりリアルタイムに求める。また、単項あるいは多項の演算式により求めることもできる。

【0570】

ルックアップテーブル931による変換を図93に図示している。8ビットの映像データDATAはルックアップテーブル931に入力される。測定された8ビットの V_0x （ V_1x ）データもルックアップテーブル931に入力される。 V_0x （ V_1x ）データがアドレスとなり、ルックアップテーブル931の1つの階調特性データを指定する。また、映像データDATAにより前記指定された階調特性データより、映像データDATAに対応する階調VDATAが選択される。VDATAは9ビットで出力される。VDATAは図56に図示するように、電子ボリウム152に入力され、電子ボリウム152は、 V_{bb} と V_{dd} 間の電圧を複数にきざんで出力する。電子ボリウム152の出力は電圧階調回路231に入力される。

【0571】

以上により電圧階調プログラムデータが求まる。つまり、映像階調データは推定あるいは求められた $V-I$ カーブで電圧階調プログラムデータに変換される。変換は画素16ごとに行われる。電圧階調データの精度を高めるためには、電流階調回路154から複数の定電流を発生させ、各定電流を各表示画面34の画素16に流し、ソース信号線18の電位を測定すればよい。

【0572】

電圧 V_1 を測定するときは、出力端子83a～83nから定電流 I_1 を流し、ゲートドライバ回路12aを選択し、選択された画素16行の駆動用トランジスタ11aから I_1

電流を供給する。前記状態で、セレクト回路 222 は、スイッチ S1 から Sn を順次選択し、A/D 変換回路 391 でソース信号線 18 の電位を測定する。A/D 変換回路 391 でデジタル変換された 8 ビットの電圧データは図 94 (a) に図示するように、マトリクス状の配置された SRAM に格納される。なお、8 ビットに限定されるものではない。少なくとも 4 ビット以上あればいずれのビット数であってもよい。

【0573】

図 94 において、a、b、c、d、・・・は画素列を示している。1、2、3、4、・・・は画素行を示している。スイッチ S1～sn を順次選択し、1 画素行の画素 16 の駆動用トランジスタ 11a の特性の測定を完了すると、ゲートドライバ回路 12a を制御して選択位置を 1 画素行シフトさせ、次の画素行の画素 16 の特性を測定する。

10

【0574】

図 95 は、図 87 をさらに詳細に記載したブロック図である。VDATA により、電圧プログラムデータが発生する。プリチャージ電圧 Vp を印加するときは、OR 回路 951 の PCHG 端子に H レベル信号が印加され、スイッチ 161a がクローズする。また、プリチャージ電圧 Vp のデータ PDATA により電子ボリウム 152 はプリチャージ電圧 Vp を発生させ、スイッチ 161c は a 端子を選択し、出力端子 83 からプリチャージ電圧 Vp が出力される。ソース信号線 18 の電位を測定 (V1 電圧を測定) するときは、セレクト回路 222 により OR 回路を介して、順次スイッチ 161a をクローズし、またスイッチ 161c は b 端子側に切り替えられ、A/D 変換回路 391 と接続される。測定された V1 データはメモリ 502 に格納され、格納されたデータは電圧階調回路 231 で各映像データに対応する階調データ VDATA に変換され、画像表示期間に出力端子 83 から出力される。

20

【0575】

電圧データはすべての画素 16 に対して格納する必要はない。たとえば、図 94 (b) に図示するように、間引いて格納してもよい。図 94 (b) において、画素列は、a、c、e、g、i・・・と格納し、画素行は 8 画素行置きで 8、16、24、32、40・・・と格納している。近傍の各画素 16 の特性は近似しているから、間引いて取得した画素 16 の特性から SRAM に格納しなかった画素 16 の特性を求めることができるからである。

【0576】

以上の実施例では、ソースドライバ回路 (IC) 14 から $1\mu\text{A}$ 、 $0.5\mu\text{A}$ などの定電流 I1 をソース信号線 18 または駆動用トランジスタ 11a に供給し、ソース信号線 18 の電位 V1 を測定する。あるいは電位を推定する。もしくは、該当の画素 16 の駆動用トランジスタ 11a のゲート端子電圧を測定する。また、定電流を流さない時のソース信号線 18 の電位 V0 を測定するとした (図 96 (a) を参照のこと)。この測定した V1 と V0 から駆動用トランジスタ 11a の特性カーブを求め、各階調に対応する電圧プログラムデータを作成する。特性カーブは略 2 乗カーブである。したがって、V0 を基点とし、一定の刻みを加算して各階調に対する電圧値を求める。また、V0 を基点とし、V0 と V1 から特性カーブを想定し、各階調に対する電圧値を求める。

30

【0577】

ソースドライバ回路 (IC) 14 には、各画素 16 の V0 データ、もしくは各画素 16 の V0 と V1 データをメモリする。他の階調に対する電圧値は、メモリした V0 データ、V0 と V1 データから映像信号データに対応して、その都度、発生し、発生したプログラム電圧をソース信号線 18 に印加する。印加したプログラム電圧はゲートドライバ回路 12a と同期して、各画素 16 の駆動用トランジスタ 11a のゲート端子に印加され、1 フィールド (フレーム) の期間、保持される。

40

【0578】

また、V0 のみを測定し、特性カーブを想定して電圧階調を求めてもよい。また、図 96 (b) に図示するように、定電流 I2 をソース信号線 18 に印加し、画素 16 の駆動用トランジスタ 11a から I2 電流を供給し、I2 電流に対するソース信号線 18 の電位 V

50

2を求め、 V_0 、 V_2 、 V_1 から階調電圧を求めてもよい。つまり、本発明の駆動方式は、少なくとも1つの定電流（電流0を含む）からソース信号線18の電位を測定し、測定した電位から、階調に対応する電圧（プログラム電圧）を求めるものである。

【0579】

V_0 電圧などから特性カーブを求める場合は、 V_0 電圧から特性カーブ（ $V-I$ カーブ）の傾きが固定であるとしてもよい。図97（a）はその実施例である。ある画素16の0階調目の電圧値が V_{0a} とし、他の画素16の0階調目の電圧値が V_{0b} とする。 V_{0a} を用いて点線の特性カーブを発生する。 V_{0b} を用いて実線の特性カーブを発生する。点線の特性カーブと実線の特性カーブの傾きは同一であるとして、特性カーブを発生させる。つまり、基点の V_{0a} と V_{0b} がシフトしたとして特性カーブを発生させる。

10

【0580】

図97（b）は特性カーブの傾きを変化させている。立ち上がり電圧が高い場合（図97（b）の V_{0b} は V_{0a} よりも立ち上がり電圧が高い）は、特性カーブの傾きを小さくする（図97（b）の実線は点線よりも傾きが小さい）。立ち上がり電圧が高い場合は、駆動用トランジスタ11aのモビリティが悪い場合が多いからである。立ち上がり電圧が低い場合は、特性カーブの傾きを大きくする。立ち上がり電圧が低い場合は、駆動用トランジスタ11aのモビリティが良好な場合が多いからである。

【0581】

図98の実線と点線に一例として図示するように、駆動用トランジスタ11aの $V-I$ （ゲート電圧-ドレイン電流）特性は、レーザーアニール条件などにより特性がばらつく。しかし、一例として $I_1 = 1 \mu A$ を流し、そのときの駆動用トランジスタ11aのゲート電圧 V （実線の駆動用トランジスタ11aは V_1 、点線で示す駆動用トランジスタ用11aは V_2 ）を測定できれば、ゲート電圧 V に対する出力電流 I が推定できる。また、 V_1 あるいは V_2 に対する出力電流 I が精度よく $1 \mu A$ であることがわかっているから、各階調に対する出力電流（=EL素子15に流れる電流）をほぼ精度よく決定できる。

20

【0582】

以上の実施例は、 $I = 1 \mu A$ を測定して $V-I$ カーブを推測し、各階調電流を算出するものである。 I を $0 \mu A$ （階調0が該当）、 $2 \mu A$ 、 $0.5 \mu A$ と複数点にわたって測定し、各電流値に対する駆動用トランジスタ11aのゲート端子電圧を測定できれば、さらに良好な $V-I$ カーブを決定でき、特性ムラのない良好な画像表示を実現できる。

30

【0583】

本発明の駆動方法、表示パネルおよび表示装置とそれを用いた平面表示装置では、 V_0 、 V_1 電圧もしくは I_1 電流を測定あるいは対応するデータを求め、測定あるいは求めたデータより駆動用トランジスタ11aなどの $V-I$ カーブを想定あるいは発生させるとした。もちろん、あらかじめ、データから $V-I$ カーブを求め、あるいは推定し、各階調に対するプログラム電流あるいはプログラム電圧をメモリなどに蓄積しておき、このメモリ（記憶手段）から各階調に対するプログラム電圧またはプログラム電流に対応するデータを読み出し画素16に印加する。

【0584】

本発明の表示パネルは、表示期間以外の期間に、電流階調回路154などから所定定電流を各画素16に印加し、定電流に対する駆動用トランジスタ11aなどのEL素子15に電流を供給するトランジスタあるいはそれと同様の動作をするトランジスタのゲート電圧 V を取得する。この取得する電圧 V は1つ以上の電圧データである。この電圧データを用いて電圧階調回路231が発生する映像信号に対応する階調電圧データを求める。あるいは取得した電圧 V を用いる。なお、所定定電流は、ソースドライバ回路（IC）14の外部で発生し、各ソース信号線18に供給してもよいことは言うまでもない。

40

【0585】

この階調電圧データを図25のA期間に印加する。なお、必ずしもA期間が必要でないことは以前に説明した。階調が大きい時は、電流階調回路154のデータで十分駆動できるからである。A期間に印加した電圧により、まず目標値に近い輝度まで駆動用トランジ

50

スタなどはプログラムされる。さらに、B期間に印加する電流階調回路231からの階調電流（プログラム電流）により駆動用トランジスタ11aは目標値に近くプログラムされる。

【0586】

以上の事項は、V0、V1あるいはそれ以上の電圧値を測定した場合も同様である。なお、測定したV0、V1電圧から特性カーブを発生させるとしたが、ソース信号線18から測定した電圧データをそのまま使用するものでない。たとえば、図1などの画素構成において、ゲート信号線17aにオフ電圧が印加される際に発生する駆動用トランジスタ11aのゲート端子への突き抜け電圧の大きさ、影響を考慮して階調電圧を発生させる。つまり、測定された電圧から前述の影響を考慮してV-Iカーブを作成する。

10

【0587】

ソース信号線18電圧の測定と、測定された電位から階調電圧を求めるのは、電源オン時に実施する。つまり、画像表示前に行う。図99(a)は電源の立ち上げ波形である。Aの期間はVddまで到達する期間である。この期間は、EL表示装置の回路全体が不安定状態である。したがって、ソース信号線の電圧測定を行うことはできない。Bの期間は電源が立ち上がり安定している。画像表示状態ではない。このBの期間を1フィールド（フレーム）期間以上とり、このBの期間に定電流に対するソース信号線18の電位を測定するとともに、階調電圧値を発生させる。その後、C期間に入り、EL表示パネルに画像表示を行う（図99(b)を参照のこと）。

【0588】

20

ソース信号線18電圧の測定と、測定された電位から階調電圧を求めるのは、垂直ブランキング期間あるいは水平ブランキング期間に実施してもよい。図100(a)は水平ブランキング時間に実施した実施例である。映像信号は図100のBの期間にソース信号線18に印加される。Aの期間はブランキング時間であり、ソース信号線18には映像信号は印加されない。このAの期間にソースドライバ回路(IC)14から定電流を出力し、該当の画素行から電流I1を供給するとともに、ソース信号線18の電位を測定し、測定した電位から階調電圧を求める。水平ブランキング時間では、すべての表示画面34の階調電圧を求めることはできない。図100(b)に図示するように、bの期間に区分された領域(1、2、3、4、5・・・)ごとに実施する。

【0589】

30

0階調目に対応するV0電圧を図99のように電源オン時に測定し、中間あるいは最大階調に対応するV1電圧を図100のようにブランキング時間に測定してもよい。

【0590】

V0電圧などの低階調部に対応する電圧は、微小定電流（プログラム電流）をソース信号線18に印加して測定する。したがって、ソース信号線18の寄生容量の影響を受け、時定数が長い。したがって、ゲートドライバ回路12aのクロックを遅くし、十分な時間をかけて低階調部に該当する電圧を測定する。したがって、低階調部の電圧を測定するときは、電源オン時などに測定することが好ましい。

【0591】

本発明の実施例では、ソースドライバ回路14から定電流Iw（ $Iw = 0$ (A)を含む）を出力し（吐き出し電流、吸い込み電流のいずれでもよい）、また、画素16を選択するとした。画素16の駆動用トランジスタ11aが前記定電流Iwを流し、または略定常状態の定電流Iwを流すようにする。この状態で、ソース信号線18の電位または前記駆動用トランジスタ11aのゲート端子電位もしくはドレイン端子電位を測定または取得するとした。電位の測定または取得は、電位が定常状態になっていることには限定されず、定常状態が推定または予測される場合は、変化状態で行って、定常状態の電位を求めてもよい。

40

【0592】

以上の実施例は、定電流Iwを印加し、ソース信号線18の電位を測定することにより、画素16の駆動用トランジスタ11aの特性を把握する。しかし、駆動用トランジスタ

50

11aの特性を把握するには、逆の動作でもよい。つまり、ソース信号線18または画素16の駆動用トランジスタ11aに所定の定電圧Vaを印加し、この定電圧Vaを印加したときに、前記駆動用トランジスタ11aが流す電流Iaを測定する。電流Iaは、駆動用トランジスタ11aの特性により異なる。したがって、電流Iaにより駆動用トランジスタ11aの特性を把握することができる。測定あるいは取得した電流Iaは、電流-電圧変換した後、A/D変換し、メモリなどの記憶手段に保持させる。以上の事項は、本発明の他の実施例に適用されることは言うまでもない。

【0593】

以上の実施例では、表示画面34のすべての画素に対応する定電流を流し、それぞれの画素のソース信号線18の電位（各画素16の駆動用トランジスタ11aのゲート端子電圧）を測定するとしたが、これに限定するものではない。すべての画素を測定せずとも、任意の画素の周辺の画素の特性は類似しているからである。 10

【0594】

たとえば、図101(a)に1画素置きの画素（斜線を記入した部分に対応する画素）16を測定し、測定していない画素16は隣接した画素（斜線を記入した部分に対応する画素）から作成する。図101(b)で図示するように、画素16cの駆動電圧を求めるには、隣接した画素16aと画素16bに定電流を流し、対応するソース信号線18の電位を測定する。今、たとえば、測定されたデータが画素16aを選択した時は3(V)、画素16bを選択した時は、2.8(V)であるとする。画素16cは $(3 + 2.8) / 2 = 2.9$ (V)として求まる。 20

【0595】

以上のように画素16に定電流を印加し、この定電流印加によるソース信号線18の電位変化あるいは電位は、すべての画素16に対して実施する必要はない。また、測定は、隣接した画素16に限定されるものではない。たとえば、2画素置きに、画素16の特性を測定してもよい。また、偶数画素列を選択し、偶数画素列の駆動用トランジスタ11aの特性を測定し、この結果から奇数画素列の駆動用トランジスタ11aの特性を求めてもよい。また、偶数画素行を選択し、偶数画素行の駆動用トランジスタ11aの特性を測定し、この結果から奇数画素行の駆動用トランジスタ11aの特性を求めてもよい。また、以上の処理を複数画素行ごと、複数画素列ごとに行ってもよい。

【0596】

画素行の選択は、1画素行に限定されるものではない。また、選択した時のソース信号線電位は1画素ずつ測定する必要はない。たとえば、図102(a)に図示するように、2画素行（複数画素行）を同時に選択して、定電流Iwを流してもよい。図102に図示するように、2画素行を同時に選択する場合は、定電流I1は2倍（つまり、 $Iw = I1 \times 2$ ）をソースドライバ回路(IC)14からソース信号線18に供給する。もちろん、Iwは2倍に限定されず、1倍でもそれ以外でもよい。

【0597】

図102(a)は2番目と3番目の画素行が選択されている状態を示している。次のクロックでは、画素(3)と画素(4)を選択する駆動でもよいし、画素(4)と画素(5)を選択する駆動のいずれでもよい。また、3画素行以外を同時に選択してもよい。また、全画素行を同時に選択する実施例も例示される。 40

【0598】

ソースドライバ回路(IC)14から定電流 $Iw = 2 \cdot I1$ の電流を画素16(2)と画素16(3)に供給する。画素16(2)が出力する電流と、画素16(3)が出力する電流とを加算した電流は $2 \cdot I1$ であるが、画素16(2)が出力する電流と、画素16(3)が出力する電流とは異なってもよい。ソース信号線18の電位は、画素16(2)の駆動用トランジスタ11aのゲート端子電位と画素16(3)の駆動用トランジスタ11aのゲート端子電位が釣り合った電位となる。電位は平均した電位となる場合が多い。しかし、隣接した画素の特性は近似するため、A/D変換回路391で測定される電位から求められた電圧階調データは実用上問題ない。 50

【0599】

複数画素行を選択する場合は、図102(b)に図示するように隣接する必要はない。図102(b)は隣接しない画素行を複数選択している。また、連続した10画素行程度（つまり、ブロック的）にゲート信号線17aを選択し、ソース信号線18の電位を測定してもよい。

【0600】

以上の実施例では、駆動用トランジスタ11aに電流を流し、前記電流を流したときの駆動用トランジスタ11aのゲート端子電圧を測定するとした。しかし、本発明はこれに限定するものではない。たとえば、画素列ごとに配線あるいは形成されたVss端子（カソード端子）に電流計（図示せず）を接続する。つぎに、0階調目に対応するV0電圧を印加し、V0電圧を印加したときに、電流計に流れる電流を0あるいは微小な値となるように、印加するV0を調整すれば、階調0に対するプログラム電圧V0が精度よく求めることができる。

10

【0601】

その他、電流計で測定される電流が1 μ Aとなるように、駆動用トランジスタ11aに印加する電圧を調整すれば1 μ Aを流す電圧を測定することができる。複数点の電圧と電流の関係を測定すれば、さらに精度のよいV-Iカーブを推定あるいは求めることができる。

【0602】

以上の実施例は、複数画素行を同時に選択するとしたが、複数画素列を同時に選択すると読み替えてもよいことは言うまでもない。

20

【0603】

以上の実施例は、複数の画素行を同時に選択し、定電流Iwを印加し、複数の画素行の駆動用トランジスタ11aのゲート端子電位が平均された電位特性を測定あるいは取得するものであった。つまり、複数画素の駆動用トランジスタ11aの平均したゲート端子電位を測定するものである。

【0604】

以上の実施例は、複数の画素行あるいは画素列を選択し、定電流Iwを印加し、ソース信号線18の電位を測定することにより、画素16の駆動用トランジスタ11aの特性を把握する。しかし、駆動用トランジスタ11aの特性を把握するには、逆の動作でもよい。つまり、ソース信号線18または画素16の駆動用トランジスタ11aに所定の定電圧Vaを印加し、この定電圧Vaを印加したときに、選択された複数の前記駆動用トランジスタ11aが流す電流Iaを測定する。電流Iaは、選択された駆動用トランジスタ11aの特性により異なる。したがって、電流Iaにより駆動用トランジスタ11aの特性を把握することができる。測定あるいは取得した電流Iaは、電流-電圧変換した後、A/D変換し、メモリなどの記憶手段に保持させる。以上の事項は、本発明の他の実施例に適用されることは言うまでもない。

30

【0605】

図2に図示するような電圧駆動方式の画素構成であっても、本発明を実施できる。この説明を図90に図示している。なお、図90では画素16はマトリックス状に形成または配置されるが、説明を容易にするため2画素分の画素16のみ図示している。なお、各画素16に流れるカソード電流（アノード電流）を選択するスイッチSxを各カソード（アノード）電流を取り出す位置に形成または構成もしくは配置してもよいことは言うまでもない。

40

【0606】

電圧駆動の場合は、駆動用トランジスタ11aのゲート端子に所定電圧V1を印加する。また、前記電圧V1により流れる電流IはカソードVss端子で測定する。たとえば、画素列ごとに配線あるいは形成されたVss端子（カソード端子）に電流計を接続する。または、図90に図示するように、カソード電流が流れる経路にピックアップ抵抗Rを接続し、電圧計（電圧測定回路）391で抵抗Rの電位を測定してもよい。

50

【0607】

なお、ピックアップ抵抗 R を挿入する位置は、カソード端子に限定されるものではなく、アノード端子でもよい。また、電流はカソード端子とアノード端子で測定してもよい。また、電流 I_1 を直接測定することに限定されるものではなく、ピックアップコイルなどで測定してもよい。また、電気力線を測定してもよい。特に精度が必要でないときは、複数あるいはすべてのカソード端子もしくはアノード端子を短絡し、短絡した箇所に電流計を接続してもよい。つまり、電流 I_1 の測定は、電流 I_1 を直接あるいは間接的に測定あるいは把握できるものであればいずれのものでもよい。

【0608】

以上のように、駆動用トランジスタ 11a に電圧階調回路 231 により各ソース信号線 18 に既知の電圧 V_1 を印加し、その電圧に対する出力電流 I_1 を測定する。もちろん、1 つまたは複数のソース信号線 18 を選択して既知の電圧を印加してもよい。また、複数の画素行を同時あるいは走査して選択してもよい。したがって、図 92 (b) の逆の関係になる。つまり、 V_1 印加により I_1 を測定し、この V_1 と I_1 との関係から、図 92 (b) の実線で示す駆動用トランジスタ 11a の $V-I$ 特性を求める。 V_1 の他、0 階調目に対応する V_0 電圧を印加し、 V_0 電圧を印加したときに、電流計に流れる電流を 0 あるいは所定の微小な値となるように、印加する V_0 を調整すれば、階調 0 に対するプログラム電圧 V_0 を精度よく求めることができる。そのときは、電圧階調回路 231 の出力電圧を変化させて 0 になるように調整する。その他、たとえば $1\mu A$ が流れるように、駆動用トランジスタ 11a に印加する電圧 V_x を調整する。複数点の電圧 V と電流の関係を測定すれば、さらに精度のよい $V-I$ カーブを推定あるいは求めることができる。

【0609】

図 90 の実施例では、スイッチ S をセレクト回路 222 により、クロックに同期させて順次クローズさせている。スイッチ S_x ($x=1\sim n$) により各ソース信号線 18 に接続された画素 16 が選択される。また、選択する画素行の画素 16 はゲートドライバ 12a により選択され、選択画素行位置は順次シフトされる。

【0610】

各スイッチ S が選択されることにより、選択された画素 16 のカソード電流 I_1 (あるいはアノード電流) は抵抗 R に流れ込む。スイッチ S の選択は複数個を同時に選択してもよい。カソード電流などにより抵抗 R の両端に発生する電圧は A/D 変換回路 391 により、デジタル化され、メモリ 502 に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。もちろん、カソード電流 I_1 などは電流計により測定してもよいことは言うまでもない。なお、階調 0 の場合は、抵抗 R の両端に発生する電圧は 0 であることは言うまでもない。また、カソード電流の方向は吐き出し方向の場合もある。本発明はいずれの場合であっても適用可能である。

【0611】

図 103、図 104 は電圧プログラムの画素構成における本発明の第 2 の実施例での適用例である。画素 16 の駆動用トランジスタ 11a は P チャンネルトランジスタで形成されている。また、電流 I_1 はアノード端子 V_{dd} 側に供給される。

【0612】

電圧駆動の場合は、駆動用トランジスタ 11a に電圧 V_1 を印加する必要がある。また、前記電圧 V_1 により流れる電流 I_1 は V_{dd} 端子側で測定する。たとえば、図 103 に図示するように、アノード電流が流れる経路にピックアップ抵抗 R を接続し、電圧計 (A/D 変換回路 391) など R の両端の電圧を測定する。

【0613】

以上のように、駆動用トランジスタ 11a に電圧階調回路 231 により各ソース信号線 18 に既知の電圧 V_1 を印加し、その電圧に対する出力 (入力) 電流 I_1 を測定する。もちろん、1 つまたは複数のソース信号線 18 を選択して既知の電圧を印加してもよい。したがって、図 92 (b) の逆の関係になる。つまり、 V_1 印加により I_1 を測定し、この V_1 と I_1 との関係から、図 92 (b) の実線で示す駆動用トランジスタ 11a の $V-I$

特性を求める。V 1 の他、0 階調目に対応する V 0 電圧を印加してもよい。

【0614】

V 0 電圧の場合は V 0 電圧を印加したときに、電流計に流れる電流を 0 あるいは微小な値となるように、印加する V 0 を調整すれば、階調 0 に対するプログラム電圧 V 0 が精度よく求めることができる。そのときは、電圧階調回路 231 の出力電圧を変化させて 0 になるように調整する。その他、たとえば $1\mu\text{A}$ が流れるように、駆動用トランジスタ 11a に印加する電圧 V x を調整する。複数点の電圧 V と電流の関係を測定すれば、さらに精度のよい V - I カーブを推定あるいは求めることができる。

【0615】

図 103 の実施例でも図 90 と同様に、スイッチ S をセクタ回路 222 により、クロックに同期させて順次クローズさせている。スイッチ S x (x = 1 ~ n) により各ソース信号線 18 に接続された画素 16 が選択される。また、選択する画素行の画素 16 はゲートドライバ 12a により選択され、選択画素行位置は順次シフトされる。 10

【0616】

各スイッチ S が選択されることにより、選択された画素 16 にアノード電流が流れ込む。アノード電流により抵抗 R の両端に電圧が発生する。発生する電圧は A / D 変換回路 391 により、デジタル化され、メモリ 502 に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。もちろん、カソード電流 I 1 などは電流計により測定してもよいことは言うまでもない。なお、階調 0 の場合は、抵抗 R の両端に発生する電圧は 0 であることは言うまでもない。 20

【0617】

図 90、図 103 では、ソース信号線 18 に電圧 V x を印加し、そのときに流れる電流 I 1 を測定して、V - I 特性を求めるとしたが、本発明はこれに限定するものではない。たとえば、図 104 に図示するように、ピックアップ抵抗 R の電圧が所定電圧 (V 1、V 0、つまり電流 I 1 を測定) となるように、ソース信号線 18 に印加する電圧 V x を調整してもよい。つまり、I 1 電流になるときのソース信号線 18 に印加した電圧 V x を調整する。この V x - I 1 の関係から V - I 特性を決定する。

【0618】

ソース信号線 18 に電圧 V x を印加することにより、駆動用トランジスタ 11a からのカソード電流 I 1 が流れる。カソード電流 I 1 はピックアップ抵抗 R で電圧に変換されて測定される。測定される電圧 $V = I 1 \times R$ となるように、ソース信号線 18 に印加する電圧 V x を調整する。 30

【0619】

図 104 の実施例でも図 90 と同様に、スイッチ S をセクタ回路 222 により、クロックに同期させて順次クローズさせている。スイッチ S x (x = 1 ~ n) により各ソース信号線 18 に接続された画素 16 が選択される。また、選択する画素行の画素 16 はゲートドライバ 12a により選択され、選択画素行位置は順次シフトされる。

【0620】

各スイッチ S が選択されることにより、選択された画素 16 にアノード電流が流れ込む。アノード電流により抵抗 R の両端に電圧が発生する。ソース信号線 18 に印加した電圧は A / D 変換回路 391 により、デジタル化され、メモリ 502 に蓄えられる。蓄えられたデータによりプログラム電圧に対応する階調電圧が算出あるいは求められる。他の構成は図 90、図 103 と同様あるいは類似であるので説明を省略する。 40

【0621】

図 90、図 103、図 104 の実施例では、画素は図 2 のように電圧駆動 (電圧プログラムを行う画素構成) の画素構成であるとした。したがって、画素構成は、図 2 だけでなく、図 115 などの画素構成であっても適用できる。また、以上の実施例である本発明は、アノード端子あるいはカソード端子に流れる電流を検出あるいは測定もしくは取得するものである。したがって、図 1 のように電流駆動 (電流プログラムを行う画素構成) であっても適用できることは言うまでもない。つまり、図 90、図 103、図 104 などにお 50

いて、画素 16 の構成を図 1、図 12、図 13、図 14 などの画素構成に置き換えても本発明の実施例を適用できる。

【0622】

また、本発明は測定した電圧あるいは電流はフラッシュメモリなどに記憶させ、この記憶したデータに基づいて、映像信号に対するプログラム電圧またはプログラム電流を求め画素 16 に印加するものである。したがって、画素構成は、図 1、図 12、図 13、図 14 などの電流プログラム、図 2、図 115 の電圧プログラムのいずれであっても本発明の実施例を適用することができる。

【0623】

測定あるいは取得した電圧データ V は、フラッシュメモリなどに格納し、フラッシュメモリからデータをコントローラ回路 (IC) 801 のメモリに転送して映像データに対応するプログラム電圧またはプログラム電流を発生させる。しかし、フラッシュメモリの読み出し速度は低速である。本発明では、図 105 に図示するように、複数のフラッシュメモリ 1051 を表示装置に実装する。実装したフラッシュメモリ 1051 からコントローラ回路 (IC) 801 の制御により、対応するソースドライバ回路 (IC) 14 に電圧データを転送する。各ソースドライバ回路 (IC) 14 は転送された電圧データにより V-I カーブを発生させ、映像データに対応するプログラム電圧またはプログラム電流をソース信号線 18 出力し、対応する画素 16 に駆動用トランジスタ 11a に印加する。

【0624】

以上に説明した本発明の技術的思想は、本発明の他の実施例と組み合わせることができるというまでもない。また、以上の本発明の技術的思想を用いて、ソースドライバ回路 (IC) 14 などの半導体、表示パネル、表示装置を構成できることは言うまでもない。また、スイッチ S、抵抗 R、A/D 変換回路 391、電圧階調回路 231 などは、アレキ基板 30 にポリシリコン技術を用いて直接に形成してもよい。

【0625】

以上の実施例では、説明を容易にするため、測定した電圧または電流データはメモリに蓄えるとしたが、本発明のメモリとは一時的にデータをデジタルまたはアナログで保持できるものであればいずれのものでもよい。たとえば、メモリとはアナログデータをサンプリングするサンプルホールド回路であってもよい。もちろん、メモリとはフラッシュメモリ、SRAM、DRAM などの半導体も概念に含まれる。メモリは、ソースドライバ回路 14 の内部に構成してもよいし、外部に配置してもよい。以上の事項は、本発明の他の実施例にも適用できる。

【0626】

以上のように、本発明は、駆動用トランジスタ 11a に電圧あるいは電流を印加あるいは供給し、この印加した電圧あるいは電流に対して駆動用トランジスタなど (図 12 のカレントミラーの画素構成ではトランジスタ 11b) から出力される電流あるいは測定することにより、駆動用トランジスタの V-I カーブを求め、この求めた V-I カーブから各階調に対応するプログラム電圧あるいはプログラム電流を求めるものである。

【0627】

本発明は、既知の電圧あるいは電流を各ソース信号線 18 に印加し、出力される電流あるいは電圧を測定し、もしくは、出力される電流あるいは電圧が所定の値となるように、ソース信号線 18 に印加する電圧または電流を調整することにより、EL 素子 15 に電流を供給する駆動用トランジスタ 11 の V-I カーブを求め、あるいは類推し、各階調に対するプログラム電圧あるいはプログラム電流を決定するものである。

【0628】

以上のように実施することにより、各駆動用トランジスタ 11a の V-I カーブを精度よく求めることができる。求められた電圧はプログラム電圧となり、または、プログラム電流となる。各プログラム電流、プログラム電圧は映像信号に対応している。

【0629】

図 106 に図示するように、電圧データは、求められた駆動用トランジスタ 11a の V

ー I カーブより映像信号データに対応するように変換されて9ビットのデータ (V D A T A) となる。8ビット以上の9ビットとしているのは、立ち上がり電圧 V_t 以下の電圧を発生させるためである。これは、ゲート信号線 17a のオンオフ動作による駆動用トランジスタ 11a のゲート端子への突き抜け電圧の影響を補償し、良好な黒表示または低階調領域の表示を実現するためである。

【0630】

測定した電圧は、突き抜け電圧を補正するため所定電圧を加減算あるいは補正処理され、また映像データのガンマカーブあるいは E L 特性に適合するように処理され、映像信号の階調データとしてのプリチャージ電圧 V_p となる。プリチャージ電圧 V_p は多ビットの映像データに対応するものであるから、以後の説明ではプリチャージ電圧 V_p を V D A T A と呼ぶ。また、V D A T A は、画素 16 にプログラムする (書き込む) 電圧であるので、プログラム電圧 V D A T A と呼ぶこともある。

10

【0631】

図 106 に図示するように、映像信号に対応する V D A T A は、電圧階調回路 231 に入力され、図 25、図 81 などの A 期間 (電圧) にソース信号線 18 にプログラム電圧として印加される。A 期間で印加する電圧 V D A T A は、ソース信号線 18 の寄生容量を高速に充放電するものであるから、プリチャージ電圧 V_p として機能する。したがって、本明細書においてプリチャージ電圧 V_p とプログラム電圧 V D A T A は同義または類似の機能、動作を有している。なお、図 25、図 81 などで A 期間に電圧を印加する方式は以前に詳細に説明しているので説明を省略する。

20

【0632】

プログラム電圧 V D A T A (プリチャージ電圧 V_p) は、ソース信号線 18 に定電流 I_w ($I_w = 0$ (A) も含む) を印加し、駆動用トランジスタ 11a に定電流 I_w を流し、そのときのソース信号線 18 の電位を測定したものである。したがって、駆動用トランジスタ 11a の特性 ($V-I$ カーブ) で補正されている。印加するプログラム電圧 V D A T A は、各画素 16 の駆動用トランジスタ 11a の特性バラツキを反映している。

【0633】

V D A T A は、 $V-I$ カーブの特性位置 (たとえば、 V_a) で、誤差 0 (誤差がない。たとえば、 I_w を印加すれば $V-I$ カーブで V_a は一義に定まる) である。誤差 0 とは、特定位置 (たとえば、 V_a) で誤差がキャンセルされたことになる。この特定位置 (たとえば、 V_a) の前後で、理想値からずれ、理想特性から誤差が発生する。しかし、特定位置では理想値で動作する。この方式ではソース信号線 18 で測定した電圧 (映像階調に適合するように処理を行っている電圧) を印加し、誤差をキャンセルしていること、電圧 (たとえば、 V_a) 位置を中心として理想値から誤差が発生することから、電圧オフセットキャンセルと呼ぶ。

30

【0634】

プログラム電圧 V D A T A は、電圧オフセットキャンセルされた値となっている。A 期間のこのプログラム電圧 V D A T A により、ソース信号線 18 は、目標の電流が E L 素子 15 に流れるように充放電される。精度が最もよいのは、オフセット電圧 (たとえば、 V_a) とその近傍である。オフセット電圧から遠ざかるにつれ、目標電流からの誤差は大きくなる。

40

【0635】

本発明は、A 期間にプログラム電圧 V D A T A を印加後、B 期間 (必要に応じて図 81 に図示するように、過電流を印加する) に、プログラム電流 I D A T A を印加する。I D A T A は最終的に画素 16 に書き込む (プログラムする) 階調電流である。

【0636】

本発明ではプログラム電流 I D A T A を B 期間に印加する。オフセット電圧近傍以外で V D A T A を印加することにより、目標電流 (画素 16 に書き込む目標値) からの誤差が大きくなっても、B 期間に印加するプログラム電流 I D A T A により理想的な誤差のない (精度の高い) 書き込みを実現できる。

50

【0637】

I D A T Aは、電流階調回路154でプログラム電流に変換され、ソース信号線18に供給される。供給期間は、図25のB期間である。図25などでも説明したように、プログラム電流は非常に精度が高いものである。したがって、精度のよいA期間のプログラム電圧とB期間のプログラム電圧により、画素16のコンデンサ19には、目標の電流がE L素子15に流れるようにプログラムされる。つまり、電圧+電流プログラムを実施できる。

【0638】

図25、図81、図106では、A期間の電圧印加と、B期間の電流印加の両方を1H期間（1水平走査期間）に実施するとしたが、これに限定するものではない。たとえば、低階調領域では1Hのすべての期間をA期間としてもよい。また、高階調領域では1Hのすべての期間をB期間としてもよい。低階調領域では、プログラム電流は微小でありほとんどソース信号線18の充放電には影響を与えないからである。また、低階調領域では、プログラム電圧が支配的となるからである。

【0639】

以上の実施例では、電圧+電流プログラム駆動を実施することにより、あたかも、低階調領域では電圧オフセットキャンセルを実施しているように駆動され、高階調領域では、電流プログラム駆動を実施していることとなる。したがって、電圧駆動の効果と電流駆動の効果が補間して実施することができる。

【0640】

図106における電流データI D A T Aと、電圧データV D A T Aの関係は、図107のように示される。図106において、V tとは駆動用トランジスタの立ち上がり電圧であり、V t電圧以下では、E L素子15には電流が供給されない。V t電圧は駆動用トランジスタの特性バラツキにより各駆動用トランジスタで異なっている。本発明では、V t電圧またはV t電圧の近傍の電圧をV 0としている。V 0をV t電圧の近傍としたのは、ゲート信号線18のオンオフ制御により駆動用トランジスタ11aのゲート端子に突き抜け電圧が発生するからである。この影響を考慮し、駆動用トランジスタ11aが完全な、あるいは画像表示として理想的なあるいは実用的な黒表示ができる階調0の電圧として、V b bを規定（想定）している。

【0641】

本発明では、駆動用トランジスタをオフ状態（電流が流れない）にする電圧V b bを原点として処理あるいは動作させている。つまり、V D A T AはV b b電圧を0とし、9ビット（512）きざみとしている。一方、プログラム電流であるI D A T Aは、E L素子15に電流が流れないときは、0であるから、0を原点とし、8ビット（256きざみ）としている。

【0642】

図106の構成をさらに詳しく図示すれば図56となる。V D A T Aは電子ボリウム152に入力され、電子ボリウム152は、V b bとアノード電圧V d d間の電圧を複数（この実施例では9ビット=512分割）にきざんで出力する。電子ボリウム152の出力は電圧階調回路231に入力される。なお、電圧階調回路231は電子ボリウム152を含むと考えてもよい。他の構成は、図23と同様であるので説明を省略する。

【0643】

図106、図56に図示するように、1つの画素16には、プログラム電流データ（I D A T A）とプログラム電圧データ（V D A T A）が必要である。したがって、図108（a）に図示するように倍速でI D A T A、V D A T Aを伝送している。しかし、倍速伝送は回路系の負担が大きい。この課題を解決するために、まず、アレイ基板30においても対策が必要である。そこで、まず、本発明のアレイ30の製造方法などについて図109などを参照しなから説明をする。

【0644】

画素はR G Bの3画素で正方形の形状となるように作製されている。したがって、R、

10

20

30

40

50

G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット1092を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

【0645】

一般的にレーザー照射スポット1092の長さは10インチというように固定値である。このレーザー照射スポット1092を移動させるのであるから、1つのレーザー照射スポット1092を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示画面34の中央部でレーザー照射スポット1092が重ならないようにする）。 10

【0646】

図109の構成では、レーザー照射スポット1092の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット1092を照射するアニール装置はガラス基板1094の位置決めマーカー1093a、1093bを認識（パターン認識による自動位置決め）してレーザー照射スポット1092を移動させる。位置決めマーカー1093の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー1093を認識し、画素列の位置をわりだす（レーザー照射範囲1092がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット1092を照射してアニールを順次行う。 20

【0647】

図109で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザー照射スポットを照射する方式）は、有機EL表示パネルの本発明の駆動方式に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。駆動用トランジスタ11aの特性が一致するとは、たとえば図107において V_t 電圧が一致あるいは類似していることである。したがって、ソース信号線18に沿った画素の駆動用トランジスタ11aの V_t に対するプログラム電圧は略一致していることになる。ソース信号線18に平行にレーザーを照射し、そのレーザー照射範囲1092をソース信号線18に垂直に移動させているからである。 30

【0648】

1つのソース信号線18に接続された駆動用トランジスタ11aの特性が一致していることは電流駆動において以下の利点がある。たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバ回路14から出力する電流振幅の変化が少ない。もし、図1のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。したがって、ソース信号線18の電位変動は発生しない。また、電圧+電流駆動を実施する場合においても、印加する電圧（プログラム電圧）は変化させる必要がないということになる。 40

【0649】

1つのソース信号線18に接続されたトランジスタ11aの特性がほぼ同一であれば、ソース信号線18の電位変動は小さいことになる。このことは、ソース信号線18に沿った画素の V_0 電圧あるいは V_{bb} 電圧は略同一の値としてもよいことを意味する。また、 $V-I$ 特性も略一致しているため、 V_a 電圧なども同一でよい。つまり、ソース信号線18に沿った画素の $V-I$ 特性は略一致していると考えてよい。

【0650】

ゲート信号線18に平行にレーザーを照射し、そのレーザー照射範囲1092をゲート信号線18に垂直に移動させる場合は、ゲート信号線18に沿った画素の V_0 電圧は略同 50

一の値としてもよいことを意味する。また、 $V-I$ 特性も略一致しているため、 V_1 電圧なども同一でよい。つまり、ゲート信号線18に沿った画素の $V-I$ 特性は略一致していると考えて以下の実施例を適用することは言うまでもない。

【0651】

V_0 電圧は、階調0の電圧を意味するとして説明する。広義には、 V_t 電圧、 V_{bb} 電圧なども意味する。 V_0 電圧は階調0であるから完全な黒表示が対応する。そのため、映像信号とのかかわりで理解が容易であるため V_0 電圧を基準として説明をする。実際には、駆動用トランジスタ11aが電流を流し始める電圧が V_t 電圧であり、理想的な黒表示を行う電圧を V_{bb} 電圧としている。

【0652】

図109のようにアレイを作製することにより、ソース信号線18に沿って駆動用トランジスタ11aの V_0 特性などのプログラム電圧が略一致している。したがって、複数画素の V_0 電圧などが同一として処理（VDATAの発生など）を行ってもよい。

【0653】

図110はソース信号線18に沿った2画素の V_0 電圧を同一にした実施例である。アレイ30は、図109で説明した製造方法で作製している。

【0654】

V_0 電圧は駆動用トランジスタ11aで異なる。図110などの以下で示す実施例では、異なる V_0 電圧を V_0x とし、 x の添え字をつけて示している（ V_01 、 V_02 など）。なお、 V_0 などのVDATAは複数画素で共通にするが、IDATAを各画素で映像信号に対応して異ならせている。もちろん、画像の解像度が不要でない場合は、IDATAも複数画素で共通にしてもよいことは言うまでもない。

【0655】

図110（a）は第1F（フィールド（フレーム））の状態である。図110（a）の点線で示すように奇数画素行と偶数画素行で V_0 電圧を共通にしている。このように構成することにより、2つのIDATAに対して1つのVDATAを伝送することだけでよい。したがって、図108の映像信号SDATAの階調データであるIDATA、VDATAの伝送速度は、1.5倍速で済むことになる。

【0656】

しかし、図110のように、2画素に共通のVDATAにすると、解像度が低下する可能性がある。この課題に対しては、図110（b）に図示するように、第1F（フィールド（フレーム））の次の第2F（フィールド（フレーム））では、偶数画素行と奇数画素行で共通にしている（点線で示している）。第3F（フィールド（フレーム））では、図110（a）のようにVDATAを共通にする（ $V-I$ カーブを共通にする）。

【0657】

図111では、ソース信号線18に沿った画素16の V_0 データ（ $V-I$ カーブ）を共通にした実施例である。図109の実施例のようにアレイを形成する場合に有効である。 V_0 電圧は、1つの画素列の V_0 、 V_1 、 $V-I$ カーブなどを平均化したものを用いる。

【0658】

平均化の方法としては各画素列のソース信号線18に定電流（0電流を含む）を印加し、第1番目の画素行から最後の画素行まで順次選択し、選択するごとにソース信号線18の V_0 あるいは V_1 電圧を測定する。測定後、得られた V_1 または V_0 電圧を平均化して、プログラム電圧 V_0 、 V_1 を求める。

【0659】

図112は、RGBの画素で V_0 電圧などを共通にした実施例である。近接した V_0 電圧は略一致しているからである。図112のようにRGBで共通にする場合は、IDATA、VDATAの伝送は、図108（b）のようになる。RGBで共通のVDATAを伝送し、次に各RGB画素のIDATAを伝送する。以上のように構成すれば、伝送速度はほとんど高くない。

【0660】

10

20

30

40

50

当然のことながら、図 1 1 3 に図示するようにマトリックス状（ブロック状）に V_0 電圧などを共通にしてもよいことは言うまでもない。図 1 1 3 では 1 つのブロックを点線で囲っている。

【0661】

なお、図 1 1 0 などの実施例では、複数画素において V_0 電圧を共通にするとしたが、これに限定するものではなく、複数画素の V_1 電圧などを一致させてもよい。また、本発明は複数画素で $V-I$ 特性を共通にするという技術的思想である。したがって、 V_0 、 V_1 電圧を複数画素で共通にすることに限定されるものではない。 $V-I$ カーブを共通にするとしてよい。また、2 画素に限定されるものではないことも言うまでもない。

【0662】

以上の実施例は、定電流 I_w をソース信号線 1 8 に印加し、定電流 I_w に対応する電圧（ V_a 、 V_0 電圧など）を測定するとした。測定あるいは取得した電圧値を基準として使用あるいは処理を実施し、各駆動用トランジスタ 1 1 a あるいは表示領域内の全体としてあるいは平均として駆動用トランジスタ 1 1 a $V-I$ カーブを求める。

【0663】

本発明の実施例において、各画素で V_0 電圧などを測定するとしたが、これに限定するものではない。たとえば、図 1 0 9 などのように、アレイ 3 0 が形成される場合は、ソース信号線 1 8 に沿った画素列（レーザー照射範囲に沿った画素領域）で共通の V_0 、 V_1 、 $V-I$ カーブとしてもよいことは言うまでもない。たとえば、画素列で V_0 電圧を共通にする場合は、 V_0 電圧は画素列ごとに 1 つだけ測定するだけでよいことは言うまでもない。また、図 1 1 0、図 1 1 1、図 1 1 2、図 1 1 3 のように $V-I$ カーブ、プログラム電圧 V_0 、 V_1 、 V_a などを設定してもよい。

【0664】

以上の実施例は、 V_0 、 V_1 、 V_a などを測定し、 $V-I$ カーブを求めあるいは算出し、電圧+電流駆動などを実施する方式であった。しかし、本発明はこれに限定するものではない。たとえば、図 1 1 4 に図示する実施例を実施してもよい。

【0665】

図 1 1 4 において、スイッチ $S_1 \sim S_n$ （ n はソース信号線 1 4 番号の最大値）を順次クローズさせ、各ソース信号線 1 4 の電位を測定し、測定した電位を A/D 変換回路 3 9 1 で A/D 変換して $EEPROM$ などの不揮発性メモリ 5 0 2 に保持する。保持は $JPEG$ などの圧縮技術を用いておこなってもよい。この保持したデータと映像信号とを用いて電圧階調回路 2 3 1 から電圧階調信号をソース信号線 1 8 に印加し、電圧駆動を実施してよい。

【0666】

図 9 6 で説明した V_0 、 V_1 を測定する際は、図 1 1 6 に図示するように、ソースドライバ回路 1 4 内に定電流発生回路または電流階調回路 1 5 4 を設け、前記回路 1 5 4 から定電流を発生させ、この定電流をスイッチ S_{I1} からスイッチ S_{In} （ n はソース信号線 1 8 の最大値）を順次クローズし、かつスイッチ S_1 からスイッチ S_n を順次クローズさせてソース信号線 1 8 の電位を測定してもよい。

【0667】

たとえば、スイッチ S_{I2} をクローズするとともにソース信号線 1 8 に定電流 I_x を印加し、スイッチ S_2 をクローズさせてソース信号線 1 8 の電位 V_x を測定する。測定した V_x は A/D 変換回路 3 9 1 で A/D 変換し、メモリ 5 0 2 に保持させる。

【0668】

以上の動作をすべてのソース信号線 1 8 あるいは必要なソース信号線 1 8 を選択して実施し、各ソース信号線 1 8 の電位を測定してメモリ 5 0 2 に保持させる。この保持したデータより $V-I$ カーブを求めあるいは立ち上がり電圧を発生させて、電圧階調回路 2 3 1 または電流階調回路などを用いて電圧駆動あるいは電圧+電流駆動もしくは過電流+階調電流駆動（図 2 5、図 8 1 とその説明などを参照のこと）を実施する。

【0669】

10

20

30

40

50

図 1 1 6 は 1 つの電流階調回路 1 5 4 を用いた構成であったが、本発明はこれに限定するものではない。たとえば、図 1 1 7 に図示するように、複数（図 1 1 7 では 3 つの電流階調回路 1 5 4（1 5 4 a、1 5 4 b、1 5 4 c））の定電流回路を構成してもよい。

【0670】

それぞれの電流階調回路 1 5 4 は出力する定電流値が固定されている。たとえば、電流階調回路 1 5 4 a は定電流 I_1 を出力し、電流階調回路 1 5 4 b は定電流 I_2 を出力し、電流階調回路 1 5 4 c は定電流 I_3 を出力する。どの電流階調回路 1 5 4 を選択するかは、スイッチ SW_1 で選択する。電流階調回路 1 5 4 が出力する相対的な定電流の大きさは、ソースドライバ回路 1 4 に外付けの抵抗により可変することができる。

【0671】

図 3 8、図 5 9、図 6 1、図 6 7、図 1 0 2、図 1 1 1、図 1 1 2、図 1 1 3 などでは説明したように、各ソース信号線 1 8 には定電流 I_w などを印加し、ゲート信号線 1 7 a を順次選択して、ソース信号線 1 8 の電位を測定する。しかし、本発明はこれに限定するものではない。たとえば、図 1 1 8 に図示するように、すべてのゲート信号線 1 7 a を選択し、画素 1 6 のトランジスタ 1 1 a を動作状態にしてもよい。

【0672】

図 1 1 8 では、一例としてゲートドライバ回路 1 2 a を用いて、すべてのゲート信号線 1 7 a にオン電圧を印加する。前記オン電圧印加状態で、各ソース信号線 1 8 または 1 つ以上のソース信号線 1 8 に定電流を印加する。一方、ゲートドライバ回路 1 2 b を動作させてゲート信号線 1 7 b にはオフ電圧を印加しておく。つまり、EL 素子 1 5 には電流経路は発生していない。他の動作は以前に説明した実施例と同様であるので説明を省略する。

【0673】

また、ソース信号線 1 8 には電流を流さない状態にする。つまり、ソースドライバ回路 1 4 は図 2 3 のスイッチ 1 6 1 b をオープン状態にする。表示画面 3 4 のすべての画素 1 6 の駆動用トランジスタ 1 1 a は平均して最も電流 EL 素子 1 5 に電流を流さないように自然に調整される。この状態のソース信号線 1 8 の電圧を V_0 電圧としてメモリに保持させる。他の動作は以前に説明した実施例と同様であるので説明を省略する。

【0674】

もちろん、図 1 1 9 に図示するように、1 つのソース信号線 1 8 を選択して定電流（ $I_w = I_1$ ）を印加し、1 つ以上のゲート信号線 1 7 a を順次選択して、 V_1 電圧などを測定してもよいことはいうまでもない。また、図 2 3 のスイッチ 1 6 1 b をオープン状態にして V_0 電圧を測定する。

【0675】

また、図 1 2 0 に図示するように、表示画面 3 4 を選択ブロック（3 4 a、3 4 b）に分割し、複数の表示ブロックのいずれかをブロック単位で選択（選択されたブロックのゲート信号線 1 7 a にはオン電圧を印加する）し、各ブロックに定電流などを印加あるいはソース信号線 1 8 をソースドライバ回路 1 4 から切り離してハイインピーダンス状態にして、 V_1 電圧、 V_0 電圧を測定してもよいことはいうまでもない。この場合は、各選択したブロックで V_0 あるいは V_1 電圧などを測定し、平均化処理を実施する。たとえば、3 4 a、3 4 b の 2 ブロックで V_{01} 、 V_{02} の電圧を測定されたとするならば、 $V_0 = (V_{01} + V_{02}) / 2$ とする。

【0676】

以上のように、複数の画素行を同時に選択し、定電流を印加することにより平均した電圧 V_0 、 V_1 などを測定することができる。したがって、後に平均化処理などを実施する必要がなくなる。

【0677】

測定された V_0 、 V_1 電圧などは、A/D 変換されたメモリ 5 0 2 などに記憶され、また、メモリから読み出され D/A 変換されることに限定されるものではない。表示状態（たとえば、0 階調目の黒表示）に適合したように、測定などされた V_0 、 V_1 は処理され

10

20

30

40

50

る。たとえば、測定などされた V_0 、 V_1 から一定の値を加算あるいは減算される。また、一定の比率で除算あるいは乗算される。また、パネル温度などにより補正される。

【0678】

たとえば、ソース信号線 S_1 で測定された $V_0 = 4.1\text{ V}$ 、ソース信号線 S_2 で測定された $V_0 = 3.9\text{ V}$ の場合、一定比率の 0.2 V が加算されて、ソース信号線 S_1 に 4.3 V が、ソース信号線 S_2 に 4.1 V が0階調目の電圧として印加される。0階調目の電圧の印加後、電流プリチャージ電圧 V_p が実施され、その後、階調電流が印加される。

【0679】

もちろん、図121に図示するように、表示画面34を複数のブロックに区分してもよい。なお、図121(a)の V_{01} 、 V_{02} などの表示は、各処理ブロックで測定された電圧値である。また、図121(b)は縦方向の処理ブロックで平均した値である。たとえば、図121(a)のa列は、 V_{01} 、 V_{02} 、 V_{01} 、 $V_{01} \cdots V_{04}$ である。この平均化処理した結果が、図121(b)のa列の V_{01} となっている。同様に、図121(a)のb列は、 V_{02} 、 V_{04} 、 V_{06} 、 $V_{02} \cdots V_{02}$ である。この平均化処理した結果が、図121(b)のb列の V_{02} となっている。図121(a)のc列は、 V_{01} 、 V_{02} 、 V_{01} 、 $V_{01} \cdots V_{01}$ である。この平均化処理した結果が、図121(b)のc列の V_{01} となっている。

10

【0680】

本発明において、図109などで説明したように、レーザー照射はソース信号線18に平行になるようにすることが好ましい。また、ドーピング方向もトランジスタ11aの特性がソース信号線に平行方向に近似するように実施することが好ましい。図121などで説明した V_0 、 V_1 電圧が画素列方向に近似し、補正あるいは補償が容易になるからである。

20

【0681】

図122に図示するように、ソースドライバ回路14aの電流階調回路154は、カスケード接続により隣接したドライバIC14bに定電流を引き渡せるように構成されている。図122のソースドライバ回路14の電流階調回路154aはスイッチ $S_a \sim S_n$ によりソース信号線18に定電流を印加できるように構成されている。また、電圧階調回路231aは、 V_0 、 V_1 電圧で補正された階調電圧がソース信号線18に印加されるように構成されている。

30

【0682】

また、各ソース信号線18に印加（出力）された電圧はソースドライバ回路14aのスイッチ $S_1 \sim S_{160}$ と、ソースドライバ回路14bのスイッチ $S_{161} \sim S_{320}$ に共通に接続あるいは配置されている。したがって、1～320本の各ソース信号線18の電位は、1つのA/D変換回路391に出力される。スイッチ S の電圧配線1222は、各ソースドライバ回路14内を横方向に配線されている。ソースドライバ回路14aとソースドライバ回路14b間はソースドライバ回路14のa、b端子で接続されている。

【0683】

ソースドライバ回路14aの電流階調回路154aはトランジスタ168aとカレントミラー回路を構成している。トランジスタ168aに流れる電流は外付け抵抗 R_1 で調整される（図17などを参照のこと）。トランジスタ168aへの経路にカスケード回路1221aが形成されている。基本的には、カスケード回路1221は図17、図15などで説明したようにオペアンプ回路151aとトランジスタ167aから構成される。同様に、ソースドライバ回路14bのトランジスタ168bと電流階調回路154bもカレントミラー回路を構成している。

40

【0684】

カスケード回路1221aは2つの同一の定電流を発生させ、1つの電流をトランジスタ168aに供給し、もう一方の電流を端子c、端子dで、ソースドライバ回路14bのカスケード回路1221bに供給する。この構成により、トランジスタ168aとトランジスタ168bには同一の電流が供給される。したがって、ソースドライバ回路14aの

50

電流階調回路 154a の出力電流は抵抗 R1 で調整あるいは可変される。この電流と同一の電流がソースドライバ回路 14b の電流階調回路 154b にも印加される。そのため、ソース信号線 18 の 1 ~ 320 には同一の定電流が供給されることになる。

【0685】

図 124 は、主として図 122 に EEPROM 502 などの接続状態を記載した説明図である。ソース信号線 18 はオープン状態に保持されて V0 電圧を測定されるか、電流階調回路 154 から定電流が各ソース信号線 18 に供給されて、V1 などの電圧が測定される。測定は、スイッチ S1 ~ Sn が順次クローズされることにより実施される。

【0686】

測定された V0、V1 電圧などは、端子 c より出力され、A/D 変換回路 391 でアナログ→デジタル変換されて EEPROM などのメモリ 502 に格納される。メモリ 502 に格納するデータは、1 つの絶対値を示す V0 データと、このデータとの差分である Vs データである。具体的には、V0 = 1.5 V とすると、ソース信号線 S1 の電圧値は 1.6 V とすると、差分である Vs1 = 0.1 V が格納される。また、ソース信号線 S2 の電圧値は 1.7 V とすると、差分である Vs2 = 0.2 V が格納される。・・・・・・、ソース信号線 Sn の電圧値は 1.4 V とすると、差分である Vs1 = -0.1 V が EEPROM 502 に格納される。差分データなどは、JPEG 圧縮などを実施してもよいことはいふまでもない。EEPROM 502 には、パネルの特性データ（ガンマカーブなど）、制御 DATA（ゲート信号線のタイミング信号など）も格納される。

【0687】

EEPROM 502 のデータ V0x は、コントローラ回路（IC）801 の制御信号により 3 線シリアルバスによって、コントローラ回路（IC）801 のメモリ領域に転送される。格納されたデータは、サンプルホールド回路 241 にデジタル映像信号 DATA の CLK に対して、通常クロックの 1/2 以下のゆっくりしたクロック SCLK で転送される。なお、デジタルデータ V0x は D/A 変換回路 1241 でアナログの電圧データ V0x に変換される。

【0688】

一方、デジタル映像信号 DATA は CLK に同期して、コントローラ回路（IC）801 に印加され、コントローラ回路（IC）801 はデジタル映像信号 DATA をソースドライバ回路 14 の入力フォーマットに適應するように処理し、クロック MCLK に同期して、ソースドライバ回路 14 に印加される。

【0689】

以上の実施例では、表示を行う画素 16 に定電流を供給し、ソース信号線 18 の電位を測定あるいは計測もしくは取得するものであった。しかし、本発明はこれに限定するものではない。たとえば、図 123 に図示するように、V0 電圧を測定する画素 16d を形成しておいてもよい。画素 16d で V0、V1 電圧などを測定し、測定したデータを前記画素 16d が接続されたソース信号線 18 に接続された画素列の特性データとする。

【0690】

図 123 に図示するように、画素 16d に定電流 I1 を印加する。また、ゲート信号線 17ad にオン電圧を印加する。このようにすることにより、電流 I1 が駆動トランジスタ 11ad から供給される。電流 I1 が流れている時の、ソース信号線 18 の電位 V0、V1 などを測定する。他の構成は以前に説明した内容と同一または類似であるので説明を省略する。

【0691】

電圧階調回路 231 は、図 125 に図示するようにサンプルホールド回路で構成してもよい。電流階調回路 154 で定電流がソース信号線 18 に供給される。また、スイッチ S1 ~ Sn により、各ソース信号線 18 の電位は電圧配線に読み出され、A/D 変換回路 391 でデジタルデータに変換されて EEPROM 502 に格納される。

【0692】

EEPROM 502 に格納されたデータは、コントローラ回路 801 により定期的に読

10

20

30

40

50

み出され、D/A変換回路1241でアナログデータに変換される。この際、プリチャージに適合するように、値は補正される。サンプルホールド回路241では、前記データをサンプルホールドする。サンプルホールドするのは、回路規模が小さく、ソースドライバ回路14のチップサイズを小さくできるからである。

【0693】

サンプルホールドされた電圧は、1Hの同期信号に同期して、各ソース信号線18に印加される。ただし、サンプルホールド電圧を出力する必要がないソース信号線18には印加されない。必要印加後、電流あるいは電圧プリチャージが必要な階調変化が発生する箇所には、プリチャージ処理が実施される。プリチャージ処理の後、またはサンプルホールド電圧が出力された後、電流階調回路154から映像信号に対応する駆動電流がソース信号線18に出力される。 10

【0694】

以上のように、本発明は、必要に応じてサンプルホールド電圧をソース信号線18に印加後、必要に応じて電流あるいは電圧プリチャージを実施する。その後、階調電流をソース信号線18に印加する駆動方式である。なお、以上の信号をソース信号線18に印加するとしたが、画素16あるいは画素の駆動トランジスタ11aに印加あるいは供給すると読み替えてもよいことは言うまでもない。

【0695】

図125は、ソースドライバ回路14の外にA/D変換回路などを具備する構成であった。しかし、本発明はこれに限定するものではない。たとえば、図126に図示するように、ソースドライバ回路14の内部にEEPROM502を形成してもよい。V0などのオフセット電圧は、端子aからソースドライバ回路14外部に出力される。また、EEPROM502からのデータをソースドライバ回路14の内部に形成したD/A変換回路1241でアナログデータに変換して、サンプルホールド回路241に供給してもよい。サンプルホールド回路241はクロックSCLKに同期して動作する。SCLKは映像信号の同期クロックよりもゆっくりとしたクロックである。SCLKはサンプルホールドが放電によりゆれが発生しないレベルに低速動作する。たとえば、水平同期クロックで動作する。他の構成あるいは動作は、本発明の他の実施例で説明しているので説明を省略する。 20

【0696】

以上の実施例は、プリチャージ電圧Vp（プログラム電圧VDATA）を印加後、プログラム電流を印加する方式であった。本発明はこれに限定するものではない。たとえば、図127に図示するように、完全に電圧駆動としてもよい。なお、図81（b）で説明したように、一定の条件を満足する場合は、プリチャージ電圧Vp（プログラム電圧VDATA）を印加せず、プログラム電流を印加してもよい。 30

【0697】

図127において、定電流出力回路1271から定電流（ $I_w = I_x$ ）がソース信号線18に供給される。なお、供給あるいは印加とは、吐き出し電流と吸い込み電流の2通りがある。各ソース信号線18の電位Vx（Vxは駆動用トランジスタ11aのV-I特性において、 I_x に対応する電圧）には、スイッチS1～Sxの操作により端子aから出力される。 40

【0698】

選択された画素16の駆動用トランジスタ11aの動作により、ソース信号線18の電位は、Vxとなる。なお、定電流を供給しない場合はV0であるとする。また、定電流Ixを印加した場合はVxとする。xは階調に該当し1以上255以下（8ビット表示の場合）とする。

【0699】

ソース信号線18の電位Vx（V0も含む）は、A/D変換回路391でA/D変換されEEPROM502に保持される。EEPROM502の出力は、電圧階調回路231で、Vx電圧を基準として、映像データに対応してガンマ処理などが実施されて各ソース信号線18に印加される。図127は、駆動状態としては電圧駆動である。ただし、最初 50

に画素 16 に定電流を供給し、オフセットの電圧 (V_0) を取得している点が従来のプログラム電圧駆動と異なる。

【0700】

図 127 の実施例は、ソース信号線 18 の電位 V_x をメモリ 502 に保持する方式であった。しかし、本発明はこれに限定するものではなく、電位 V_x をサンプルホールド回路で一時的に保持して、この電圧 V_x から映像信号に対応する階調電圧 (プログラム電圧) を発生し、ソース信号線 18 に印加 (画素 16 に印加) してもよい。

【0701】

以下、本発明の他の実施例について説明をする。本発明のドライバ回路およびそれを用いた EL 表示装置は、定電流発生回路と、前記定電流発生回路を出力する定電流は EL 素子を駆動するトランジスタに印加し、前記定電流を印加した状態で前記トランジスタのゲート端子電圧を測定あるいは所定期間保持する電圧保持回路と、前記電圧保持回路が保持などした電圧に所定の電圧信号を加算、減算あるいは所定処理をし、前記トランジスタのゲート端子に印加する電圧印加回路とを具備する構成あるいは方法である。

10

【0702】

図 128 は本発明の駆動回路部の説明図である。ソースドライバ回路 14 の出力端子 83 はソース信号線 18 に接続されている。各ソース信号線 18 には、画素 16 が接続されている。各出力端子 83 には、電流階調回路 154、電圧階調回路 231 が構成あるいは形成されている。なお、電流階調回路 154 は、プログラム電流などの階調電流を出力できるものである。ただし、機能的には所定の定電流 (プログラム電流) を出力できる構成であればよい。

20

【0703】

各出力にはスイッチ SW1、SW2、SW3、SW4、SW5 が形成または配置されている。また、コンデンサ 1341、バッファ 151 が形成または配置されている。コンデンサ 1341 は、直流 (DC) 成分のカットする機能を有するものであればいずれでもよい。または、電位をシフトできるものであればいずれのものでもよい。バッファ 151 は入力の a 部が高インピーダンスで、出力の b 部が低インピーダンスのものであればいずれでもよい。たとえば、バッファアンプ、オペアンプなどが例示される。その他、トランジスタ素子でエミッタフォロワ回路を構成してもよい。

【0704】

先の実施例と同様に、本発明の EL 表示パネル (EL 表示装置) の画素 16 の構造は、図 1 などに示すように、1 つの画素 16 が 4 つのトランジスタ 11 ならびに EL 素子 15 により形成される。少なくとも、EL 素子 15 を駆動するトランジスタを介した電流の経路が、ソース信号線 18 まで継続できる画素構成である。

30

【0705】

本発明は、画素 16 の駆動用トランジスタ 11a にプログラム電流 (定電流 I_w) を流し、プログラム電流を流した状態で駆動用トランジスタ 11a のゲート端子電位を測定または一定の期間、保持することの特徴とする。また、ゲート端子電位に階調電圧を加減算し、加減算した電圧を画素の駆動用トランジスタ 11a のゲート端子に書き込むことを特徴とする。

40

【0706】

第 1 の動作は EL 素子 15 に流す電流値を記憶させる動作である。まず、ソースドライバ回路 14 の電流階調回路 154 から所定の定電流がソース信号線 18 に印加される。電流階調回路 154 の一例を図 129 に示す。

【0707】

電流階調回路 154 は、一例としてオペアンプ 151 とトランジスタ 167 および抵抗 R で構成される。オペアンプ 151 の + 側端子には電子ポリウム 152 が接続される。電子ポリウムは、デジタルデータ DATA をアナログデータ V に変換する D/A 変換回路として動作する。電子ポリウム 152 の出力電圧 V は設定データ (デジタルデータ) DATA により変更される。ソース信号線 18 に流れる電流 I_w は、電子ポリウム 152 の出力

50

電圧 V を抵抗 R で除算した値となる。

【0708】

本発明において電子ポリウム152を削除し、+端子に抵抗分圧回路などにより電圧 V を発生させ、オペアンプ151に印加することにより定電流をソース信号線18に印加してもよい。その他、定電流は電流階調回路154に限定するものではなく、所定あるいは一定範囲の定電流を発生できるものであればいずれのものであってもよい。たとえば、エミッタフォロワ回路でも定電流を発生することができる。

【0709】

定電流 I_w とは電流0の状態（電流が流れない）も含む。図1の画素構成にあって、プログラム電流 $I_w = 0$ とすれば、駆動用トランジスタ11aは、電流が流れないようにゲート端子の電位（コンデンサ19の一端子の電位）を変動（可変）させる。したがって、定常電流 I_w は0となる。この変動後の駆動用トランジスタ11aのゲート端子電圧は駆動用トランジスタ11aの特性を示していることになり、この端子電圧を基準に階調設定を行うことにより駆動用トランジスタ11aの特性補償を良好に実施できる。

【0710】

ソースドライバ回路14からソース信号線18にプログラム電流 I_w を印加しているときは、図5(a)に図示するように、トランジスタ11bならびにトランジスタ11cがオン（クローズ）する。また、トランジスタ11dはオープン状態に制御される。トランジスタ11b、11c、11dの制御は、ゲート信号線17a、17bに印加するオンオフ信号により行う（図130(a)を参照のこと）。

【0711】

図130(a)に図示するように、ソースドライバ回路14は、プログラム電流（定電流）を印加する前に、リセット動作を行う。リセット動作では、図128、図130に図示するスイッチSW2、SW4、SW5はオープン状態に設定され、スイッチSW3はクローズにされて、コンデンサ1341にグランド電位または所定の固定電圧が印加される。スイッチSW1はクローズさせた状態でソース信号線18にプログラム電流を印加してもよい。以上の動作がリセット動作である。リセット動作では、コンデンサ1341の一端子cに固定（既知）の電圧を印加する。既知の電圧とはグランド電圧も含まれる。コンデンサ1341の容量は、0.05 pF以上2 pF以下とすることが好ましい。

【0712】

次の電圧読み取り動作では、スイッチSW1をクローズさせ、プログラム電流（定電流） I_w をソース信号線18に印加する。このとき、スイッチSW3、SW4、SW5はオープン状態とし、スイッチSW2はクローズ状態にする（図130(a)を参照のこと）。

【0713】

図1に示す画素16の駆動用トランジスタ11aは、プログラム電流 I_w を流し、また、プログラム電流 I_w を流すようにゲート端子電位を変化させる。ゲート端子電位は、トランジスタ11b、11cがクローズ状態であるため、ソース信号線18に出力される（読み出される）。ソースドライバ回路14内のスイッチSW2がクローズされているため、結果的にプログラム電流（定電流） I_w を流す駆動用トランジスタ11aのゲート端子電位は、ソースドライバ回路14のaに印加される（読み出される）ことになる。

【0714】

プログラム電流（定電流） I_w の大きさは、0でもよいが、最大階調電流の $1/8$ 以上 $2/3$ 以下の範囲となるように設定することが好ましい。なお、書き込み時間を短縮するため、最大階調電流の1倍以上10倍以下に設定しても構わない。最大階調電流とは、最大階調でのEL素子15に流れる電流の大きさまたは画素16にプログラムされるプログラム電流の大きさである。たとえば、256階調では、最大階調電流は、255階調目でEL素子15にプログラムされる電流である（0階調から階調番号は開始されるとしている）。

【0715】

10

20

30

40

50

プログラム電流（定電流）が小さいと、ソース信号線 18 の寄生容量を充放電する時間に長時間を必要とし、駆動用トランジスタ 11 a のゲート電位の変化が 1 水平走査期間（1 H 期間）の最初の短時間では収束しない。また、プログラム電流（定電流）が大きいと、比較的駆動用トランジスタ 11 a の特性バラツキの影響が画像表示として出現しやすい低階調領域での特性補償が低くなる。以上の実施例では、最大階調電流の $1/8$ 以上 $2/3$ 以下の定電流を画素 16 に印加するとしたが、階調数の番号でこの範囲を表現してもよい。以上が電圧の読み出し動作である。

【0716】

以上の動作により、コンデンサ 1341 の a 部には、駆動用トランジスタ 11 a のゲート端子電位が読み出される。または、コンデンサ 1341 の a 部に保持される。図 128 の実施例では、コンデンサ 1341 の a 部に駆動用トランジスタ 11 a のゲート端子電位を読み出し、保持するとした。本発明はこれに限定するものではない。たとえば、a 部の電位を A/D（アナログ→デジタル）変換し、デジタルデータとしてソースドライバ回路 14 内または外部に形成または構成されたメモリ回路に保持してもよい。もちろん、アナログデータの状態で一定の期間、ソースドライバ回路 14 外あるいは内の記憶手段などに保持させてもよい。

【0717】

次の動作は、読み取った電圧を基準（中心、原点）にして階調電圧を印加する動作である（図 130（b）を参照のこと）。この動作では、スイッチ SW1、SW2、SW3 がオープン状態となり、スイッチ SW4、SW5 がクローズ状態に制御される。コンデンサ 1341 の a 部には、選択した画素 16 の駆動用トランジスタ 11 a のゲート端子電圧が保持されている。この定電流を流した時に保持される電圧を V_a 電圧と呼ぶ。ゲート端子電圧は、駆動用トランジスタ 11 a が、プログラム電流（定電流）を EL 素子 15 に流すのに必要な電圧である。c 部にグランド（GND）電圧が印加されているとすると、コンデンサ 1341 の両電極間には、駆動用トランジスタ 11 a のゲート端子電圧が保持されていることになる。

【0718】

オペアンプ 151 のゲインが 1 とすると、a 部の電圧がスイッチ SW5 を介してソース信号線 18 に印加されることになる。画素 16 のトランジスタ 11 b、11 c は選択された 1 水平走査期間（1 H 期間）、クローズしているから、この状態では、読み出された駆動用トランジスタ 11 a のゲート端子電圧が、再び画素 16 の駆動用トランジスタ 11 a のゲート端子に印加されることになる。したがって、駆動用トランジスタ 11 a は定電流に該当する電流を EL 素子 15 に流す。以上の状態は駆動用トランジスタ 11 a の特性バラツキを補償し、精度よく EL 素子 15 に定電流（プログラムされた電流）を流していることになる。なお、 V_a 電圧は、駆動用トランジスタ 11 a の特性により各画素で異なっていることは言うまでもない。しかし、EL 素子 15 に流す電流は精度よくプログラム電流（定電流）が印加される。

【0719】

電圧階調回路 231 は、各階調に対応する階調電圧 V_x を出力する。階調電圧 V_x とは、映像信号の階調番号に対応する電圧である。映像信号と考えてもよい。階調電圧 V_x をそのままあるいは一定処理（比例処理、シフト処理、加減算処理など）を行い、駆動用トランジスタ 11 a にプログラム電圧として印加することにより画像表示を行うことができる。

【0720】

階調電圧 V_x は、スイッチ SW4 と介して、コンデンサ 1341 の c 部に印加される。コンデンサ 1341 の a 部の電位 V_a は、電圧階調回路 231 が出力する階調電圧 V_x がシフトされる。したがって、a 部の電位は、理想的には $V_a + V_x$ となる。

【0721】

$V_a + V_x$ 電圧は、ゲイン 1 であるオペアンプ 151 で低インピーダンスにされて出力される。 $V_a + V_x$ 電圧は、スイッチ SW5、出力端子 83 を介してソース信号線 18 に

10

20

30

40

50

印加され、画素 16 の駆動用トランジスタ 11 a のゲート端子に印加される。したがって、駆動用トランジスタ 11 a は、 $V_a + V_x$ に対応する電流を EL 素子 15 に印加する。

【0722】

図 128 では、オペアンプ 151 は、ゲイン 1 としたがこれに限定するものではなく、1 以外でもよい。たとえば、2 倍であれば、オペアンプ 151 は a 部に印加された電圧を 2 倍にしてソース信号線 18 に印加する。また、印加された a 部の電圧の極性の反転動作を行ってもよい。また、階調電圧 V_x とは、各階調に対する任意の電圧である。階調電圧 V_x は、 V_a 電圧を中心として発生あるいは設定する。

【0723】

図 128 では、オペアンプ 151 を使用するとしたがこれに限定するものでない。入力インピーダンスが高く、出力インピーダンスが低いものであればいずれのものであってもよい。たとえば、図 146 はトランジスタによるエミッタフォロワ回路 1431 を用いた構成例である。トランジスタ Q と抵抗 R でエミッタフォロワ回路 1431 が構成されている。a 部からトランジスタ Q のゲートをみたインピーダンスは高く、b 部の出力インピーダンスは低くなっている。したがって、コンデンサ 1341 の電位を安定して保持することができ、スイッチ SW5 を介して印加する電圧によりソース信号線 18 を良好に充放電することができるため、画素 16 の駆動用トランジスタ 11 a に良好に階調電圧を印加できる。

【0724】

図 128 において、電流階調回路 154 は、各ソース信号線 18 に対応してソースドライバ回路 14 内に配置または形成するとしたが、本発明はこれに限定するものではない。たとえば、図 131 に図示するように、1 つまたは複数の定電流源 1312 を配置し、前記定電流源 1312 はスイッチ回路 1311 で切り替え、各ソース信号線 18 または各出力端子 83 に形成または構成された電流出力回路 1313 に印加してもよい。電流出力回路 1313 は、カレントミラー回路あるいはカレントコピア回路が構成されており、定電流源 1312 から印加された電流値を保持できるように構成されている。保持は、電流出力回路 1313 内に構成あるいは形成されたカレントミラー回路またはカレントコピア回路により行われる。

【0725】

定電流源 1312 が出力する定電流（階調電流）は、一定値の定電流に限定するものではない。64 階調あるいは 256 階調など、複数の階調数、電流の大きさを出力できるものであってもよい。また、定電流は、1 水平走査期間（1H）ごとにその値を変化できるように構成してもよい。また、ドットクロックに同期して 1 画素ごとにその値を変化できるように構成してもよい。定電流源 1312 は電流階調回路 154 と置き換えてもよい。

【0726】

階調電圧 V_a は階調番号に置き換えてもよい。たとえば、 V_a 電圧が 256 階調の 128 階調目とし、 $V_x = V_c - V_a$ が 64 階調分の電圧に該当するとする。電圧階調回路 231 が V_x を出力することにより、 V_c は $128 + 64 = 192$ 階調となる。 V_x が一方向に作用するとし、 $V_a - V_x$ が 64 階調分の電圧に該当するとすれば、電圧階調回路 231 が V_x を出力することにより、 V_b は $128 - 64 = 64$ 階調となる。図 132 では、 V_b に対応する電流は I_b である。もちろん、階調電圧 V_a は電圧であればいずれの単位、大きさのものであってもよいことはいうまでもない。

【0727】

以上の階調電圧による EL 素子 15 に流す電流は、図 132 で示される。図 132 の実線は、画素 16 の駆動用トランジスタ 11 a の $V-I$ 特性を示している。図 132 では、 V_a 電圧では、電流 I_a が EL 素子 15 に流れるとしている。階調電圧 V_x は、各階調に対応する電圧である。階調電圧は、 V_a を中心に + 側（ $+V_a$ ）と - 側（ $-V_x$ ）で変化させる。たとえば、+ 側に変化させた時、EL 素子 15 に印加される電流は I_w であり、- 側に変化させた時、EL 素子 15 に流れる電流は V_b である。つまり、電圧階調回路 231 は、電圧 V_a を基準として + 側または - 側の電圧を加減算などし、a 部に保持させる

。なお、電圧階調回路 231 が出力する電圧は 0 であってもよいことは言うまでもない。

【0728】

V_a 電圧は、駆動用トランジスタ 11a の出力電流が 0 となる電圧であってもよい。この場合は、電流階調回路 154 の出力電流は 0 とする（電流階調回路 154 は不要である）。該当する選択画素 16 のゲート信号線 17a にオン電圧を印加する。ゲート信号線 17a にオン電圧を印加することにより、駆動用トランジスタ 11a は、EL 素子 15 に流す電流が 0 となるように、ゲート端子電位を変動させる。この EL 素子 15 に流す電流が 0 となる電位 V₀ が、オペアンプ 151 の a 部に保持される。電圧階調回路 231 が + 側の電圧を出力し、+ 側の電圧と a 部に保持された電圧が加算されてオペアンプ 151 の b 部に出力される（図 133 を参照のこと）。

10

【0729】

図 133 に示すように、電流階調回路 154 からソース信号線 18 に流す電流を 0 とし、駆動用トランジスタ 11a が EL 素子 15 に流す電流が 0 となるように動作した後のソース信号線 18 の電位 V₀ を測定する。V₀ は電圧オフセットキャンセル動作した後の電圧である。V₀ を基準として階調電圧 V_x を印加して EL 素子 15 に電流 I_e を流すように動作する。

【0730】

図 130 (c) に示す第 2 の動作は、EL 素子 15 に電流を印加する第 2 の動作である。第 2 の動作は、図 1 にあっては、駆動用トランジスタ 11a のゲート端子に印加された電圧に基づき、駆動用トランジスタ 11a が EL 素子 15 に電流 I_e を印加する。各画素 16 の EL 素子 15 は印加された電流 I_e により発光動作する。

20

【0731】

以上の動作は、ゲートドライバ回路 12 が順次、画素行を選択することにより実施される。つまり、1 水平走査期間に画素行を選択する。まず、1 水平走査期間の最初に、選択した画素行に定電流を印加する。定電流の印加状態で、前記駆動用トランジスタ 11a が定電流を流すために必要な V_a を読み取る、あるいは a 部に保持させる。次に V_a 電圧に階調電圧を加減算して、駆動用トランジスタ 11a のゲート端子に印加する。以上で 1 水平走査期間が完了する。選択された画素行は次の 1 水平走査期間以降の所定の期間、EL 素子 15 に電流を印加し、EL 素子 15 が発光する。

【0732】

30

次に 1 水平走査期間では、次の隣接した画素行が選択される。1 水平走査期間に画素行を選択し、水平走査期間の最初に選択した画素行に定電流を印加して、前記駆動用トランジスタ 11a が定電流を流すために必要な V_a を読み取る。次に V_a 電圧に階調電圧を加減算して、駆動用トランジスタ 11a のゲート端子に印加する。以上で 1 水平走査期間が完了する。

【0733】

各画素 16 に印加する定電流 I_w は、各画素 16 の EL 素子 15 に流す電流 I_e の大きさ、書き換える電流差、点灯周期などに対応して、定電流 I_w の大きさを可変あるいは変化もしくは調整してもよい。また、表示画面 34 全体で使用する最大電流に対するそれぞれの画像表示で使用する電流の割合（点灯率）に対応して可変あるいは変化もしくは調整してもよい。特に最大値が 100% として、25% 以下の場合に、定電流 I_w を増加させることが好ましい。つまり、点灯率に対応して定電流 I_w の大きさを変化（制御）する。

40

【0734】

各画素 16 の EL 素子 15 に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、オペアンプ 151 のアンプ倍率を変化させてもよい。また、定電流を印加している期間を可変してもよい。また、各画素 16 の EL 素子 15 に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、電圧階調回路 231 が出力する階調電圧 V_x の増幅率を変化してもよい。また、V_a 電圧、V₀ 電圧に対して一定量の電圧を補正して、補正した V_a、V₀ を基準電圧として使用してもよい。また、スイッチ SW2 などは省略してもよい。

50

【0735】

図128は、図134のように構成してもよい。図134は、スイッチSW3にD/A（デジタルアナログ）変換回路1241を接続した構成である。D/A変換回路1241は8ビットのデジタルデータDATAに基づきスイッチSW3を介してc部に電圧を印加する。したがって、c部には、グラウンド（GND）電位に限定せず、多種多様な電圧を印加することができる。たとえば、駆動用トランジスタ11aのゲート端子から読み取った電圧Vaをコンデンサ1341の一方の電極c部に印加することができる。したがって、コンデンサ1341のオフセットキャンセルを容易にかつ良好、また自由に実施あるいは設定できる。

【0736】

10

また、図134の構成によりa部に印加される電圧を一定の電圧シフトを行うことができる。この構成により、ゲート信号線17aがオン電圧印加状態からオフ電圧印加状態に変化した時に発生する突き抜け電圧により駆動用トランジスタ11aのゲート端子電位の電位がシフトすることを抑制または増大することができる。他の構成は、図128と同様または類似であるので説明を省略する。

【0737】

また、図128では、ソース信号線18の電位をコンデンサ1341などにより、アナログ的に保持させるとしたが、本発明はこれに限定するものではない。たとえば、図135のように構成してもよい。

【0738】

20

図135において、ソース信号線18の電位は、アナログデジタル（A/D）変換回路391でアナログデジタル変換される。A/D変換されたデジタルデータは、加算回路651により電圧階調回路231の出力電圧と加算される。加算された電圧は、図128と同様にオペアンプ151の入力a部に印加され、インピーダンス変換されてb部より出力される。他の動作、構成は図128と同様あるいは類似であるので説明を省略する。

【0739】

加算回路651は図128においては、コンデンサ1341と電圧階調回路とを加えたのと同様あるいは類似の機能を発揮する。A/D変換回路391は電位を測定し、保持する機能を有するため、図128のコンデンサ1341の機能を有する。加算回路651は、電圧階調回路231の出力データをA/D変換回路391の出力データを加算（減算でもよい）して、a部に出力する。したがって、コンデンサ1341のa部の電圧Vaと電圧階調回路の出力電圧Vxを加えてa部の電位をシフトするのと同様の動作となる。

30

【0740】

また、A/D変換回路391は測定あるいは保持した電圧をデジタルデータとして加算回路651に印加するとしたがこれに限定するものではない。たとえば、A/D変換回路391のデジタルデータをソースドライバ回路14の外部あるいは内部に構成あるいは形成したメモリ回路（図示せず）に保持させてもよい。このデジタルデータを随時読み出し、加算回路651に印加あるいは出力する。

【0741】

40

ソース信号線18の電位は、ソースドライバ回路14が出力する電圧または電流により変動する。基本的には、ソース信号線18の電位は、1水平走査期間ごとに書き換えられる。本発明は、1水平走査期間（1H）の最初に定電流を印加して、駆動用トランジスタ11aを動作させ、動作が完了し定常状態となった駆動用トランジスタ11aのゲート電位を測定あるいは取得もしくは保持する。測定等した電圧を基準として階調電圧を駆動用トランジスタ11aに印加することにより、駆動用トランジスタ11aの特性バラツキを補償する。

【0742】

なお、定電流Iwは1水平走査期間（1H期間）内において、定常的に所定の一定電流とすることに限定するものではない。たとえば、定電流Iwを、定電流の印加開始時に大きな電流とし、一定期間後、所定の定電流Iwに設定してもよい。このように動作させる

50

ことにより、ソース信号線 18 などの寄生容量を短時間で充放電することができる。つまり、定電流 I_w は 1 H 期間において、多段階に変化させてもよい。また、ソース信号線 18 の電位により、多段階に切り替える定電流の大きさを変化あるいは変更してもよい。

【0743】

駆動用トランジスタ 11 a のゲート端子の電位を変動させ、駆動用トランジスタ 11 a の特定バラツキを補償するためには、まず、定電流 I_w により（もちろん、駆動用トランジスタ 11 a の動作も加わる）ソース信号線 18 の寄生容量を充放電させる必要がある。充放電時間は、1 水平走査期間前のソース信号線 18 の電位により左右される。そのため、ソース信号線 18 の電位状態によっては、所定時間内で充放電する時間が足りない場合がある。

10

【0744】

本発明はこの課題を解決するため、1 水平走査期間（1 H）の最初の期間に、プリチャージ電圧 V_p をソース信号線 18 に印加する。プリチャージ電圧 V_p は、後に説明するが、ソースドライバ回路 14 内に形成され、所定の電圧をソース信号線 18 に印加できるように構成する。

【0745】

図 137 は、各水平走査期間の A 期間にプリチャージ電圧 V_p を印加している。プリチャージ電圧 V_p の印加により各ソース信号線は瞬時に充放電され電位 V_p となる。プリチャージ電圧 V_p の印加期間は、ソース信号線 18 の電位により、可変あるいは調整できるようにする。

20

【0746】

本発明は、A 期間にプリチャージ電圧 V_p を印加することに限定するものではない。プリチャージ電圧 V_p を印加する前のソース信号線 18 の電位が所定範囲以内の場合は、プリチャージ電圧 V_p を印加しなくともよい。以上のようにプリチャージ電圧 V_p を印加するか否かは、ソース信号線 18 の電位、印加するプリチャージ電圧 V_p の大きさ、印加するプリチャージ電圧 V_p とソース信号線 18 との電位差、印加する階調値により、判断、調整する。

【0747】

プリチャージ電圧 V_p は、 V_a あるいは V_0 電圧よりのアノード電圧 V_{dd} に近い電圧に設定する。プリチャージ電圧 V_p は、所定の固定電圧であってもよいが、 V_a または V_0 電圧に対応して可変あるいは調整できるように構成してもよい。

30

【0748】

第 1～3 H（1～3 番目の水平走査期間）は、それぞれ 1 水平走査期間である。また、第 1～3 H（1～3 番目の水平走査期間）は画素行が選択される順番である。画素行は、第 n 画素行あるとすると、1 フィールド（フレーム）期間は、 n 水平走査期間（画素行）とブランキング期間で構成される。それぞれの水平走査期間の最初の A 期間にプリチャージ電圧 V_p が印加される。したがって、1 H 前のソース信号線 18 の電位がどんな電位であっても、瞬時にプリチャージ電圧 V_p となる。

【0749】

プリチャージ電圧 V_p は、階調 0 に対応する V_0 電圧に設定しておくことが好ましい。良好な黒表示を実現できるからである。 V_p 電圧は、各画素 16 の駆動用トランジスタ 11 a の特性バラツキにより異なっていることは言うまでもない。パネル特性を評価あるいは測定し、定電流 $I_a = 0$ (A) に対する電圧 V_0 を求め、この電圧 V_0 をプリチャージ電圧 V_p として用いればよい。以上のように、本発明では、収束時間を一定とするため、あらかじめ、 V_0 電圧を測定などし、プリチャージ電圧 V_p を求めておく。 V_0 電圧は、図 92～図 113 などでも説明した実施例で測定あるいは取得することができる。

40

【0750】

水平走査期間の A 期間後の B 期間に、電流階調回路 154 から定電流 I_w が出力される。なお、定電流 I_w は A 期間も印加してもよい。また、定電流 $I_w = 0$ (A) としてもよい。定電流 $I_w = 0$ (A) の場合は、図 132 の V_0 となる。定電流 I_w は画素 16 の駆

50

動用トランジスタ 11a からソース信号線 18 を介して電流階調回路 154 に流れ込む。定電流 $I_w = I_a$ により画素 16 の駆動用トランジスタ 11a のゲート端子の電位は V_a 電圧となる。

【0751】

V_a 電圧は、各画素 16 の駆動用トランジスタ 11a の特性バラツキにより異なっていることは言うまでもない。パネル特性を評価あるいは測定し、定電流 I_a に対する電圧 V_a を求め、この電圧 V_a を用いれば、精度よく電圧を書き込むことができる。 V_a 電圧は、図 92～図 113 などでも説明した実施例で測定などすることができる。

【0752】

B 期間の次の C 期間は、映像信号としての目標電圧 V_c が印加される。したがって、 V_a を基準として目標階調 $V_c = V_a + V_x$ としてソース信号線 18 に印加される。図 137 では、第 1 H は目標階調は V_1 であり、第 2 H は目標階調は V_2 であり、第 3 H は目標階調は V_3 の例である。B 期間は、目標階調を得るための電圧を印加する。以降第 n H まで画素行の選択位置がシフトされ、目標階調に対応する電圧印加が実施される。

【0753】

図 137 は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図 137 に図示するようにプリチャージ電圧 V_p を変化させてもよい。図 137 では、第 1 H はプリチャージ電圧 V_{p1} であり、第 2 H はプリチャージ電圧 V_{p2} であり、第 3 H はプリチャージ電圧 V_{p3} の例である。

【0754】

図 136 は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図 138 に図示するように V_a 電圧を変化させてもよい。目標としての V_a 電圧は、定電流を変化させることにより行う。図 138 では、第 1 H は電圧 V_{a1} であり、第 2 H は電圧 V_{a2} であり、第 3 H は電圧 V_{a3} の例である。

【0755】

以上の実施例は、水平走査期間の最初にプリチャージ電圧 V_p を印加し、その後に、目標電圧 V を印加する方法であった。本発明は、これに限定することなく、水平走査期間の最初にプリチャージ電圧 V_p を印加し、その後に、目標のプログラム電流を印加してもよい。図 139 はその実施例である。なお、プリチャージ電圧 V_p は、必要に応じて印加する。したがって、必ずしも水平走査期間の最初に実施するものではない。

【0756】

図 139 の実施例において、水平走査期間の最初である A 期間に印加するプリチャージ電圧 V_p は、映像信号として画素に書き込むプログラム電流 I_w に対応する電圧である。つまり、画素 16 の駆動用トランジスタ 11a に目標の階調信号に対応するプログラム電流 I_w を書き込んだ時の、ゲート端子電位と同一あるいは近傍の値である。このプリチャージ電圧 V_p は、図 38～図 66、図 74～図 78、図 85 などでも説明した方式により取得する。プリチャージ電圧 V_p は、メモリ 502 などに確保され、表示状態に応じて、読み出されてプリチャージ電圧 V_p として画素 16 に印加される。

【0757】

A 期間に印加するプリチャージ電圧 V_p は、書き込む映像信号に対応するプログラム電圧または近傍の電圧である。このプリチャージ電圧 V_p により、画素 16 の駆動用トランジスタ 11a は、目標の階調電流（プログラム電流） I_w と一致するか、近傍の値の電流を流せるようにプログラムされる。

【0758】

第 1 H（第 1 水平走査期間）は、プリチャージ電圧 $V_p = V_{p1}$ であり、ソース信号線 18 にプリチャージ電圧 V_{p1} が印加される。プリチャージ電圧 V_{p1} の印加により短期間に目標あるいは目標の近傍の電圧にソース信号線 18 の電位が設定される。もしくは選択した画素行の画素の駆動トランジスタ 11a のゲート端子電位が設定される。

【0759】

第 2 H（第 2 走査期間）は、プリチャージ電圧 $V_p = V_{p2}$ であり、第 3 H は、プリチ

ャージ電圧 $V_p = V_{p3}$ である。プリチャージ電圧 V_p は画素 16 に書き込む映像信号に対応した値を電圧として印加する。A 期間に印加したプリチャージ電圧 V_p では、目標値からずれが発生する場合が多い。ずれの原因としては、駆動用トランジスタ 11a の温度依存性、駆動用トランジスタ 11a の劣化などがある。しかし、本発明は、A 期間の後に、B 期間にプログラム電流 I_w を印加する。プログラム電流の印加により温度依存性なども補償できる。

【0760】

したがって、A 期間に電圧駆動することにより、短時間でソース信号線 18 の電荷を充放電させ、B 期間に精度のよいプログラム電流を画素 16 に書き込むことができる。また、A 期間ですでに目標値あるいは目標値に近い電位に設定されているため、プログラム電流 I_w による電位変化はわずかである。低階調領域でプログラム電流 I_w が小さくとも、書き込み不足（目標値に達しない）が発生することなく、精度のよい階調電流設定を行える。プログラム電流 I_w は、電流階調回路 154 より出力される。

【0761】

B 期間における、第 1 H のプログラム電流 I_{w1} によりソース信号線 18 は、電位 V_1 となる。電位 V_1 は、画素 16 の駆動用トランジスタ 11a のゲート端子に印加され、保持される電圧である。

【0762】

駆動用トランジスタ 11a は、プログラム電流 I_{w1} を流すようにプログラムされる。第 2 H（次の画素行）において、プログラム電流 I_{w2} によりソース信号線 18 は、電位 V_2 となる。電位 V_2 は、画素 16 の駆動用トランジスタ 11a のゲート端子に印加され、保持される電圧である。駆動用トランジスタ 11a は、プログラム電流 I_{w2} を流すようにプログラムされる。

【0763】

同様に、第 3 行目の第 3 H では、プログラム電流 I_{w3} によりソース信号線 18 は、電位 V_3 となる。電位 V_3 は、画素 16 の駆動用トランジスタ 11a のゲート端子に印加され、保持される電圧である。したがって、駆動用トランジスタ 11a は、プログラム電流 I_{w3} を流すようにプログラムされる。

【0764】

なお、プリチャージ電圧 V_p は、 V_0 電圧（階調 0）に対応するものであってもよい。この場合であっても、プリチャージ電圧 V_p の V_0 は各画素 16 の駆動用トランジスタ 11a の特性を反映した電圧を印加する（図 81、図 82 で説明している）。 V_0 電圧は、定電流 $I_w = 0$ である。したがって、 V_0 電圧を測定する時は、電流階調回路 154 から定電流を出力する必要はなく、ゲートドライバ回路 12a を制御して順次、対応する画素行（画素）を選択していくだけでよい。画素行（画素）を選択している期間に、ソース信号線 18 の電位を測定し、測定した電位、あるいは測定し処理を行った電位を V_0 電圧とする。

【0765】

A 期間の長さは、印加するプログラム電圧、ソース信号線 18 の電位と書き込むプログラム電圧の電位差などに対応して変化させてもよい。たとえば、ソース信号線 18 の電位が 2.5 V で、印加するプリチャージ電圧 V_p が 4.1 V というように、1.5 V 以上の電位差が発生する場合に、A 期間を 10 μs とする。ソース信号線 18 の電位が 3.0 V で、印加するプリチャージ電圧 V_p が 4.1 V というように、1.0 V 以上 1.5 V 以下の電位差が発生する場合に、A 期間を 6 μs とする。また、同一のソース信号線 18 において、1 画素行前の画素に印加した映像信号が階調 5 で、次の画素行に印加する映像信号が階調 21 のように、階調差が 15 以上の場合に、A 期間を 10 μs とする。1 画素行前の画素に印加した映像信号が階調 10 で、次の画素行に印加する映像信号が階調 21 のように、階調差が 10 以上 15 以下の場合に、A 期間を 6 μs とする。

【0766】

プリチャージ電圧 V_p 、プログラム電流 I_w は、直流電圧、直流電流に限定するもので

はなく、矩形波、三角波、交流、サイン波であってもよい。また、B期間に印加する信号は、電圧階調回路231から出力するプログラム電圧であってもよい。この実施例では、プリチャージ電圧 V_p も電圧駆動となり、B期間のプログラム電圧も電圧駆動となる。また、図6、図9のduty比駆動と組み合わせてもよいことは言うまでもない。

【0767】

以上に記載した事項は、本発明の他の実施例にも適用されることは言うまでもない。

【0768】

図128の回路構成を用いて図139の駆動方式を実現できる。プリチャージ電圧 V_p を印加する前に、ソースドライバ回路14は、必要に応じてリセット動作を行う。リセット動作では、図128、図130に図示するスイッチSW2、SW4、SW5はオープン状態に設定され、スイッチSW3はクローズにされて、コンデンサ1341にグランド電位または所定の固定電圧が印加される。

10

【0769】

次に、スイッチSW2、SW3をオープンし、スイッチSW4、SW5をクローズさせて、電圧階調回路231を動作させ、プリチャージ電圧 V_p を印加する。A期間にプリチャージ電圧 V_p は、バッファ回路151を介してソース信号線18に印加する。プリチャージ電圧 V_p は、駆動用トランジスタ11aのゲート端子に印加される。バッファ回路151のゲインは、図6、図9のduty比に対応させて設定する。

【0770】

B期間では、スイッチSW2、SW5をオープンさせ、電流階調回路154を動作させてプログラム電流 I_w をソース信号線18に印加する。

20

【0771】

なお、プログラム電流 I_w を印加後、必要に応じて、電圧階調回路231を動作させて階調電圧 V_x を印加してもよい。以上に記載した事項は、本発明の他の実施例にも適用されることは言うまでもない。

【0772】

以下、他の実施例について、図面を参照しながら説明をする。図140では、各水平走査期間のA期間にプリチャージ電圧 V_p を印加している。プリチャージ電圧 V_p の印加により各ソース信号線は瞬時に充放電され電位 V_p となる。

【0773】

プリチャージ電圧 V_p は、最大階調に相当する電圧付近に設定する。プリチャージ電圧 V_p は、所定の固定電圧であってもよいが、 V_a または V_0 電圧に対応して可変あるいは調整できるように構成してもよい。

30

【0774】

第1～3H（1～3番目の水平走査期間）は、図136と同様に、それぞれ1水平走査期間である。また、第1～3H（1～3番目の水平走査期間）は画素行が選択される順番である。それぞれの水平走査期間の最初のA期間にプリチャージ電圧 V_p が印加される。したがって、1H前のソース信号線18の電位がどんな電位であっても、瞬時に電圧 V_p となる。1HのA期間後のB期間に、電流階調回路154から定電流 I_w が出力される。

【0775】

定電流 I_w はA期間も印加してもよい。定電流 I_w は画素16の駆動用トランジスタ11aからソース信号線18を介して電流階調回路154に流れ込む。定電流 I_w により画素16の駆動用トランジスタ11aのゲート端子は V_a 電圧となる。

40

【0776】

V_a 電圧は、各画素16の駆動用トランジスタ11aの特性バラツキにより異なっていることは言うまでもない。しかし、 V_a 電圧と V_p 電圧との電位差はほぼ一定である。したがって、1H前のソース信号線18の電位がいずれであっても、プリチャージ電圧 V_p の印加により、定電流の印加時は、 V_p から V_a への変化となっている。したがって、収束時間は略一定である。

【0777】

50

B期間の次のC期間は、映像信号としての目標電圧 V_c が印加される。したがって、 V_a を基準として目標階調 $V_c = V_a + V_x$ としてソース信号線18に印加される。図140では、第1Hは目標階調は V_1 であり、第2Hは目標階調は V_2 であり、第3Hは目標階調は V_3 の例である。以降第nHまで画素行の選択位置がシフトされ実施される。

【0778】

図140は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図141に図示するようにプリチャージ電圧 V_p を変化させてもよい。図141では、第1Hはプリチャージ電圧 V_{p1} であり、第2Hはプリチャージ電圧 V_{p2} であり、第3Hはプリチャージ電圧 V_p の例である。以降第nHまで画素行の選択位置がシフトされ実施される。

10

【0779】

図140は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、 V_a 電圧を変化させてもよい。目標としての V_a 電圧は、定電流を変化させることにより行う。

【0780】

定電流 I_w を階調的にあるいは多段階に変化させるには、また、階調電圧 V_x を画素ごとに変化させるには、電流データと電圧データをソースドライバ回路14に送信する必要がある。図142はその実施例である。8ビットの定電流データ $ID(7:0)$ と8ビットの階調電圧データ $VD(7:0)$ を組として、また交互に伝送している。定電流データ $ID(7:0)$ は電流階調回路154が出力する定電流を発生させるデータである。電圧データ $VD(7:0)$ は、電圧階調回路231が出力する階調電圧 V_x を発生させるものである。

20

【0781】

図128などの実施例では、ゲートドライバ回路12aは、1画素行を順次選択し、各画素行の画素に定電流 I_w を印加するとしたが、本発明はこれに限定するものではない。たとえば、図143に図示するように複数の画素行を選択して定電流 I_w を印加してもよい。また、複数画素を同時に、あるいは共通に V_a 電圧または V_0 電圧を測定等してもよい。 V_a 、 V_0 電圧は隣接した画素行では近似しているからである。

【0782】

図143(a)の実施例は、隣接した2画素行を同時に選択し、2画素行で定電流 I_1 を電流階調回路154から印加した構成である。選択した2画素行の各画素行の駆動用トランジスタ11aがそれぞれ出力する電流には、駆動用トランジスタ11aの特性が異なるため差異がある。しかし、隣接した画素行ではその差異はわずかである。画素行の選択は、1、2画素行、3、4画素行、5、6画素行・・・と2画素行ずつ順次選択してもよいし、1、2画素行、2、3画素行、3、4画素行・・・と1画素行ずつずらして順次選択してもよい。

30

【0783】

図143(b)は、隣接した画素行でなく、1画素行離れた位置の画素行を選択した実施例である。たとえば、1、3、5画素行を選択し、次に2、4、6画素行を選択し、次に3、5、7画素行を選択していく。

40

【0784】

図143においても、他の構成、動作は、図128などで説明した実施例と同様であるので説明を省略する。以上のように、複数画素行を同時に選択し、 V_a 電圧などを測定することは、電流階調回路154の動作時間を短縮できる。また、電流階調回路154などの構成を簡略化できる。

【0785】

図143の実施例は、複数の画素行を同時に選択する駆動方式であった。図143に図示するように、本発明は2画素行に限定するものではない。3画素行以上を同時に選択してもよい。また、画素行の選択は、画素行を順次走査して選択することに限定するものではなく、ランダム画素行を選択してもよい。また、奇数フィールド(フレーム)目は画

50

面の上から下方向に順次選択し、偶数フィールド（フレーム）目は画面の下から上に順次選択してもよい。

【0786】

また、1 H 期間に複数の画素行を順次選択し、それぞれの画素行に定電流 I_w を印加し、電圧 V_a 、 V_0 などを測定してもよい。たとえば、1 H の前半の $1/2$ H 期間に、第 1 行目の画素行を選択して定電流 I_w を印加し、後半の $1/2$ H 期間に次の第 2 行目の画素行を選択する駆動方法が例示される。

【0787】

V_a （図 132 を参照のこと）、 V_0 電圧（図 133 を参照のこと）は、順次画素行を選択し、測定などとするが、これに限定するものではない。たとえば、映像信号のブランキング時間に表示領域内の画素行を順次選択して走査し、 V_a 、 V_0 電圧を測定などして、メモリに記憶させておいてもよい。また、複数の画素行を同時にまたは順次に選択し、 V_a 、 V_0 電圧を測定し一定期間保持し、この保持した V_a 、 V_0 電圧を順次読み出して、 V_x 電圧と加減算してソース信号線 18 に順次印加してもよい。

【0788】

図 133 に図示するように、駆動用トランジスタ 11a が電流を流さない電圧 V_0 （オフセット電圧）にし、この V_0 を基準にして階調電圧 V_x を印加する場合は、図 144 に図示するように定電流出力回路（電流階調回路）154 は不要である。なお、以下の説明において、図 128 と同様の事項は省略する。

【0789】

図 144 も図 128 と同様に、ゲートドライバ回路 12 が順次、画素列を選択することにより実施される。つまり、1 水平走査期間に画素行を選択する。まず、最初に、スイッチ SW_3 をクローズし、スイッチ SW_4 、 SW_2 、 SW_5 をオープンする。スイッチ SW_3 のクローズにより、コンデンサ 1341 の一方の端子 c 部にグラウンド（GND）電圧が印加され、グラウンド電圧に維持される。また、図 134 で説明したように任意の所定電圧を印加できるように構成してもよい。

【0790】

コンデンサ 1341 の c 部にグラウンド電位を印加しリセットを行った後、次に、図 145（a）に図示するように、スイッチ SW_2 、 SW_3 をクローズし、また、スイッチ SW_4 、 SW_5 をオープンする。コンデンサ 1341 の a 部には、駆動用トランジスタ 11a が EL 素子 15 に電流が流れない電圧（＝駆動用トランジスタ 11a のゲート端子電圧）が保持される。この期間も該当画素行が選択されている。該当画素行の各画素 16 の駆動用トランジスタ 11a のゲート端子電位は、オフセット状態（トランジスタ 11d をクローズしても EL 素子 15 に電流が流れない状態）に維持される。図 145（a）の動作により、前記駆動用トランジスタ 11a がオフセットとなるのに必要な V_0 電圧が読み取られる（保持される）。したがって、駆動用トランジスタ 11a は図 133 に示すように、そのまま V_0 電圧を駆動用トランジスタ 11a のゲート端子に印加すれば、カットオフ状態（EL 素子 15 に流す電流が 0 となる状態）となる。

【0791】

コンデンサ 1341 の a 部には、駆動用トランジスタ 11a が EL 素子 15 に電流が流れない電圧（＝駆動用トランジスタ 11a のゲート端子電圧）が保持される。この期間も該当画素行が選択されている。該当画素行の各画素 16 の駆動用トランジスタ 11a のゲート端子電位は、オフセット状態（トランジスタ 11d をクローズしても EL 素子 15 に電流が流れない状態）に維持される。

【0792】

次に、図 145（b）に図示するように、スイッチ SW_4 、 SW_5 をクローズし、また、スイッチ SW_2 、 SW_3 をオープンする。電圧階調回路 231 は、階調電圧 V_x を出力する。目標電圧 $V_c = V_0 + V_x$ とする。この期間も該当画素行が選択されている。

【0793】

電圧階調回路 231 に出力された電圧 V_x は、コンデンサ 1341 の a 部の電位を電位

10

20

30

40

50

シフトさせる。a部の電圧シフトにより、 V_0 電圧と V_x 電圧が加算される。以上で1水平走査期間が完了する。選択された画素行は次の1水平走査期間でEL素子15に電流を印加し、EL素子15が発光する。

【0794】

図128、図134、図135、図132、図133などで説明した本発明の駆動方式は、定電流 I_w を印加し、 V_0 、 V_a 電圧を測定あるいは取得し、この電圧を基準として階調電圧を求め、ソース信号線18に印加する方式であった。しかし、本発明はこれに限定するものではなく、 V_0 、 V_a 電圧を基準としてあるいは使用して、水平走査期間内に階調電流(プログラム電流)を求め、求めた階調電流をソース信号線18に印加して、画像表示を行ってもよい。図25、図81、図82の電圧印加状態となる。また、求めた電圧は、図26、図27などに図示するように、1水平走査期間全体に印加してもよいことは言うまでもない。 10

【0795】

以上の本発明の実施例は、 V_a 、 V_0 測定と、これらの電圧に V_x 電圧を加減算して画素16の駆動用トランジスタ11aに印加すると言う点を中心に説明した。以下、本発明のEL表示装置の画像表示を中心に説明を行う。

【0796】

本発明では、プログラム電流(定電流) I_w を流した状態で駆動用トランジスタ11aのゲート端子の電位(図1のfで示す)を測定する(電位を取得する)。または、電位を図128のコンデンサ1341に保持させる。もしくは、電位に対応するデータをメモリなどの記憶手段に保持する。 20

【0797】

図1において、ゲート端子の電位fは、トランジスタ11b、11cがオン状態のため、ソース信号線18の電位(dで示す)も、同一電位となる。したがって、ソースドライバ回路14の出力端子83を介して、ソース信号線18の電位を測定すれば、トランジスタ11aのゲート端子の電位fを測定したことになる。

【0798】

第2の動作はトランジスタ11bとトランジスタ11cが閉じ、トランジスタ11dが開いた動作状態であり、そのときの等価回路は図5(b)となる。トランジスタ11aのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 $I_e = I_w$ の電流は一定となる。なお、 I_e は駆動用トランジスタ11aがEL素子15に流す電流であり、 $I_e = I_w$ は、画素16に突き抜け電圧などの影響がなく、理想状態の場合である。 30

【0799】

図133の実施例では、電圧 V_0 を求め、この電圧 V_0 を基準として階調電圧 V_x を加算し、目標電圧 V_c を発生する方式であった。また、図130は、電圧 V_a を求め、この電圧を基準にして階調電圧 V_x を加減算などし、目標電圧 V_c を発生させる方式であった。本発明はこれに限定するものでない。たとえば、電圧 V_a を求める際、印加する定電流 I_w を最大階調 I_{wm} に該当する電流としてもよい。

【0800】

最大階調に該当する定電流 I_{wm} を駆動用トランジスタ11aに印加することにより、駆動用トランジスタ11aは最大階調の電流が流れるように、そのゲート端子に電圧 V_{am} が発生する。この V_{am} を基準にし、階調電圧 V_x を減算して目標電圧 V_c を発生させる。発生させた電圧 V_{cm} を駆動用トランジスタ11aのゲート端子に印加する。 40

【0801】

以上のように、本発明は、電流駆動方式の画素(駆動用トランジスタ11aもしくは駆動用トランジスタ11aとカレントミラー結合されたトランジスタ11bのドレイン端子またはソース端子が、直流的にソース信号線18に結線されている構成あるいは配置、つまり、駆動用トランジスタ11(11a、11b)を流れる電流をソース信号線18に取り出す、もしくはソース信号線18から入力できる構成)がマトリックス状に配置された 50

EL表示パネルに関するものである。定電流を駆動用トランジスタ11に印加し（もしくは駆動用トランジスタ11から定電流を流し）、略定常状態となった時以降に、前記駆動用トランジスタ11のゲート端子電位を測定（取得）する。

【0802】

測定（取得）した電位を基準（原点もしくは相対的な位置）として、階調電圧に対応する電圧を加減算などの処理をして、目標電圧 V_c を発生させるものである。発生した目標電圧を前記駆動用トランジスタ11のゲート端子などに印加し、前記駆動用トランジスタ11が目標電圧に対応する電流をEL素子15に流すようにするものである。なお、EL素子15に電流を流すとは、EL素子15に電流を供給する場合と、EL素子15から前記駆動用トランジスタ11に流れ込む場合の両方を含む。

10

【0803】

また、以上の実施例は、 V_a 、 V_0 、 V_{am} を基準として駆動用トランジスタ11に略1倍の電流 I_e を流す実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図6、図9などで説明した、「 $1F/N$ の期間の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない」駆動方式では、定電流をN倍に設定してもよいことは言うまでもない。つまり、N倍の定電流（リセット電流）に対応する V_a 電圧を求め、この電圧 V_a を基準にして目標電圧 V_c を発生させる。なお、N倍の定電流としたが、これに限定するものではない。Nは1以上であればいずれの値でもよい。

【0804】

20

この方式は、ソース信号線18の寄生容量が大きい場合に特に有効である。また、EL表示装置が10インチ以上と大きい場合に有効である。ソース信号線18の寄生容量が大きい場合、リセット電流（プログラム電流 I_w ）をN倍にすること（少なくとも1倍以上とすること）により、定電流 I_w の「書き込み不足」を改善することができる。

【0805】

以上のように、本発明の表示装置は、画素構成が電流プログラムの画素構成であり、この画素構成で電圧駆動を実施する方式とも言うことができる。

【0806】

以上の実施例では、定電流 I_w を画素16に印加し、ソース信号線18の電位などを測定し、この測定あるいは取得した電圧を用いて、EL表示装置をプログラムするものであった。定電流 I_w は基準電流で調整できる。また、図6、図9では、 $duty$ 比駆動（間欠駆動）を実施する。以下、 $duty$ 比制御について説明をする。

30

【0807】

本発明の明細書において、表示画面34において、表示領域63と全表示画面34の割合を $duty$ 比と呼ぶ。つまり、 $duty$ 比は表示領域63の面積／全表示画面34の面積である。あるいは、 $duty$ 比はオン電圧が印加されているゲート信号線17bの本数／全ゲート信号線17bの本数でもある。また、ゲート信号線17bにオン電圧が印加され、このゲート信号線17bに接続されている選択画素行数／表示画面34の全画素行数でもある。

【0808】

40

本明細書において、点灯率に応じて $duty$ 比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、表示画面34に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、表示画面34を構成する映像は、暗い画素（低階調の画素）が多い。

【0809】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、表示画面34に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、表示画面34を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の

50

映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【0810】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調画素が多い。高点灯率＝高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがって $duty$ 比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがって $duty$ 比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがって $duty$ 比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがって $duty$ 比を小さくするのと同じあるいは類似の意味あるいは動作もしくは制御である。

10

【0811】

また、たとえば、所定の低点灯率以下で基準電流比を N 倍し、かつ選択信号線数を N 本にすると、低階調の画素数が一定以上の時に、基準電流比を N 倍し、かつ選択信号線数を N 本にすることと同じあるいは類似の意味あるいは動作もしくは制御である。

【0812】

また、たとえば、通常は、 $duty$ 比 $1/1$ で駆動し、所定の高点灯率以上で段階的にあるいはスムーズに $duty$ 比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、 $duty$ 比 $1/1$ で駆動し、高階調の画素数が一定以上の数となった時に、段階的にあるいはスムーズに $duty$ 比を低下させることと同じあるいは類似の意味あるいは動作もしくは制御である。

20

【0813】

図147に図示するように、低点灯率領域（図147では点灯率20%以下）で $duty$ 比を低下させ（図147（a））、 $duty$ 比の低下にあわせて、基準電流比を上昇させ（図147（b））てもよい。以上のように $duty$ 比制御と基準電流比制御を同時に行うことにより、図147（c）で図示するように輝度の変化はなくなる。

【0814】

低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図147（a）、（b）に図示するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。つまり、低点灯率あるいは所定の点灯率の範囲で基準電流比 $\times duty$ 比が定数の関係となるように制御する。

30

【0815】

図147において、点灯率が高い領域（図147では40%以上）では、 $duty$ 比は低下させるが、基準電流比は1のまま一定とする。したがって、輝度は $duty$ 比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。

40

【0816】

基準電流比、 $duty$ 比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生が増加またはパネルの自己発熱による劣化が加速されるからである。点灯率が30%以下の領域では、 $duty$ 比 $\times$ 基準電流比（A）が0.7以上1.4以下にすることが好ましい。さらに好ましくは0.8以上1.2以下にすることが好ましい。また、点灯率が80%以下の領域では、 $duty$ 比 $\times$ 基準電流比（A）が0.1以上0.8以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは0.2以上0.6以下になるように制御あるいは設定することが好ましい。

【0817】

50

あるいは、点灯率 50 % の時の $duty$ 比 $\times$ 基準電流比を A とした時、点灯率が 30 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 $\times A$ が 0.7 以上 1.4 以下に設定あるいは制御することが好ましい。さらに好ましくは 0.8 以上 1.2 以下に設定あるいは制御することが好ましい。また、点灯率が 80 % 以下の領域では、 $duty$ 比 $\times$ 基準電流比 $\times A$ が 0.1 以上 0.8 以下に設定あるいは制御することが好ましい。さらに好ましくは 0.2 以上 0.6 以下に設定あるいは制御することが好ましい。

【0818】

しかし、基準電流の可変は、図 81 で説明した過電流駆動で課題となる。過電流の大きさが、基準電流の大きさに比例するからである。したがって、図 147 (b) に図示するように低点灯率の領域で基準電流の大きさを変化させると、この領域での過電流プリチャージの大きさが変化する。具体的には、基準電流比を 2 倍にすると過電流も 2 倍となり、目標の階調値に到達する時間が $1/2$ となる。過電流を印加する期間は、固定であるから、基準電流比が大きくなるなど変化すると目標値からずれてしまう。

10

【0819】

この課題に対して、図 147 (d) に図示するように、過電流（プリチャージ電流）の比（プリチャージ電流比と呼ぶ）も、基準電流比および点灯率に対応して変化させる。図 147 (d) では、基準電流比が点灯率 20 % 以下で 2 まで変化するため、点灯率 20 % 以下でプログラム電流比を 1 から $1/2$ まで変化させる。（過電流）プリチャージ電流比 $\times$ 基準電流比が定数 (C) となるように設定する。つまり、 $C = \text{プリチャージ電流比} \times \text{基準電流比}$ とする。また、基準電流比が n 倍になれば、プリチャージ電流比を $1/n$ にする。なお、 C は完全に固定（定数）値とすることに限定されない。多少の変化があっても、表示には反映されないからである。 C の変動幅は、0.8 以上 1.2 以下となるようにする。

20

【0820】

なお、図 147 (d) において、点灯率に対応させて線形に、プリチャージ電流比を変化させるとした。しかし、本発明はこれに限定するものではない。プリチャージ電流比などをステップで変化させてもよい。たとえば、図 147 の実施例において、点灯率 0 % 以上 5 % 以下は、プリチャージ電流比を 2.0 とし、点灯率 5 % 以上 10 % 以下は、プリチャージ電流比を 1.75 とし、点灯率 10 % 以上 15 % 以下は、プリチャージ電流比を 1.50 とし、点灯率 15 % 以上 20 % 以下は、プリチャージ電流比を 1.25 とし、点灯率 20 % 以上でプリチャージ電流比を 1.0 と変化させてもよい。

30

【0821】

プリチャージ電流比をステップ的に変化させた場合であっても、プリチャージ電流比の変化に対応して基準電流比を変化させる。また、基準電流比、プリチャージ電流比などの変化スピードは、ローパスフィルタ特性（速い点灯率の変化には追従しない）を持たせることが好ましい。また、ヒステリシス特性（一度、変化すると、再び点灯率が元に復帰しても比が変化しない）を持たせることが好ましい。

【0822】

また、同様のこと（ステップ的に変化させること、ヒステリシス特性を有すること）は、 $duty$ 比についても適用される。

40

【0823】

以上のように、 $duty$ 比、基準電流比、プリチャージ電流比は、相関の関係に制御する。 $duty$ 比 $\times$ 基準電流比は定数の関係とする。基準電流比 $\times$ プリチャージ電流比も定数の関係にする。したがって、 $duty$ 比 $\times (1/\text{プリチャージ電流比})$ も定数の関係にする。あるいは略定数の関係にする。

【0824】

図 148 の実施例では、プリチャージ電流としての過電流は最上位ビットの D7 スイッチをオン（クローズ）させることにより実施している。過電流の大きさは、D7 スイッチがクローズする期間によって制御あるいは調整する。

【0825】

50

図148の実施例は、階調は階調スイッチ制御回路1481で実施する。つまり、8ビットの映像信号に対応して該当のスイッチD0～D7がオンオフ制御される。一方プリチャージ電流（過電流）は、の基準電流比に対応して、スイッチS0～S7を制御して出力される。

【0826】

図148は、8ビットの映像電流信号の1出力段である。映像データD0～D7はスイッチD*a（*は0～7で、ビット位置を示す）がクローズすることにより出力端子83から出力される。スイッチD*aは、映像データに応じて該当スイッチがクローズする。一方、スイッチD*b（*は0～7で、ビット位置を示す）は、電流プリチャージ期間の間クローズする。スイッチD*bのクローズにより、プリチャージ電流（過電流I_d）が出力端子83から出力される。 10

【0827】

0階調目に相当するオフセット電圧であるプリチャージ電圧V0はスイッチ161aがクローズすることにより出力端子83から出力される。プリチャージ電流I_dおよびプログラム電流I_wはスイッチ161bがクローズすることにより出力端子83から出力される。スイッチ161aとスイッチ161bとは同時にクローズしないようにインバータ1484により排他的に制御されている。

【0828】

インバータ1484へのロジックデータは、プリチャージ期間判定部1483により印加される。つまり、プリチャージ期間判定部1483は、電流プリチャージパルスの長さ 20
設定値によりインバータ1483を制御する。

【0829】

実施例では、基準電流比が1から2まで変化する。したがって、プリチャージ電流の大きさ（比率）も、1から1/2に変化させる。たとえば、基準電流比が1の時は、プリチャージ電流制御回路1482によりスイッチS7がクローズすると設定されていれば、基準電流比が2に変化した時は、プリチャージ電流制御回路1482によりスイッチS6がクローズするように制御される。スイッチS7がクローズ状態でのプリチャージ電流の大きさと、スイッチS6がクローズ状態でのプリチャージ電流の大きさは、2倍差が発生するからである。基準電流比1から2の間のプリチャージ電流の変化はスイッチS0～S7を制御することによりリニアに調整することができる。 30

【0830】

以上のように実施することにより、プリチャージ電流比×基準電流比が定数（C）となるように設定あるいは制御することができる。つまり、C＝プリチャージ電流比×基準電流比とする。また、プリチャージ電流の大きさも、プリチャージ電流期間の調整、スイッチSの選択の組み合わせにより調整することができる。

【0831】

以上のように、図147に図示するように、低点灯率範囲など点灯率に対応させて基準電流を変化させても、同時に点灯率に対応してプリチャージ電流の大きさの相対値を変化させることにより、プリチャージ電流を良好に実現できる。したがって、階調が変化してもプリチャージ電流により良好に目標階調に到達させることができる。 40

【0832】

基準電流を大きくすることは、EL素子15に流れる電流の大きさも大きくなる。また、駆動用トランジスタ11aのチャンネル（S-D）間電圧も高くなる。したがって、基準電流比が大きくなれば、アノード電圧（V_{dd}）とカソード電圧（V_{ss}）間の絶対値を大きくする必要がある。

【0833】

アノード電圧（V_{dd}）とカソード電圧（V_{ss}）間の絶対値を大きくすることは、EL表示装置の消費電力が増大することになる。消費電力の増大は発熱を引き起こし、EL表示装置を劣化させる。本発明は、点灯率にあわせて、特に低点灯率の範囲で書き込み不足を解消する点から基準電流を大きくする。したがって、低点灯率領域で、基準電流が大 50

きくなるため、アノード電圧（ V_{dd} ）とカソード電圧（ V_{ss} ）間の絶対値を大きくする必要がある。しかし、従来の電圧発生回路は点灯率によらず、アノード電圧（ V_{dd} ）とカソード電圧（ V_{ss} ）の電圧値は一定であった。そのため、特に、高点灯率の領域で消費電流も増大するため、EL表示装置が発熱するという問題点があった。

【0834】

この課題に解決するため、図149に図示するように、低点灯率領域でカソード電圧を低下させている。カソード電圧の低下制御は、基準電流の変化に対応して行う。図147の実施例では、点灯率が20%以下で基準電流を増大させている。したがって、図149の実施例でも点灯率20%以下でカソード電圧を低下させている。

【0835】

図149でアノード電圧を一定にし、基準電流の変化に対応してカソード電圧を変化させているのは、本発明の実施例における画素16の駆動用トランジスタ11aがPチャンネルであるからである。アノード電位を起点として、電流プログラムを行うからである。したがって、アノード電圧を一定値とした方が、電流プログラムの精度が高く維持でき、また、回路構成も容易だからである。また、本発明のEL表示装置は、カソードにEL素子15の一端子が接続されているため、カソード電圧の変化が発生しても表示に影響を与えないからである。しかし、図151に図示するようにアノード電圧を基準電流に対応して変化させてもよい。

【0836】

以上のように、本発明は、点灯率に応じてEL表示装置の電源電圧を変化させることに特徴がある。特に、基準電流の変化に対応して電源電圧を変化させる。また、点灯率に対応して電源電圧（アノード電圧 V_{dd} とカソード電圧 V_{ss} のうち、少なくとも一方）を変化させる駆動方式である。また、プリチャージ電流の大きさに対応して電源電圧を変化させる。もしくは、アノード電圧 V_{dd} とカソード電圧 V_{ss} の絶対値を大きくする。特に、低点灯率の領域において、電源電圧（アノード電圧 V_{dd} とカソード電圧 V_{ss} ）の絶対値を大きくする。

【0837】

電源電圧の絶対値を大きくする方法は、容易である。通常、電源ICは、パルス制御が行われている。印加される（電源ICの内部で発生する）パルスの周波数が高くなれば、電圧は上昇する。印加される（電源ICの内部で発生するあるいは発振する）パルスの周波数が低くなれば、電圧は低下する。したがって、電源ICのパルス制御を行うことにより、電源ICから出力される電圧の大きさを容易に制御できる。

【0838】

逆に、基準電流が大きい領域を基準として考えれば、本発明は点灯率に対応して電源電圧（アノード電圧 V_{dd} とカソード電圧 V_{ss} のうち、少なくとも一方）を低下させる駆動方式である。つまり、高点灯率領域で電源電圧を低下させる。また、プリチャージ電流の大きさに対応して電源電圧を低下させる。もしくは、アノード電圧 V_{dd} とカソード電圧 V_{ss} の絶対値を大きくする。つまり、プリチャージ電流が小さくなれば、電源電圧を低下させる。特に、高点灯率の領域において、電源電圧（アノード電圧 V_{dd} とカソード電圧 V_{ss} ）の絶対値を小さくする方式である。

【0839】

図149はアノード電圧とカソード電圧を発生させる2電源方式の実施例である。図151は、カソード側をグランド（GND）とし、アノード電圧を変化させる方式である。図151でも、図149と同様に、点灯率に応じてEL表示装置の電源電圧を変化させることに特徴がある。特に、基準電流の変化に対応して電源電圧を変化させる。また、点灯率に対応して電源電圧（アノード電圧 V_{dd} ）を変化させる駆動方式である。また、プリチャージ電流の大きさに対応して電源電圧を変化させる。もしくは、アノード電圧 V_{dd} の絶対値を大きくする。特に、低点灯率の領域において、電源電圧（アノード電圧 V_{dd} ）の絶対値を大きくする。

【0840】

図151の単一電源の場合は、図150に図示するように、パルス制御などを実施するロジック信号レベル V_{cc} をレベルシフトしてアノード電圧 V_{dd} レベルまで上昇させる。オフセットキャンセル電圧 V_0 などのプリチャージ電圧 V_p レベルは、アノード電圧 V_{dd} を基準となるようにする。この構成により、 V_{dd} 電圧が変化してもプリチャージ電圧には影響を与えない。

【0841】

なお、図149、図150において、点灯率に対応させて線形に、カソード電圧またはアノード電圧を変化させるとした。しかし、本発明はこれに限定するものではない。カソード電圧などをステップで変化させてもよい。たとえば、図149の実施例において、点灯率0%以上5%以下は、カソード電圧を $-9V$ とし、点灯率5%以上10%以下は、カ
10
ソード電圧を $-8.5V$ とし、点灯率10%以上15%以下は、カソード電圧を $-8.0V$ とし、点灯率15%以上20%以下は、カソード電圧を $-6.5V$ とし、点灯率20%以上で $-5.5V$ と変化させてもよい。

【0842】

また、カソード電圧とアノード電圧は同時に変化させてもよい。また、カソード電圧とアノード電圧との絶対値を変化させるように制御してもよいことはいうまでもない。

【0843】

カソード電圧の変化は、電源ICの外付け抵抗の分圧比で調整する。したがって、スイッチ回路により複数の抵抗を切り替え、選択することにより、抵抗値はステップ的に変更あるいは変化させることができる。また、他ステップを有する電子ボリウムなどを用いる
20
ことにより、点灯率に対してほぼリニアに変化させることができる。

【0844】

また、カソード電圧値、アノード電圧値などの電圧の変化スピードは、ローパスフィルタ特性（速い点灯率の変化には追従しない）を持たせることが好ましい。また、ヒステリシス特性（一度、カソード電圧値、アノード電圧値が変化すると、再び点灯率が元に復帰しても電圧値が変化しない）を持たせることが好ましい。

【0845】

本発明の実施例において、ソース信号線18などに定電流を流す、あるいは、ソース信号線18をハイインピーダンス状態に保持して V_1 、 V_0 電圧などを測定するとした。測定した電圧は、EEPROMや、ROMなどに電圧データ（あるいは電流データ）として
30
保持される。あるいはソースドライバ回路14などに保持される。しかし、すべての電圧データなどを保持すると非常に膨大なデータ量となる。そのため、圧縮技術を用いてROM502などに保持させてもよい。

【0846】

たとえば、JPEGなどの静止画圧縮技術あるいはフォーマットが例示される。とくに、トランジスタ11aの特性分布はランダムではなく、周辺部の特性と近似している。そのため、画像データの圧縮技術を用いることにより良好な圧縮を実施することができる。また、MPEGなどの動画圧縮技術などを用いてもよいことはいうまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【0847】

図6などの実施例では、ゲートドライバ回路12aとゲートドライバ回路12bは、水平同期信号に同期して動作するとした。そのため、点灯、非点灯の制御は、1画素行単位（1水平走査期間）であった。

【0848】

図152の実施例は、点灯、非点灯制御を1水平走査期間以内で実施できる実施例である。ゲートドライバ回路12aのシフトレジスタ回路31aは、水平走査期間信号（水平同期信号）に同期してデータ位置をシフトする。

【0849】

ゲート信号線17bを選択するゲートドライバ回路12bのシフトレジスタ回路31bは、ゲートドライバ回路12aのシフトレジスタ回路31aの4倍の段数を有している。
40
50

ゲートドライバ回路 1 2 b のシフトレジスタ回路 3 1 b は、シフトレジスタ回路 3 1 a の 4 倍の動作クロック (CLK 4) でデータをシフトする。

【0850】

つまり、シフトレジスタ回路 3 1 a が 1 データシフトする期間に、シフトレジスタ回路 3 1 b は、4 データをシフトする。以上の構成により、1 水平走査期間の $1/4$ 単位で画素行の点灯、非点灯制御を実現できる。

【0851】

図 1 5 3 にさらに、シフトレジスタ回路 3 1 b の段数と、ゲート信号線 1 7 b の接続された位置を示したものである。シフトレジスタ回路 3 1 b の出力は 4 段ごとにゲート信号線 1 7 b のロジック出力として出力される。

10

【0852】

隣接したシフトレジスタ回路 3 1 b の段数を低減するため、また、各段のデータの変化を緩和するためには、図 1 5 4 のように構成するとよい。

【0853】

図 1 5 4 において、×はゲート信号線 1 7 を非選択 (オフ電圧を出力する) にするデータであることを、○はゲート信号線 1 7 を選択 (オン電圧を出力する) にするデータであることを示している。なお、AND 回路 2 1 3 の出力にはレベル変換回路が構成されるが説明を容易にするため省略している。

【0854】

シフトレジスタ回路 3 1 b の隣接した各段のデータ出力は、AND 回路 2 1 3 で AND (積和) する。また、垂直方向のアウトプットイネーブル (OE V) 端子により、ゲート信号線 1 7 b の選択を強制的に非選択とするように構成されている。

20

【0855】

以上の構成によりシフトレジスタ回路 3 1 b の隣接した段の 2 つが、選択 "○" の時、該当のゲート信号線 1 7 b から選択電圧 (VGL) が出力される。

【0856】

図 1 5 5 は、シフトレジスタ回路 3 1 b の隣接した 2 つの段数のデータが選択の時、かつ 2 つの段数が独立してロジック制御できるように構成した実施例である。隣接した段の 2 つが、選択 "○" の時、該当のゲート信号線 1 7 b から選択電圧 (VGL) が出力される。

30

【0857】

以上の実施例は、シフトレジスタ回路 3 1 b の出力に AND 回路 2 1 3 を形成した実施例であった。しかし、本発明はこれに限定するものではなく、図 1 5 5 に図示するように、OR 回路 9 5 1 を形成してもよい。

【0858】

また、シフトレジスタ回路 3 1 をシフトレジスタ回路 3 1 a とシフトレジスタ回路 3 1 b の 2 段で構成し、さらに OE V 端子を形成し、シフトレジスタ回路 3 1 a とシフトレジスタ回路 3 1 b と OE V 端子のロジックとを AND することにより、ゲート信号線 1 7 b の選択、非選択を柔軟に実施することができる。このロジック信号の組み合わせ例を図 1 5 7 に示す。

40

【0859】

以上のように、図 1 5 2 などの本発明の構成は、ゲートドライバ回路 1 2 b のシフトレジスタ回路 3 1 b の段数を、ゲートドライバ回路 1 2 a のシフトレジスタ回路 3 1 a の段数の m 倍 (m は 2 以上の整数) とし、また、ゲートドライバ回路 1 2 b のシフトレジスタ回路 3 1 b の動作クロックを、ゲートドライバ回路 1 2 a のシフトレジスタ回路 3 1 a の動作クロックの m 倍 (m は 2 以上の整数) とすることにより、1 水平走査期間以下の点灯制御を実施できるように構成したもの、あるいは方式である。この構成により、輝度制御をフリッカレスでスムーズに行うことができる。

【0860】

図 6 などで説明したように、本発明は、主として表示領域 6 3 または非表示領域 6 2 を

50

帯状にし、画面 34 を上下または逆に移動させた表示する方式であった。しかし、本発明はこれに限定するものではない。図 159 に図示するように、画面 34 を上下に分割し、画像表示をおこなってもよい。

【0861】

図 159 (a) は、1 フレームの前半の (1/2) フレームの表示状態である。図 159 (b) は、1 フレームの後半の (1/2) フレームの表示状態である。1 フレームの前半では、画面 34 の上半分は非表示領域 62 (該当領域のゲート信号線 17b に選択電圧 (VGL) が印加されていない) となっている。上半分の領域では、ゲートドライバ回路 12a によりゲート信号線 17a に選択電圧が順次印加されている。

【0862】

図 159 (b) は、1 フレームの後半の (1/2) フレームの表示状態である。1 フレームの後半では、画面 34 の下半分は非表示領域 62 (該当領域のゲート信号線 17b に選択電圧 (VGL) が印加されていない) となっている。下半分の領域では、ゲートドライバ回路 12a によりゲート信号線 17a に選択電圧が順次印加されている。

【0863】

理解を容易にするため、具体的数値を記載して説明する。画素行を 240 とする。したがって、上半分の領域とは、1 画素行目から 120 画素行目が該当する。下半分の領域とは、121 画素行目から 240 画素行目が該当する。ゲートドライバ回路 12a は、ゲート信号線 17a を順次選択し、1 フレーム期間で、1 画素行目から 240 画素行目を順次選択し、ソースドライバ回路 14 のプログラム電流(電圧)を順次画素 16 に印加する。ゲートドライバ回路 12b は、図 161 に図示するように、画面 34 の上半分を駆動するゲートドライバ回路 12b1 と画面 34 の下半分を駆動するゲートドライバ回路 12b2 が構成されている。ゲートドライバ回路 12b1、ゲートドライバ回路 12b2 は、それぞれ内部にシフトレジスタ回路 31 を有し、データをシフトすることにより、任意のゲート信号線 17b のオン電圧またはオフ電圧を印加することができる。しかし、図 159 の実施例では、OE V 端子制御を行う。

【0864】

OE V1 端子は、端子にロジックレベルの L を入力することにより、ゲートドライバ回路 12b1 の全ゲート信号線 17b にオフ電圧が出力される。したがって、画面 34 の上半分が非表示領域 62 となる。また、OE V1 端子にロジックレベルの H を入力することにより、ゲートドライバ回路 12b1 の全ゲート信号線 17b にオン電圧が出力される。したがって、画面 34 の上半分が表示領域 63 となる。

【0865】

OE V2 端子は、端子にロジックレベルの L を入力することにより、ゲートドライバ回路 12b2 の全ゲート信号線 17b にオフ電圧が出力される。したがって、画面 34 の下半分が非表示領域 62 となる (図 159 (b))。また、OE V2 端子にロジックレベルの H を入力することにより、ゲートドライバ回路 12b2 の全ゲート信号線 17b にオン電圧が出力される。したがって、画面 34 の下半分が表示領域 63 となる (図 159 (a))。

【0866】

ゲートドライバ回路 12a が、画面 34 の 1 画素行目から 120 画素行目を書き換えている期間は、図 159 (a) の状態に制御される。つまり、OE V1 端子に L ロジック信号が印加され、ゲートドライバ回路 12b1 が受け持つゲート信号線 17b にはオフ電圧が印加される。また、OE V2 端子に H ロジック信号が印加され、ゲートドライバ回路 12b2 が受け持つゲート信号線 17b にはオン電圧が印加される。

【0867】

ゲートドライバ回路 12a が、画面 34 の 121 画素行目から 240 画素行目を書き換えている期間は、図 159 (b) の状態に制御される。つまり、OE V1 端子に H ロジック信号が印加され、ゲートドライバ回路 12b1 が受け持つゲート信号線 17b にはオン電圧が印加される。また、OE V2 端子に L ロジック信号が印加され、ゲートドライバ回路

10

20

30

40

50

1 2 b 2 が受け持つゲート信号線 1 7 b にはオフ電圧が印加される。

【0 8 6 8】

図 1 6 0 は、2 フレーム期間の画像表示状態を図示している。画面 3 4 の上半分とした下半分とが交互に表示される。以上のように表示制御することにより、動画視認性が大幅に向上する。また、ゲートドライバ回路 1 2 b にシフトレジスタ回路 3 1 を形成する必要がなく、回路構成を簡略化できる。また、狭額縁化が可能である。

【0 8 6 9】

以上の実施例は、画面 3 4 を上下に 2 分割にする構成であった。しかし、本発明はこれに限定するものではなく、たとえば、図 1 6 2 に図示するように、画面を 4 分割してもよい。この実施例の場合は、ゲートドライバ回路 1 2 b をゲートドライバ回路 1 2 b 1、ゲートドライバ回路 1 2 b 2、ゲートドライバ回路 1 2 b 3、ゲートドライバ回路 1 2 b 4 に構成し、各ゲートドライバ回路 1 2 b に O E V 端子 (O E V 1、O E V 2、O E V 3、O E V 4) を配置すればよい。ゲートドライバ回路 1 2 a の動作は図 1 6 1 と同様に画面の上方から下方に向かって順次走査する。

【0 8 7 0】

さらに、図 1 7 1 に図示するように、表示領域 3 4 を細分化して制御をおこってもよい。図 1 7 1 は 1 画素行ごとに、表示領域 6 3 と非表示領域 6 2 の制御を行ったものである。

【0 8 7 1】

以上の実施例は、フレームを 2 分割し、表示領域 6 3 と非表示領域 6 2 を交互に実施するものであった。しかし、本発明はこれに限定するものではない。たとえば、1 フレームを 4 つの期間に分割し、表示領域 6 3 と非表示領域 6 2 を交互に実施してもよい。

【0 8 7 2】

以上のように、本発明は、1 フレーム期間を複数の時間に分割し、また、表示領域を複数の分割して表示領域 6 3、非表示領域 6 2 の制御を実施するものである。

【0 8 7 3】

なお、本発明は、図 1 5 9 などの画面 3 4 を分割する方式に限定するものではない。たとえば、図 1 6 3 に図示するように、実施してもよい。図 1 6 3 は 1 フレーム期間の駆動方式の説明図である。

【0 8 7 4】

図 1 6 3 において、図 1 6 3 (a) ((a 1)、(a 2)、(a 3)、(a 4)) は、ゲートドライバ回路 1 2 a による画像の書き込み位置 (矢印で示している) を示している。ゲートドライバ回路 1 2 a は、図 1 5 9 などと同様に画面の 1 画素行目から 2 4 0 画素行目に順次ゲート信号線 1 7 a を選択し、ソースドライバ回路 1 4 からの映像信号を画素行に書き込む。

【0 8 7 5】

図 1 6 3 (b) ((b 1)、(b 2)、(b 3)、(b 4)) は、ゲートドライバ回路 1 2 b による表示領域 6 3、非表示領域 6 2 の制御状態を示している。ゲートドライバ回路 1 2 b は、画面 3 4 全体を O E V 端子の制御により、点灯あるいは非点灯状態に制御する。

【0 8 7 6】

ゲートドライバ回路 1 2 a の画像書き込みは、(1/2) フレーム期間で完了する。つまり、倍速書き込みを行う。その期間は、ゲートドライバ回路 1 2 b の O E V 端子は、L ロジックが印加され、すべてのゲート信号線 1 7 b にはオフ電圧が印加される。1 フレームの後半の 1/2 フレーム期間では、ゲートドライバ回路 1 2 a の書き込み動作は停止する。この期間は、ゲートドライバ回路 1 2 b の O E V 端子には H ロジック信号が印加され、すべてのゲート信号線 1 7 b にはオン電圧が印加される。したがって、1 フレームの (1/2) フレーム期間では画面 3 4 は非点灯状態 (非表示) であり、後半の (1/2) フレーム期間では画面 3 4 は点灯状態 (表示) である。なお、画像の表示時間、非表示期間は、(1/2) フレームに限定するものではない。ゲートドライバ回路 1 2 a の書き込み

10

20

30

40

50

クロック、ゲートドライバ回路 12b の O E V 端子の制御により自由に設定あるいは調整できる。

【0877】

以上のように画面 34 の表示を制御することにより動画視認性が向上し、C R T と同等の画像表示を実現できる。

【0878】

以上の実施例は、本明細書の他の実施例と組み合わせることができることは言うまでもない。また、本実施例を本発明の装置などに適用できることも言うまでもない。

【0879】

図 3、図 6、図 9、図 11、図 152 などの実施例では、ゲートドライバ 12a の動作周波数とゲートドライバ 12b の動作周波数とは一致させるとした。もしくは、画素 16 行を選択するゲート信号線 12a と、E L 素子 15 の行を選択するゲート信号線 17b とは同期させ、選択画素 16 行と E L 素子 15 の行とは一定間隔を保持し、選択するとした。

【0880】

しかし、本発明はこれに限定するものではない。たとえば、図 158 に図示するように、ゲートドライバ回路 12a とゲートドライバ回路 12b の動作周波数あるいは選択周波数を異ならせても良い。図 158 の実施例では、ゲートドライバ回路 12a を 60 H z 周期で動作させ、ゲートドライバ回路 12b を 1.5 倍の 75 H z 周期で動作させた実施例である。

【0881】

周期とは、m (m は 1 以上画素行 n 以下の整数) 番目のゲート信号線 12 を選択し、次に m 番目のゲート信号線 12 を選択する時間である。たとえば、ゲートドライバ回路 12a の 60 H z 周期とは、1 秒間に 1 番目の画素行のゲート信号線 12a を選択する回数が 60 回である。つまり、それぞれのゲート信号線 12a が選択され、次に選択されるまでを 1 周期とし、1 秒間におけるその周期が 60 回発生するのが 60 H z である。ゲートドライバ回路 12b の 75 H z 周期とは、1 秒間に 1 番目の画素行のゲート信号線 12a を選択する回数が 75 回である。

【0882】

図 158 の実施例では、ゲートドライバ回路 12a は、入力映像信号の周波数 60 H z (1 秒間に画像が 60 枚) に同期して画面 34 を書き換える。つまり、ゲートドライバ回路 12a は、水平走査同期信号に同期して表示領域 34 の 1 番目の画素行から n (n は画素行の最大値) 番目の画素行を順次選択し、ソースドライバ回路 14 からのプログラム電流 (電圧) を選択された画素行に印加する。この書き換えの回数が 1 秒間に 60 回である。

【0883】

ゲートドライバ回路 12b は、ゲートドライバ回路 12a の水平走査同期信号とは異なる同期信号に同期して表示領域 34 の 1 番目の画素行から n (n は画素行の最大値) 番目の画素行を順次選択する。このゲートドライバ回路 12b が使用する同期信号を点灯制御同期信号と呼ぶ。点灯制御同期信号は、メインクロックから発生させる。ただし、水平走査同期信号もメインクロックから発生させているため、点灯制御同期信号と水平走査同期信号とは同期がとれている。

【0884】

ゲートドライバ回路 12b は、点灯制御同期信号に同期してゲート信号線 17b を選択し、ゲート信号線 17b のオンオフ制御を行う。ゲートドライバ回路 12b は、点灯制御同期信号に同期して表示領域 34 の 1 番目の画素行から n (n は画素行の最大値) 番目の画素行のゲート信号線 17b を順次選択し、E L 素子 15 の発光制御を実施する。m (m は 1 以上 n 以下の整数) 番目のゲート信号線 17b が選択され、つぎに m 番目のゲート信号線 17b が選択される期間を 1 周期とし、この周期の回数が 1 秒間に 75 回実施される (75 H z 動作のとき)。

【0885】

図6などで説明したように、黒挿入（非表示領域の挿入）あるいは表示領域を間欠にして駆動することにより、動画視認性が大幅に向上する。しかし、帯状の表示領域63の周期が遅いとフリッカが発生する。この課題に対して本発明は、ゲートドライバ回路12bの動作速度（周期＝フレームレート）を入力映像信号のフレームレート（通常60フレーム／秒＝60Hz）よりも速くする。

【0886】

本発明のEL表示装置は、図1でも説明したように、映像信号は画素16のコンデンサ19で保持されている。つまり、表示領域の画像メモリを保有するのと等価である。コンデンサ19で保持された画像は、トランジスタ11dをオンさせることによりEL素子15に電流が流れ、画像表示される。したがって、ゲート信号線17bを制御するだけで画像表示を実現できる。

【0887】

なお、ゲート信号線17bにオン電圧を印加することにより、EL素子15に電流が流れるとして説明するが、駆動トランジスタ11aにプログラムされた映像信号が、黒表示であれば、EL素子15には電流は流れない。本明細書において、EL素子15に電流が流れるとは、映像信号などに応じてEL素子15に流れる電流が制御される意味である場合がある。

【0888】

表示領域34に画像メモリが有すると言うことは、この画像メモリを用いてフレームレート変換を実現できる。たとえば、入力映像信号のフレームレート（周期）が60Hzであれば、フレームレート＝60Hzで表示領域34にマトリックス状に形成されたコンデンサ19に画像を書き込み、保持させる。読み出しは、ゲートドライバ回路12bを操作することにより読み出せる。読み出しとはEL素子15に電流を流し、画像表示を行うことである。

【0889】

ゲートドライバ回路12bがゲート信号線17bを選択する周期（フレームレート）はゲートドライバ回路12aと独立に行えるから、フレームレート変換を実現できる。つまり、ゲートドライバ回路12bのフレームレート（動作周期）を75Hzとすれば、図6の表示領域63が画面34の上下方向に移動する動作を1秒間に75回実施できる。

【0890】

液晶表示装置では、フレームレート変換を行うには、外付けの半導体メモリが必要である。また、フレームレート変換にはメモリの読み出し速度を高速に行う必要がある。しかし、本発明のEL表示装置では半導体メモリは不要であり、低コスト化を実現できる。

【0891】

図158の技術的思想としては、EL素子15行を選択し、EL素子15行を発光させる周期を60Hz以上とすることが重要である。好ましくは、周期は70Hz以上150Hz以下とする。さらに好ましくは、72Hz以上130Hz以下とする。

【0892】

また、好ましくは、ゲートドライバ回路12bの1周期動作する周波数は、ゲートドライバ回路12bの動作周波数の1.25倍、1.5倍、1.75倍、2.0倍の周波数をする。たとえば、ゲートドライバ回路12aが1画面34を書き換える周期が60Hzであれば、ゲートドライバ回路12bが1画面34を選択する周期は、75Hz、90Hz、105Hz、120Hzとする。ゲートドライバ回路12aが1画面34を書き換える周期が50Hzであれば、ゲートドライバ回路12bが1画面34を選択する周期は、62.5Hz、75Hz、87.5Hz、100Hzとする。

【0893】

なお、以上の1.25倍、1.5倍などの倍数は、この数値のみに限定されるものではない。回路の構成上、前後してもその効果は有効である。したがって、上記に例示する倍数の±10%の範囲であれば問題ない。以上の事項は以下の実施例においても同様に適用

10

20

30

40

50

される。

【0894】

また、ゲート信号線17bの1番目が選択され、次にゲート信号線17bの1番目が選択される周期は、周期は70Hz以上150Hz以下とする。さらに好ましくは、72Hz以上130Hz以下とすることが好ましい。

【0895】

また、ゲート信号線17bの1番目が選択され次にゲート信号線17bの1番目が選択される周期は、ゲート信号線17aの1番目が選択され次にゲート信号線17aの1番目が選択される周期の1.25倍、1.5倍、1.75倍、2.0倍の周波数をするのが好ましい。

10

【0896】

以下、本発明の駆動方法の動作について、図172を参照しながら説明をする。図172において、縦軸は、画素行番号である。画素行は、n画素行あるとする。したがって、ゲートドライバ回路12が選択する画素行は1番目からn番目の画素行である。横軸は、時間である。フレームとも考えることができる。なお、説明を容易にするため、画素行の選択は、画面34の上辺の1画素行から開始されるものとする。また、図172では、ゲートドライバ回路12bは、フレームレート（周期）は入力60Hz $\times$ 2=120Hzとしている。また、画素構成は、図1の画素構成を例示して説明をする。

【0897】

図172において、実線は、ゲートドライバ回路12aの動作を示している。つまり、ゲートドライバ回路12aがシフト動作し、オン電圧（VGL）を出力するゲート信号線17aの位置を示している。ゲートドライバ回路12aは、60Hzの1フレーム（1F）で1画素行からn画素行を選択する。ゲートドライバ回路12bは、120Hzで動作する。したがって、ゲートドライバ回路12aの1Fで2回画面34を選択する。つまり、（1/2）Fで、1番目の画素行からn番目の画素行を選択する。なお、ゲートドライバ回路12bは、duty駆動では、複数の画素行を選択する。図172では理解を容易にするため、点線をゲートドライバ回路12bが動作の先端位置とする。たとえば、1画素行しかゲート信号線17bを選択しない状態において、そのゲート信号線17bにオン電圧（VGL）が印加されている画素行の位置である。

20

【0898】

図172において、Aからゲートドライバ回路12による画素行の選択が行われる。説明を容易にするため、また、理解を容易にするため、ゲートドライバ回路12bが1画素行目を選択し、次の走査期間でゲートドライバ回路12aが1画素行目を選択するとする。つまり、ゲート信号線12aが選択するゲート信号線17aとゲートドライバ回路12bが選択するゲート信号線17bが同一の画素行とならないように制御を開始する。

30

【0899】

ゲートドライバ回路12aによりゲート信号線17aが順次選択され、ソースドライバ回路14からプログラム電流が出力されて選択された画素行に書き込まれる。1Fで画面34の下辺であるn画素行（C点）まで走査が完了し、次のフレームではまた画面34の上辺の1画素行目からゲート信号線17aの選択が開始される。

40

【0900】

また、ゲートドライバ回路12bによりゲート信号線17bが順次選択され、ゲート信号線17bにオン電圧（VGL）またはオフ電圧（VGH）が印加され、その印加位置が、点灯制御同期信号に同期してシフトされる。ゲートドライバ回路12bの動作フレームレートは120Hzであるから、B点で1フレームが完了し、このフレーム期間は、ゲートドライバ回路12aの（1/2）F期間である。

【0901】

図172のように、ゲートドライバ回路12aとゲートドライバ回路12bは異なるフレームレートで動作する。ゲートドライバ回路12bのフレームレートは120Hzであるから、図6の表示領域63は、ゲートドライバ回路12aの1F期間に2回画面の上下

50

方向に走査される。また、ゲートドライバ回路 12b のフレームレートは 120Hz と 70Hz 以上であるので、フリッカは発生しない。

【0902】

ゲートドライバ回路 12b が同時にオン電圧を印加するゲート信号線 17b の本数が 1 本の場合は、図 172 に図示するように、ゲートドライバ回路 12a とゲートドライバ回路 12b の開始タイミングを 1 水平走査期間離せば問題は発生しない。つまり、任意の画素行において、ゲート信号線 17a とゲート信号線 17b に同時にオン電圧が印加されることはない。

【0903】

しかし、大抵の場合は、図 175 に図示するように、ゲートドライバ回路 12b が選択するゲート信号線 17b は複数である。たとえば、図 175 (a) の $(1/2)$ duty 駆動の場合は、 $n/2$ 本のゲート信号線 17b にオン電圧 (VGL) が印加される。したがって、図 175 (a) に図示するように、ゲートドライバ回路 12b の 1 周期の $(1/2)$ の期間にオフ電圧 (VGH) が印加され、 $(1/2)$ F の期間にオン電圧 (VGL) が印加される。なお、図 175 において、ON とはゲート信号線 17b にオン電圧が印加された状態を、OFF とはゲート信号線 17b にオフ電圧が印加された状態を示す。たとえば、図 175 (a) では、A 点の時間から動作し、B 点の時間となったとき、1 画素行から、 $n/2$ 画素行までは、該当ゲート信号線 17b には、オン電圧が印加されている。 $(n/2 + 1)$ 画素行から n 画素行までは、該当ゲート信号線 17b にはオフ電圧が印加されている。

【0904】

本発明において、図 175、図 172 に図示するように、A の開始後は、ゲートドライバ回路 12b は、オフ電圧を出力するようにデータをシフト回路 31b に入力して動作させる。 $1/2$ duty であれば、 $n/2$ のゲート信号線 17b にオフ電圧を出力した状態の後、以降のゲート信号線 17b にオン電圧を出力するように操作する。

【0905】

図 175 は $(1/4)$ duty 駆動の実施例である。図 175 (a) と同様にゲートドライバ回路 12b のフレームレートは 120Hz としている。 $(1/4)$ 周期に OFF 電圧が印加され、 $(3/4)$ 周期も ON 電圧が印加される。したがって、表示領域 34 の $1/4$ が点灯し、 $3/4$ が非点灯である。

【0906】

しかし、ゲートドライバ回路 12b により、複数の画素行が選択されると、ゲートドライバ回路 12b に選択された (オン電圧が印加された) 画素行とゲートドライバ回路 12a に選択電圧が印加された画素行とは一致する期間が発生する。この課題に対して、本発明では、垂直アウトプットイネーブル (OE V) 信号を操作して対応する。OE V 信号は、ロジック信号であり、L レベルにすることにより、すべてのゲート信号線 17b にオフ電圧が出力される。したがって、任意の画素行において、OE V 信号によりゲート信号線 17a とゲート信号線 17b は同時にオン電圧が印加されることはない。OE V 信号は、ゲートドライバ回路 12b のシフトレジスタ回路 31b の出力信号と OE V 信号とを AND ロジックで制御することにより実現できる。OE V 信号は、ゲート信号線 17b の選択を解除する信号と言うこともできる。

【0907】

以上のように、OE V 信号を制御することにより、任意の画素において、ゲート信号線 17a とゲート信号線 17b が同時に選択されるときに、強制的にゲート信号線 17b にオフ電圧を印加し、非選択状態とすることにより対策できる。

【0908】

図 173 は、ゲートドライバ回路 12a のフレームレートを 60Hz とし、ゲートドライバ回路 12b のフレームレートの周期は、ゲートドライバ回路 12a のフレームレートの周期の $3/4$ とした実施例である。ゲートドライバ回路 12b は、ゲートドライバ回路 12a の $(3/4)$ F 期間で、1 画面を選択走査する。

【0909】

図174は、ゲートドライバ回路12aのフレームレートを60Hzとし、ゲートドライバ回路12bのフレームレートの周期は、ゲートドライバ回路12aのフレームレートの周期の1/4とした実施例である。ゲートドライバ回路12bは、ゲートドライバ回路12aの(1/4)F期間で、1画面を選択走査する。図174の実施例では、ゲートドライバ回路12aが選択するゲート信号線17aとゲートドライバ回路12bが選択するゲート信号線17bとは、K1、K2位置で同一の画素行となる。この場合は、図172で説明したように、OE端子を制御して、ゲートドライバ回路12bが選択するゲート信号線17bを強制的に非選択とする。

【0910】

10

なお、選択とは、該当ゲート信号線17にオン電圧(VGL)が印加されていることを意味し、非選択とは該当ゲート信号線17にオフ電圧(VGH)が印加されていることを意味する。図1の画素構成では、ゲート信号線17aにオン電圧を印加することにより、トランジスタ11b、11cがクローズする。ゲート信号線17bにオン電圧を印加することにより、トランジスタ11dがクローズする。

【0911】

以上の実施例では、ゲートドライバ回路12bが選択するゲート信号線17bをOE端子の制御により、強制的に非選択状態とするとしたがこれに限定するものではなく、ゲートドライバ回路12aが選択するゲート信号線17aを強制的に非選択状態としてもよい。この場合は、該当画素行にはソースドライバ回路14からのプログラム電流(あるいはプログラム電圧)が書き込まれないが、次のフレーム周期で書き込まれるので問題ない。

20

【0912】

以上の実施例では、ゲートドライバ回路12aとゲートドライバ回路12bとは動作フレーム周波数は異なるが、同期は維持するとしたが、これに限定するものではなく、非同期であってもよい。ただし、図1などの画素構成にあっては、ゲートドライバ回路12aが選択するゲート信号線17aとゲートドライバ回路12bが選択するゲートドライバ回路12bが同一の画素行を選択しないように、管理する必要がある。管理は容易である。コントローラがゲートドライバ回路12a、12bのデータ信号を管理し、制御しているからである。コントローラのロジックでOE端子を制御すればよい。なお、ゲート信号線17aと17bのうち一方を非選択状態にするとしたが、本発明はこれに限定するものではなく、両方を非選択状態に制御してもよいことは言うまでもない。したがって、複数のゲート信号線を有する構成の場合は、少なくとも1つのゲート信号線の選択あるいは日選択状態を制御できるものであればよい。また、選択、非選択の制御は時分割でおこなってもよい。たとえば、1水平走査期間を1/2に分割し、最初の1/2の期間でゲート信号線17aにより制御を実施し、後半の1/2の期間でゲート信号線17bにより制御を行っても良い。

30

【0913】

図176に図示するようにゲートドライバ回路12を構成することにより、該当画素行において、ゲート信号線17aとゲート信号線17bが同時に選択されことを、ゲートドライバ回路12で実施するようにより、ゲート信号線17の選択、非選択制御が容易になる。また、OE制御により、ゲートドライバ回路12bが複数選択するゲート信号線17bを同時に選択あるいは非選択することなく、1つのゲート信号線17bを非選択状態に制御を実施できる。

40

【0914】

図176におけるゲートドライバ回路12の構成は、ゲートドライバ回路12aのシフトレジスタ回路31aとゲートドライバ回路12bのシフトレジスタ回路31bを有する構成である。ゲートドライバ回路12は、表示領域34の左右のいずれか一方に形成する。

【0915】

50

図176、図177においても、×はゲート信号線17を非選択（オフ電圧を出力する）にするデータであることを、○はゲート信号線17を選択（オン電圧を出力する）にするデータであることを示している。

【0916】

シフトレジスタ回路31aが動作するフレームレートと、シフトレジスタ回路31bが動作するフレームレートは同一または異ならせる。本発明では、図158、図172などで説明したように、シフトレジスタ回路31aが動作するフレームレートよりも、シフトレジスタ回路31bが動作するフレームレートの方が大きくしている。ただし、本発明はこれに限定するものではない。たとえば、シフトレジスタ回路31bが動作するフレームレートよりも、シフトレジスタ回路31aが動作するフレームレートの方が大きくしてもよい。本発明は、映像書き込みのフレームレートと、画像表示のフレームレートを異ならせる、あるいは自由に設定できることが特徴である。

10

【0917】

シフトレジスタ回路31aは映像信号の水平走査同期信号に同期してデータ位置をシフトし、シフトレジスタ回路31bは、点灯制御同期信号に同期してデータ位置をシフトする。水平走査同期信号と点灯制御同期信号とは、同一のメインクロックまたは発振周波数を基に作成される。

【0918】

シフトレジスタ回路31aは、プログラム電流（電圧）を書き込む画素行あるいはゲート信号線17aを選択するものである。したがって、選択するデータである“○”は1箇所である。この“○”は、ゲートドライバ回路12の映像信号の水平走査周波数に同期してシフトされる。

20

【0919】

シフトレジスタ回路31bは、EL素子15を点灯させる画素行を選択するものである。したがって、該当画素行に接続されたゲート信号線17bを選択するものである。選択するゲート信号線17bは複数であり、また、選択するゲート信号線17bは隣接して選択される。これが、動画視認性を向上させるためである。選択するデータである“○”は複数箇所である。図176では、理解を容易にするため、4つの○の群と、2つの○の群とを記載している。実際には○の連続は、 $1/4 \text{ duty}$ で、 $n/4$ （ $n=240$ 画素行である場合は60）とされる。また、図176のように、○の群を分離するよりは、連続させることが好ましい。シフトレジスタ回路31bの“○”は、点灯制御同期信号に同期してシフトされる。

30

【0920】

図176、図177において、32はレベル変換回路である。レベル変換回路32は、ANDの出力であるロジック信号を、ゲート信号線17のオンオフ制御ロジックに一致するように変換するとともに、VGL、VGH電圧にレベルシフトする。

【0921】

シフトレジスタ回路31aの出力はロジック反転してAND回路の入力となり、シフトレジスタ回路31bの出力はそのまま前記AND回路の入力となる。AND回路の出力は、ゲート信号線17bのロジック信号としてレベル変換回路32に印加される。シフトレジスタ回路32aの出力はゲート信号線17aのロジック信号としてレベル変換回路32に入力される。レベル変換回路32は入力されたロジック信号をゲート信号線17の制御ロジックに一致するように、また、電圧のレベルシフトを行う。

40

【0922】

図176で図示するように、シフトレジスタ回路31bの○データにより、ゲート信号線17b（3）、ゲート信号線17b（4）、ゲート信号線17b（7）、ゲート信号線17b（8）、ゲート信号線17b（10）には選択電圧であるオン電圧（VGL）が出力される。しかし、ゲート信号線17b（9）は、該当シフトレジスタ回路31aの選択電圧（VGL）が出力されるため、オフ電圧（VGH）出力となっている。他のゲート信号線17bは、オフ電圧（VGH）出力となっている。

50

【0923】

シフトレジスタ回路31aは、○データにより、ゲート信号線17a(9)には選択電圧であるオン電圧(VGL)が出力される。他のゲート信号線17aは、オフ電圧(VGH)出力となっている。

【0924】

以上のように構成することにより、選択電圧が印加されたゲート信号線17aと選択電圧が印加されたゲート信号線17bが同一の画素とならないように容易に制御することができる。また、ゲート信号線17aは、ゲート信号線17bの選択に依存せず、選択した画素行にソースドライバ回路14からの映像信号を書き込むことができる。映像信号の書き込みは、画素16のコンデンサ19にメモリすることを意味する。このメモリ機能を用いて、フレームレート変換を容易に実現できる。 10

【0925】

図177は、映像信号を書き込むゲート信号線17aを選択するゲートドライバ回路12aを表示領域34の左辺に形成し、図176で説明したゲート信号線17bを選択するゲートドライバ回路12をゲートドライバ回路12bとして表示領域34の右辺に形成した実施例である。ゲートドライバ回路12aのシフトレジスタ回路31aのデータと、ゲートドライバ回路12bのシフトレジスタ回路31bのデータは同一データであり、またシフトレジスタ回路31aとシフトレジスタ回路31bとは、同一の水平走査同期信号でデータ位置をシフトするとともに、選択データの入力を実施される。ゲートドライバ回路12bのシフトレジスタ回路31bは、点灯制御同期信号に同期してデータ位置をシフトするとともに、選択データが入力される。 20

【0926】

なお、ゲートドライバ回路12のシフトレジスタ回路31をシフト動作する期間は、AND回路などのロジック信号が不安定である。この期間は、OE端子の制御により、ゲート信号線17の出力が非選択状態(オフ電圧出力)となるように制御することが好ましい。

【0927】

なお、他の構成および駆動方式は以前に説明した実施例と同様あるいは類似であるので説明を省略する。また、本発明は本明細書に記載する他の実施例と組み合わせで実施できることは言うまでもない。 30

【0928】

なお、画素16の構成は、図12などで説明したカレントミラー構成の場合は、図174などで説明したイネーブル処理を実施する必要はない。つまり、任意の画素16において、ゲート信号線17aとゲート信号線17bが同時に選択されても、ソースドライバ回路14が画素16に書き込みプログラム電流Iwに影響を与えないからである。図158で例示する本発明の技術的思想は、図1の画素構成であっても、図12の画素構成であってもよい。また、図13、図14の画素構成であってもよい。また、図2などの電圧プログラムの画素構成であってもよい。プログラムする画素行を選択するゲート信号線17aとEL素子15を選択するゲート信号線17bが独立に制御できるアレイ構成であれば、いずれの構成であっても実施できる。 40

【0929】

また、ゲートドライバ回路12aが同時に選択する画素行は1画素行に限定されるものではない。たとえば、2画素行以上の複数画素行を同時に選択してもよい。

【0930】

また、任意の画素行において、ゲート信号線17aとゲート信号線17bが同時に選択されたとき、ゲート信号線17bを強制的に非選択状態にするとした(たとえば、図176など)。しかし、本発明はこれに限定するものではない。たとえば、前記任意の画素行において、その画素行に隣接する画素行のゲート信号線17bも非選択状態にしてもよい。また、ゲートドライバ回路12aの走査方向と、ゲートドライバ回路12bの走査方向は、同一方向としたが、これに限定するものではなく、逆方向でもよい。または、適時、 50

走査方法を変化させてもよい。また、走査の開始は、画面 3 4 の上辺または下辺に限定するものではない。たとえば、画面 3 4 の中央部から開始してもよい。

【0931】

図 1 5 8、図 1 7 2～図 1 7 7 で説明した実施例あるいは本発明は、プログラム電流あるいはプログラム電圧（画素に書き込む映像信号あるいは画像データ）の制御と、EL 素子 1 5 に流す電流あるいは電圧をオンオフさせる制御とが独立に実施できる構成あるいは方式に有効である。なお、独立に制御とは、複数のゲート信号線（たとえば、ゲート信号線 1 7 a、1 7 b）のよる制御に限定されるものではない。たとえば、1 つのゲート信号線で、時分割で、プログラム電流あるいはプログラム電圧（画素に書き込む映像信号あるいは画像データ）の制御と、EL 素子 1 5 に流す電流あるいは電圧をオンオフさせる制御とを実施できる構成あるいは方式でもよい。これらの条件が満足できれば、すべての構成に本発明の方式を適用できる。また、その効果を享受できる。

10

【0932】

また、図 1 5 8、図 1 7 2～図 1 7 7 で説明したように、複数のゲート信号線（1 7 a、1 7 b）を有する構成の場合は、少なくとも 1 つにゲート信号線 1 7 を強制的に非選択状態に制御することが非常に有効である。この構成も本発明の特徴ある構成である。

【0933】

また、以上の実施例は、画素を構成するトランジスタが p チャンネルトランジスタであっても、n チャンネルトランジスタであっても適用できる。また、トランジスタでなくともよい。また、画素構成が電圧プログラム方式であっても、電流プログラム方式であっても適用できることも言うまでもない。

20

【0934】

以上の実施例は、本発明の他の実施例と組み合わせることができることは言うまでもない。

【0935】

EL 表示装置 1 6 4 4 は、自己発光デバイスであるため、パネル内部で光を発生する。発生した光のうち臨界角以上の光は、図 1 6 7 に図示するようにスネルの法則によりパネル内部に閉じ込められる。パネル内部に閉じ込められた光は、パネル内部で乱反射し、パネルの表示コントラストを低下させる。

【0936】

この課題に対して、本発明は、図 1 6 8 に図示するように、パネル 1 6 4 4 の側面を斜めにカットしている。斜めの角度 θ は、30 度以上 60 度（DEG.）とする。パネル 1 6 4 4 内部で発生した光 1 6 7 1 は、パネル 1 6 4 4 の側面で反射するかあるいは、突き抜ける。パネル 1 6 4 4 の側面で反射した光 1 6 7 1 は、パネル 1 6 4 4 の周辺部から出射される。出射された光は、パネルの非表示領域を照明し、デザイン的にすぐれたものとなる。

30

【0937】

図 1 6 9 は、パネル 1 6 4 4 と筐体 1 6 4 3 との間に光結合材 1 6 9 1 を充填したものである。光結合材 1 6 9 1 としては、サルチル酸メチル、エチレングリコール等の液体、アルコール、水、フェノール樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂、低融点ガラス等の固体が例示される。光結合材 1 6 9 1 はパネル 1 6 4 4 等が発生する光をよりよく筐体 1 6 4 3 に導入するためのものである。光結合材 1 6 9 1 の屈折率は 1.38 以上 1.55 以下の透明材料であればほとんどのものを用いることができる。主として表示パネル 1 6 4 4 の側面と筐体 1 6 4 3 とは光結合材 1 6 9 1 で光結合される。したがって、表示パネル 1 6 4 4 で発生した光の一部は、光結合材 1 6 9 1 を介して筐体 1 6 4 3 に伝達される。そのため、筐体 1 6 4 3 は、表示パネル 1 6 4 4 の発光色に対応して輝く。

40

【0938】

パネル 1 6 4 4 の内部で発生した光のうち、画像表示に有効な表示領域 3 4 以外（無効領域）から出射される光は、光結合材 1 6 9 1 を介して筐体 1 6 4 3 に伝達される。

【0939】

50

好ましくは、筐体 1643 の内面は、金属材料などからなる反射膜を形成する。金属膜を形成することにより、EMI 対策も実現できる。また、筐体 1643 の内面は、無機材料からなる多層干渉膜を形成し、光 1671 を反射する反射膜を形成してもよい。また、筐体 1643 の内面は、反射材料を含有する塗料を塗布し、反射膜としてもよい。

【0940】

なお、筐体 1643 の表面にも、干渉膜あるいは特定の波長帯域を出射するカラーフィルタを形成し、特定の波長帯域の光 1671 が筐体 1643 から出射されるように構成してもよい。また、筐体 1643 を構成する材質に特定の波長の光成分を吸収する顔料あるいは染料を含有させ、特定の波長の光が筐体 1643 から出射されるように構成してもよい。また、筐体 1643 の表面に光拡散材を塗布してもよい。また、筐体 1643 を構成する材料に光拡散材を含有させてもよい。 10

【0941】

筐体 1643 は、光透過性を有する材料で構成する。たとえば、透明あるいは着色された樹脂材料である。パネル 1644 で発生した光の一部は、光結合材 1691 を介して筐体 1643 に伝達される。筐体 1643 に伝達された光 1671 は、図 170 に図示するように、筐体 1643 で反射を繰り返し、その一部は、筐体 1643 から出射される。そのため、筐体 1643 は、表示パネル 1644 の発光色に対応して光輝く。

【0942】

本発明は、EL パネル 1644 から画像表示に無効な光を筐体 1643 などに伝達する構成である。画像表示に無効な光とは、表示領域 34 以外（無効領域）に限定されるものではない。表示領域 34 で発生した光でも、パネルの表面で反射し迷光となる光も画像表示に無効な光である。つまり、本発明は画像表示に無効な光を筐体 1643 など、表示パネル 1644 以外に伝達するものである。 20

【0943】

たとえば、図 169 (c) に図示する構成は、表示領域 34 から発生する光のうち、表示領域 34 から出射しない光を筐体 1643 に伝達する構成である。透明カバー（カバー板）1692 と EL パネル 1644 間は、光結合材 1691 でオプティカルカップリングされている（光結合されている）。また、カバー板 1692 と筐体 1643 間、パネル 1644 と筐体 1643 間が光結合材 1691 でオプティカルカップリングされている。EL 表示パネル 1644 の EL 素子 15 で発生し、透明カバー 1692 の空気との界面で反射した光は、透明カバー 1692 内を乱反射し、光結合材 1691 を介して筐体 1643 に伝達される。 30

【0944】

以上のように、筐体 1643 とパネル 1644 とを光結合材 1691 で光結合させることにより、本来、有効な画像表示として寄与しない光を筐体 1643 に導くことができる。したがって、パネル 1643 内でハレーションする光を抑制できるから、パネル 1644 の表示コントラストを向上できる。また、筐体 1643 がパネル 1644 の表示色に対応して変化し、デザインの的にも有効である。

【0945】

以下、本発明の EL 表示パネルまたは EL 表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図 164 は情報端末装置の一例としての携帯電話の平面図である。筐体 1643 にアンテナ 1641、テンキー 1642 など取り付けられている。 40

【0946】

図 165 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 1652 とビデオカメラ本体を具備し、撮影レンズ部 1652 とビューファインダ部とは背中合わせとなっている。また、ビューファインダ部には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 1644 の表示画面 184 を観察する。

【0947】

本発明のEL表示パネルは表示モニターとしても使用されている。表示部184は支点1651で角度を自由に調整できる。表示部184を使用しない時は、格納部1653に格納される。

【0948】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図166に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体1661に付属されたモニター184として用いる。カメラ本体1661にはシャッタスイッチ1663の他、スイッチ1654が取り付けられている。

【0949】

図1、図3、図12、図13、図14、図73、図74、図75、図86、図103、
図104、図105、図106、図107、図109、図115、図118、図124、
図125、図126、図127などで説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）とその構成回路あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0950】

図4、図149、図150、図151などで説明した本発明の電源回路構成あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0951】

図8、図15、図16、図17、図18、図19、図20、図21、図22、図23、
図24、図29、図30、図32、図37、図38、図39、図41、図42、図43、
図44、図45、図49、図50、図56、図57、図58、図59、図60、図61、
図65、図66、図68、図71、図72、図77、図78、図79、図80、図87、
図88、図89、図90、図96、図114、図115、図116、図117、図122、
図144、図145、図146、図148、図152、図153、図154、図155、
図156、図157、図158などで説明した本発明のソースドライバIC（回路）とその構成回路あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0952】

図5、図6、図7、図9、図10、図11、図25、図26、図27、図28、図33、
図34、図35、図36、図40、図46、図47、図48、図51、図52、図53、
図54、図55、図62、図63、図64、図67、図69、図70、図76、図81、
図82、図83、図84、図85、図86、図91、図92、図93、図94、図95、
図97、図98、図99、図100、図101、図102、図108、図110、図111、
図112、図113、図119、図120、図121、図123、図128、図129、
図130、図131、図132、図133、図134、図135、図139、図140、
図141、図142、図143、図147、図159、図160、図160、図161、
図162、図163、図171、図171、図173などで説明した本発明の駆動方法と制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0953】

以上の本発明は、図164、図165、図166、図167、図168、図169、図170などで説明した表示装置に適用できる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一

部あるいは全部を問わず相互に組み合わせることができる。

【0954】

さらに、以上に記載した画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（IC）、ゲートドライバIC（回路）などの駆動回路あるいはコントローラIC（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想、検査（評価）装置および検査（評価）方法の技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置などに適用できることは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

10

【0955】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（3D）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（FED）、SED（キヤノンと東芝が開発したディスプレイ）、PDP（プラズマディスプレイパネル）などに適用できる。また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、PHS、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、バーコードなどの情報の発生機器にも適用することができる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

20

【0956】

本発明は、炊飯器などの家庭電器機器の表示モニター、カーオーディオの表示部、車のスピードメーター、ひげそりの表示部、ポケットゲーム機器およびそのモニター、電話機の番号、工場の計測器のインジケータなどの表示モニター、電車の行き先表示モニター、ネオン表示装置の置き換え、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置、天井灯、窓ガラス、車のヘッドライトなどの照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

30

【0957】

スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、本発明の表示装置から出力される光を単一波長あるいは狭帯域の波長ができるように構成し、レーザー表示装置またはその応用として用いても良いことは言うまでもない。狭帯域化は、干渉効果あるいは光学フィルタなどを用いることにより実現できる。

40

【0958】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合は、その組み合わせによる特徴ある効果が得られる。

【産業上の利用可能性】

50

【0959】

本発明に係るEL表示装置およびEL表示装置の駆動方法は、表示ムラを低減しつつ、全階調領域で書き込み不足を生じさせないという効果を有するので、有機または無機エレクトロルミネッセンス（EL）素子などを用いたEL表示パネル（表示装置）などの自発光表示パネル（表示装置）、その駆動方法、駆動装置、およびこれらの表示パネルを用いた表示装置などに有用である。

【図面の簡単な説明】

【0960】

【図1】 本発明のEL表示パネルの画素の構成図

【図2】 従来のEL表示パネルの画素の構成図

10

【図3】 本発明のEL表示パネルの構成図

【図4】 本発明のEL表示装置の構成図

【図5】 本発明のEL表示パネルの駆動方法の説明図

【図6】 本発明のEL表示パネルの駆動方法の説明図

【図7】 本発明のEL表示パネルの駆動方法の説明図

【図8】 本発明のEL表示パネルの構成図

【図9】 本発明のEL表示パネルの駆動方法の説明図

【図10】 本発明のEL表示パネルの駆動方法の説明図

【図11】 本発明のEL表示パネルの駆動方法の説明図

【図12】 本発明のEL表示パネルの画素構造の説明図

20

【図13】 本発明のEL表示パネルの画素構造の説明図

【図14】 本発明のEL表示パネルの画素構造の説明図

【図15】 本発明のEL表示パネルのドライバ回路の構成図

【図16】 本発明のEL表示パネルのドライバ回路の構成図

【図17】 本発明のEL表示パネルのドライバ回路の構成図

【図18】 本発明のEL表示パネルのドライバ回路の構成図

【図19】 本発明のEL表示パネルのドライバ回路の構成図

【図20】 本発明のEL表示パネルのドライバ回路の構成図

【図21】 本発明のEL表示パネルのドライバ回路の構成図

【図22】 本発明のEL表示パネルのドライバ回路の構成図

30

【図23】 本発明のEL表示パネルのドライバ回路の構成図

【図24】 本発明のEL表示パネルのドライバ回路の構成図

【図25】 本発明のEL表示パネルの駆動方法の説明図

【図26】 本発明のEL表示パネルの駆動方法の説明図

【図27】 本発明のEL表示パネルの駆動方法の説明図

【図28】 本発明のEL表示パネルの駆動方法の説明図

【図29】 本発明のEL表示パネルのドライバ回路の構成図

【図30】 本発明のEL表示パネルのドライバ回路の構成図

【図31】 本発明のEL表示パネルのドライバ回路の構成図

【図32】 本発明のEL表示パネルのドライバ回路の構成図

40

【図33】 本発明のEL表示パネルのドライバ回路の構成図

【図34】 本発明のEL表示パネルのドライバ回路の構成図

【図35】 本発明のEL表示パネルの駆動方法の説明図

【図36】 本発明のEL表示パネルの駆動方法の説明図

【図37】 本発明のEL表示パネルのドライバ回路の構成図

【図38】 本発明のEL表示パネルのドライバ回路の構成図

【図39】 本発明のEL表示パネルのドライバ回路の構成図

【図40】 本発明のEL表示パネルのドライバ回路の構成図

【図41】 本発明のEL表示パネルの駆動方法の説明図

【図42】 本発明のEL表示パネルの駆動方法の説明図

50

【図 4 3】	本発明の E L 表示パネルの駆動方法の説明図	
【図 4 4】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 4 5】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 4 6】	本発明の E L 表示パネルの説明図	
【図 4 7】	本発明の E L 表示パネルの説明図	
【図 4 8】	本発明の E L 表示パネルの説明図	
【図 4 9】	本発明の E L 表示パネルの説明図	
【図 5 0】	本発明の E L 表示パネルの説明図	
【図 5 1】	本発明の E L 表示パネルの説明図	
【図 5 2】	本発明の E L 表示パネルの説明図	10
【図 5 3】	本発明の E L 表示パネルの説明図	
【図 5 4】	本発明の E L 表示パネルの説明図	
【図 5 5】	本発明の E L 表示パネルの説明図	
【図 5 6】	本発明の E L 表示パネルの説明図	
【図 5 7】	本発明の E L 表示パネルの説明図	
【図 5 8】	本発明の E L 表示パネルの説明図	
【図 5 9】	本発明の E L 表示パネルの説明図	
【図 6 0】	本発明の E L 表示パネルの説明図	
【図 6 1】	本発明の E L 表示パネルの説明図	
【図 6 2】	本発明の E L 表示パネルの駆動方法の説明図	20
【図 6 3】	本発明の E L 表示パネルの駆動方法の説明図	
【図 6 4】	本発明の E L 表示パネルの説明図	
【図 6 5】	本発明の E L 表示パネルの説明図	
【図 6 6】	本発明の E L 表示パネルの説明図	
【図 6 7】	本発明の E L 表示パネルの説明図	
【図 6 8】	本発明の E L 表示パネルの説明図	
【図 6 9】	本発明の E L 表示パネルの説明図	
【図 7 0】	本発明の E L 表示パネルの説明図	
【図 7 1】	本発明の E L 表示パネルの説明図	
【図 7 2】	本発明の E L 表示パネルの説明図	30
【図 7 3】	本発明の E L 表示パネルの説明図	
【図 7 4】	本発明の E L 表示パネルの説明図	
【図 7 5】	本発明の E L 表示パネルの説明図	
【図 7 6】	本発明の E L 表示パネルの説明図	
【図 7 7】	本発明の E L 表示パネルの説明図	
【図 7 8】	本発明の E L 表示パネルの説明図	
【図 7 9】	本発明の E L 表示パネルの説明図	
【図 8 0】	本発明の E L 表示パネルの説明図	
【図 8 1】	本発明の E L 表示パネルの駆動方法の説明図	
【図 8 2】	本発明の E L 表示パネルの駆動方法の説明図	40
【図 8 3】	本発明の E L 表示パネルの駆動方法の説明図	
【図 8 4】	本発明の E L 表示パネルの駆動方法の説明図	
【図 8 5】	本発明の E L 表示パネルの駆動方法の説明図	
【図 8 6】	本発明の E L 表示パネルの駆動方法の説明図	
【図 8 7】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 8 8】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 8 9】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 9 0】	本発明の E L 表示パネルのドライバ回路の構成図	
【図 9 1】	本発明の E L 表示パネルの駆動方法の説明図	
【図 9 2】	本発明の E L 表示パネルの駆動方法の説明図	50

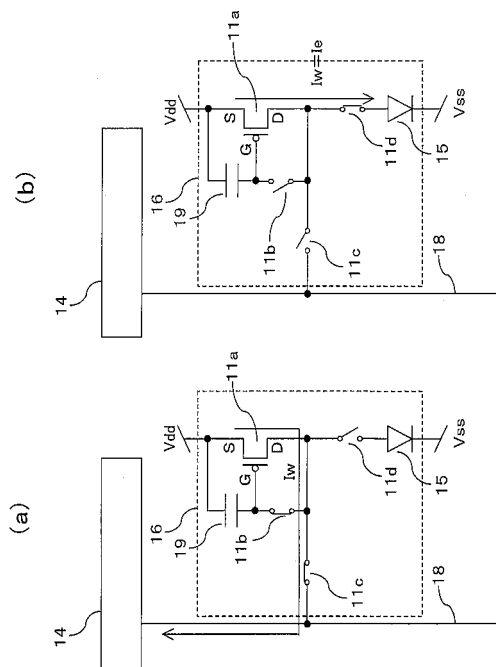
[illegible]

【図 1 4 3】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 4】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 5】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 6】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 7】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 8】	本発明の E L 表示パネルの駆動方法の説明図	
【図 1 4 9】	本発明の E L 表示装置の電源回路の説明図	
【図 1 5 0】	本発明の E L 表示装置の電源回路の説明図	
【図 1 5 1】	本発明の E L 表示装置の電源回路の説明図	
【図 1 5 2】	本発明の E L 表示装置の説明図	10
【図 1 5 3】	本発明の E L 表示装置の説明図	
【図 1 5 4】	本発明の E L 表示装置の説明図	
【図 1 5 5】	本発明の E L 表示装置の説明図	
【図 1 5 6】	本発明の E L 表示装置の説明図	
【図 1 5 7】	本発明の E L 表示装置の説明図	
【図 1 5 8】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 5 9】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 6 0】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 6 1】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 6 2】	本発明の E L 表示装置の駆動方法の説明図	20
【図 1 6 3】	本発明の E L 表示装置の説明図	
【図 1 6 4】	本発明の E L 表示装置の説明図	
【図 1 6 5】	本発明の E L 表示装置の説明図	
【図 1 6 6】	本発明の E L 表示装置の説明図	
【図 1 6 7】	本発明の E L 表示装置の説明図	
【図 1 6 8】	本発明の E L 表示装置の説明図	
【図 1 6 9】	本発明の E L 表示装置の説明図	
【図 1 7 0】	本発明の E L 表示装置の説明図	
【図 1 7 1】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 7 2】	本発明の E L 表示装置の駆動方法の説明図	30
【図 1 7 3】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 7 4】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 7 5】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 7 6】	本発明の E L 表示装置の駆動方法の説明図	
【図 1 7 7】	本発明の E L 表示装置の駆動方法の説明図	
【符号の説明】		
【0 9 6 1】		
1 1	トランジスタ (T F T)	
1 2	ゲートドライバ I C (回路)	
1 4	ソースドライバ回路 (I C)	40
1 5	E L (素子) (発光素子)	
1 6	画素	
1 7	ゲート信号線	
1 8	ソース信号線	
1 9	蓄積容量 (付加コンデンサ、付加容量)	
3 0	アレイ基板 (透明基板、ガラス基板)	
3 1	シフトレジスタ回路	
3 2	バッファ回路	
3 4	表示画面	
6 1	書き込み行	50

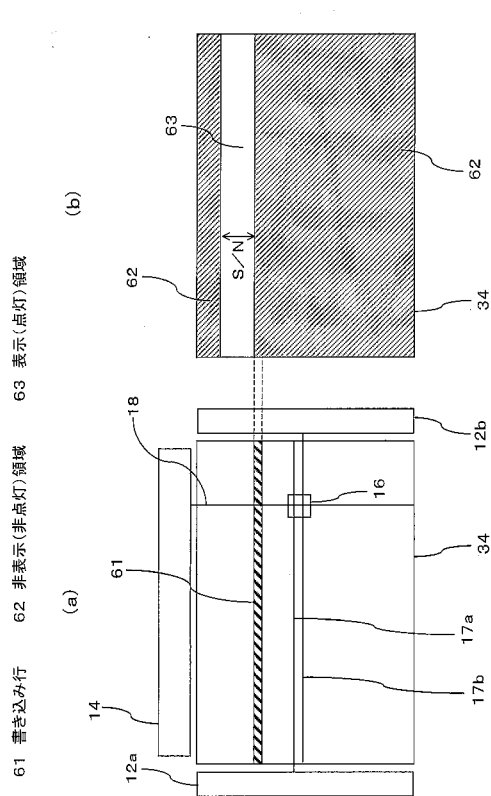
6 2	非表示領域（非点灯領域、黒表示領域）	
6 3	表示領域（点灯領域、画像表示領域）	
8 1	電流保持回路	
8 2	ポリシリコン電流保持回路（内蔵電流保持回路）	
8 3	出力端子	
1 5 1	オペアンプ（バッファ回路）	
1 5 2	電子ポリウム（電圧出力回路）	
1 5 3	定電流回路	
1 5 4	電流階調回路	
1 6 1	スイッチ（オンオフ手段、選択手段）	10
1 6 2	内部配線（電流出力配線）	
1 6 3	ゲート配線	
1 6 4	単位トランジスタ（単位電流源）	
1 6 5	トランジスタ群	
1 6 7	トランジスタ	
1 6 8	トランジスタ	
2 1 1	一致回路	
2 1 2	カウンタ回路	
2 1 3	A N D（回路）	
2 1 4	プリチャージ回路（プリチャージ電圧発生回路）	20
2 2 1	ラッチ回路	
2 2 2	セレクタ回路（選択回路）	
2 3 1	電圧階調回路（電圧出力回路）	
2 4 1	サンプルホールド回路	
2 4 2	ソース信号線端子	
2 9 1	切り換え回路	
3 2 1	単位トランジスタ	
3 3 1	比較回路	
3 8 1	電圧測定回路（電圧取得手段）	
3 9 1	A / D 変換回路	30
4 4 1	切り換え回路	
4 4 3	平均化回路	
5 0 1	ソース信号線電位検出線	
5 0 2	メモリ（記憶手段）	
5 2 1	電圧測定回路（I C）	
6 1 1	電圧配線	
6 5 1	演算回路（処理回路）	
8 0 1	コントロール I C（回路）	
8 4 1	短絡配線	
8 4 2	端子電極	40
8 4 3	プローブ	
8 4 4	定電流源	
8 4 5	配線	
8 5 1	温度補償回路	
9 3 1	ルックアップテーブル	
9 5 1	O R 回路	
1 0 5 1	フラッシュメモリ	
1 0 9 2	レーザー照射範囲（エキシマレーザースポット）	
1 0 9 3	位置決めマーカー	
1 0 9 4	ガラス基板	50

1 2 2 1	カスケード回路	
1 2 2 2	電圧配線	
1 2 4 1	D/A変換回路	
1 2 7 1	定電流出力回路	
1 3 1 1	スイッチ回路	
1 3 1 2	定電流源	
1 3 1 3	電流出力回路	
1 3 4 1	コンデンサ	
1 4 3 1	エミッタフォロワ回路	
1 4 8 1	階調スイッチ制御回路	10
1 4 8 2	プリチャージ電流制御回路	
1 4 8 3	プリチャージ期間判定回路	
1 4 8 4	インバータ回路	
1 6 4 1	アンテナ	
1 6 4 2	キー	
1 6 4 3	筐体	
1 6 4 4	表示パネル	
1 6 5 1	支点	
1 6 5 2	撮影レンズ	
1 6 5 3	格納部	20
1 6 5 4	スイッチ	
1 6 6 1	カメラ本体	
1 6 6 2	撮影部	
1 6 6 3	シャッタスイッチ	
1 6 7 1	光	
1 6 9 1	光結合材	

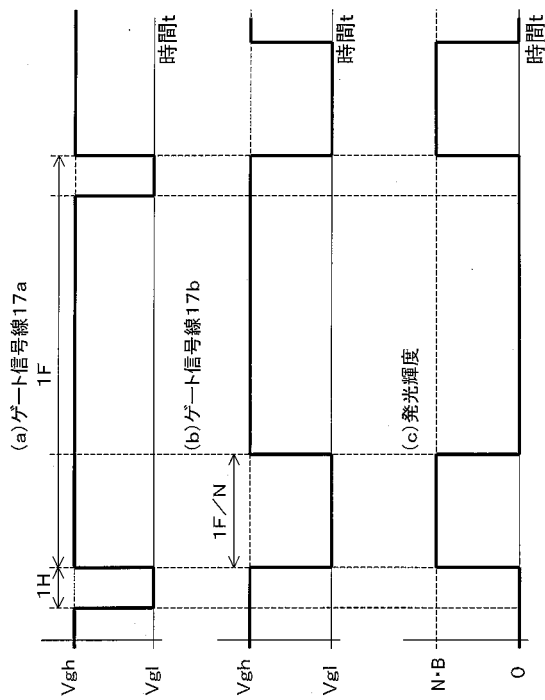
【図 5】



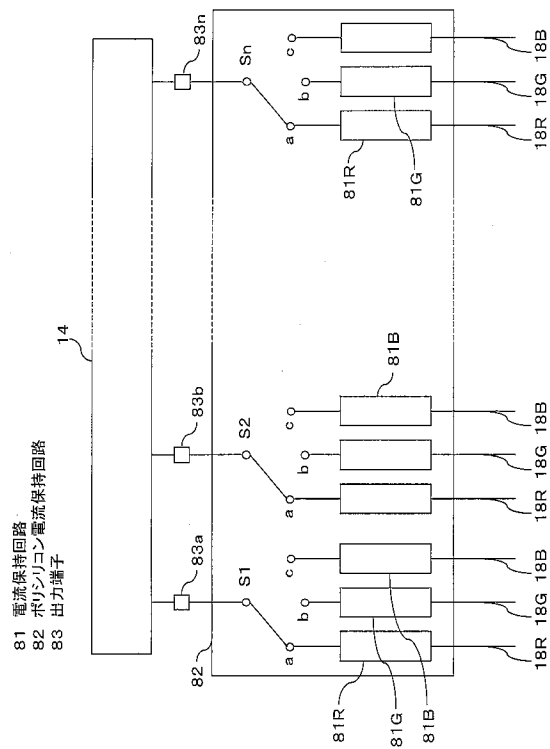
【図 6】



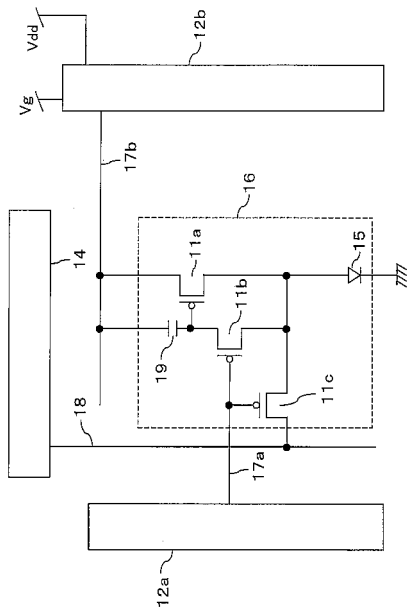
【図 7】



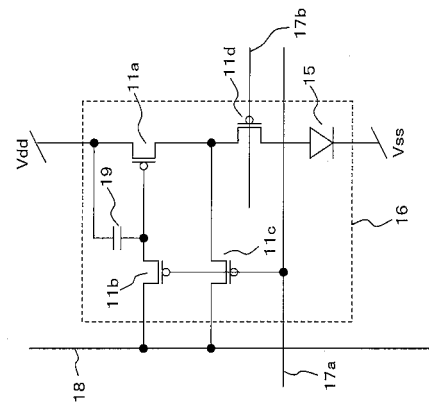
【図 8】



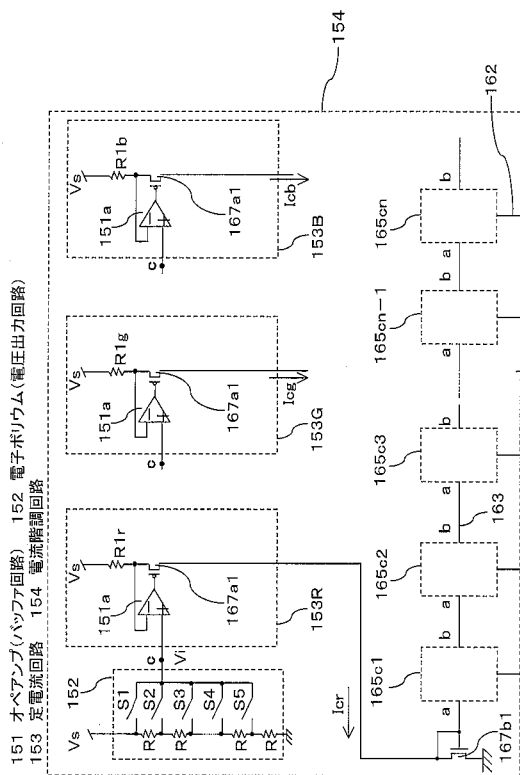
【図 13】



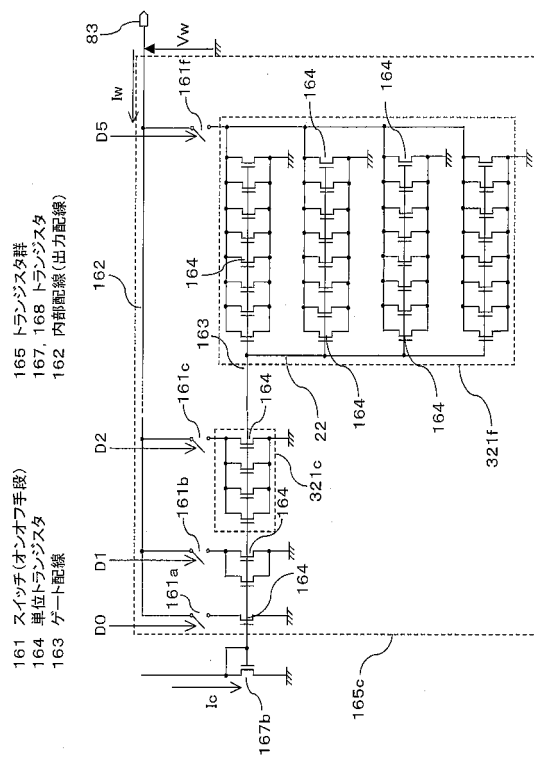
【図 14】



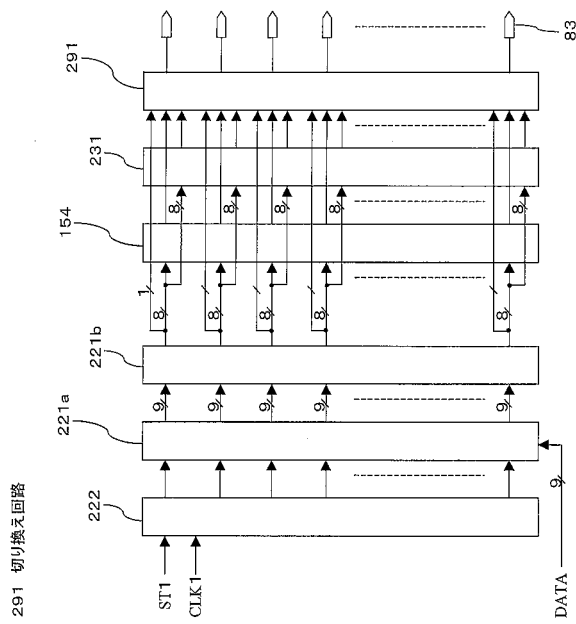
【図 15】



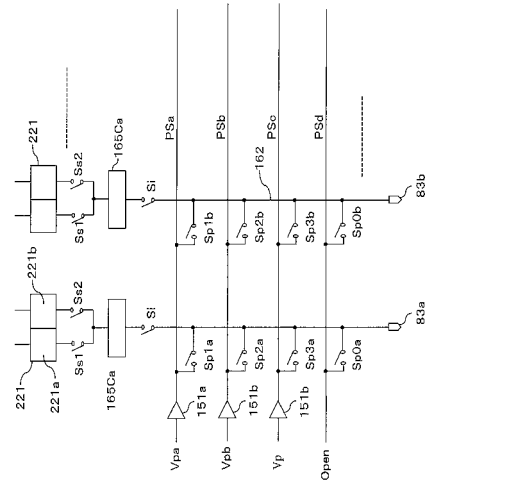
【図 16】



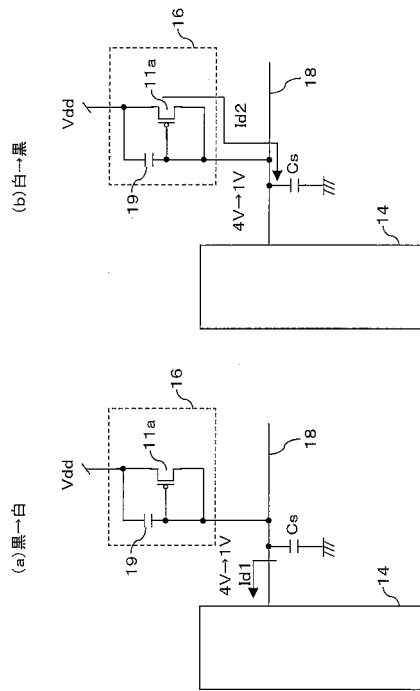
【図 29】



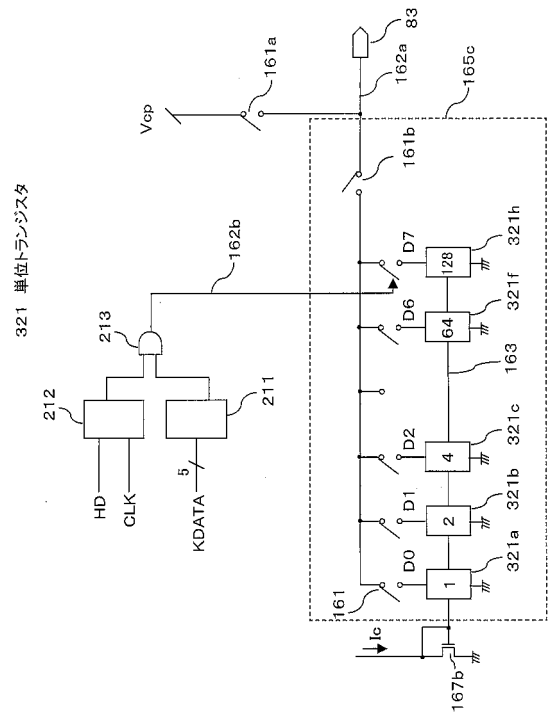
【図 30】



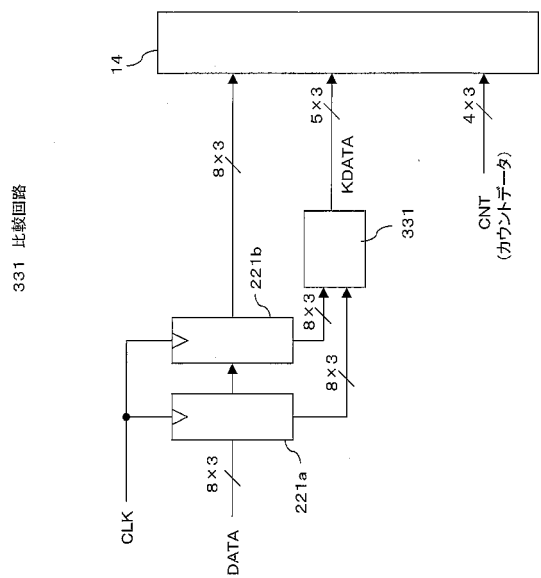
【図 31】



【図 32】



【図 3 3】

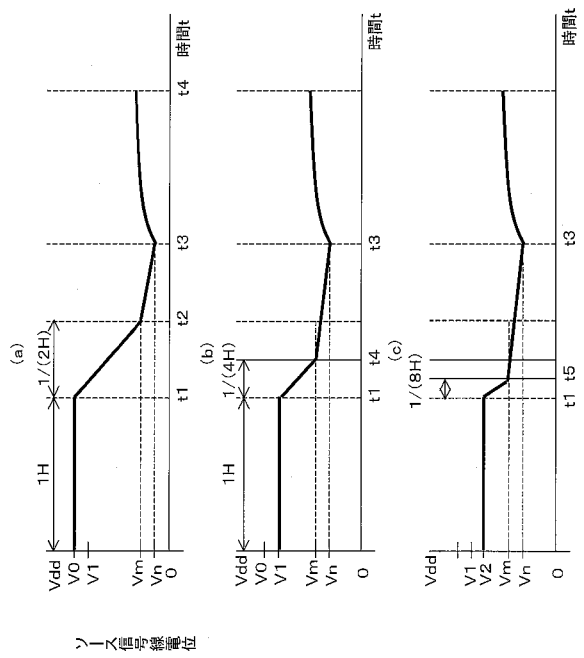


【図 3 4】

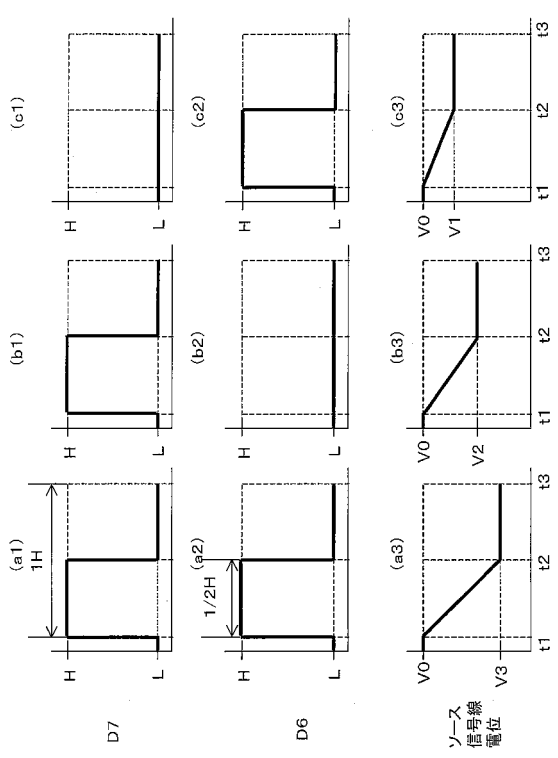
KDATA

変化前(1H前)															
変化 後															
0	0	1	2	3	n-1	n	0	1	2	3	n-1	n	0	1	2
1	15	0	—	—	—	—	0	—	—	—	—	—	0	—	—
2	12	10	0	—	—	—	15	0	—	—	—	—	12	10	0
3	10	8	6	0	—	—	12	10	8	6	0	—	10	8	6
4	8	6	4	2	—	—	10	8	6	4	2	—	8	6	4
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
n-1	0	0	0	0	0	—	n-1	0	0	0	0	0	n-1	0	0
n	0	0	0	0	0	—	n	0	0	0	0	0	n	0	0

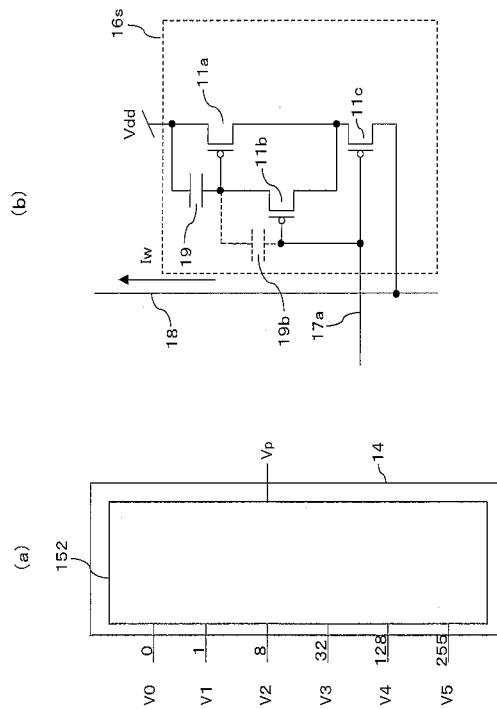
【図 3 5】



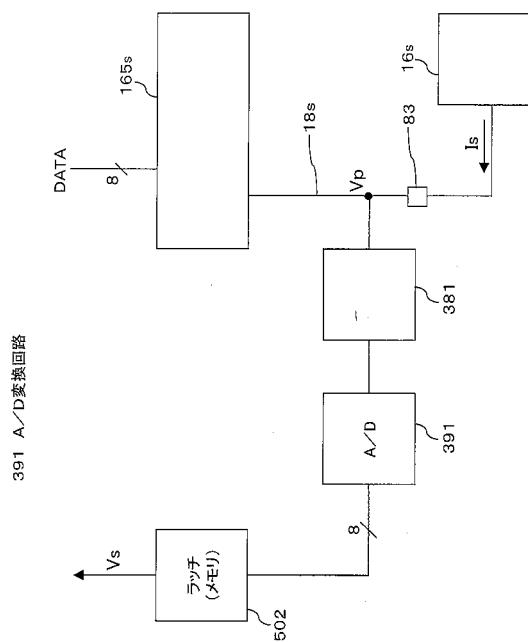
【図 3 6】



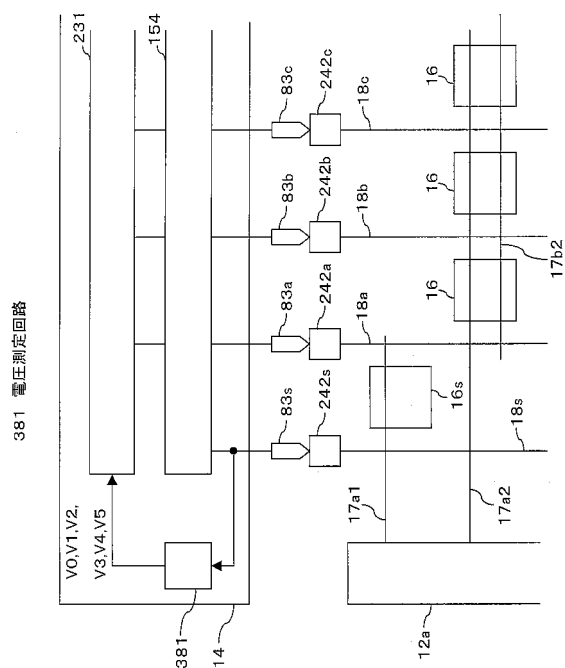
【图 3 7】



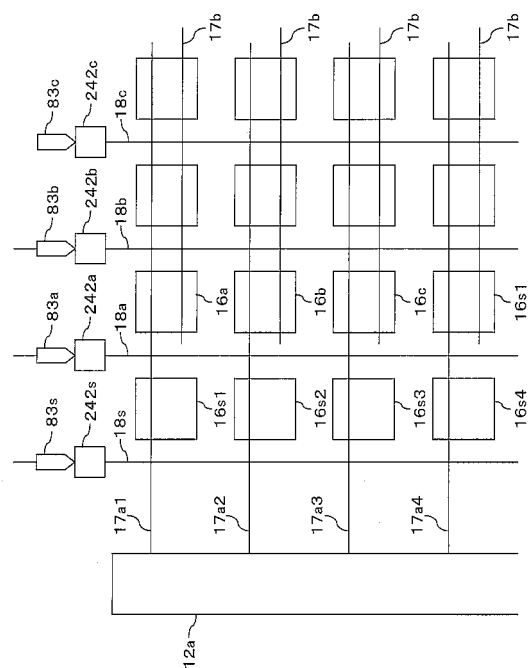
【图 3 9】



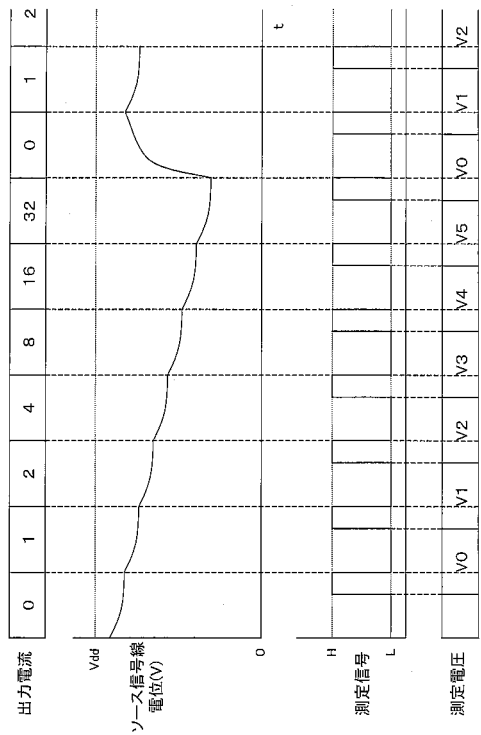
【图 3 8】



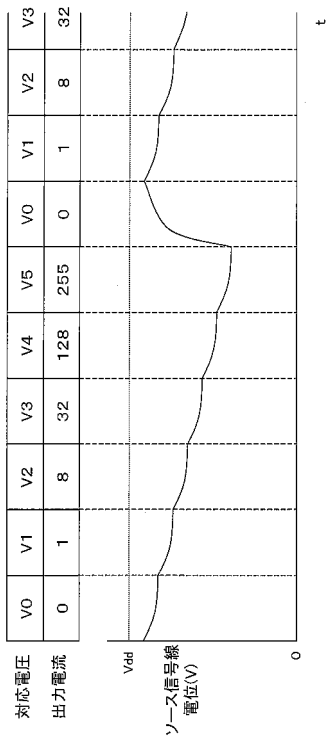
【図 40】



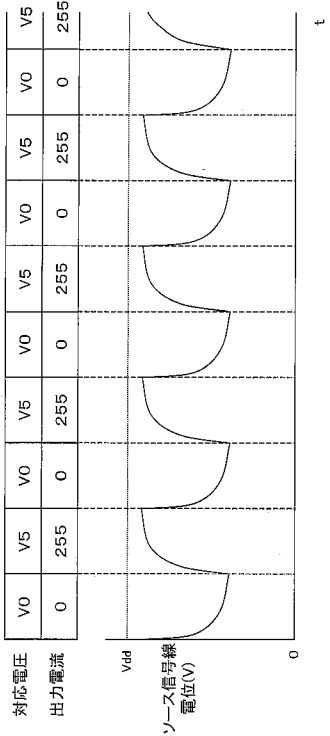
【図 4 1】



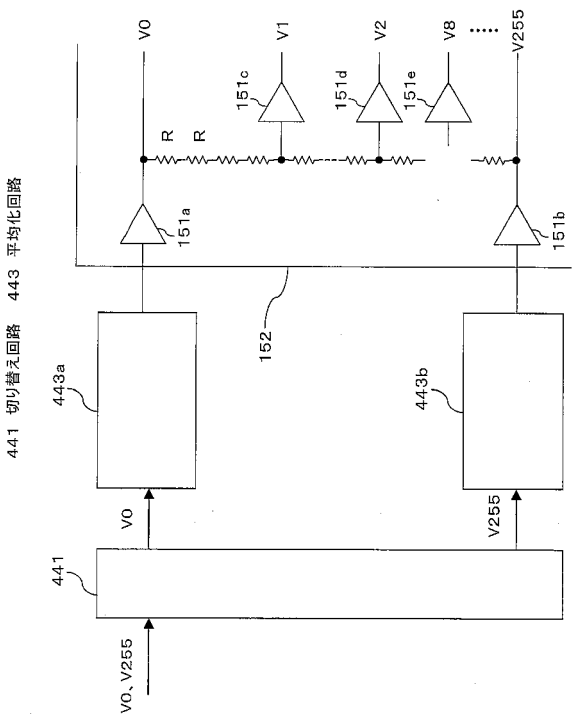
【図 4 2】



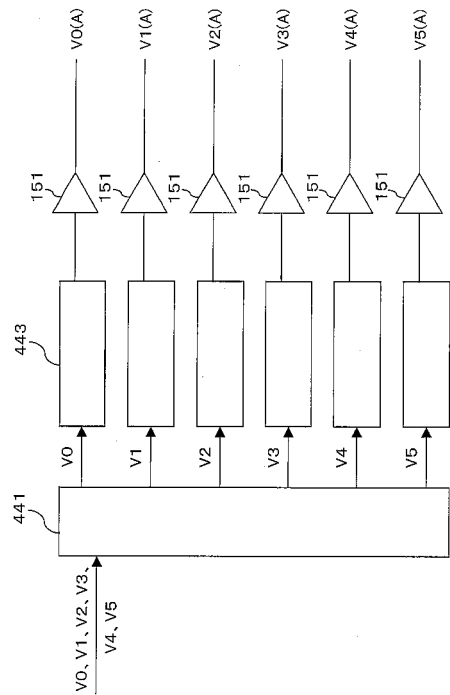
【図 4 3】



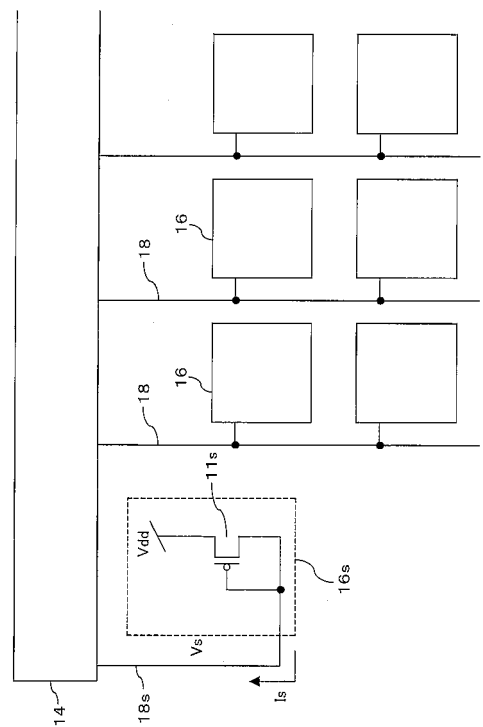
【図 4 4】



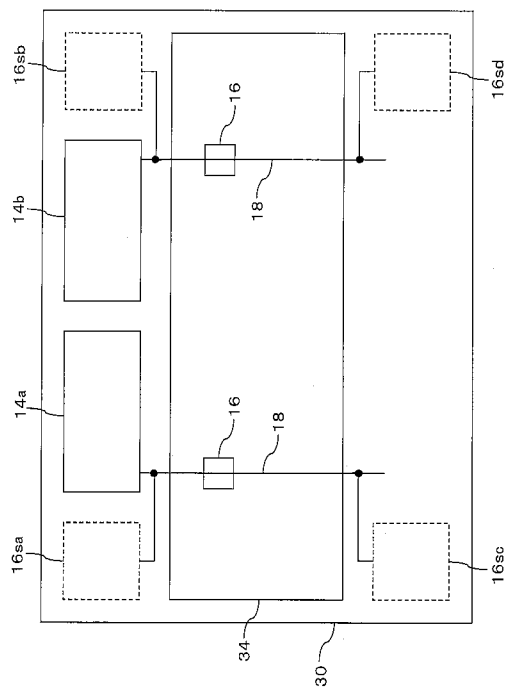
【図 4 5】



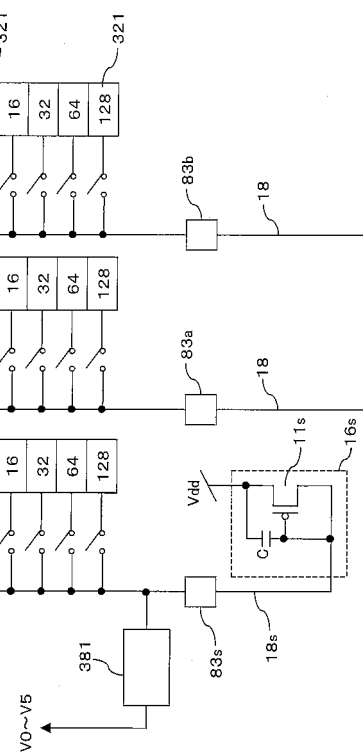
【図 4 6】



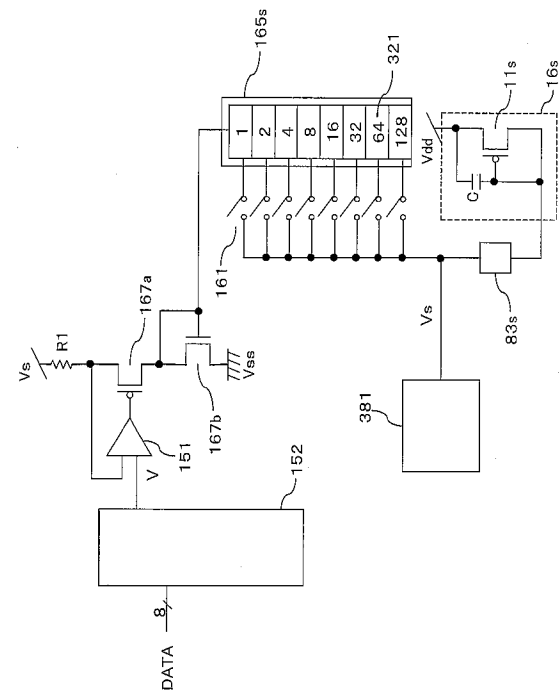
【図 4 7】



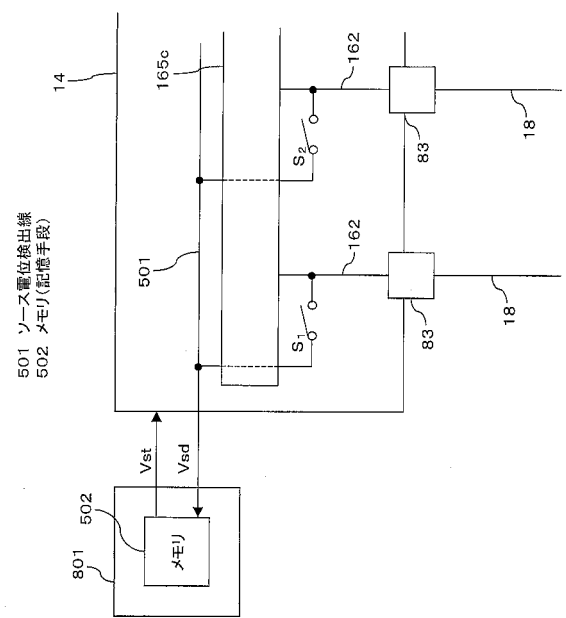
【図 4 8】



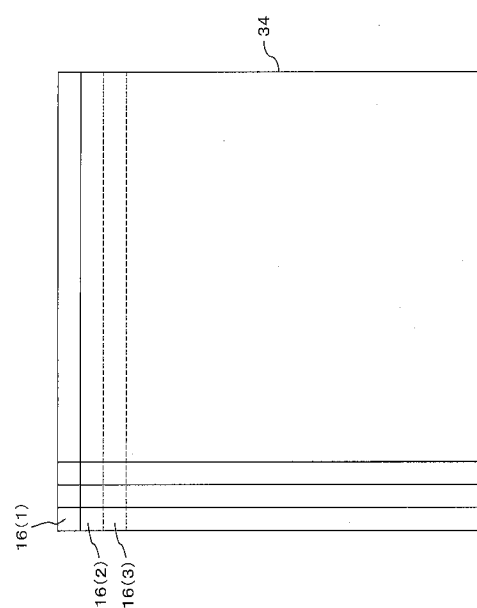
【図 49】



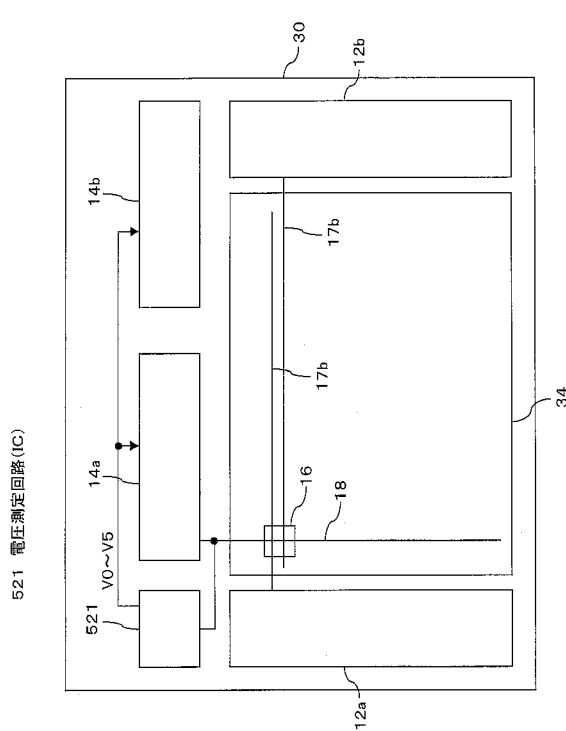
【図 50】



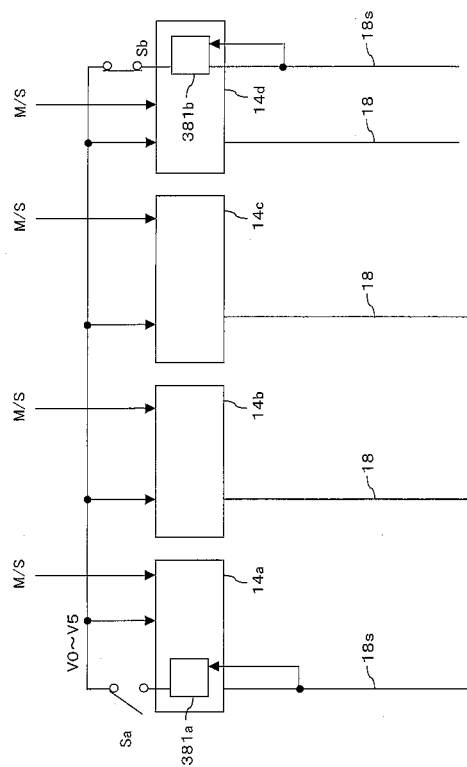
【図 51】



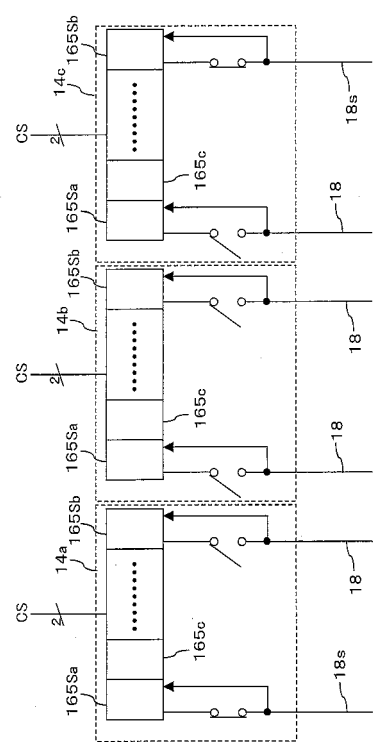
【図 52】



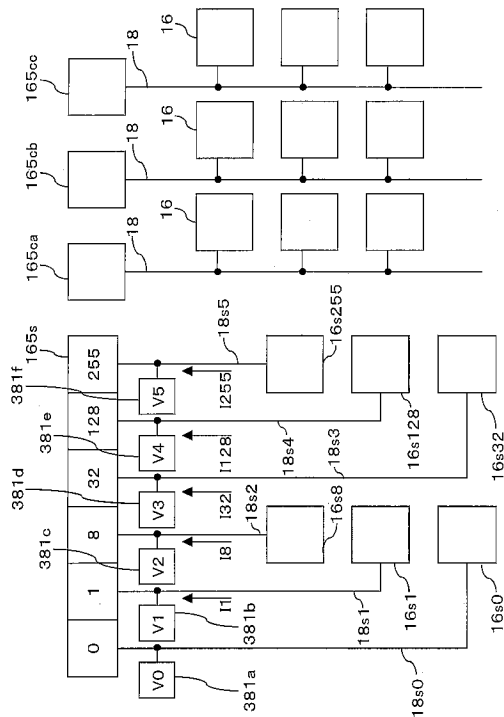
【図 57】



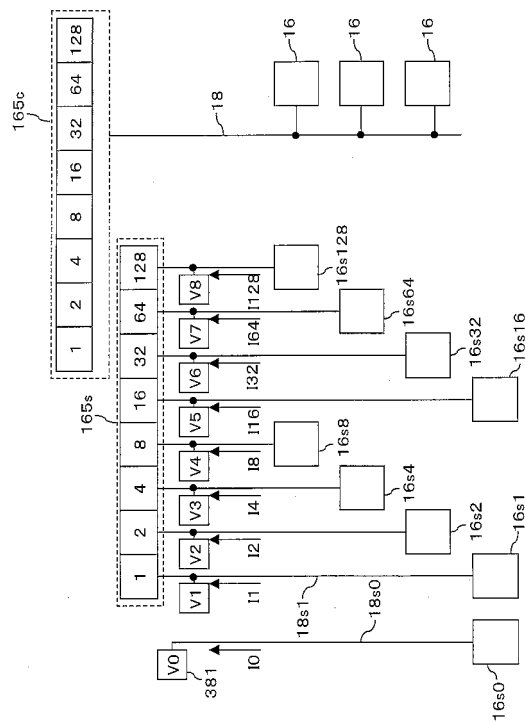
【図 58】



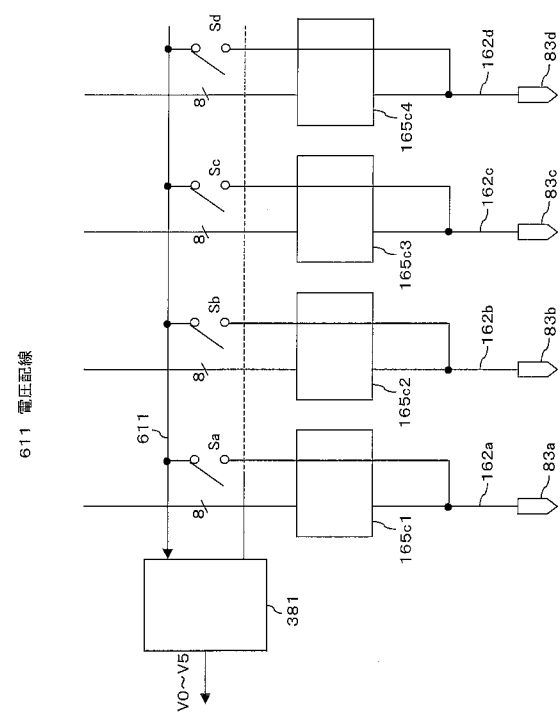
【図 59】



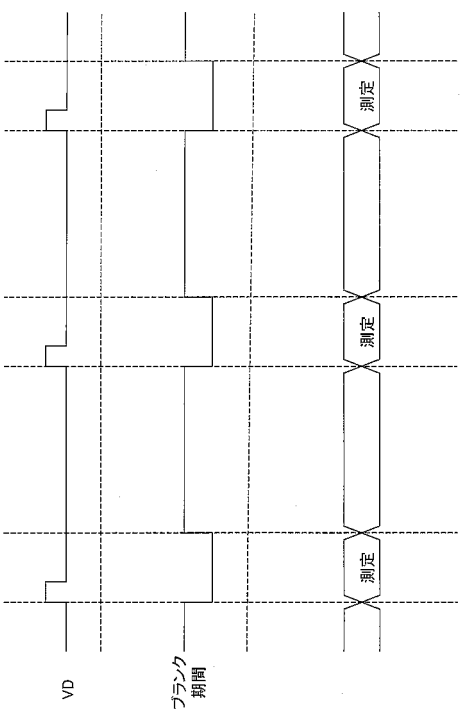
【図 60】



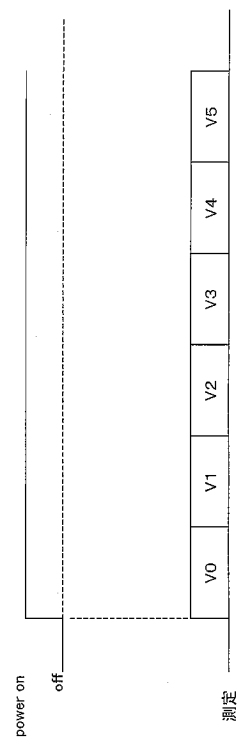
【図 6 1】



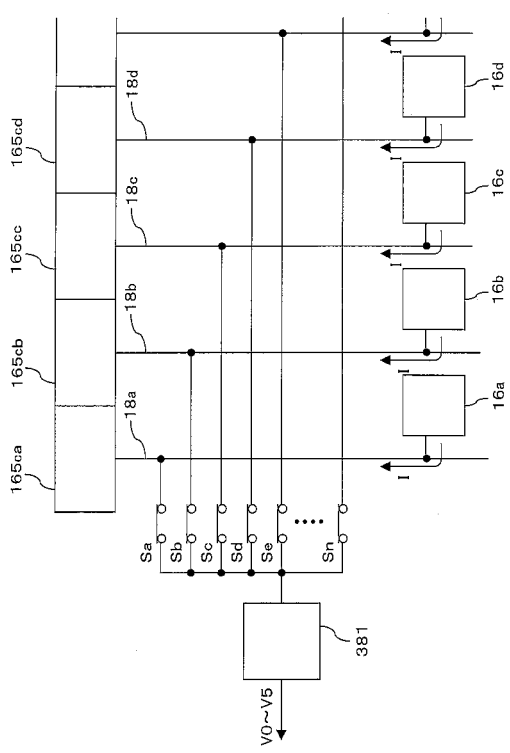
【図 6 2】



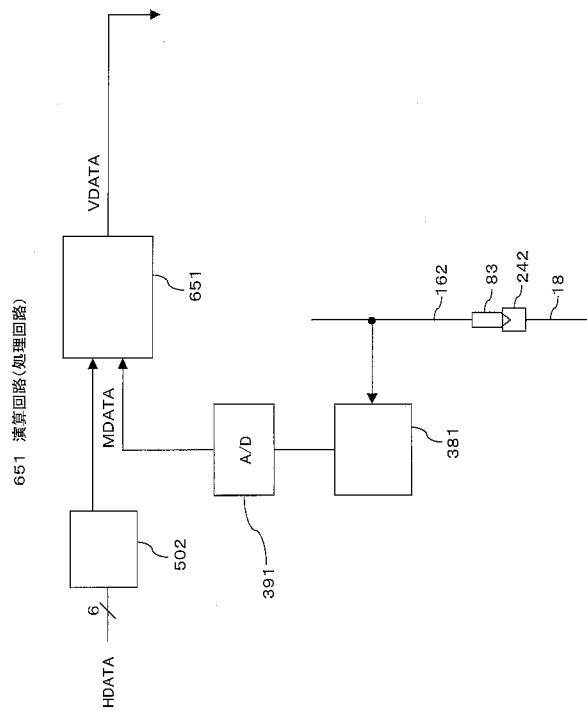
【図 6 3】



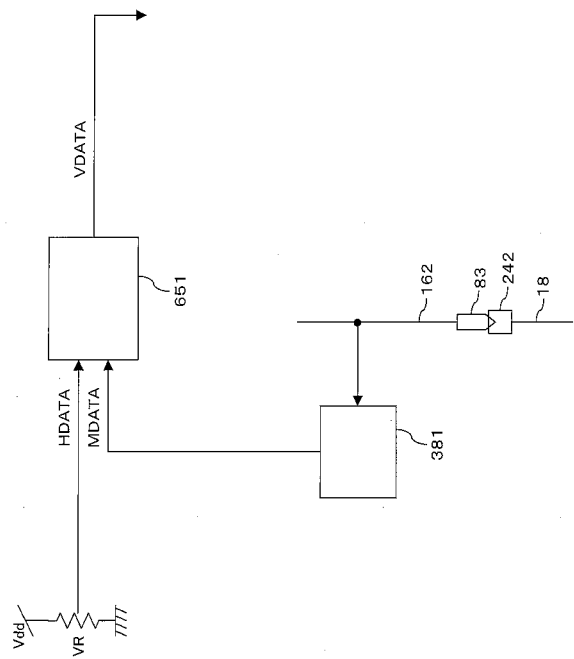
【図 6 4】



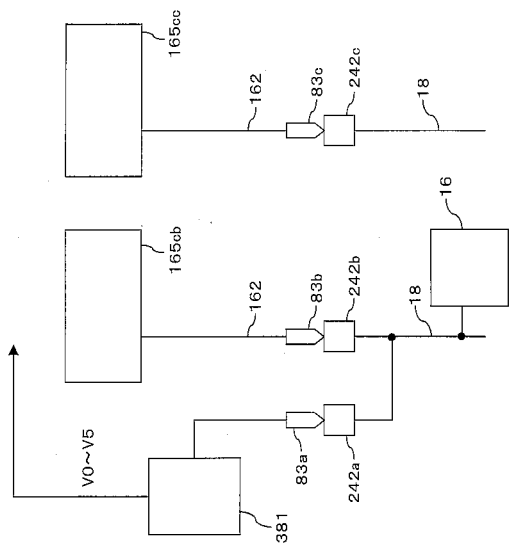
【図 6 5】



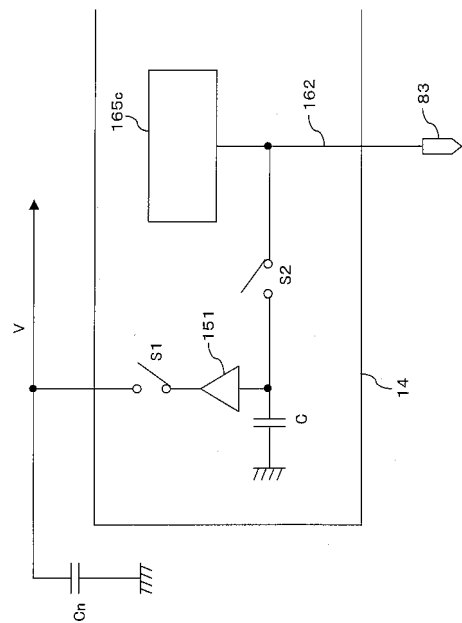
【図 6 6】



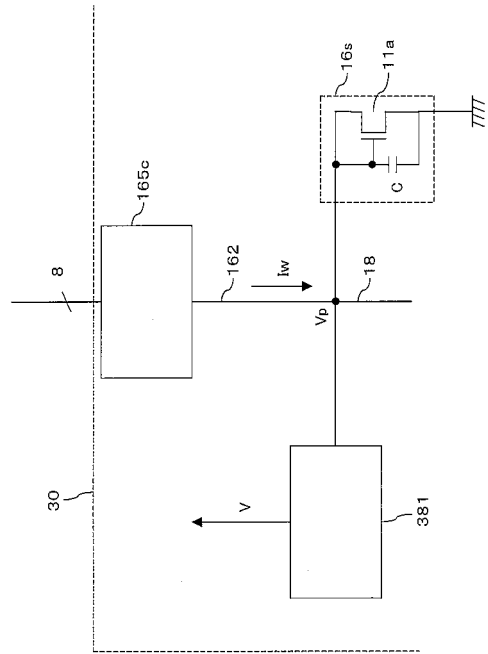
【図 6 7】



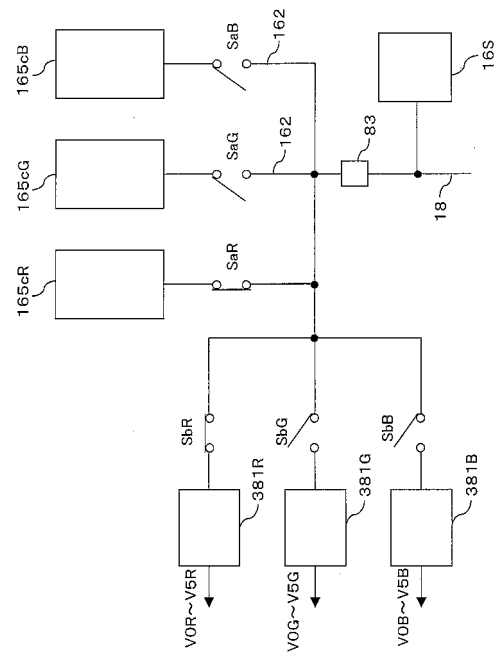
【図 6 8】



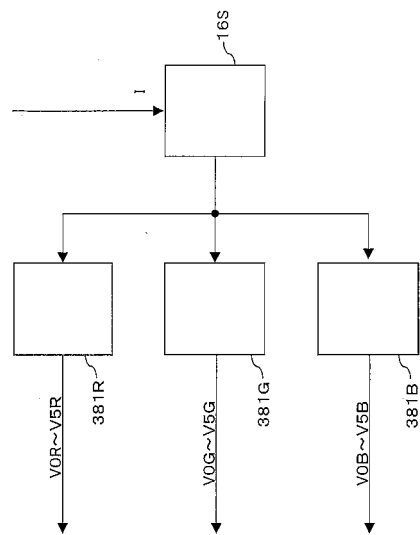
【図 69】



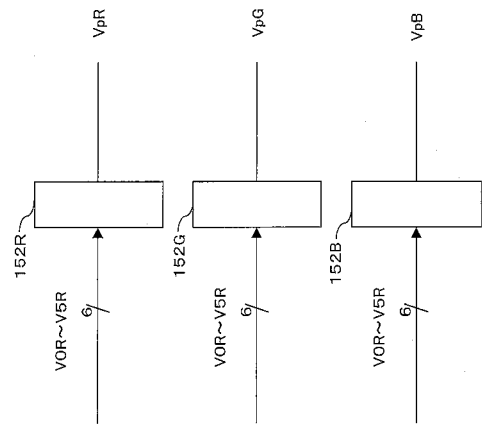
【図 70】



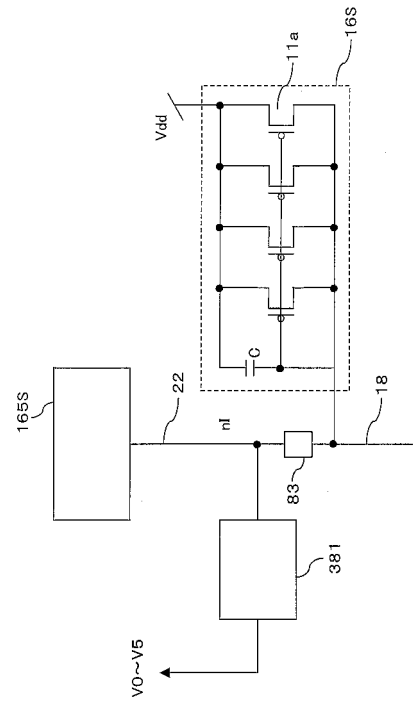
【図 71】



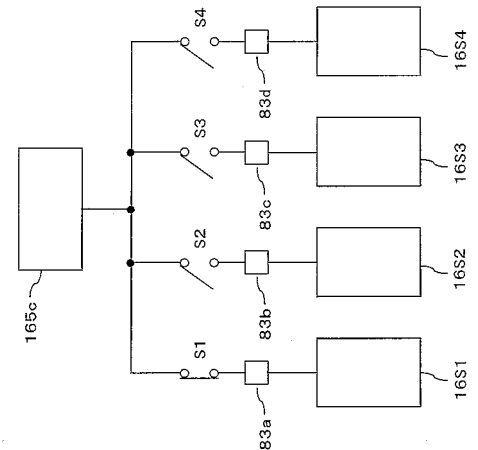
【図 72】



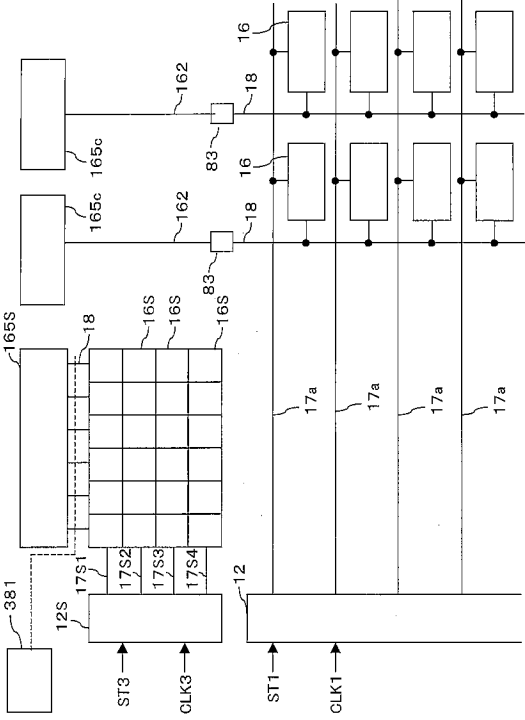
【図 7 3】



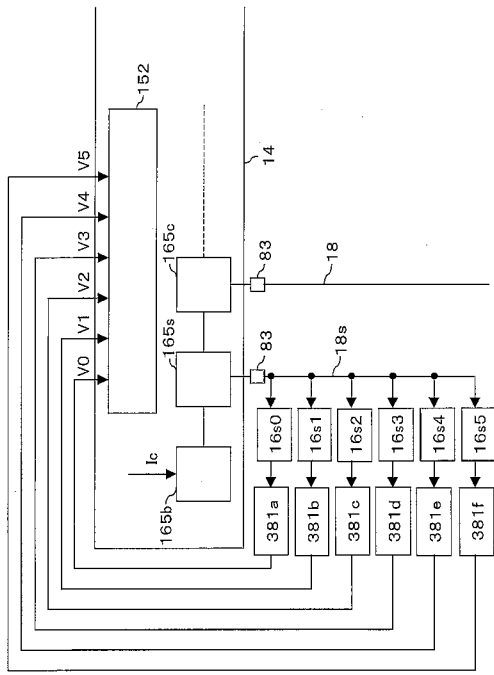
【図 7 4】



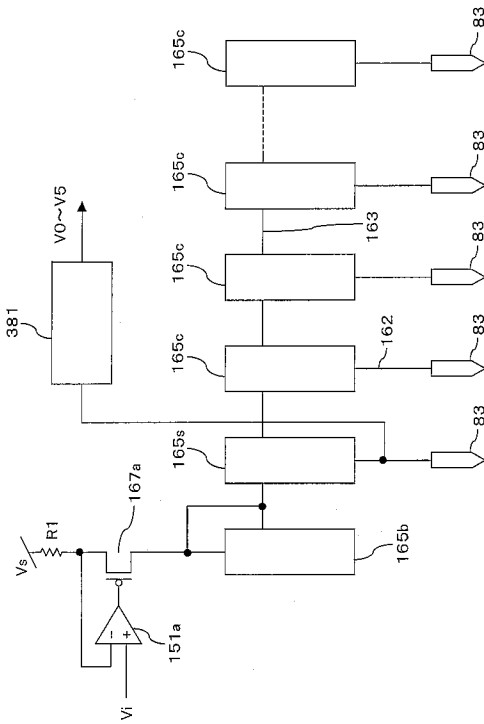
【図 7 5】



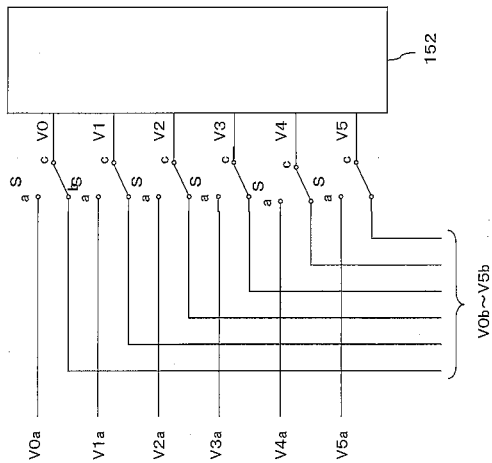
【図 7 6】



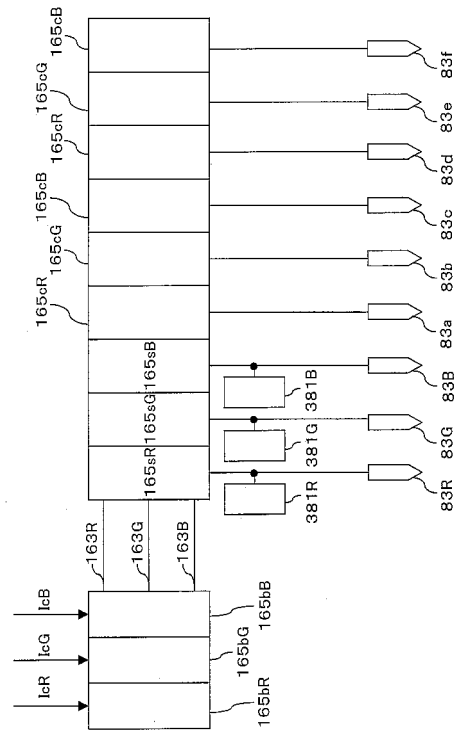
【 図 7 7 】



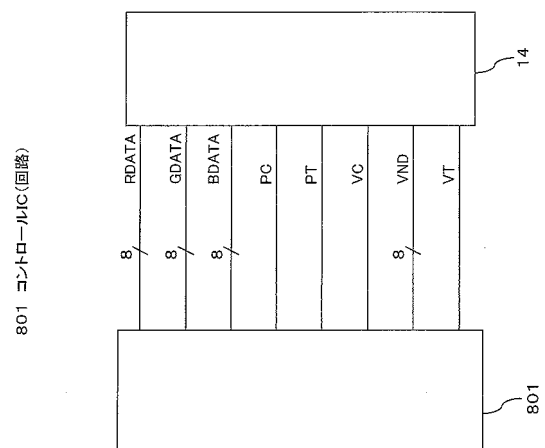
【图 7 9】



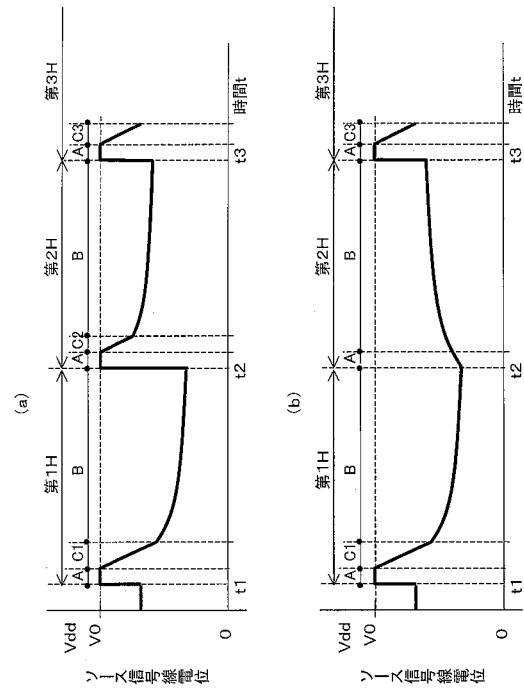
【图 7 8】



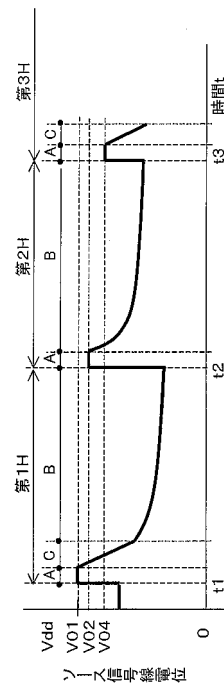
【 図 8 0 】



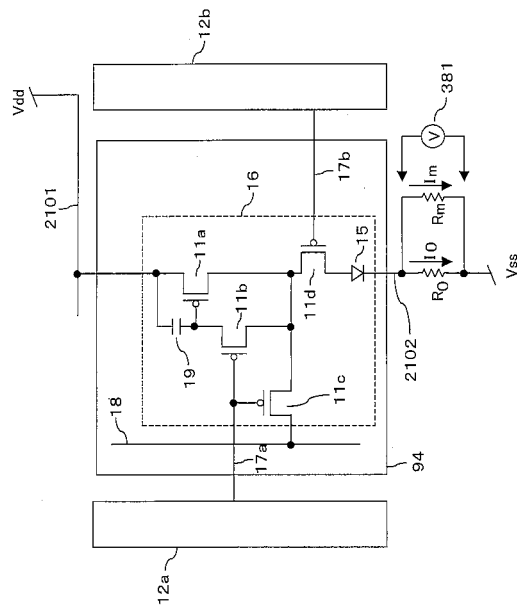
【図 8 1】



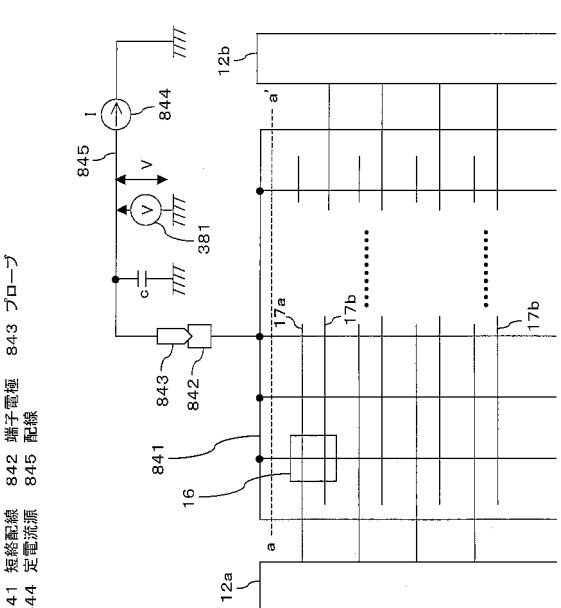
【図 8 2】



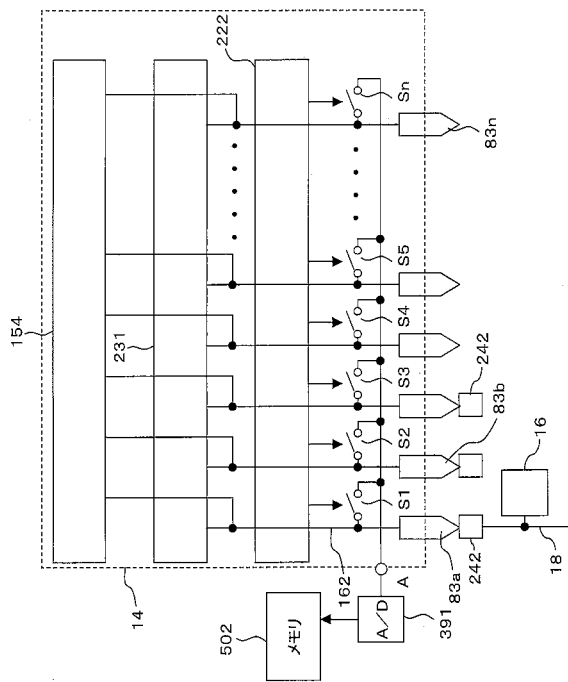
【図 8 3】



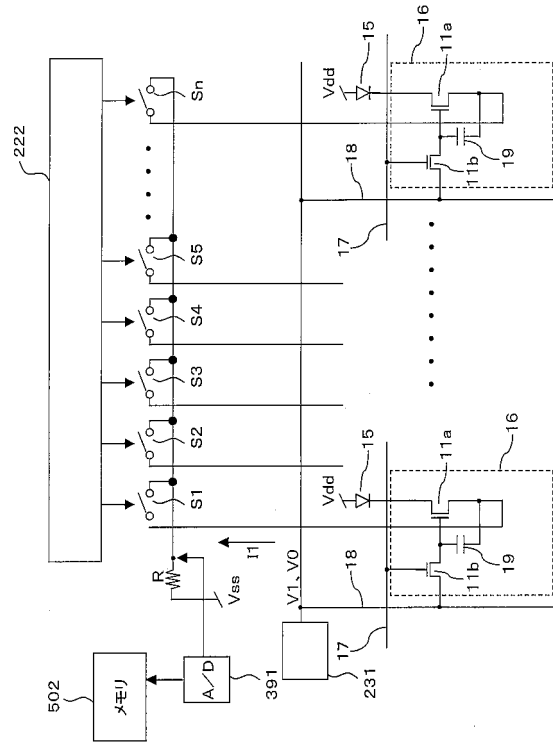
【図 8 4】



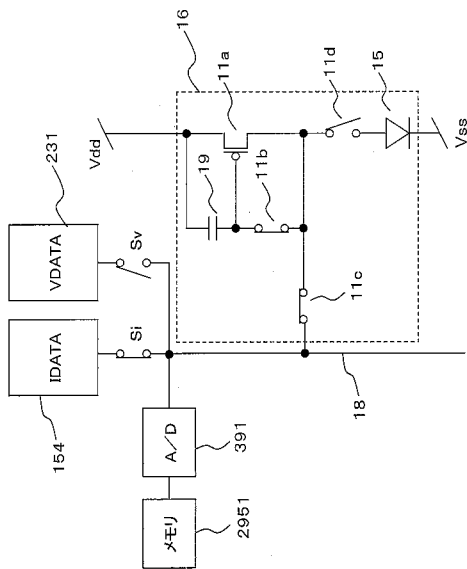
【図 89】



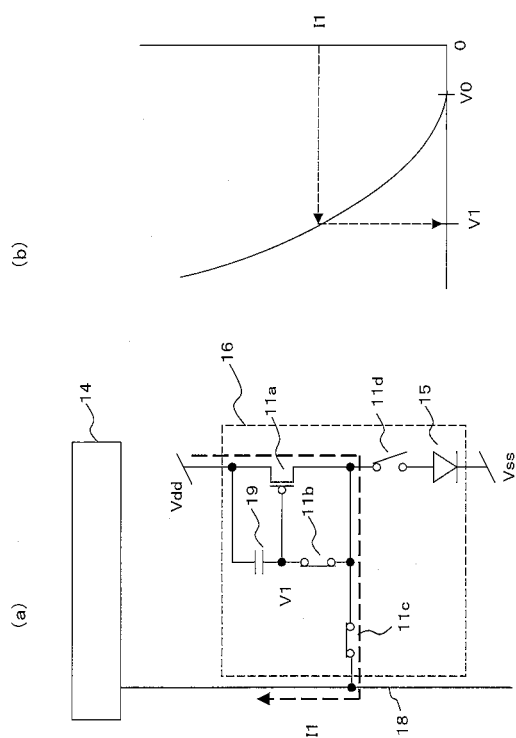
【図 90】



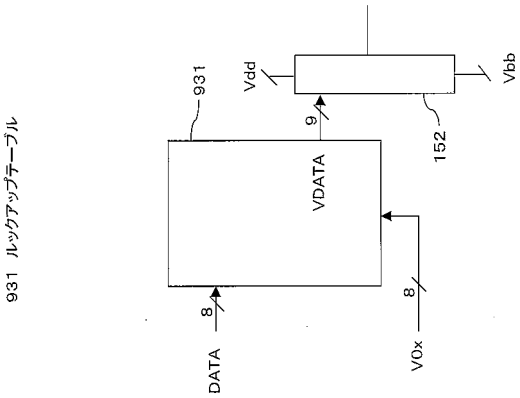
【図 91】



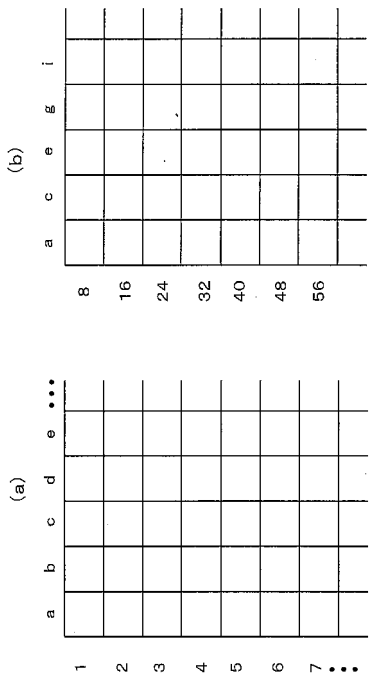
【図 92】



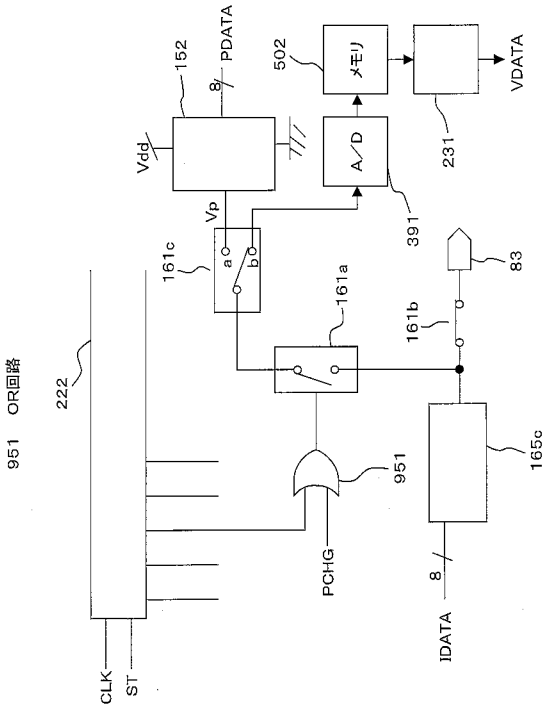
【図 9 3】



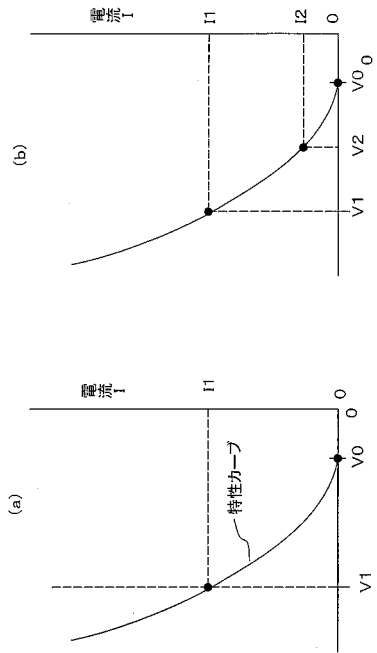
【図 9 4】



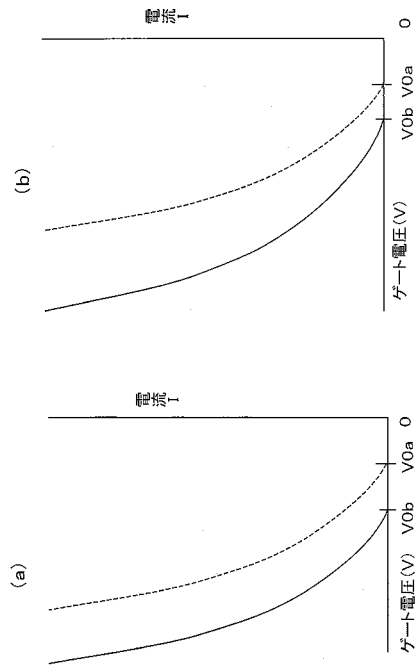
【図 9 5】



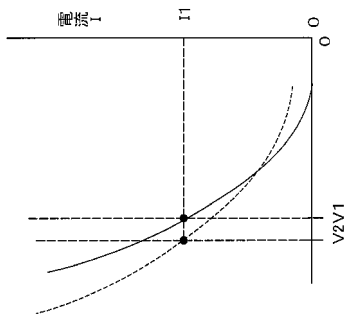
【図 9 6】



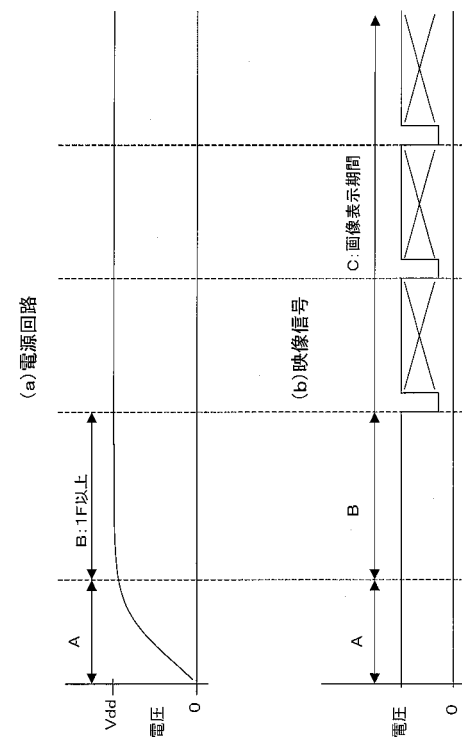
【図 9 7】



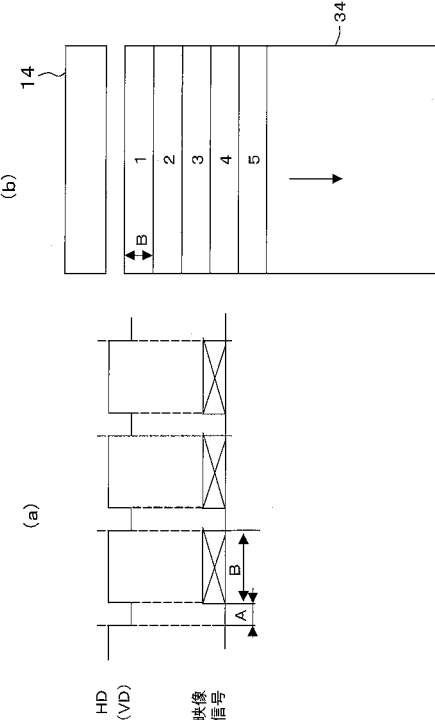
【図 9 8】



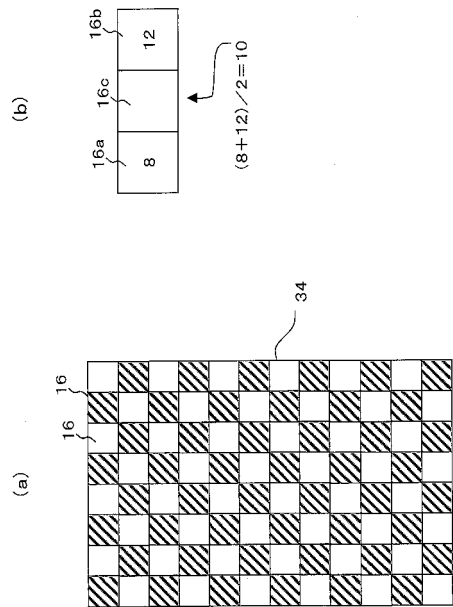
【図 9 9】



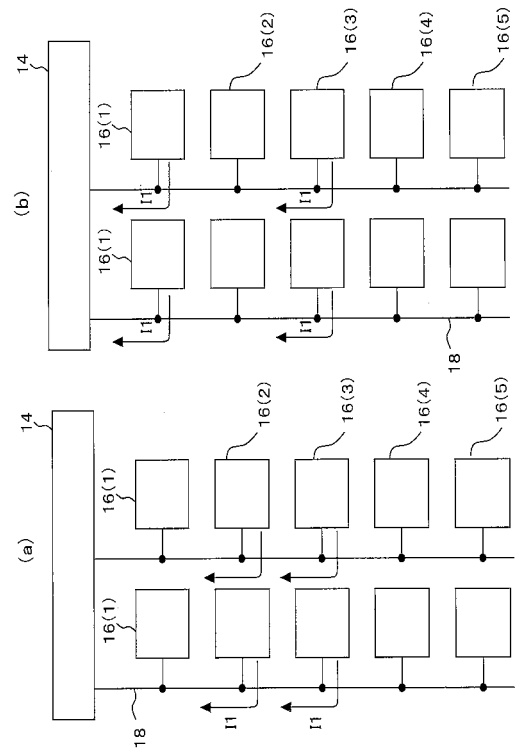
【図 1 0 0】



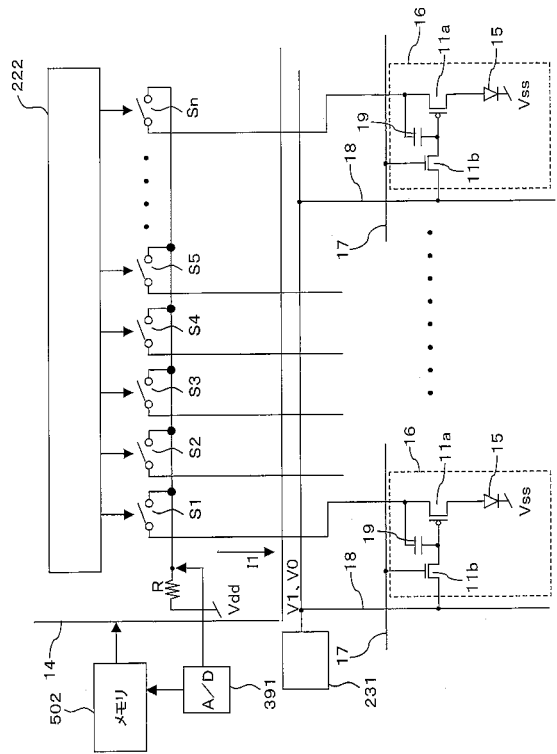
【図 1 0 1】



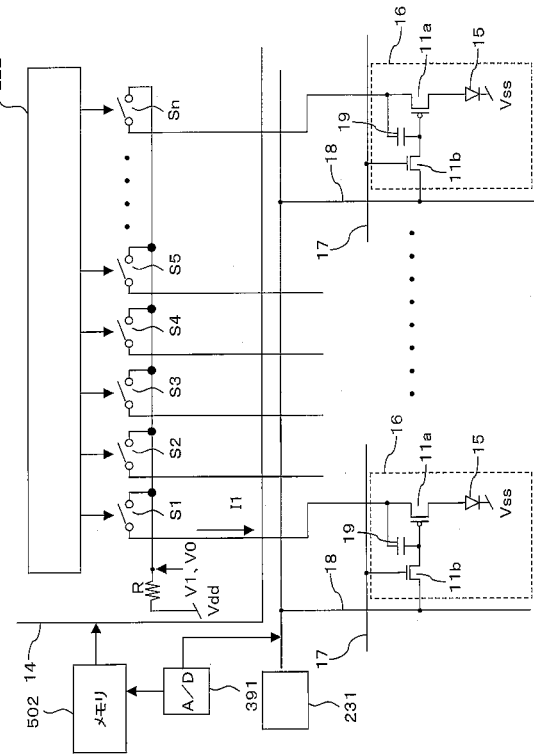
【図 1 0 2】



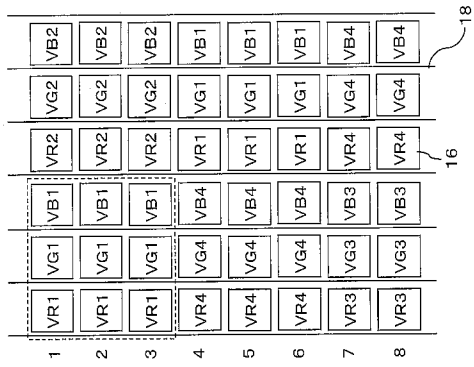
【図 1 0 3】



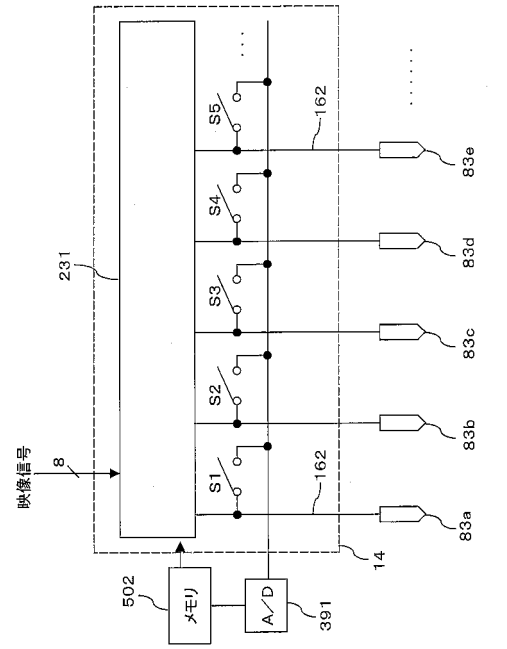
【図 1 0 4】



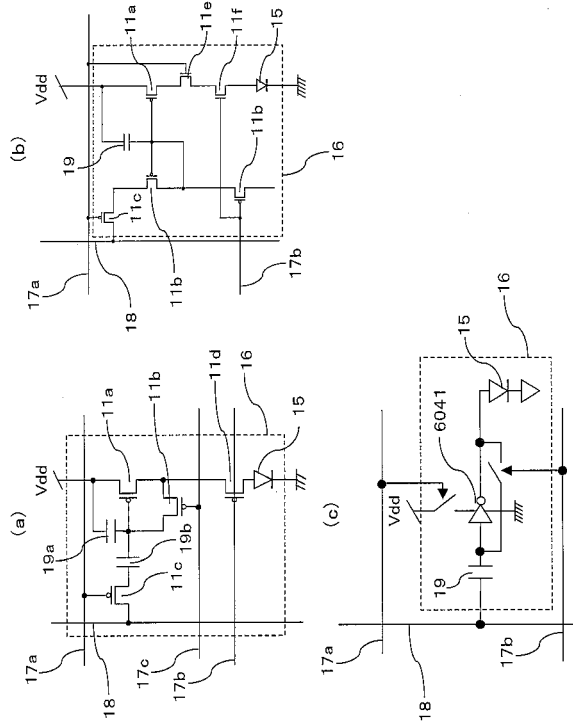
【図 1 1 3】



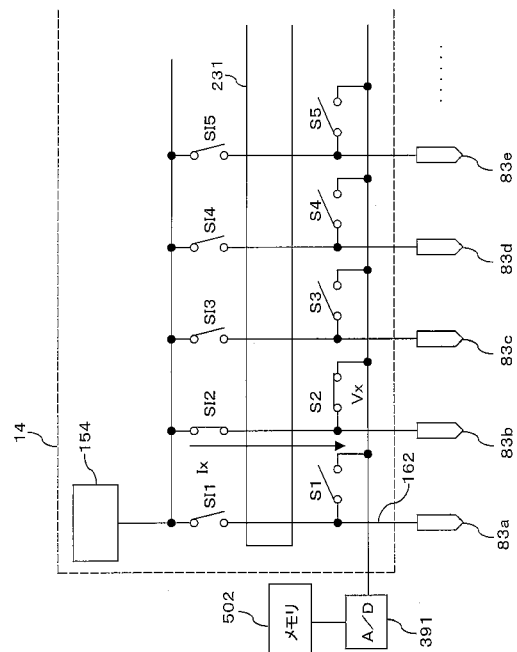
【図 1 1 4】



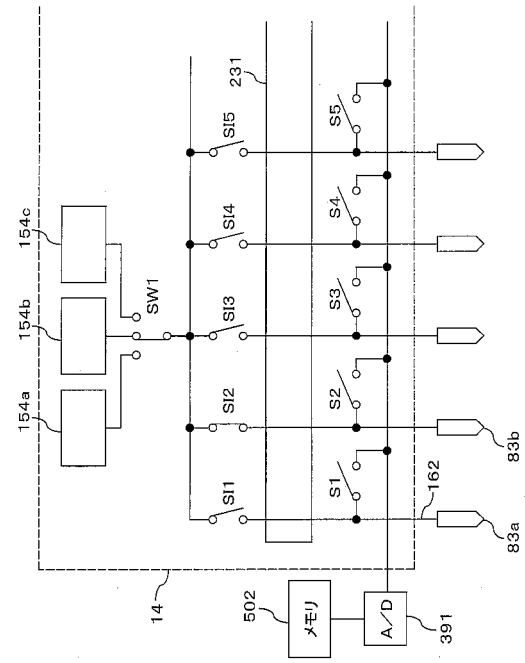
【図 1 1 5】



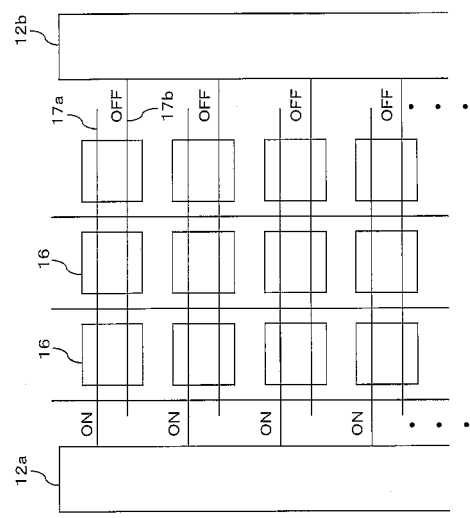
【図 1 1 6】



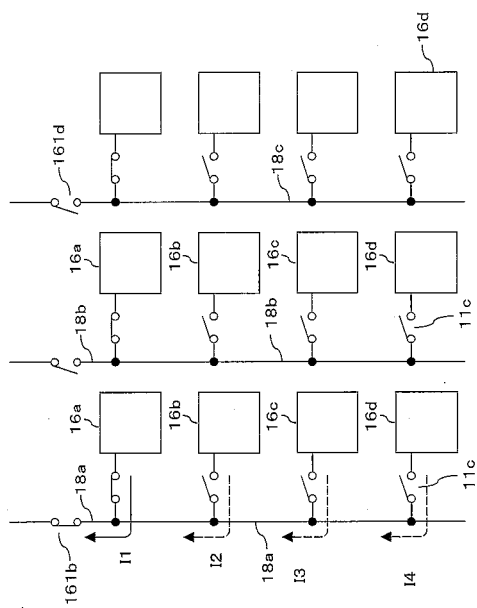
【図 1 1 7】



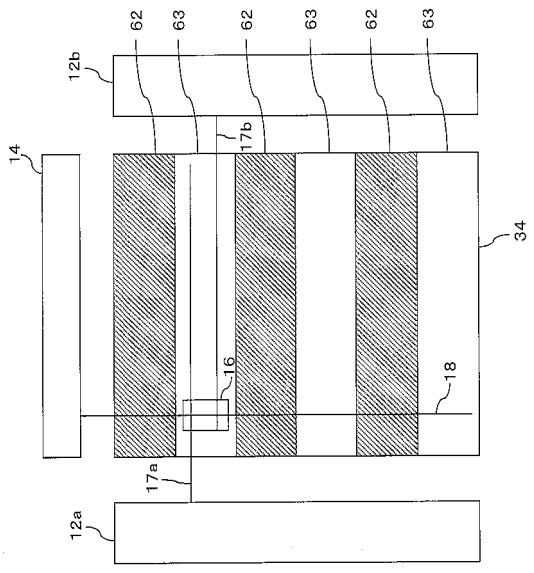
【図 1 1 8】



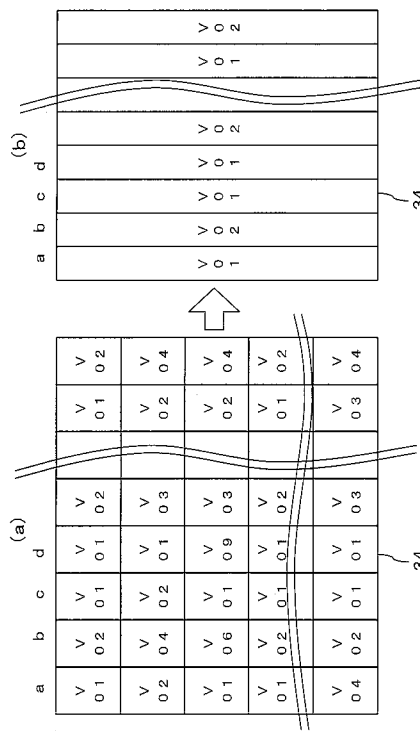
【図 1 1 9】



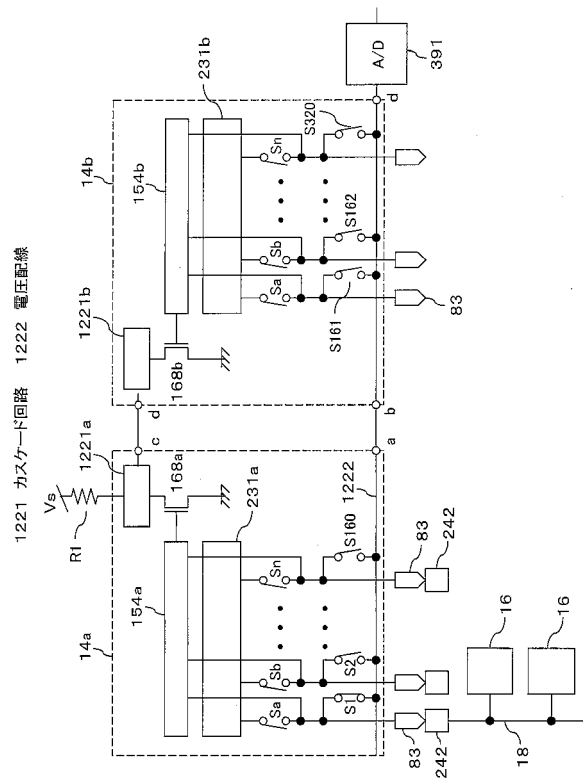
【図 1 2 0】



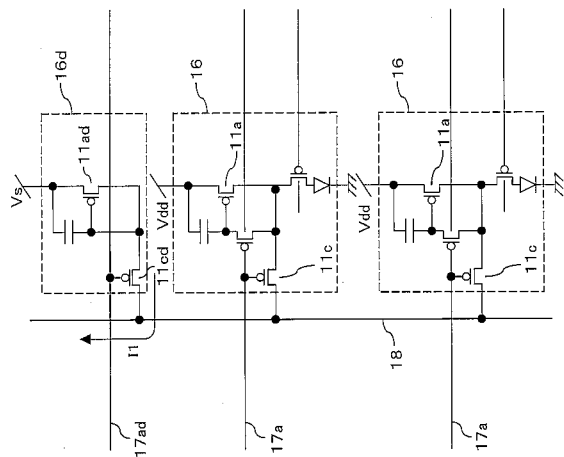
【図 1 2 1】



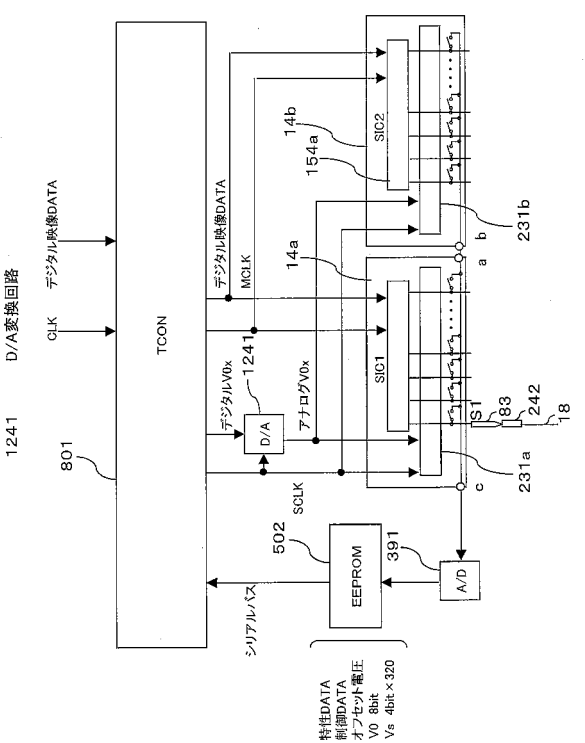
【図 1 2 2】



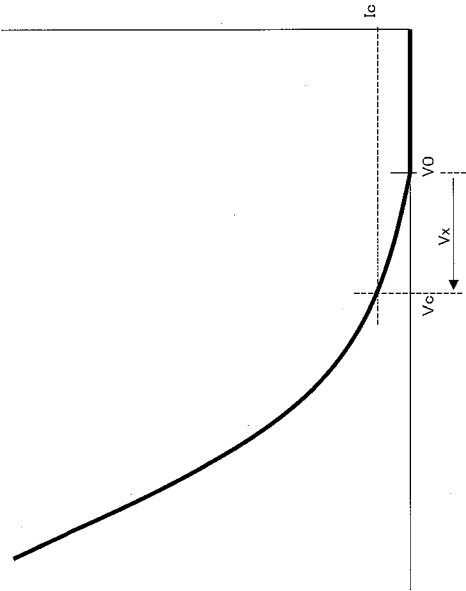
【図 1 2 3】



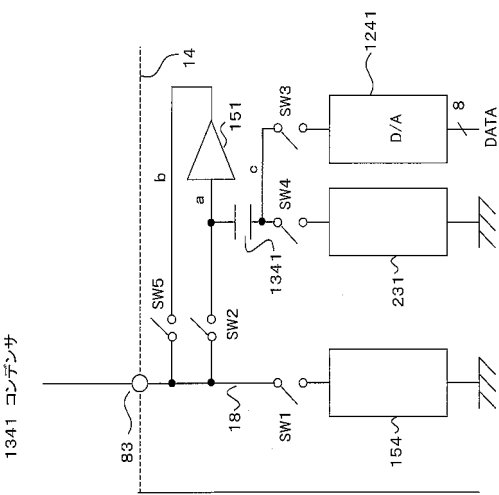
【図 1 2 4】



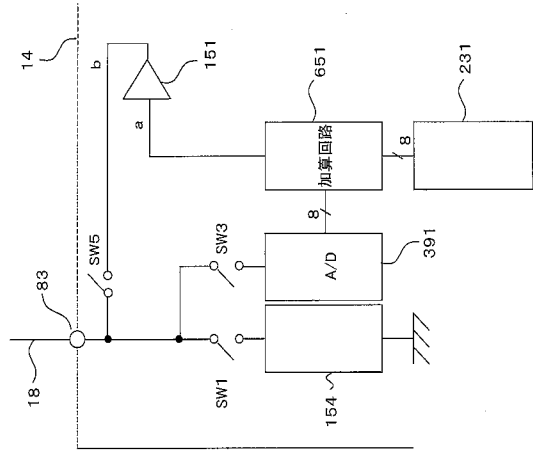
【図 1 3 3】



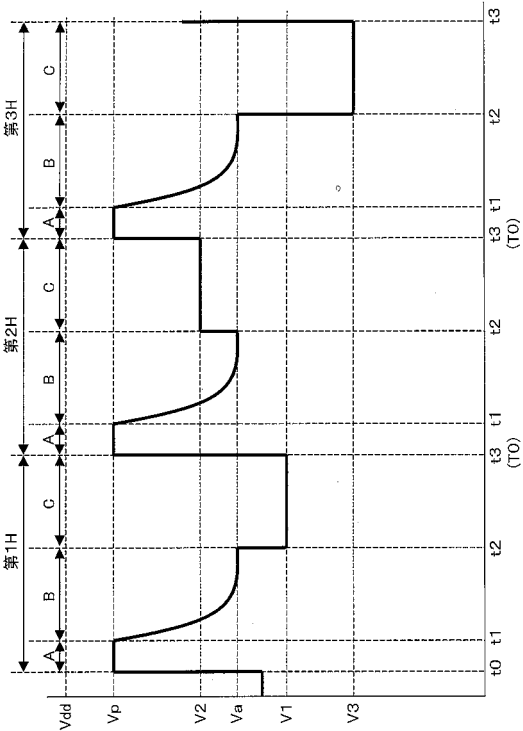
【図 1 3 4】



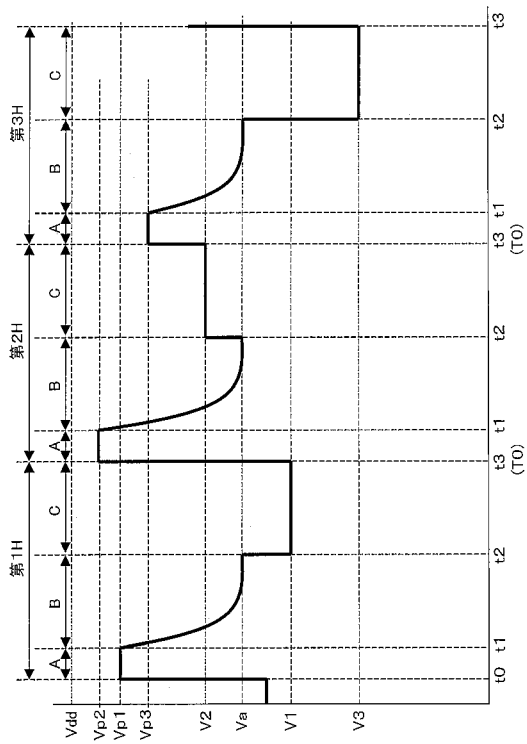
【図 1 3 5】



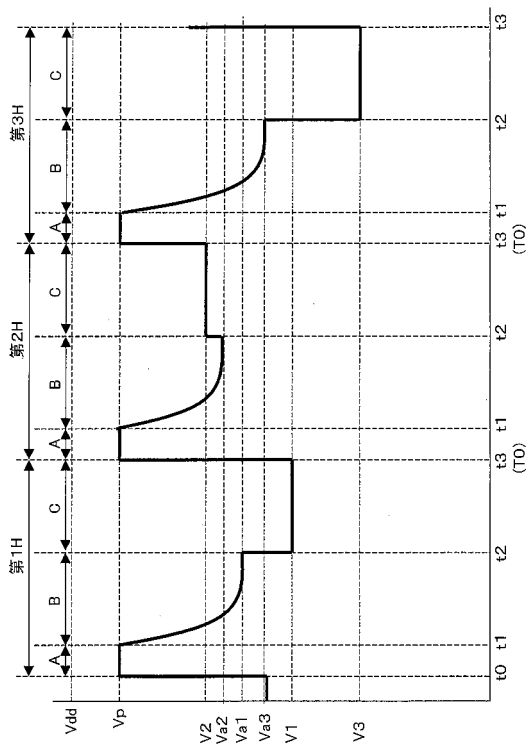
【図 1 3 6】



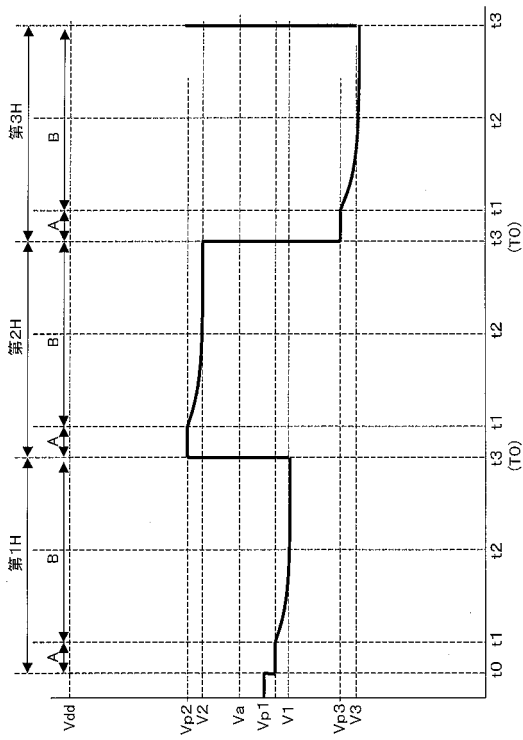
【図 1 3 7】



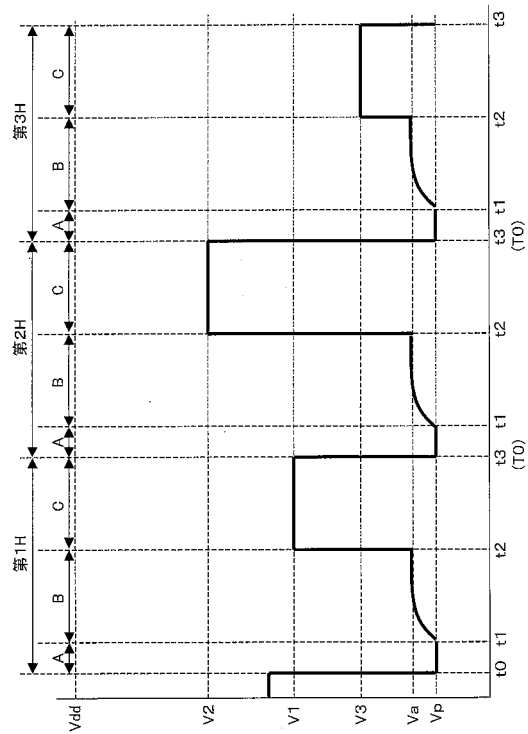
【図 1 3 8】



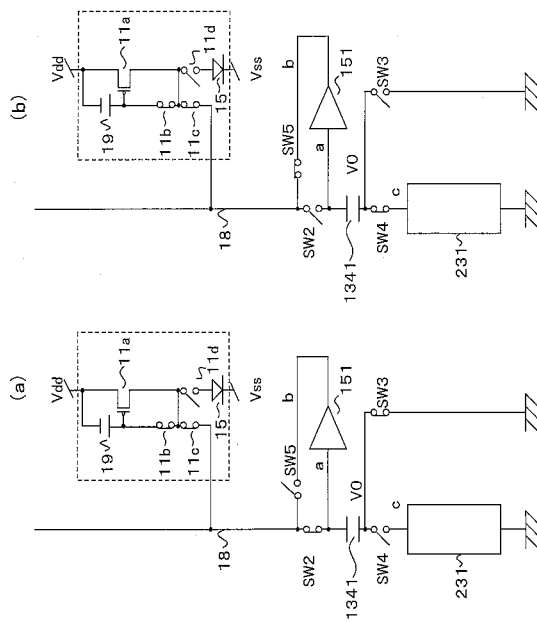
【図 1 3 9】



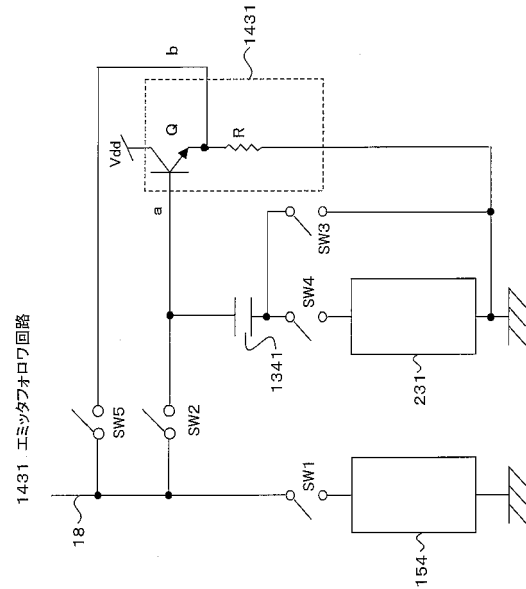
【図 1 4 0】



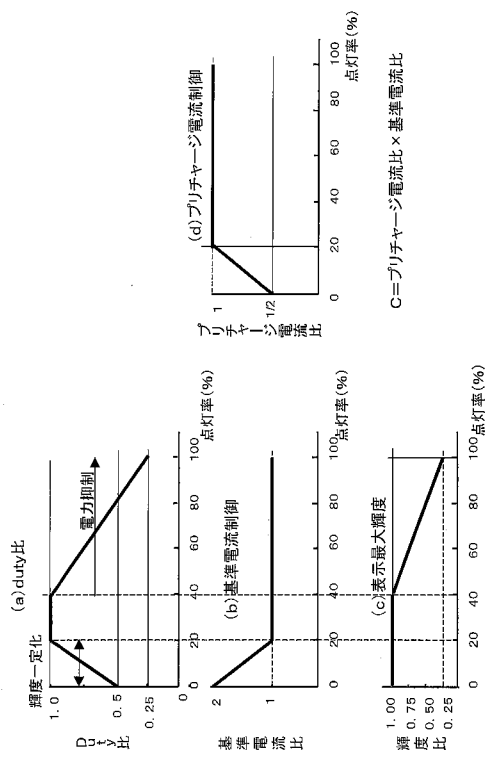
【図 1 4 5】



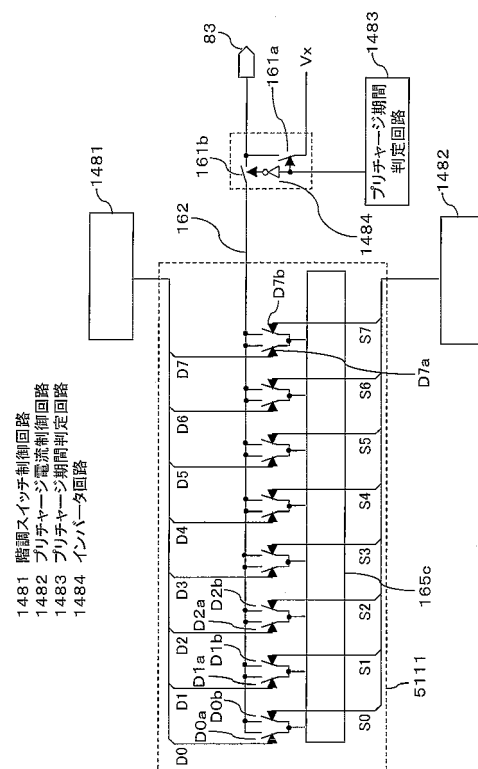
【図 1 4 6】



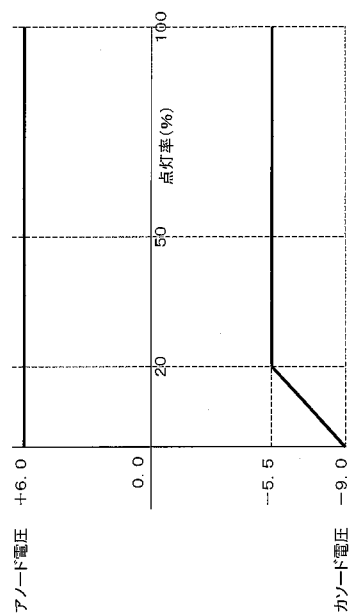
【図 1 4 7】



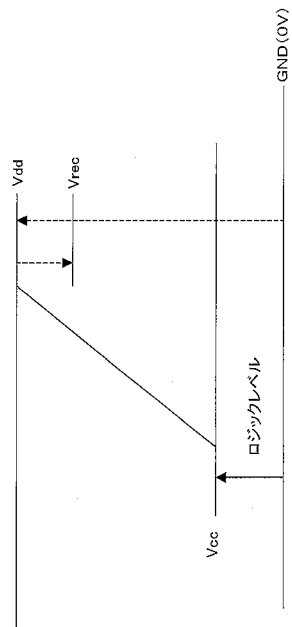
【図 1 4 8】



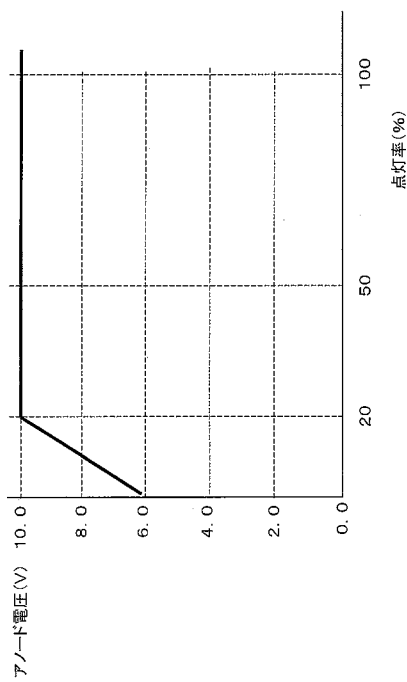
【図 1 4 9】



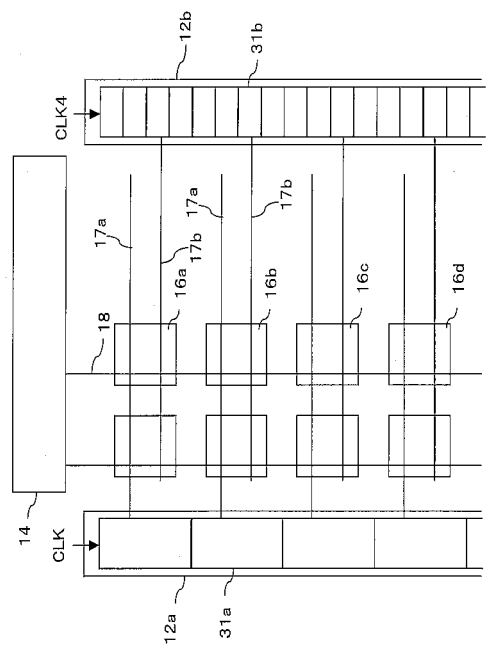
【図 1 5 0】



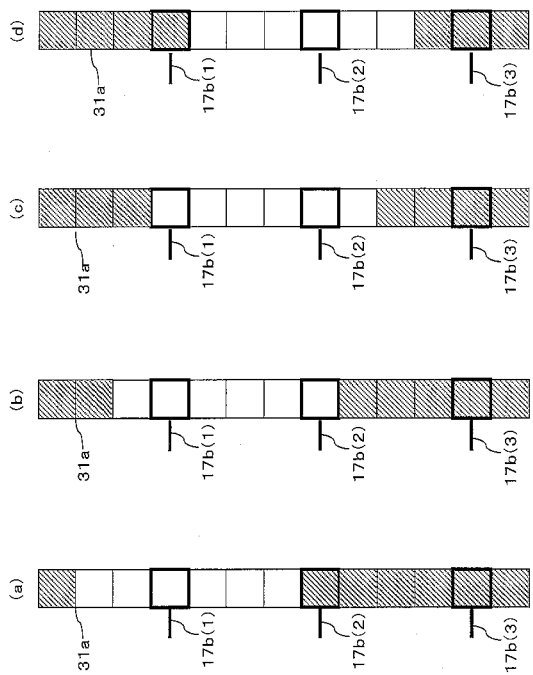
【図 1 5 1】



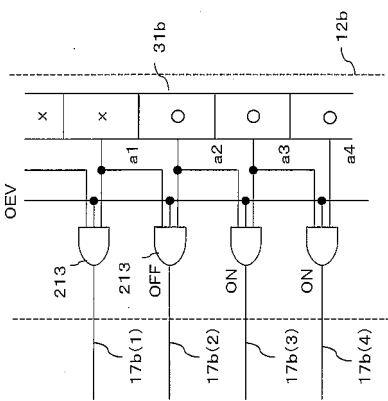
【図 1 5 2】



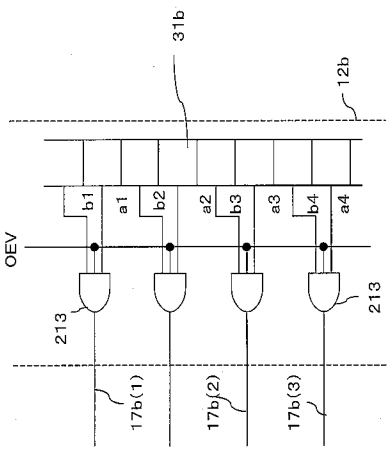
【図 1 5 3】



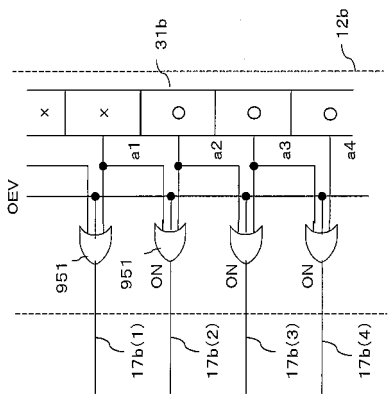
【図 1 5 4】



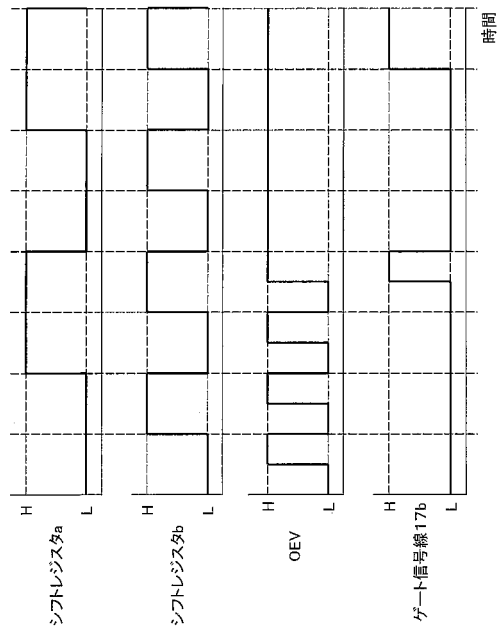
【図 1 5 5】



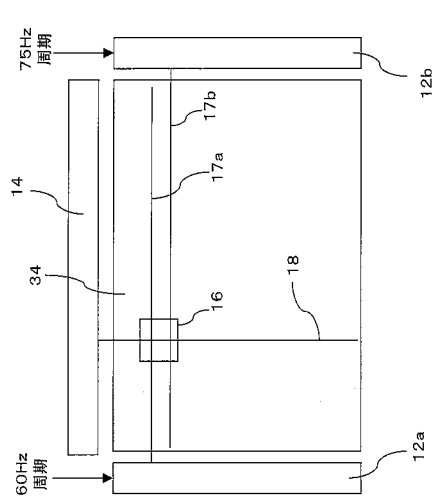
【図 1 5 6】



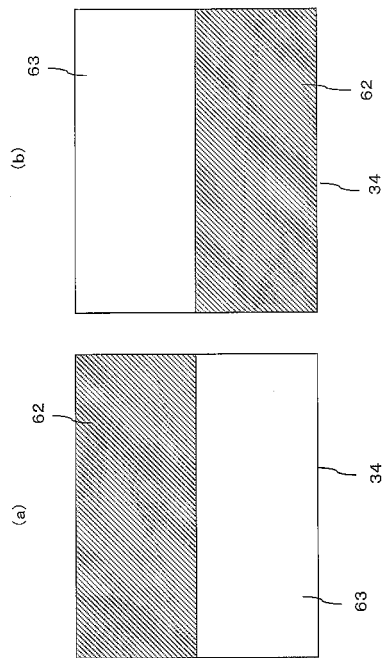
【図 1 5 7】



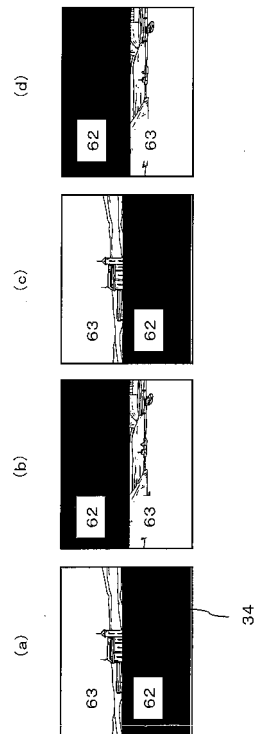
【図 1 5 8】



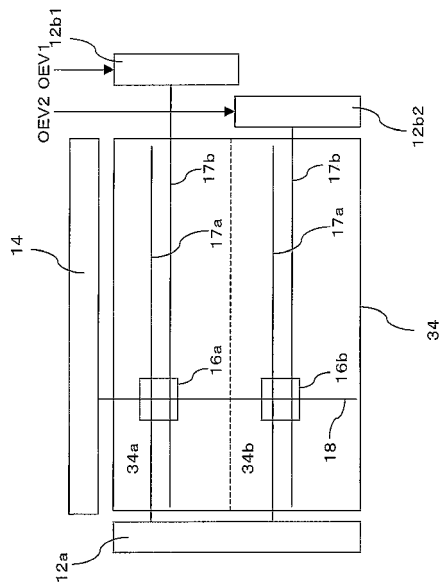
【図 1 5 9】



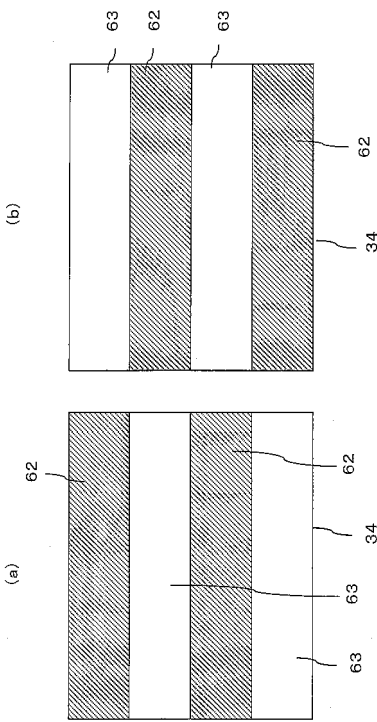
【図 1 6 0】



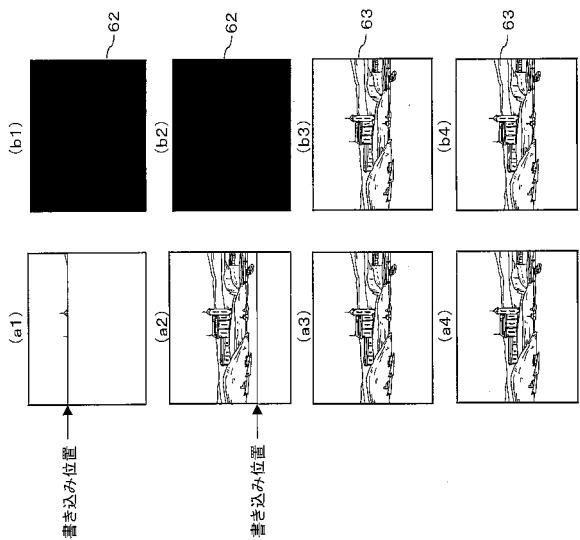
【図 1 6 1】



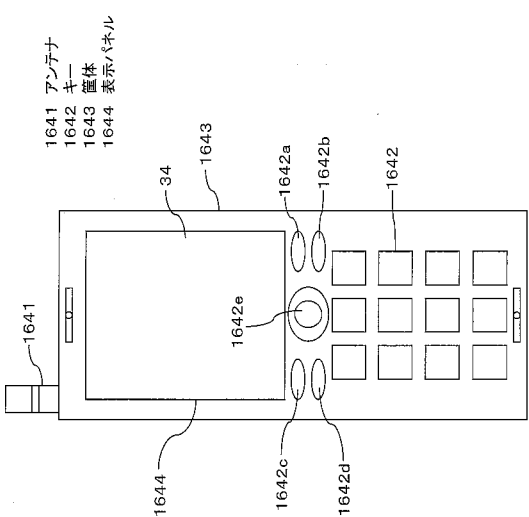
【図 1 6 2】



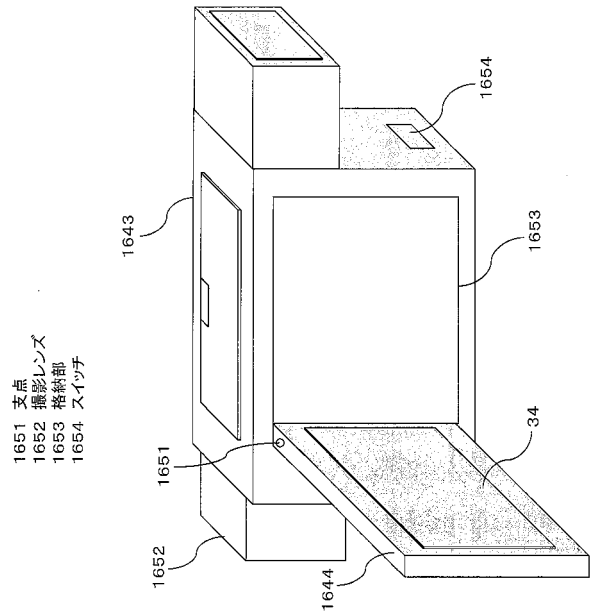
【図 1 6 3】



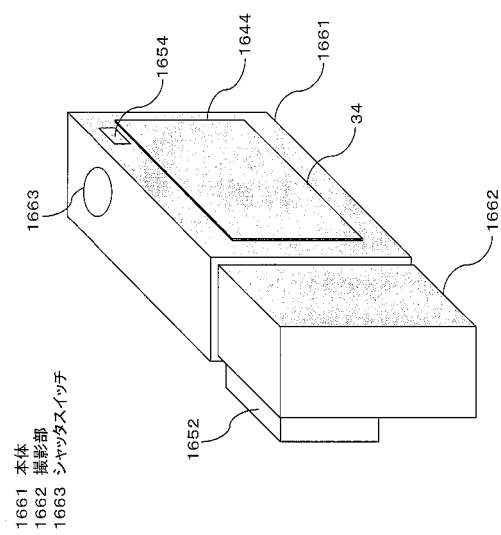
【図 1 6 4】



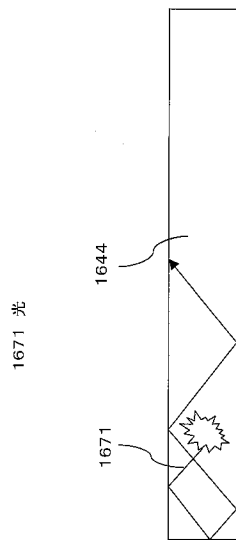
【図 1 6 5】



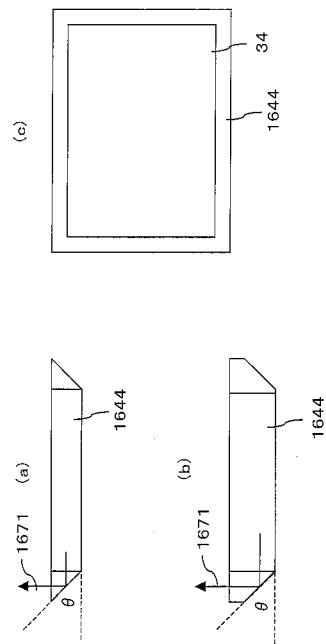
【図 1 6 6】



【図 1 6 7】

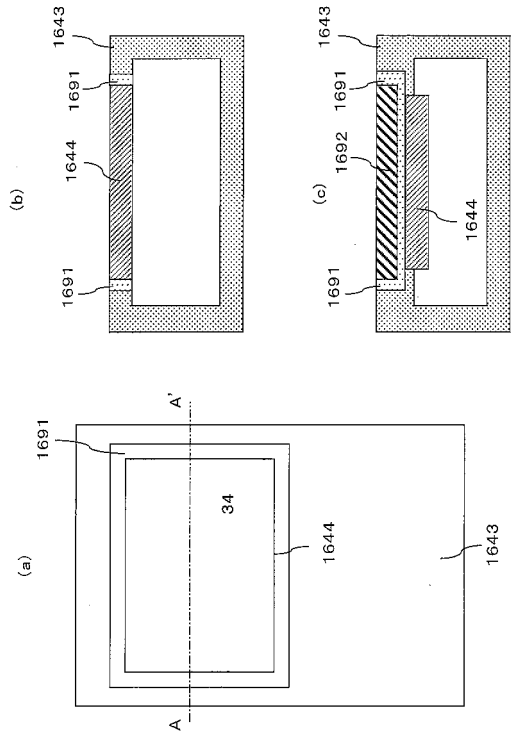


【図 1 6 8】

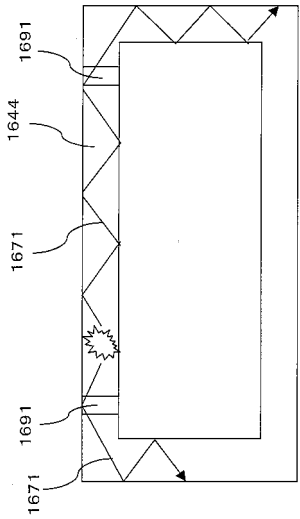


【図 169】

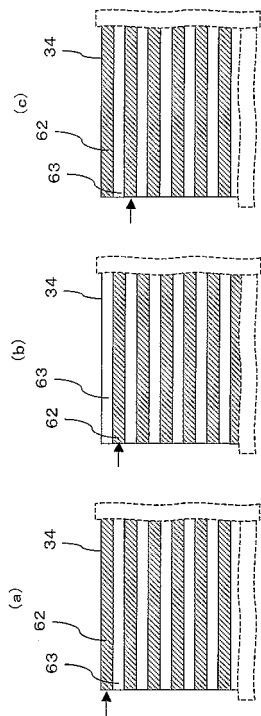
1691 光結合材 1692 カバー板



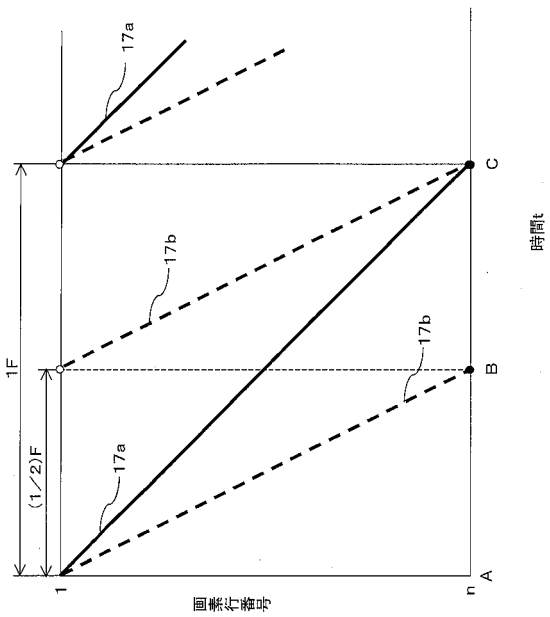
【図 170】



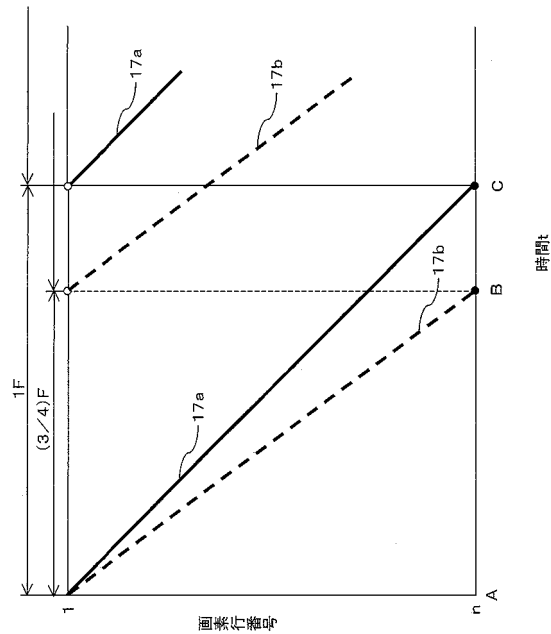
【図 171】



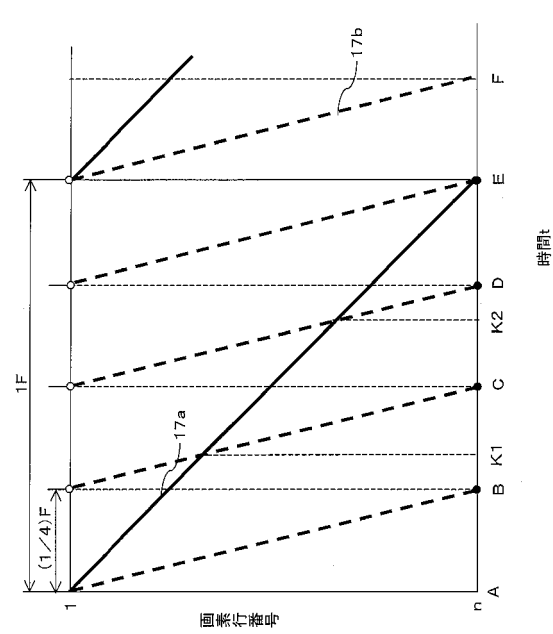
【図 172】



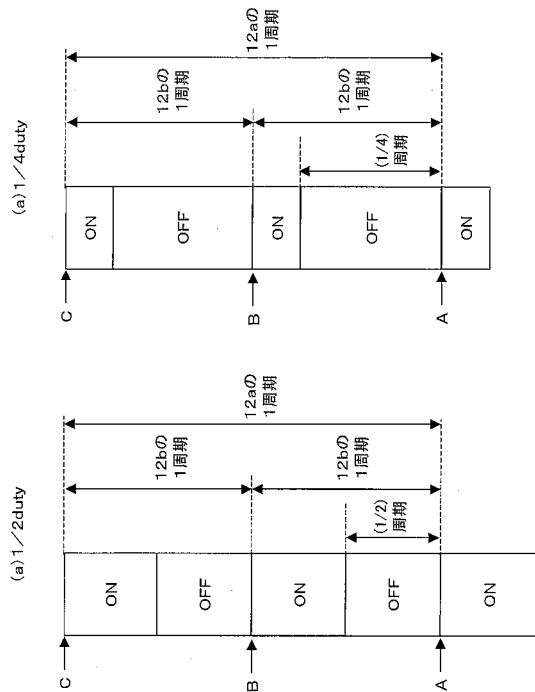
【図 1 7 3】



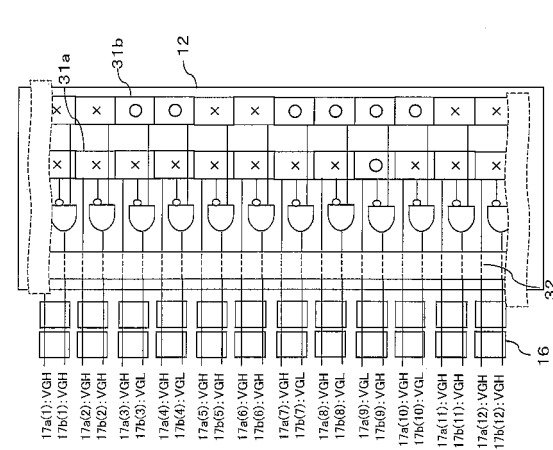
【図 1 7 4】



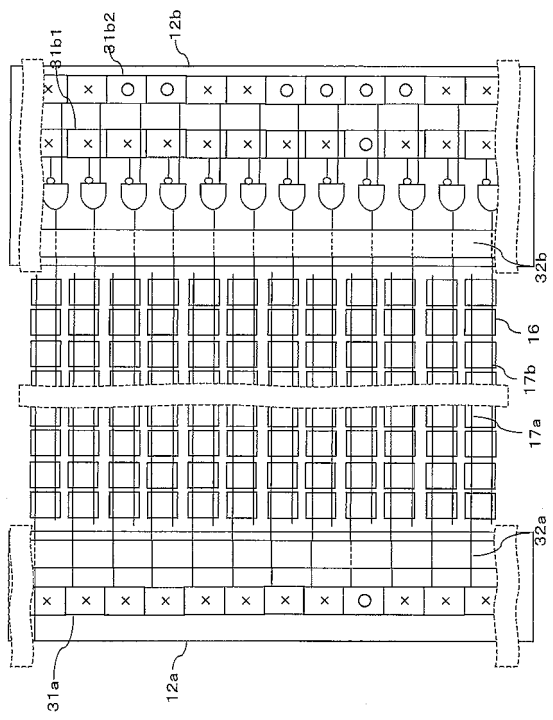
【図 1 7 5】



【図 1 7 6】



【図 177】



フロントページの続き

(51)Int.Cl.	F I		テーマコード (参考)
	G 0 9 G	3/20	6 1 2 R
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 8 0 G
	H 0 5 B	33/14	A
	H 0 5 B	33/02	